(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1707806 B
(45)授权公告日 2010.08.18

(21)申请号 200410055847.6

(22)申请日 2004.08.04

(30)优先权数据
10/646,997 2003.08.22 US

(73)专利权人 艾格瑞系统有限公司
地址 美国新泽西州

(72)发明人 爱德华·B·哈里斯
斯蒂芬·W·唐尼

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 朱海波

(51)Int.Cl.
H01L 29/00(2006.01)
H01L 27/00(2006.01)
H01L 21/02(2006.01)
H01F 17/00(2006.01)

(56)对比文件
US 6503838 B1, 附图 12、说明书第 1 栏第 12-16 行、第 4 栏第 3 行－第 5 栏第 55 行.
US 2002/0148807 A1,2002.10.17, 说明书第 17-23 段,图 1a-2d.
US 6429504 B1,2002.08.06, 附图 5H,说明书第 3 栏第 35 行－第 5 栏第 7 行.

审查员 王丽

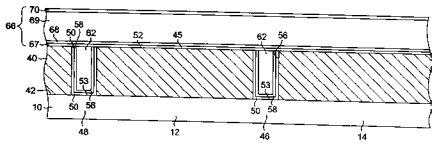
权利要求书 1 页 说明书 5 页 附图 12 页

(54)发明名称

在半导体衬底中形成的螺旋电感以及形成该电感的方法

(57)摘要

形成于半导体衬底上的电感,包括有源区器件区。该电感包括形成于该半导体衬底上覆盖的电介质层上的导线。该导线被构图并被蚀刻成所希望的形状,在一个实施例中为一个平面螺旋。在该电感下的衬底的一个区域被移除以降低电感的Q因子。



CN 1707806 B

1. 一种用于形成电感的方法，包括：

形成一个半导体衬底；

在该衬底上面形成一个电介质层，其中该电介质层包括上表面；

在该上表面上形成导线，其中该导线显示出电感作用；以及

在形成导线之后移除半导体衬底的后侧方区域，所移除的区域在至少一部分导线下方。

2. 根据权利要求 1 所述的方法，进一步包括：在形成电介质层之前，在该半导体衬底中形成有源区。

3. 根据权利要求 1 所述的方法，其中该导线包括第一和第二端子，所述方法进一步包括通过该电介质层形成导电互连，以将第一和第二端子连接到有源区。

4. 根据权利要求 1 所述的方法，其中移除该半导体衬底的后侧方区域的步骤包括材料蚀刻在所述导线下方的该半导体衬底的背面。

5. 根据权利要求 1 所述的方法，其中移除该半导体衬底的后侧方区域的步骤包括激光显微机械加工在所述导线下方的该半导体衬底的背面。

6. 根据权利要求 1 所述的方法，还包括：在移除操作之后，在半导体衬底的所移除的区域中淀积电介质材料。

7. 根据权利要求 1 所述的方法，还包括：在移除操作之后，在半导体衬底的所移除的区域中淀积封装材料。

8. 一种用于形成电感的方法，包括：

形成半导体衬底；

在该衬底上形成一个或多个电介质层，其中该一个或多个电介质层的上层包括一个上表面；

在该上表面上形成导线，其中该导线表现出电感作用，以及

通过移除至少一部分导线下方的衬底的后侧方区域而形成一个开口，其中在形成导线的步骤之后进行该形成一个开口的步骤。

9. 根据权利要求 8 所述的方法，进一步包括在该开口中淀积一种电介质材料。

在半导体衬底中形成的螺旋电感以及形成该电感的方法

技术领域

[0001] 本发明一般涉及电感，并尤其涉及在半导体衬底中形成的螺旋电感。

背景技术

[0002] 当前在无线通信的变革和对更小的无线通信装置的需求针对于无线电通信电子装置的优化和小型化产生了重大成果。无源部件（例如电感、电容器和变压器），充当在这些装置的操作的一个必要的角色并因而做出针对于减小这样无源部件的尺寸和改进其性能和制造效率的努力。

[0003] 分立的电感和电容器是被使用在交流电和射频应用的电磁式部件，例如振荡器，放大器和信号过滤器，以提供频率相关的作用。具体来说，电感上的电压是电感与通过电感的电流的时间导数的乘积的函数。一个常规电感包括多匝线圈围绕由铁磁或绝缘材料构成的核心。虽然电感核心不是必需的，但一个铁磁核心的使用例如增大电感值。电感也是线圈匝数和核心截面积的函数（具体来说，电感与匝数的平方成比例）。常规分立电感形成一个螺旋（也称为螺线管形状）或环形线圈。核心一般由包括多个磁畴的钢、钴或镍（或铁磁合金）形成。被提供给电感的电流在核心材料中感应出一个磁场，磁畴排列并增加在材料的磁导率，这增大了电感。

[0004] 在半导体工业中的发展多年来针对于在减少的尺寸上制造更高性能的装置。半导体电路设计和制造的一个挑战是在半导体器件中集成高性能电容器和电感。理想地，使用在半导体制造技术中常规的方法和程序将这些部件形成于一个半导体衬底的相对小的表面上。但是，与有源装置的特征尺寸和线宽相比，电感和电容器比较大并且不容易集成在典型地在亚微米范围有特征尺寸的半导体器件中。

[0005] 多数形成于半导体衬底表面的电感为螺旋形状，其中螺旋平面与衬底表面是平行的。许多形成螺旋电感的已知技术，例如施加掩模、构图并蚀刻在衬底表面上形成的导电性材料层。多个互连的螺旋电感也可能形成以提供所希望的电感特性和 / 或简化制造处理。例如，见美国专利第 6,429,504 号描述一个多层螺旋电感和第 5610433 号公开从每层包括两个或更多线圈的多个层形成一个有高 Q 因子高值电感。该线圈在多个的层中以串联的形式互连。

[0006] Q（或品质因子），一个电感品质的重要指标，被定义为电感的电抗与阻抗比。作为输入信号的频率，高 Q 电感（例如，具有低阻抗）呈现一个窄 Q 峰，在此该峰发生在电感谐振频率。高 Q 电感在以窄带宽工作的频率相关电路中的使用尤其重要。例如，增加工作在一个振荡器中的电感的 Q 值，则减少了该振荡器的相位噪声，并将振荡器的频率限制在一个更窄的频宽。由于 Q 值是电感阻抗的倒数函数，减小阻抗则增加 Q。使阻抗减到最小的已知技术是增加形成电感的导电性材料的截面面积。但是，这样的导体可能在蚀刻、清洗和钝化步骤中出现困难，并在半导体衬底上占据宝贵的空间。同样，当在电介质材料中，金属导体之间形成间隙时出现困难，产生器件可靠性问题，因为间隙可能促进局部电介质击穿并随之导致螺旋电感的短路。

[0007] 形成于半导体衬底的表面的一个螺旋电感的磁场垂直于衬底。该磁场在半导体衬底中引起涡流并且形成于衬底中的导电性互连结构连接有源的半导体区域。因为这些涡流是一种损耗机制，它们增加电感阻抗并因而降低电感的 Q 因子。为了避免这样的损耗，在相对低的工作频率，通过以有源器件模拟一个电感，可以达到感应作用。但有源器件有一个有限动态范围，向工作的电路注入不必要的噪音，并且在更高的工作频无法提供可接受的感应作用。

[0008] 限制涡流损耗的一个已知的技术在电感下方平行于电感安置一个导电的屏蔽。该导体缩短磁力线，减少在下方的半导体衬底材料中的涡流。通过使用深沟道技术以移除该电感下方的硅的区域，也可以减小涡流。这个技术，可能用于在包括双极型和 CMOS 晶体管（互补金属氧化物硅场效应晶体管）的集成电路中形成隔离区域，从晶片的前表面或顶表面移除硅。增加电感和下方的硅之间的距离也降低涡流损耗。当这些技术被使用时，导致 Q 因子的少量改进。

发明内容

[0009] 为了对半导体衬底上与有源器件连接的电感的制造提供更进一步的改进，被提供用于形成这样一个电感的结构和处理包括一个半导体衬底和该衬底上覆盖的一个电介质层。构成电感的导线被形成于电介质层的一个上表面上。导线下方的半导体衬底的一个区域被移除。

[0010] 一个半导体器件包括一个半导体衬底和该半导体衬底上覆盖的电介质层。一个连续的导体被布置在该电介质层上。半导体衬底在连续导体下方的至少一部分区域中形成一个开口。

附图说明

[0011] 当结合下列附图考虑下文描述内容时，当前发明可能更加容易地被了解并且优点和用途更加清楚，其中：

[0012] 图 1-14 说明随着依照本发明的多个处理步骤完成的一个半导体结构和电感。

[0013] 依照通常习惯，多个所描述的装置特性不是按照比例来描绘的，而描绘来强调关于本发明的特定特性。贯穿附图和正文，参考标号表示类似元件。

具体实施方式

[0014] 如图 1 所示，根据本发明用于形成一个电感的一个处理开始，图 1 说明集成电路半导体衬底 10，常规地包括多个有源元件（没被显示）。依照本发明的一个实施例，为了调节电感，有源元件不被形成于区域 12 和 14 中。

[0015] 电介质层 40（一般具有 3-5 微米厚度）被形成于该硅衬底的一个上表面 42，随之形成窗口 44 穿过电介质层 40 延伸到该衬底 10 的区域 46 和 48。该窗口被以已知的光刻掩模，构图和蚀刻处理形成。在随后处理步骤中，一个导电性材料层被形成，上表面覆盖了上表面 45。在图 1 说明的硅衬底区域中，一个电感被形成于导电性材料层中，并且连接元件（例如，钨塞）被形成于窗口 44 中，用于在该区域 46 和 48 中连接电感和有源元件。

[0016] 如图 2 所述，一个钛层 50 被淀积在窗口 44 中，并且在场效应区 52 上，即，电介质

层 40 的一个上表面。在窗口 44 的底表面 53，钛层 50 与有源区下敷设的硅起反应形成一个局部的硅化钛区域。这个硅化物区域在有源区之间提供改善的导电性，并且互连的钨塞稍后形成于窗口 44 中。

[0017] 接着氮化钛 (TiN) 层 58 被淀积于窗口 44 中，并且在场效应区 52 上。可知，氮化钛可以从例如电介质层 40 这样的氧基材料分层。钛层 50 作为一个附着层以促进在氮化钛层 58 和场效应区 52、侧壁 56 和底表面 53 下方的电介质材料之间的结合。TiN 层 58 作为下面敷设的钛层和用于下述钨淀积步骤中的氟基气体之间的隔离层，因为氟基气体与钛容易发生反应。

[0018] 如图 3 所示，通过化学气相淀积处理引入六氟化钨 (WF_6) 和硅烷 (SiH_4)，钨层 60 被形成于窗口 44 和场效应区 52 中。硅衬底 10 接着经历一个化学 - 机械抛光步骤，形成钨塞 62。见图 4。

[0019] 如图 5 所示，铝叠层 66 从底部到顶部包括，钛层 67、氮化钛层 68、铝层 69 和抗反射覆盖层 70，被淀积在场效应区 52 上。铝叠层 66 的钛层 67 和氮化钛层 68，跟上述钛和氮化钛层 50 和 58 一样为相同的目的服务。

[0020] 使用常规掩模、构图和蚀刻步骤，铝叠层 66 的某些区域被移除，以在衬底 10 的一个区域上形成所希望导体形状，用于电感 71，包括如图 6 所示的多根铝导线 66A。

[0021] 在图 6 上没被显示的衬底 10 的其他区域中，导电性互连结构通过施加掩模、构图和蚀刻步骤被形成于铝叠层 66 中，并且下面敷设的与有源区接触的导电性钨塞被形成于衬底 10 中。互连结构被称为金属 1 层或第一金属化层，连接到下面敷设的钨塞。熟练的技术人员可知，附加的互连结构、导电通孔和金属化合物电介质层被形成覆盖在铝叠层 66 上，以形成一个用于集成电路的完全互连系统。因而电感 71 的形成方便地集成在用于形成装置互连的处理中，因为电感可以随着该互连结构的形成而形成。

[0022] 如图 7 可见的平面图所示（图 6 沿着图 7 的线 6-6 的横截面视图），在这个实施例中的导线 66A 是线性的并且被以大约 90 度角横断，形成一个线性螺旋形状的电感 71。电感 71 的接线端 76 也许通过钨塞 62 被连接到在区域 46 和 48 中，下面敷设的有源器件。

[0023] 一个弯曲的螺旋电感 80 如图 8 所示，可能也通过适当掩模、构图和蚀刻铝叠层 66 的材料区域而形成。具有所希望得到的电感值的 M 电感可能通过选择形成电感 71 的导体大小和几何形状的适当的选择而形成。

[0024] 在图 6 说明的本发明的实施例中，电感 71 被形成于金属 1 层或第一金属化层中。在以下说明的其他实施例中，电感被形成于上层的金属化层中。

[0025] 依照本发明，电感 71 下面敷设的衬底 10 的区域 12 和 14（指晶片的后侧方）在电感 71 的形成以后被移除，形成空隙 82。由此得出的结构被在截面视图 9 和平面视图 10 中示出。材料蚀刻处理或激光显微机械加工是可以用于移除区域 12 和 14 的已知技术，该区域一般具有大约 300-500 微米的厚度。虽然在图 10 中的空隙 82 有长方形形状，但这不过是一个范例。一个圆螺旋电感的空隙，例如，一般是圆形的。在一个实施例中，空隙 82 被以一种非导电性电介质或封装材料填充，例如环氧树脂或聚酰亚胺。在一个实施例中在电感 71 的形成之前，空隙 82 被形成于衬底 10 中，虽然这样技术也许更加困难，因为也许有必要用电介质材料填充空隙，例如二氧化硅，以允许随后的覆盖层的形成。

[0026] 如以上所讨论的，在电感 71 之下的半导体和导电性材料的缺乏降低了电感感应

的涡流并提高了电感的 Q 因子。

[0027] 图 11 描述一个电感 89 的实施例，为扩大接线端 76，在同一个金属化层，例如导线 66A 中包括一个导电元件 90。在这个实施例中，该空隙 82 比图 9 的实施例中的大，因此与图 9 的电感 71 相比，电感 89 的 Q 因子增加了。

[0028] 图 12 是图 11 中电感 89 的平面视图，采用图 11 的横截面视图和图 12 的面 11-11。

[0029] 图 13 是电感 92 的一个横截面视图，其中两个接线端 76 与电感 71 间隔开以允许形成一个与出现在之前描述的实施例中的空隙相比，更大的空隙 82。为了形成这个实施例，一个金属化合电介质层 94 被淀积在导线 66A 上，并且该金属化合电介质层 94 上覆盖的第二金属化层包括一个形成于此的导电元件 98。钨塞 100 连接接线端 76 和导电元件 98。钨塞 102 连接在衬底 10 中的导线 98 和一个有源区。随着两个接线端 76 连接到电感 92 的范围外的一个有源区，空隙 82 可以基本上包围电感 92 以下的整个区域。

[0030] 熟练的技术人员可知，集成电路一般包括被形成于半导体衬底中的多个金属化层用于互连设备的有源区。所提到的这些层一般以一个数字标志前面加一个字母“M”来表示，例如金属化层一 (M1)。在本发明的一个实施例中，一个电感被形成于较高的金属化层中（即，在 M1 之上），与向上地和 / 或向下地延伸用于连接电感接线端和装置有源区或其他导电结构的钨塞。

[0031] 一般，一个第五金属化层 (M5) 距离该半导体衬底 10 约 5 微米。因此形成在其中的电感距离该衬底 10 约 5 微米。观察发现（根据本发明的教导）以该电感和该衬底之间 5 微米的间隔对下面敷设的衬底材料的移除改善了电感的 Q。观察发现，上述已知的损耗衬底的作用由等于电感最小直径的一个电感 - 衬底间隔距离所决定。代表性的电感直径可以在 50-100 微米的范围内。因而本发明的教导可能方便地被使用于形成于任何金属化层中的电感上，因为所有金属化层都在半导体衬底的 100 微米中。

[0032] 图 14 是说明本发明应该实施例的横截面视图，其中应该电感 120 被形成于集成电路装置的第三金属化层或 M3 中。图 14 不说明以上实施例中显示的某些辅助层（例如，钛和氮化钛）。一个半导体衬底 122 包括多个依照先有技术形成的有源器件（未显示）。导电通孔 124 被形成于电介质层 126 中。第一金属化层 (M1) 包括形成于一个金属化合电介质层 132 中用于连接导电通孔 124 和上面覆盖的导电通孔 130 的导电结构 128。技术上已知，导电结构也从图 14 的交叉位置的平面向内和向外延伸。

[0033] 第二金属化层 (M2) 包括覆盖的导电通孔 130 并连接到形成于一个金属化合电介质层 144 中的导电通孔 142 的导电结构 140。第三金属化层包括电感 120 和的一个导电结构 146，它们同时由在该金属化合电介质层 144 上形成的导电层上执行的已知的掩模、构图和蚀刻步骤所形成。附加的金属化层和金属化合电介质层（在图 14 中未显示）可以形成于所示的结构上。

[0034] 在该金属化合电介质层 144 形成之前，空隙被使用常规的施加掩模、构图和蚀刻步骤形成于区域 150 中，在该电感 120 下方。在金属化合电介质层 144 的形成之前，空隙被以二氧化硅（电介质材料）或其他相对低损耗材料填充。根据以上教导，在其它实施例中（图 14 中未显示）衬底 122 在电感 120 之下的区域也被移除。在上述的实施例中，在电感 120 之下的半导体和金属化层的除去减少涡流损耗并改进电感 Q 因子。

[0035] 所描述的一种结构和处理对于在一个半导体衬底上形成电感是有用的。虽然本发

明的具体应用已经说明，在此被公开的主要内容提供用于以多种方式以及在多种电路结构中实施本发明的基础。在本发明的范围内可能做出多种变更。本发明仅仅由以下的权利要求所限制。

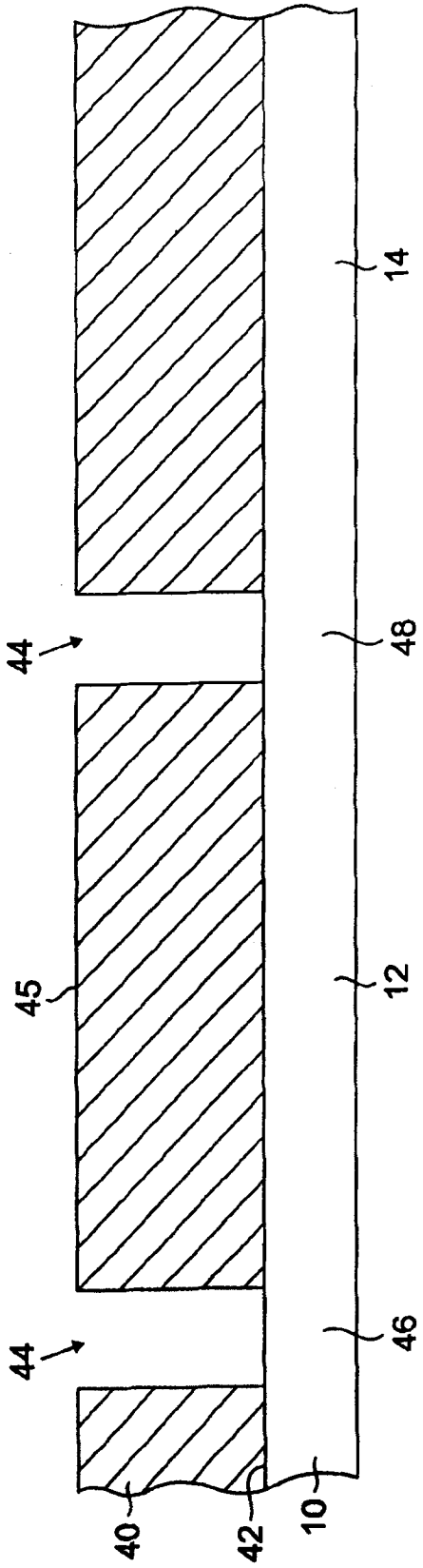


图 1

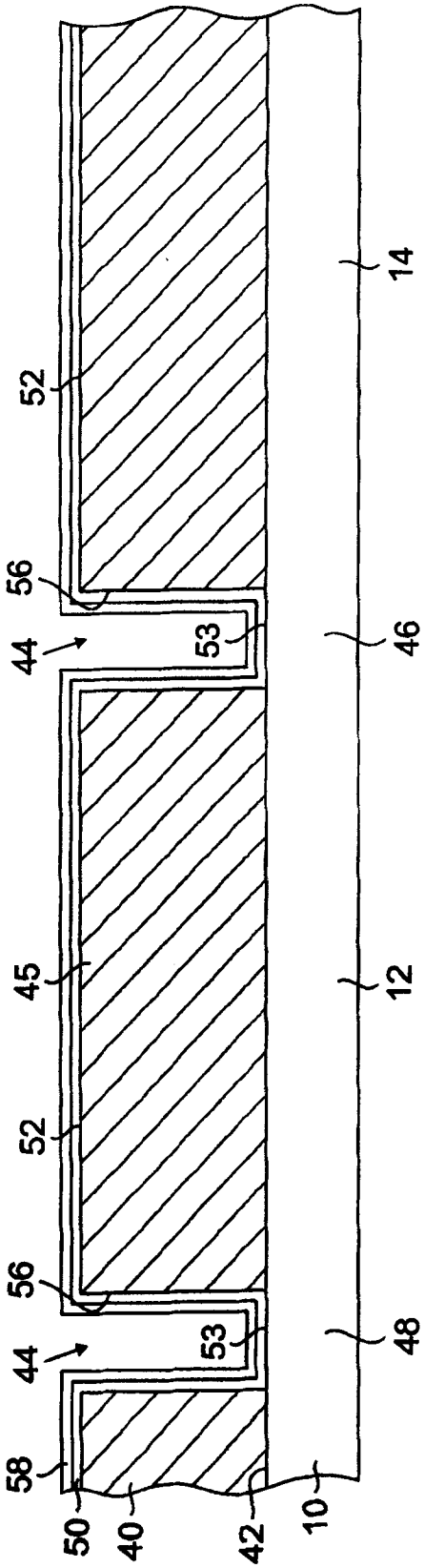


图 2

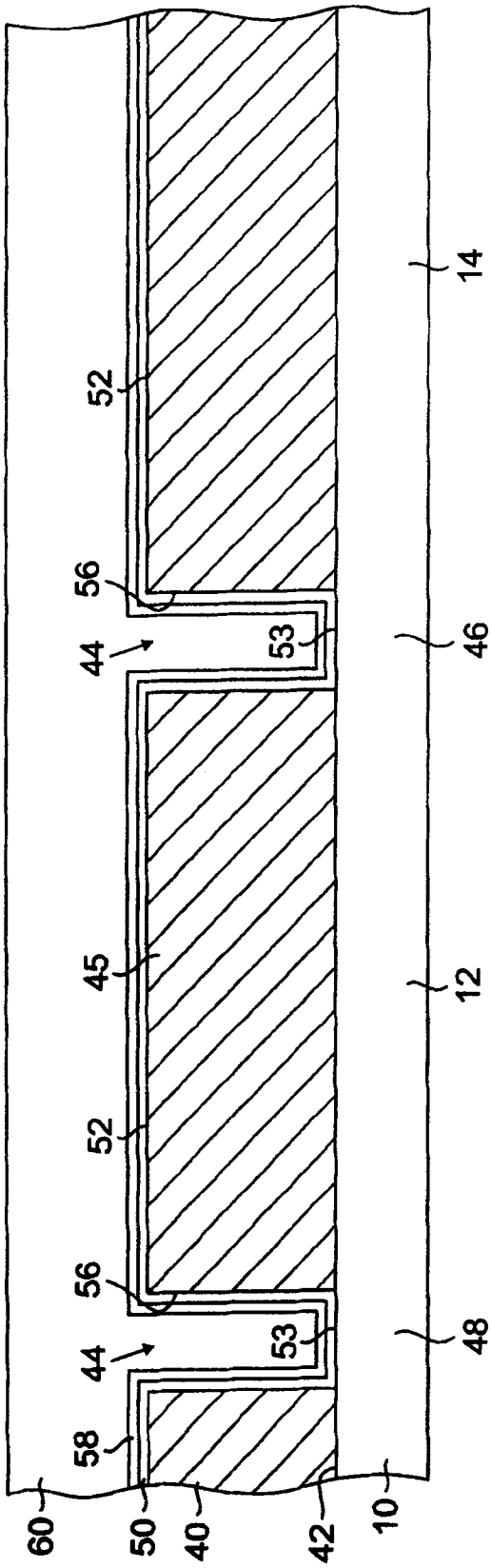


图 3

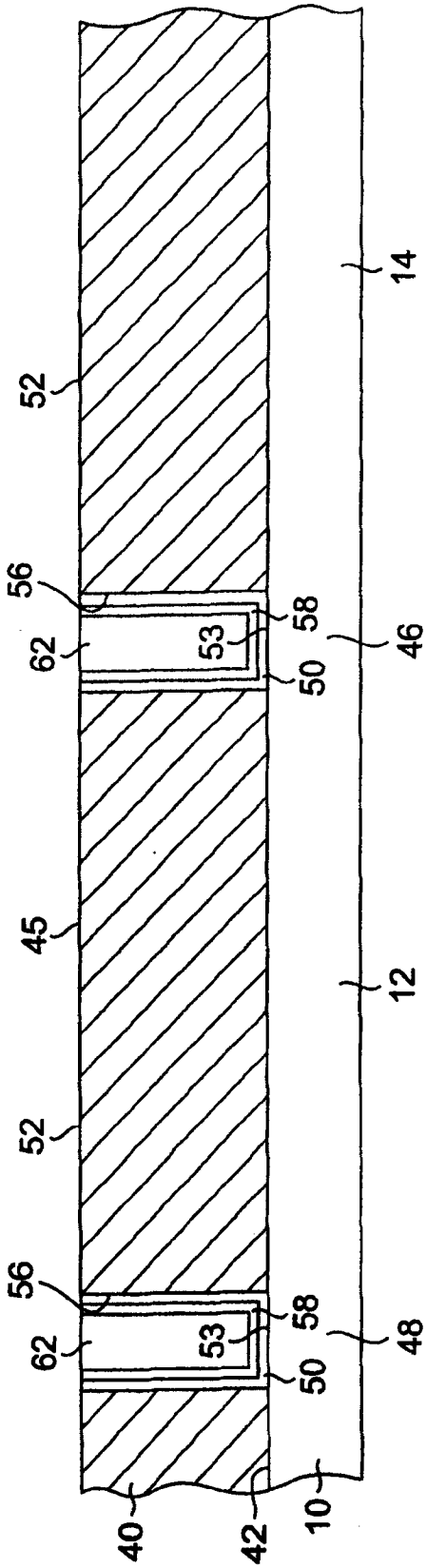


图 4

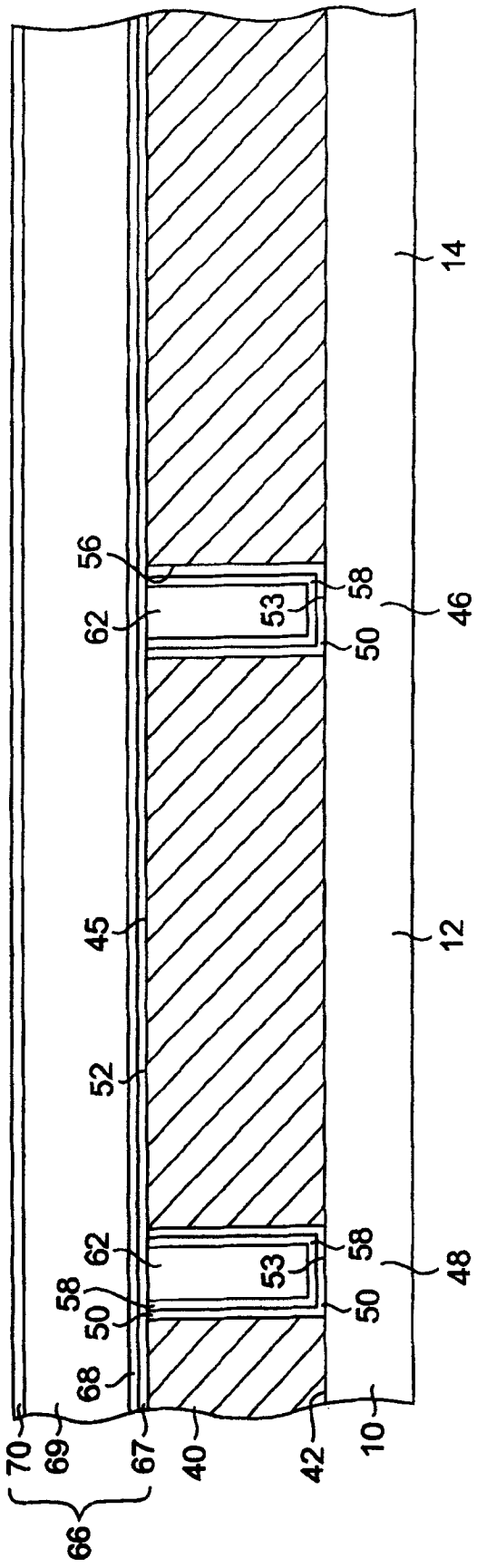

14
56
58
53
62
46
50
45
12
52
62
58
53
48
58
50
50
68
70
69
67
40
42
10
66

图 5

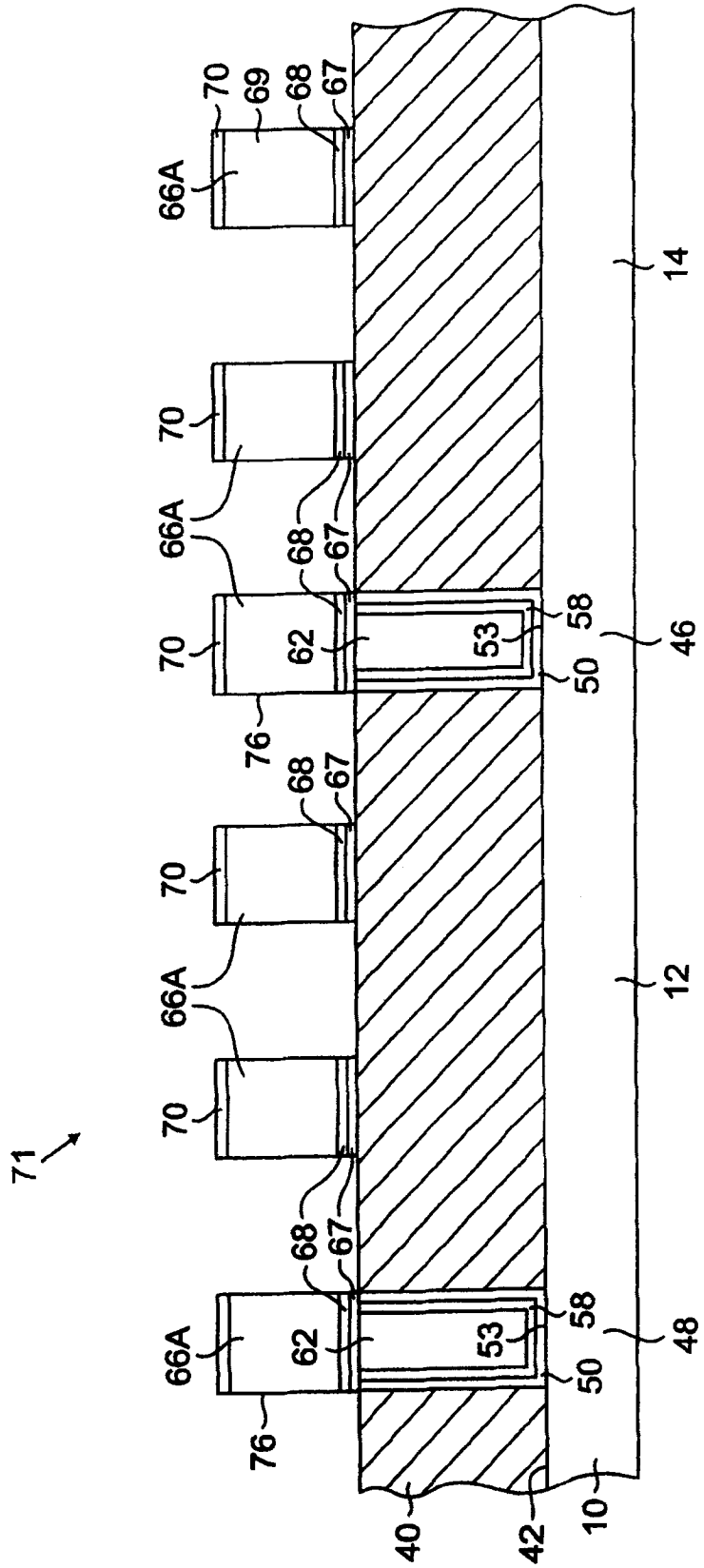


图 6

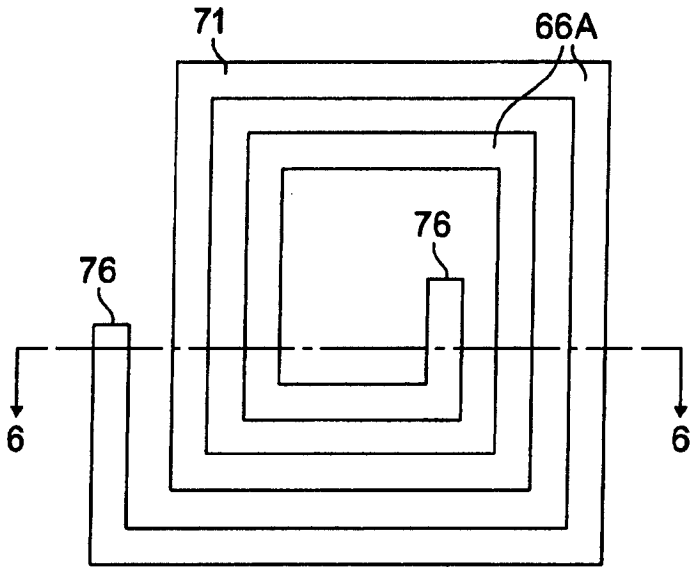


图 7

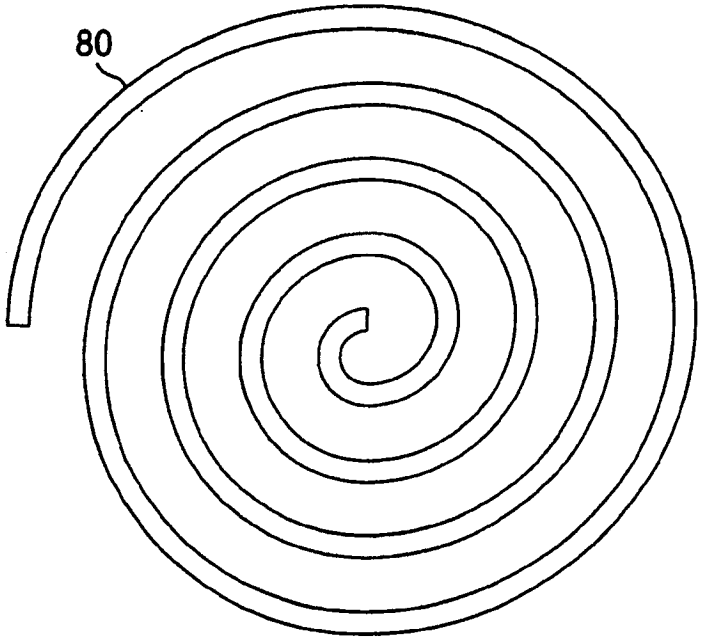


图 8

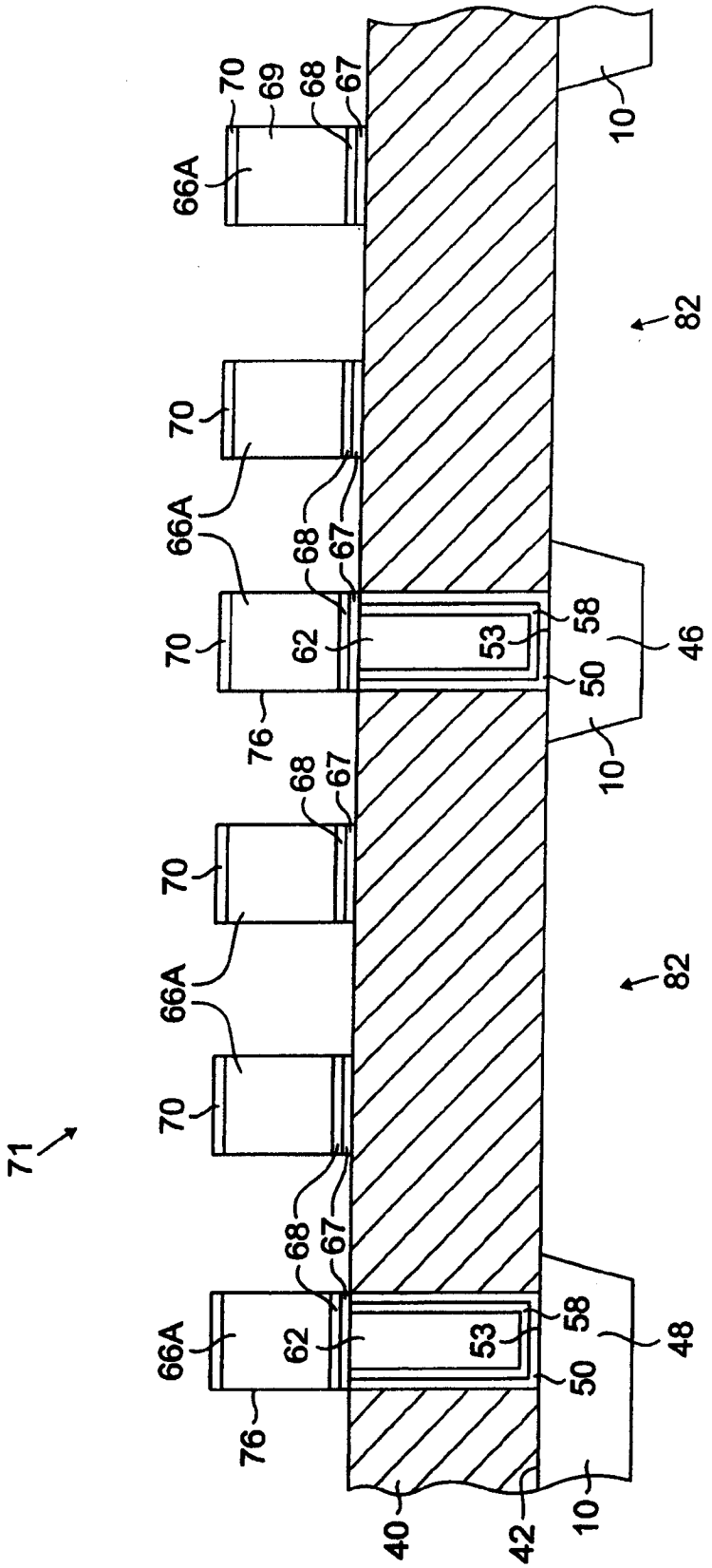

71
70
69
68
67
66A
10
82
70
66A
68
67
70
62
53
58
46
50
76
10
68
67
70
66A
82
70
68
67
66A
62
53
58
48
50
76
40
42
10

图 9

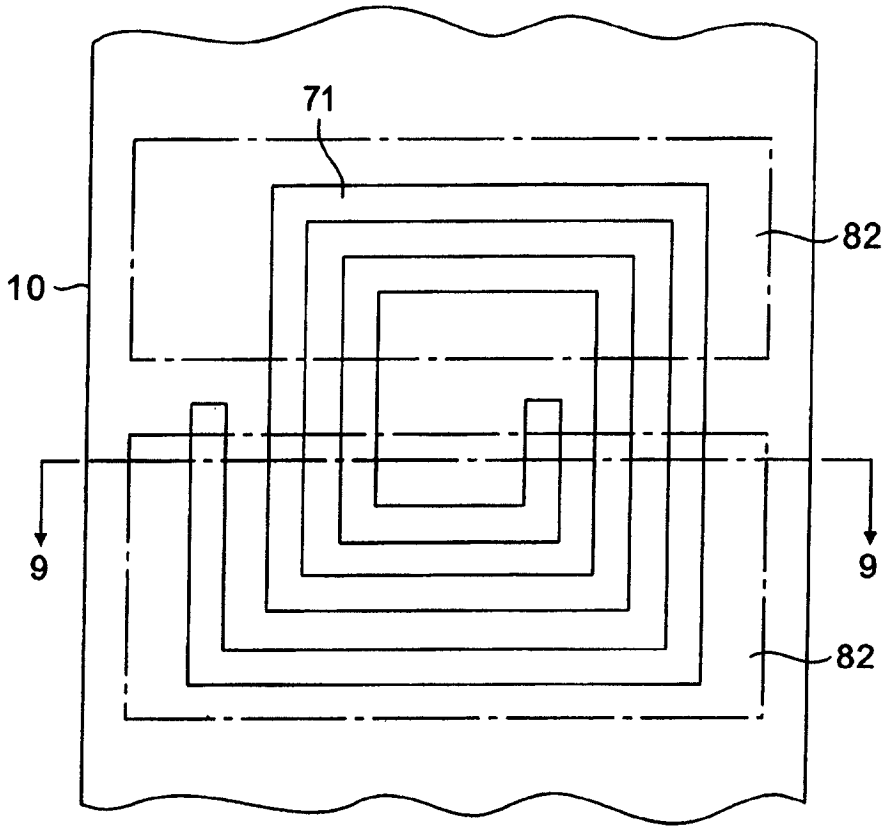


图10

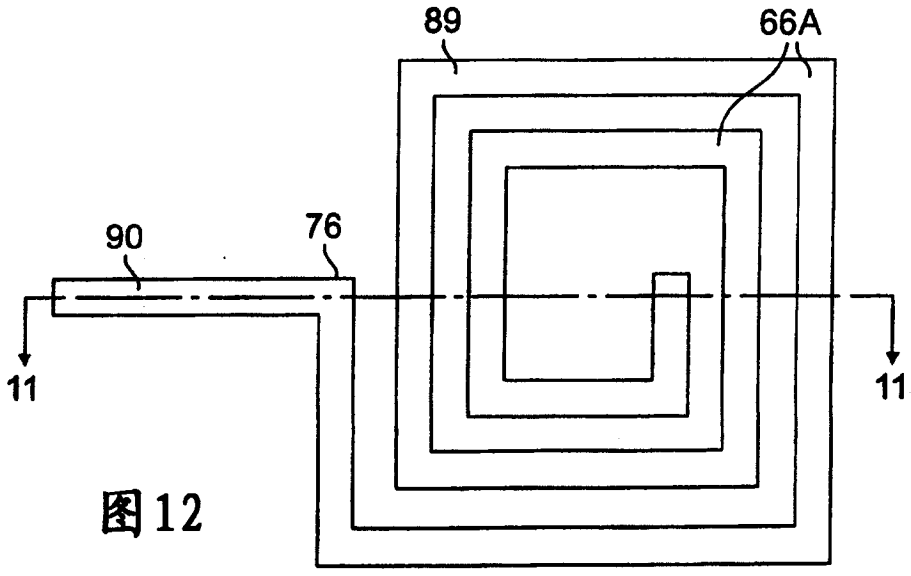


图12

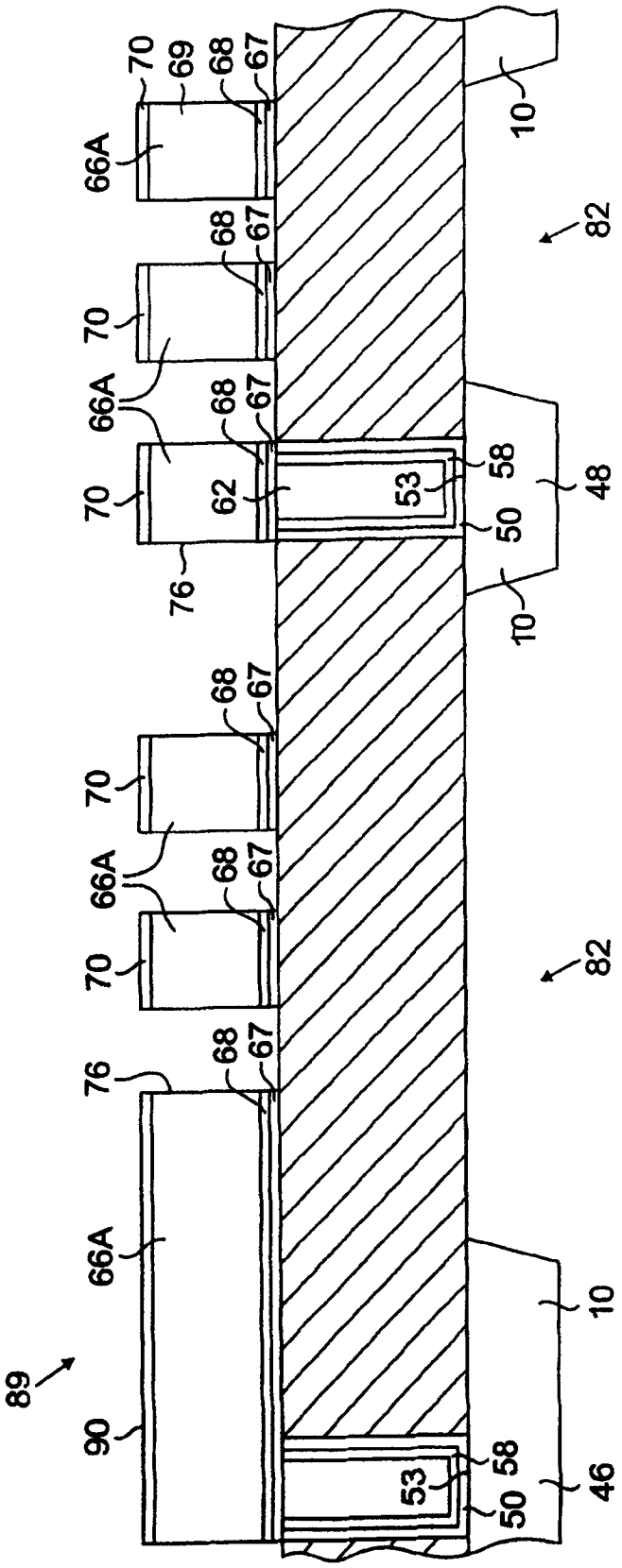


图 11

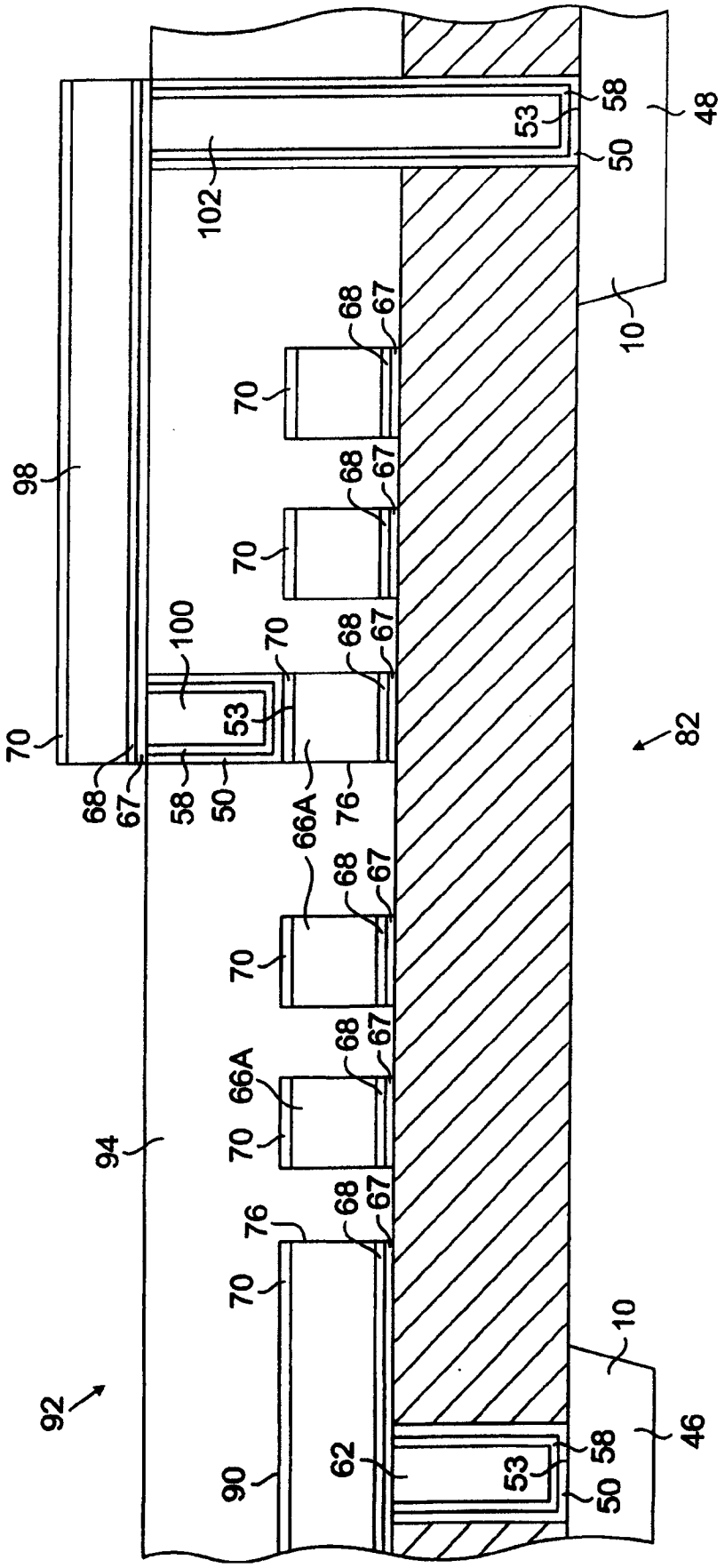


图 13

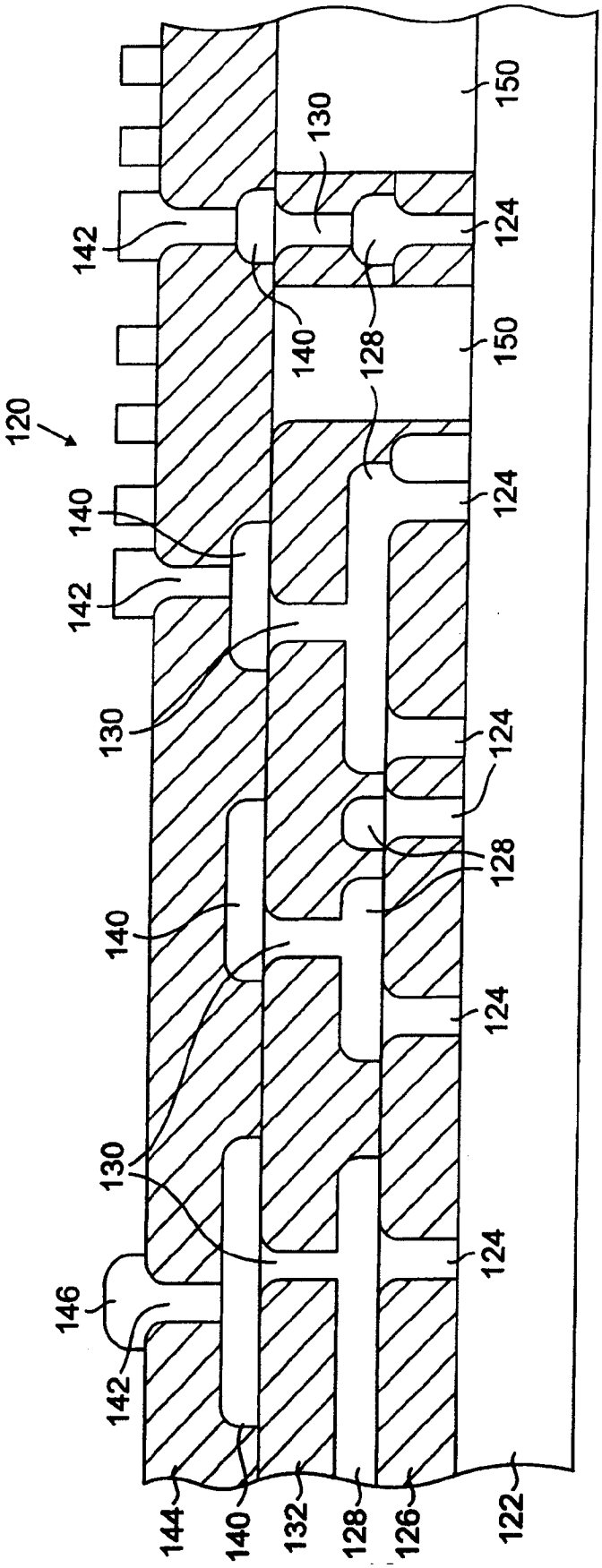

120
130
150
142
124
140
128
150
124
142
130
124
128
140
124
130
124
146
142
144
140
132
128
126
122

图 14