

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. Januar 2011 (27.01.2011)

(10) Internationale Veröffentlichungsnummer
WO 2011/009822 A1

(51) Internationale Patentklassifikation:

G06F 7/548 (2006.01) G06F 1/035 (2006.01)
G06F 1/03 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2010/060347

(22) Internationales Anmeldedatum:
16. Juli 2010 (16.07.2010)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2009 034 100.5 21. Juli 2009 (21.07.2009) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): AUSTRIAMICROSYSTEMS AG [AT/AT];
Schloss Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FÜRBASS, Franz
[AT/AT]; Saikogasse 5A/1/47, A-1220 Wien (AT).

(74) Anwalt: EPPING HERMANN FISCHER PATENT-
ANWALTSGESELLSCHAFT MBH; Zusam-
menschluss Nr. 175, Ridlerstraße 55, 80339 München
(DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG,
NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ,
UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

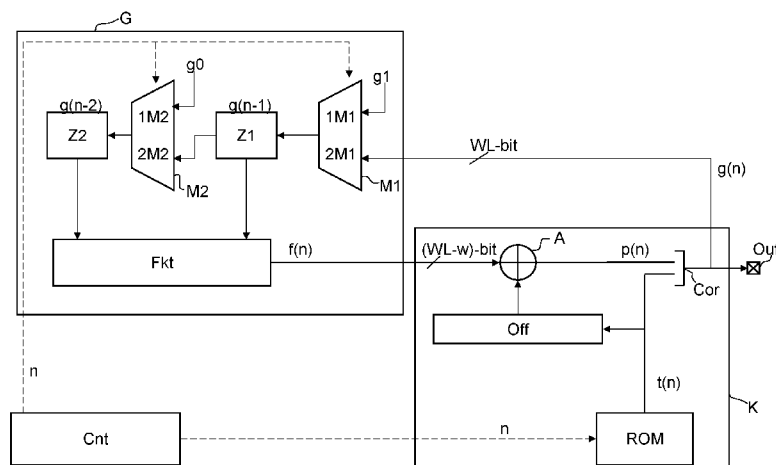
- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

[Fortsetzung auf der nächsten Seite]

(54) Title: GENERATING A DISCRETE PERIODIC SIGNAL

(54) Bezeichnung : ERZEUGUNG EINES DISKRETEN PERIODISCHEN SIGNALS

FIG 1



(57) Abstract: The invention relates to an integrated circuit having a signal processing arrangement, comprising a counter (Cnt) for counting recursion steps, coupled to a generator (G) and a correction device (K), and providing a counter value (n) of recursion steps to the generator (G) and the correction device (K). The generator (G) recursively generates a recursion signal (f(n)) for each counter value and provides the same at an output. The correction device (K) is coupled to the output of the generator by means of an input, and generates a corrected recursion signal (g(n)) from the recursion signal (f(n)) as a function of the counter value (n), available at a first output of the correction device (K) and a second output (Out) for providing an output signal of the signal processing arrangement. The first output of the correction device (K) is coupled to the input of the generator (G).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2011/009822 A1



Ein Integrierter Schaltkreis mit einer Signalverarbeitungsanordnung umfasst einen Zähler (Cnt) zum Zählen von Rekursionsschritten, der mit einem Generator (G) und einer Korrektureinrichtung (K) gekoppelt ist, und dem Generator (G) und der Korrektureinrichtung (K) einen Zählerwert (n) von Rekursionsschritten bereitstellt. Der Generator (G) erzeugt rekursiv zu jedem Zählerwert (n) ein Rekursionssignal ($f(n)$) und stellt es an einem Ausgang bereit. Die Korrektureinrichtung (K) ist über einen Eingang mit dem Ausgang des Generators (G) verbunden und generiert in Abhängigkeit vom Zählerwert (n) aus dem Rekursionssignal ($f(n)$) ein korrigiertes Rekursionssignal ($g(n)$) zu dem Zählerwert (n), das an einem ersten Ausgang der Korrektureinrichtung (K) und einem zweiten Ausgang (Out) zum Bereitstellen eines Ausgangssignals der Signalverarbeitungsanordnung bereitsteht. Der erste Ausgang der Korrektureinrichtung (K) ist mit einem Eingang des Generators (G) gekoppelt.

Beschreibung

ERZEUGUNG EINES DISKRETEN PERIODISCHEN SIGNALS

5

Die vorliegende Erfindung betrifft einen integrierten Schaltkreis mit einer Signalverarbeitungsanordnung und ein Verfahren zur Signalverarbeitung.

10 Rekursive Funktionen finden breite Anwendung in der digitalen On-Chip Signalverarbeitung, wie sie etwa mit der Fast Fourier Transformation möglich sind. Besonders zählen dazu Verfahren zur Kodierung und Dekodierung von Signalen, etwa Kompressionsalgorithmen wie das MP3-Format oder Breitbanddatenübertragungstechniken, die zu den Grundlagen von Übertragungstechniken wie dem ADSL, WLAN, sowie dem digitalen Radio und Fernsehen zu zählen sind.

Bei nahezu allen technischen Umsetzungen rekursiver Funktionen treten jedoch Fehler auf, die in der Quantisierung durch die verwendeten digitalen Schaltkreise begründet sind. Zudem pflanzt sich ein solcher Fehler mit jedem Rekursionsschritt in der Regel linear oder exponentiell fort und stellt für viele Anwendungen ein zentrales Problem dar. Insbesondere

20 kann so die erreichbare Auflösung rekursiver Verfahren deutlich limitiert sein. Zwei Verfahren sind bislang angewandt worden, um den Einfluss von Quantisierungsfehlern zu reduzieren. Zum einen können Fehler vermieden werden, indem anwendungsspezifische, vorher berechnete Werte in einem Read Only

25 Memory in Form einer Look-Up Tabelle abgelegt werden. Zum anderen können iterative Verfahren zum Einsatz kommen, die jeden Rekursionsschritt solange approximieren, bis eine gewünschte Genauigkeit erreicht ist. Die einzelnen Verfahren

30

unterscheiden sich deutlich im Rechenaufwand, der mit ihnen verbunden ist. Insbesondere Approximationsverfahren werden verwendet, wenn aufwendige Rechenoperationen in einer Anwendung nicht ins Gewicht fallen.

5

Die Schrift US 5533070 A zeigt eine Korrekturschaltung mit einem Synchrondetektor zur Wiederherstellung einer Phasenkomponente eines komplexen Signals. Eine Entscheidungsgestützte Feedback-Schleife korrigiert periodisch Fehlercharakteristiken in Abhängigkeit von einem Referenzsignal.

10

Die Druckschrift US 6271781 B1 zeigt ferner eine Korrekturschaltung von Multibit Sigma-Delta-Modulatoren mit Hilfe eines nichtlinearen Filters.

15

Aufgabe der vorliegenden Erfindung ist es, einen integrierten Schaltkreis mit einer Signalverarbeitungsanordnung und ein Verfahren zur Signalverarbeitung bereitzustellen, das eine vereinfachte Fehlerkorrektur rekursiver Verfahren ermöglicht.

20

Die Aufgabe wird mit dem Gegenstand des Patentanspruchs 1 und dem Verfahren gemäß Patentanspruch 10 gelöst. Weiterbildungen und Ausgestaltungen sind jeweils Gegenstand der abhängigen Ansprüche.

25

In einer Ausführungsform umfasst der Integrierte Schaltkreis mit einer Signalverarbeitungsanordnung einen Zähler zum Zählen von Rekursionsschritten, einen Generator und eine Korrektureinrichtung. Dabei ist der Zähler sowohl mit dem Generator, als auch mit der Korrektureinrichtung gekoppelt. Der Generator ist über einen Ausgang mit einem Eingang der Korrektureinrichtung verbunden. Ein erster Ausgang der Korrektureinrichtung wird auf den Generator zurückgeführt und ist mit

30

einem Eingang des Generators gekoppelt. Ein zweiter Ausgang der Korrekturereinrichtung dient zum Bereitstellen eines Ausgangssignals der Signalverarbeitungsanordnung.

5 Der Zähler zählt mit einem Zählerwert die Rekursionsschritte und stellt diesen Zählerwert dem Generator und der Korrekturereinrichtung bereit. Der Generator erzeugt zu jedem Zählerwert ein Rekursionssignal und übergibt es über den Ausgang an den Eingang der Korrekturereinrichtung. Ebenfalls in Abhängigkeit
10 vom Zählerwert generiert die Korrekturereinrichtung aus dem Rekursionssignal ein korrigiertes Rekursionssignal zu dem Zählerwert und koppelt es über den ersten Ausgang an den Eingang des Generators zurück. An dem zweiten Ausgang steht zudem das korrigierte Rekursionssignal zu jedem Rekursionsschritt be-
15 reit und bildet einen Ausgang der Signalverarbeitungsanordnung.

Vorteilhafterweise wird mit jedem Rekursionsschritt und entsprechendem Zählerwert des Zählers eine Fehlerkorrektur
20 durchgeführt. Insbesondere werden Quantisierungsfehler des rekursiven Generators schrittweise kompensiert und verhindert, dass sich eine lineare oder exponentielle Fehlerfortpflanzung einstellt.

25 In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung umfasst der Generator ein Selektionsschaltnetz zum Wählen eines Anfangssignals und einen Funktionsgenerator zum Generieren eines Rekursionssignals. Das Selektionsschaltnetz verfügt über einen ersten
30 Eingang, der mit der Korrekturereinrichtung gekoppelt ist und einen zweiten Eingang. Darüber hinaus ist das Selektionsschaltnetz mit dem Funktionsgenerator und dem Zähler gekop-

pelt. Der Funktionsgenerator ist mit der Korrektereinrichtung verbunden.

Am ersten Eingang des Selektionsschaltnetzes liegt das korri-
gierte Rekursionssignal an und am zweiten Eingang des Selektionsschaltnetzes liegt das Anfangssignal an. Der Zähler steuert das Selektionsschaltnetz so, dass in Abhängigkeit vom Zählerwert der erste Eingang oder der zweite Eingang mit dem Funktionsgenerator elektrisch leitend geschaltet ist.

10

Vorteilhafterweise ist es möglich, mittels des Selektionsschaltnetzes wahlweise das Anfangssignal oder das korrigierte Rekursionssignal dem Generator zuzuführen. Auf diese Weise ist eine Trennung von Rekursionsanfang und Rekursionsschritt in dem rekursiven Verfahren möglich. Insbesondere ermöglicht diese Ausführung die Implementierung rekursiver Funktionen verschiedenen Grades indem das Selektionsschaltnetz für mehrere Anfangssignale ausgelegt wird. So ist es beispielsweise möglich durch Wahl von zwei Anfangssignalen eine rekursive Funktion zweiter Ordnung zu implementieren.

15
20

In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung sind das Anfangssignal und das Rekursionssignal digital.

25

Vorteilhafterweise lassen sich das digitale Anfangssignal und Rekursionssignal durch digitale Rechenoperationen fehlerkorrigieren.

30

In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung sind das Anfangssignal und das Rekursionssignal diskret.

In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung umfasst das Selektions-
schaltnetz einen Multiplexer und ein Verzögerungsglied, wobei
der Multiplexer mit dem Verzögerungsglied gekoppelt ist. Der
5 Multiplexer verfügt über einen ersten Eingang und ist über
einen zweiten Eingang mit der Korrektoreinrichtung gekoppelt.
Der Zähler ist mit einem zweiten Eingang des Multiplexers
verbunden. Darüber hinaus liegt das Verzögerungsglied an dem
Funktionsgenerator an.

10

An dem ersten Eingang des Multiplexers liegt das Anfangssig-
nal an und an dem zweiten Eingang des Multiplexers das korri-
gierte Rekursionssignal. Der Zähler steuert den Multiplexer
in Abhängigkeit vom Zählerwert so, dass wahlweise der erste
15 Eingang des Multiplexers oder der zweite Eingang des Multi-
plexers elektrisch leitend mit dem Verzögerungsglied verbun-
den sind.

20

Vorteilhafterweise erlaubt der Multiplexer eine Auswahl von
Anfangssignalen und korrigierten Rekursionssignalen in Abhän-
gigkeit vom Zählerwert des Zählers. Dabei steuert der Zähler
ob zu einem aktuellen Zählerwert das Anfangssignal oder das
korrigierte Rekursionssignal an das Verzögerungsglied überge-
ben wird. Insbesondere hält das Verzögerungsglied das Rekur-
25 sionssignal zum vorherigen Zählerwert verzögert vor und über-
gibt das Rekursionssignal zu einem jeweils aktuellen Zähler-
wert an den Funktionsgenerator. Bevorzugt werden der Multi-
plexer und das Verzögerungsglied durch logische Bausteine re-
alisiert.

30

In einer Weiterbildung des integrierten Schaltkreises umfasst
die Korrektoreinrichtung einen Speicher mit einer Look-Up Ta-
belle und eine Signalkorrektoreinrichtung. Die Look-Up Tabel-

le des Speichers enthält vorher berechnete Werte, die mit dem Zählerwert indiziert sind. Die Signalkorrekturereinrichtung ist über einen ersten Eingang mit dem Funktionsgenerator verbunden und über einen zweiten Eingang mit dem Speicher gekoppelt. Ein Ausgang der Signalkorrekturereinrichtung liegt am zweiten Eingang des Multiplexers an.

Am Eingang der Signalkorrekturereinrichtung liegt das Rekursionssignal des Funktionsgenerators an. Mit Hilfe der vorher berechneten Werte in der Look-Up Tabelle des Speichers wird in der Signalkorrekturereinrichtung ein korrigiertes Rekursionssignal generiert und dem Multiplexer bereitgestellt.

Vorteilhafterweise erlaubt die Kombination aus Signalkorrekturereinrichtung und der Look-Up Tabelle des Speichers eine gezielte Fehlerkorrektur mit vorher bestimmten Werten. Bevorzugt werden dazu digitale Anfangssignale und Rekursionssignale verwendet, um nur die fehlerbehafteten niedrigstwertigen Bit-Blöcke auszutauschen. Auf diese Weise kann die Look-Up Tabelle klein gehalten werden und der Integrierte Schaltkreis erhält eine vorteilhafte Rechenleistung bei gleichzeitig kleiner Fläche. Bevorzugt ist der Speicher mit der Look-Up Tabelle und die Signalkorrekturereinrichtung durch logische Bausteine, insbesondere Memory-Bausteine, ausgestaltet.

25

In einer Weiterbildung des integrierten Schaltkreises umfasst das Selektionsschaltnetz einen ersten Multiplexer und einen zweiten Multiplexer. Der erste Multiplexer verfügt über einen ersten Eingang, sowie über einen zweiten Eingang, der mit der Signalkorrekturereinrichtung gekoppelt ist. Der erste Multiplexer verfügt zudem über einen Ausgang, der mit einem ersten Verzögerungsglied verbunden ist. Der zweite Multiplexer umfasst ebenfalls einen ersten Eingang, sowie einen zweiten

30

Eingang, der mit dem ersten Verzögerungsglied gekoppelt ist, und einen Ausgang, der mit einem zweiten Verzögerungsglied verbunden ist. Das erste und zweite Verzögerungsglied sind jeweils mit dem Funktionsgenerator verbunden.

5

Am ersten Eingang des ersten Multiplexers liegt ein erstes Anfangssignal an, sowie das korrigierte Rekursionssignal am zweiten Eingang des ersten Multiplexers. In Abhängigkeit vom Zählerwert des Zählers wird das erste Anfangssignal oder das korrigierte Rekursionssignal an das erste Verzögerungsglied übergeben. Am ersten Eingang des zweiten Multiplexers liegt ein zweites Anfangssignal an und am zweiten Eingang des zweiten Multiplexers liegt ein Ausgangssignal des ersten Multiplexers an. Das erste und zweite Verzögerungsglied übergeben das Rekursionssignal bzw. das erste oder zweite Anfangssignal jeweils um einen Zählerwert verzögert an den Funktionsgenerator.

Vorteilhafterweise erlaubt die Verwendung von je zwei Multiplexern und Verzögerungsgliedern die Implementierung einer rekursiven Funktion zweiter Ordnung.

In einer alternativen Ausführungsform des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung umfasst der Funktionsgenerator für rekursive Funktionen der Ordnung k , wobei k eine natürliche Zahl darstellt. Der Funktionsgenerator umfasst k Paare zu je einem Multiplexer und einem Verzögerungsglied und k Anfangssignale.

Vorteilhafterweise erlaubt die Verwendung von k Paaren zu je einem Multiplexer und einem Verzögerungsglied die Implementierung einer rekursiven Funktion k -ter Ordnung.

In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung ist ein Addierer zum Addieren eines Offset-Wertes über einen ersten Eingang mit dem Funktionsgenerator und über einen zweiten Eingang mit einem Offset-Generator verbunden. Ein Ausgang des Addierers liegt an der Signalkorrektureinrichtung an. Der Offset-Generator ist zudem mit der Look-Up Tabelle des Speichers gekoppelt.

Am ersten Eingang des Addierers liegt das durch den Funktionsgenerator erzeugte Rekursionssignal an. Zu dem Rekursionssignal wird über den zweiten Eingang des Addierers in Abhängigkeit von Werten der Look-Up Tabelle ein Offset-Wert addiert und ein so gebildetes Additionssignal über den Ausgang des Addierers an die Signalkorrektureinrichtung gekoppelt.

Vorteilhafterweise erlaubt der Addierer eine erste Fehlerkorrektur mittels eines Offsets des Rekursionssignals. Bevorzugt bei digitalen Signalen kann das Additionssignal so präpariert werden, dass in der weiteren Signalverarbeitung durch die Signalkorrektureinrichtung eine Carry Propagation erzwungen wird und so die höchstwertigen Bits korrigiert werden. Mit Carry Propagation wird der schrittweise Übertrag eines Übertragsbit oder Carry-Bit in Folge einer Addition bezeichnet. Insbesondere können andere Kodierungen als eine binäre Kodierung gewählt werden.

In einer Weiterbildung des integrierten Schaltkreises mit einer Signalverarbeitungsanordnung umfasst der Funktionsgenerator einen invertierenden Addierer, einen Multiplikator und einen Tabellenspeicher mit vorher bestimmten Generatorwerten, die beispielsweise der Kosinusfunktion entsprechen. Ein erster Eingang des Multiplikators ist mit dem ersten Verzögerungsglied und ein zweiter Eingang des Multiplikators mit dem Ta-

bellenspeicher gekoppelt. Ein Ausgang des Multiplikators ist mit einem ersten Eingang des invertierenden Addierers verbunden. Ein zweiter, invertierender Eingang des invertierenden Addierers ist mit dem zweiten Verzögerungsglied gekoppelt und
5 ein Ausgang des invertierenden Addierers liegt an der Signalkorrektureinrichtung an.

Das am ersten Eingang des Multiplikators anliegende Rekursionssignal oder zweite Anfangssignal wird mit Kosinuswerten
10 aus dem Tabellenspeicher multipliziert und das so erzeugte Multiplikationssignal koppelt an den ersten Eingang des invertierenden Addierers. Das zweite Verzögerungsglied koppelt das erste Anfangssignal oder das an ihm anliegende Rekursionssignal an den zweiten, invertierenden Eingang des invertierenden Addierers. Durch Addition mittels des invertierenden Addierers wird so das Rekursionssignal zum aktuellen Zählerwert erzeugt.
15

Vorteilhafterweise erlaubt die Kombination von einem Multiplizierer, einem Addierer und einem Tabellenspeicher die
20 Implementierung einer rekursiven Sinus-Funktion. Bevorzugt sind der Multiplizierer, der Addierer und der Tabellenspeicher als logische Bausteine ausgestaltet.

25 Alternativ kann der Tabellenspeicher Sinus-Werte enthalten und zusammen mit geeignet gewählten Anfangssignalen die Implementierung einer rekursiven Kosinus-Funktion erlauben.

In einer Ausführungsform umfasst das Verfahren zur Signalverarbeitung mit einem integrierten Schaltkreis einen Rekursionssanfang, ein Durchführen eines Rekursionsschrittes, mit dem durch eine rekursive Funktionsvorschrift aus einem Anfangssignal ein Rekursionssignal generiert wird, ein Durchführen
30

einer Fehlerkorrektur des Rekursionssignals, und ein rekursives Wiederholen von Rekursionsschritt und Fehlerkorrektur bis eine Endbedingung erreicht ist, sowie ein Bereitstellen des Rekursionssignals als Ausgangssignal.

5

Mit dem Rekursionsanfang wird mindestens ein Anfangssignal bereitgestellt und in der Folge mit jedem weiteren Rekursionsschritt aus dem Anfangssignal ein Rekursionssignal mittels der rekursiven Funktionsvorschrift generiert. Das Rekursionssignal wird in der Folge einer Fehlerkorrektur unterzogen und als korrigiertes Rekursionssignal wieder einem Rekursionsschritt zugeführt. Eine so definierte Schleife wird iterativ durchlaufen bis eine Endbedingung erreicht ist und dann ein Ausgangssignal bereitgestellt.

15

Vorteilhafterweise wird mit jedem Rekursionsschritt eine Fehlerkorrektur durchgeführt. Insbesondere können Quantisierungsfehler schrittweise kompensiert. So wird verhindert, dass sich eine lineare oder exponentielle Fehlerfortpflanzung einstellt. Bevorzugt ist die Endbedingung durch eine maximale Zahl von Rekursionsschritten vorgegeben.

25

In einer Weiterbildung des Verfahrens zur Signalverarbeitung sind das Anfangssignal und das Rekursionssignal digital.

Vorteilhafterweise ist die Signalverarbeitung mit digitalen Rechenoperationen möglich. Bevorzugt erfolgt die Fehlerkorrektur schrittweise durch Addition eines Offsets und Ersetzung fehlerbehafteter Bit-Blöcke.

30

In einer Weiterbildung des Verfahrens zur Signalverarbeitung wird die Zahl der Rekursionsschritte mit einem Zählerwert gezählt.

In einer Weiterbildung des Verfahrens zur Signalverarbeitung wird die Fehlerkorrektur durch eine Korrektur des Rekursionssignals mit Werten aus einer Look-Up Tabelle in Abhängigkeit vom Zählerwert durchgeführt.

5

In der Look-Up Tabelle sind vorher berechnete Werte zur Korrektur des Rekursionssignals abgelegt und mit dem Zählerwert indiziert. Bevorzugt wird aus Werten der Look-Up Tabelle in Abhängigkeit vom Zählerwert ein Offset generiert und zum Rekursionssignal addiert. Auf diese Weise lassen sich die höchstwertigen Bits des Rekursionssignals korrigieren. Die niedrigstwertigen Bits werden durch Werte aus der Look-Up Tabelle in Abhängigkeit von Zählerwert ersetzt und so ebenfalls fehlerkorrigiert.

10
15

Vorteilhafterweise erfolgt die Fehlerkorrektur durch Ersetzung fehlerbehafteter Bit-Blöcke durch vorher berechnete Bit-Blöcke. Auf diese Weise lässt sich die Look-Up Tabelle im Umfang im Vergleich zu herkömmlichen Verfahren reduzieren.

20

Mit anderen Worten wird eine rekursive Funktion schrittweise von dem Generator berechnet. Mit jedem Rekursionsschritt wird ein zunächst noch fehlerbehafteter Wert der Wortlänge WL erzeugt und dann mittels des Addierers vom Fehler in den WL-w höchstwertigen (MSB) Bits befreit, wobei w die Zahl der niedrigstwertigen (LSB) Bits angiebt. Daraufhin wird mittels einer Look-Up Table der noch verbleibende Fehler, der sich nur mehr in den w LSB Bits des Rekursionswertes befinden kann, durch ein Ersetzen der letzten w Bits mit vorher berechneten Werten aus der Look-Up Tabelle korrigiert. Die Korrektur des Fehlers in den WL-w Bits des Datenwortes erfolgt somit durch Evaluierung eines w-Bit Wertes, beispielsweise mit 3-bit, aus der Tabelle.

25
30

In einer Weiterbildung des Verfahrens zur Signalverarbeitung wird das Anfangssignal und das korrigierte Rekursionssignal zu einem aktuellen Zählerwert sowie zu einem vorherigen Zählerwert berücksichtigt.

5

Mit einem ersten Zählerwert wird der Rekursionsanfang definiert und das Anfangssignal bereitgestellt. Mit jedem folgenden, aktuellen Zählerwert wird der Rekursionsschritt derart durchgeführt, dass aus dem Anfangssignal oder dem korrigierten Rekursionssignal zu einem vorherigen Zählerwert verzögert mittels der Funktionsvorschrift das Rekursionssignal zum aktuellen Zählerwert generiert wird. Durch die Fehlerkorrektur wird in der Folge das korrigierte Rekursionssignal zum aktuellen Zählerwert generiert. Der Rekursionsschritt wird rekursiv derart wiederholt, dass mit jedem folgenden Zählerwert zunächst das korrigierte Rekursionssignal zum aktuellen Zählerwert als das korrigierte Rekursionssignal zum vorherigen Zählerwert übernommen wird.

20 In einer Weiterbildung umfasst das Verfahren zur Signalverarbeitung eine Fehlerkorrektur, die derart erfolgt, dass eine Zahl von fehlerbehafteten Bits des Rekursionssignals mit vorher berechneten, nicht fehlerbehafteten Bits aus der Look-Up Tabelle ersetzt wird.

25

Die Fehlerkorrektur erfolgt schrittweise. Bevorzugt werden zunächst die höchstwertigen Bits des Rekursionssignals durch Offset-Addition korrigiert. Die niedrigstwertigen Bits werden durch fehlerkorrigierte Werte aus der Look-Up Tabelle ersetzt.

30

Vorteilhafterweise lässt sich die Look-Up Tabelle im Umfang im Vergleich zu herkömmlichen Verfahren und der Rechenaufwand vorteilhaft reduzieren.

- 5 Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand von Figuren näher erläutert. Insoweit sich Schaltungsteile oder Bauelemente in ihrer Funktion entsprechen, wird deren Beschreibung nicht in jeder der folgenden Figuren wiederholt.

10

Es zeigen:

- Figur 1 eine beispielhafte Ausführungsform eines integrier-
ten Schaltkreises mit einer Signalverarbeitungsan-
15 ordnung zur Berechnung rekursiver Funktionen zweiter Ordnung nach dem vorgeschlagenen Prinzip,

- Figur 2 eine Look-Up Tabelle mit Werten zur Bitersetzung
von $w=3$ niedrigstwertigen Bits gemäß Figur 1,

20

- Figur 3 eine beispielhafte Ausführungsform eines integrier-
ten Schaltkreises mit einer Signalverarbeitungsan-
ordnung zur rekursiven Berechnung einer Sinus- oder
Kosinus-Funktion nach dem vorgeschlagenen Prinzip,
25 und

- Figur 4 Quantisierungsfehler als Funktion eines Zählerwer-
tes, wie sie bei der Signalverarbeitungsanordnung
gemäß Figur 3 auftreten.

30

Figur 1 zeigt eine beispielhafte Ausführungsform eines integrier-
ten Schaltkreises mit einer Signalverarbeitungsanordnung
zur Berechnung rekursiver Funktionen zweiter Ordnung nach dem

vorgeschlagenen Prinzip. Die Signalverarbeitungsanordnung verfügt über einen Funktionsgenerator Fkt zur Berechnung rekursiver Funktionen zweiter Ordnung, sowie über einen ersten Multiplexer M1 und einen zweiten Multiplexer M2. An einem ersten Eingang 1M1 des ersten Multiplexers M1 liegt ein erstes Anfangssignal g1 und an einem ersten Eingang 1M2 des zweiten Multiplexers M2 ein zweites Anfangssignal g0 an. Ein Ausgang des ersten Multiplexers liegt über ein erstes Verzögerungsglied Z1 an einem zweiten Eingang 2M2 des zweiten Multiplexers an. Ein Ausgang des zweiten Multiplexers M2 ist mit einem zweiten Verzögerungsglied Z2 gekoppelt. Das erste, wie das zweite Verzögerungsglied, Z1 und Z2, sind mit dem Funktionsgenerator Fkt verbunden.

Ein Ausgang des Funktionsgenerators Fkt ist verbunden mit einem ersten Eingang eines Addierers A. Ein zweiter Eingang des Addierers A ist mit einem Offset-Generator Off gekoppelt. Ein Ausgang des Addierers A koppelt an einen ersten Eingang einer Signalkorrektureinrichtung Cor. Ein zweiter Eingang der Signalkorrektureinrichtung Cor ist mit einem Ausgang eines Speichers ROM gekoppelt, der eine Look-Up Tabelle umfasst. Der Ausgang des Speichers ROM ist zudem mit einem Eingang des Offset-Generators Off verbunden. Ein Ausgang der Signalkorrektureinrichtung Cor koppelt in einer Schleife zurück an einen zweiten Eingang 2M1 des ersten Multiplexers M1 und liegt zudem an einem Ausgang Out der Signalverarbeitungseinrichtung an.

Ein Zähler Cnt zum Zählen von Rekursionsschritten stellt dem ersten und zweiten Multiplexer, M1 und M2, sowie dem Speicher ROM mit der Look-Up Tabelle einen Zählerwert n von Rekursionsschritten bereit.

Der Zähler zum Zählen von Rekursionsschritten generiert diskrete Zählerwerte n , die von 0 bis zu $M-1$ laufen, wobei M eine vorher definierte Zahl von Rekursionsschritten ist. Erfindungsgemäß werden M Rekursionssignale generiert, wobei die

5 Zahl M von einer konkreten Anwendung abhängt. Mit dem Zählerwert $n=0$ wird der Rekursionsanfang definiert und das erste und zweite Anfangssignal, g_1 und g_0 , über den ersten bzw. zweiten Multiplexer, M_1 und M_2 , an das erste bzw. zweite Verzögerungsglied, Z_1 und Z_2 , durchgeschleift. Sowohl das erste,

10 wie das zweite Verzögerungsglied, Z_1 und Z_2 , stellen die an ihnen anliegenden Signale, insbesondere das erste und zweite Anfangssignal, g_1 und g_0 , jeweils um einen Zählerwert n verzögert dem Funktionsgenerator F_{kt} bzw. im Fall des ersten Verzögerungsgliedes Z_1 zusätzlich dem zweiten Multiplexer M_2

15 bereit. Mit dem Zählerwert $n=1$ liegen somit das erste und das zweite Anfangssignal, g_1 und g_0 , am Funktionsgenerator F_{kt} an und der Rekursionsanfang ist abgeschlossen.

Der Funktionsgenerator F_{kt} generiert zum aktuellen Zählerwert

20 n ein Rekursionssignal $f(n)$ gemäß einer rekursiven Funktionsvorschrift der Form

$$f(n) = f(g(n-2), g(n-1), \Theta, \varphi),$$

25 wobei $g(n-1)$ und $g(n-2)$ korrigierte Rekursionssignale zum Zählerwert $n-1$ bzw. $n-2$ darstellen. Dabei ist der Rekursionsanfang, also $n=0$ bzw. $n=1$, definiert durch

$$\begin{aligned} g(0) &= g_0 \\ g(1) &= g_1 \end{aligned}$$

30

wobei g_0 dem ersten Anfangssignal und g_1 dem zweiten Anfangssignal entspricht. Der Parameter Θ definiert eine Schrittwei-

te von einem Funktionswert $f(n)$ zu einem nächsten Funktionswert $f(n+1)$ und erlaubt insbesondere die Implementierung verschiedener Auflösungen der Rekursionsschritte. Die Größe ϕ definiert einen Offset-Wert, mit dem eine Phasenverschiebung relativ zu Θ berücksichtigt werden kann. Erfindungsgemäß sind das erste und zweite Anfangssignal, g_0 und g_1 , sowie die Rekursionssignale $f(n)$ und $g(n)$ digital und verfügen über eine von der Abwendung abhängige, gleiche Wortlänge WL.

Das Rekursionssignal $f(n)$ zum Zählerwert n enthält einen Fehler $e(n)$, der mittels der Signalkorrekturvorrichtung Cor korrigiert wird, die so ein korrigiertes Rekursionssignal $g(n)$ zum Zählerwert n der Form

$$g(n) = f(n) + e(n)$$

generiert. Erfindungsgemäß werden dazu zunächst die $(WL - w)$ höchstwertigen Bits des Rekursionssignals $f(n)$ an den ersten Eingang des Addierers A übergeben. Dabei gibt w die Zahl der niedrigstwertigen Bits vor, die insbesondere von den theoretischen Fehlergrenzen des Fehlers $e(n)$ bzw. implizit von einer konkreten Rekursionsformel abhängt. Am zweiten Eingang des Addierers A liegt ein Offset-Signal an, das in Abhängigkeit vom Zählerwert n und Werten aus der Look-Up Tabelle des Speichers ROM gebildet wird. Am Ausgang des Addierers A wird nach Addition der beiden Eingangssignale ein Additionssignal $p(n)$ bereitgestellt und dem ersten Eingang der Signalkorrekturvorrichtung Cor zugeführt. Am zweiten Eingang der Signalkorrekturvorrichtung Cor liegt in Abhängigkeit vom Zählerwert n ein Signal $t(n)$ an, das aus Werten der Look-Up Tabelle des Speichers generiert ist. Erfindungsgemäß enthält die Look-Up Tabelle insgesamt M vorherberechnete und mit den Zählerwerten n indizierte Werte, die jeweils aus w Bits zusammengesetzt

sind. Insbesondere ist das Signal $t(n)$ ebenfalls aus w Bits zusammengesetzt. In der Signalkorrekturvorrichtung Cor wird durch eine Bitersetzung aus den beiden Signalen $p(n)$ und $t(n)$ ein korrigiertes Rekursionssignal $g(n)$ gebildet. Erfindungs-
5 gemäß bildet das Signal $t(n)$ die w niedrigstwertigen Bits und $p(n)$ die höchstwertigen Bits des korrigierten, digitalen Rekursionssignals $g(n)$. Das so generierte korrigierte Rekursionssignal $g(n)$ wird zum einen an den ersten Multiplexer M1 zurückgekoppelt und zum anderen am Ausgang Out der Signalver-
10 arbeitungsvorrichtung bereitgestellt.

Vorteilhafterweise ermöglicht der Integrierte Schaltkreis mit einer Signalverarbeitungsanordnung eine flexible Korrektur digitaler Quantisierungsfehler, die im Gegensatz zu herkömm-
15 lichen Verfahren keine einschränkenden Annahmen über die Verwendung der Parameter Θ und ϕ erfordert und die so im Rahmen einer konkreten Anwendung beliebig angepasst werden können. Erfindungsgemäß können die Parameter Θ und ϕ durch den Anwender durch geeignete Mittel am integrierten Schaltkreis einge-
20 stellt werden. Insbesondere stellt der erfindungsgemäße Integrierte Schaltkreis mit der Signalverarbeitungsanordnung im Vergleich mit einer komplett iterativen bzw. einer Signalverarbeitung auf Basis von Look-Up Tabellen einen Hybriden dar. Der Integrierte Schaltkreis verfügt daher über einen Bedarf
25 an Chip-Fläche und/oder Rechenleistung, der in der Regel zwischen den herkömmlichen Realisierungen liegt. Vorteilhafterweise wird der Integrierte Schaltkreis in Anwendungen eingesetzt, die keinen hohen Rechenaufwand erlauben und für die die Verwendung umfangreicher Look-Up Tabellen zu aufwendig
30 ist. Insbesondere werden im Speicher ROM mit der Look-Up Tabelle nur wenige niedrigwertige Bits, bevorzugt der Wortlänge $WL=3$, abgelegt.

In einer alternativen nicht gezeigten Ausführungsform enthält der Integrierte Schaltkreis mit einer Signalverarbeitungsanordnung einen Funktionsgenerator Fkt zur Berechnung rekursiver Funktionen der Ordnung k , wobei k die Zahl von Signalen angibt, die der Funktionsgenerator Fkt benötigt, um einen nächsten Rekursionsschritt zu berechnen. Dazu wird auf dem integrierten Schaltkreis eine Zahl von k gekoppelten Multiplexern und Verzögerungsgliedern vorgesehen, wobei jedes Verzögerungsglied seinerseits an den Funktionsgenerator Fkt gekoppelt ist. Zudem liegen an den Multiplexern insgesamt k Anfangssignale an.

Figur 2 zeigt eine beispielhafte Ausführungsform einer Look-Up Tabelle mit Werten zur Bitersetzung von $w=3$ niedrigstwertigen Bits gemäß Figur 1. In einer ersten Tabellenspalte sind die Zählerwerte n eingetragen, die hier der Indizierung der Look-Up Tabelle dienen. In einer zweiten Tabellenspalte stehen Tabellenwerte t_n , die der Signalkorrekturvorrichtung Cor mittels des Signals $t(n)$ zur Bitersetzung übergeben werden. Und in der dritten Tabellenspalte sind Informationen zur Berücksichtigung eines Offsets durch den Offset-Generator Off enthalten.

In Abhängigkeit vom aktuellen Zählerwert n des Zählers Cnt wird der entsprechende Tabellenwert t_n gewählt und das Signal $t(n)$ der Signalkorrekturvorrichtung zur Bitersetzung der $w=3$ niedrigstwertigen Bits übergeben. Zu gewissen Zählerwerten n werden Offsetwerte der Look-Up Tabelle an den Offset-Generator Off übergeben. Bevorzugt sind Offsetwerte als Maximum und Minimum des Quantisierungsfehlers $e(n)$ definiert.

Vorteilhafterweise gewährleistet die vorgeschlagene Fehlerkorrektur, dass sich der Fehler $e(n)$ auf ein bestimmtes In-

tervall beschränkt. Insbesondere wird so eine lineare oder exponentielle Fehlerfortpflanzung verhindert. Vorteilhafterweise ist die Fehlerkorrektur von den Parametern Θ und ϕ unabhängig.

5

Eine Bitersetzung der w niedrigstwertigen Bits eines Rekursionssignal $f(n)$ der Form

$$f(n) = g(n) + e(n)$$

10

führt nicht zu einem zulässigen fehlerkorrigierten Rekursionssignal $g(n)$, wenn der Fehler $e(n)$ eine Carry Propagation auf Bitpositionen über w hinaus erzeugt. Dies ist insbesondere dann der Fall, wenn gilt:

15

$$0 > t(n) > 7.$$

Um zu vermeiden, dass sich die $WL-w$ höchstwertigen Bits des Rekursionssignals $f(n)$ durch den Fehler $e(n)$ in einen falschen Block verschieben, wird durch die Berücksichtigung des Offsets eine Korrektur vorgenommen bevor die Bitersetzung erfolgt. Auf diese Weise wird sichergestellt, dass das korrigierte Rekursionssignal $g(n)$ weiterhin einen korrekten Block von $WL-w$ höchstwertigen Bits aufweist.

25

Der Fehler $e(n)$ ist in der Regel unbekannt. Durch die folgende Fallunterscheidung wird der Fehler $e(n)$ so abgeschätzt, dass eine Carry Propagation in allen Fällen vermieden wird:

30

Fall 1: $t(n) = 111..11$ bis $(111..1 - \max(e(n))) + 1$

Fall 2: $t(n) = 000..00$ bis $(000..0 - \min(e(n))) - 1.$

Im Fall 1 wird als Vorkehrung eine maximale Fehlergrenze $\max(e(n))$ durch den Offset-Generator Off subtrahiert und so aus dem Rekursionssignal $f(n)$ das Signal

$$p(n) = f(n) - \max(e(n))$$

gebildet und der Signalkorrekturvorrichtung Cor zugeführt. Das korrigierte Rekursionssignal $g(n)$ reproduziert dann nach der Bitersetzung durch $t(n)$ die korrekten WL-w höchstwertigen Bits, denn es gilt:

$$t(n) + e(n) - \max(e(n)) \leq 7.$$

Im Fall 2 wird analog eine minimale Fehlergrenze $\min(e(n))$ als Vorkehrung durch den Offset-Generator Off subtrahiert und so aus dem Rekursionssignal $f(n)$ das Signal

$$p(n) = f(n) + \min(e(n))$$

generiert und der Signalkorrekturvorrichtung Cor zugeführt. Das korrigierte Rekursionssignal $g(n)$ reproduziert dann nach der Bitersetzung durch $t(n)$ die korrekten WL-w höchstwertigen Bits, denn es gilt:

$$t(n) + e(n) + \min(e(n)) > 0.$$

Anhand von Figur 2 kann die Offset-Korrektur beispielhaft für den Fall $w=3$ nachvollzogen werden. Die Fehlergrenzen sind in dem Beispiel durch das geschlossene Intervall $[-3, 2]$ gegeben. Unter Fall 1 fallen die Tabellenwerte

$$t(n) = 111 \text{ und } t(n) = 110.$$

Die Offset-Korrektur erfolgt durch Subtraktion der maximalen Fehlergrenze

$$\max(e(n))=2.$$

5

Unter den Fall 2 fallen die Tabellenwerte

$$t(n)=000, t(n)=001 \text{ und } t(n)=010.$$

10 Die Offset-Korrektur erfolgt durch Subtraktion der minimalen Fehlergrenze

$$\min(e(n))=-3.$$

15 Für alle anderen Tabellenwerte t_n wird keine Offset-Korrektur benötigt. Erfindungsgemäß wird dies realisiert, indem der Offset-Generator Off den Wert Null generiert und durch den Addierer A zu dem Rekursionssignal $f(n)$ addiert wird. Insbesondere erzwingt die beschriebene Offset-Korrektur eine kor-

20 rekte Carry Propagation und stellt sicher, dass die so generierten Signale $p(n)$ im korrekten Block von WL-w höchstwertigen Bits verbleiben. Durch die folgende Bitersetzung mit den Tabellenwerten t_n wird dann der Fehler $e(n)$ korrekt berücksichtigt.

25

Figur 3 zeigt eine beispielhafte Ausführungsform eines integrierten Schaltkreises mit einer Signalverarbeitungsanordnung zur rekursiven Berechnung einer Sinus- oder Kosinus-Funktion nach dem vorgeschlagenen Prinzip. Der Funktionsgenerator Fkt

30 umfasst einen Multiplizierer Mul und einen Addierer Add, sowie einen Tabellenspeicher T mit vorher berechneten Sinus- oder Kosinus-Werten. Ein erster Eingang des Multiplikators Mul ist mit dem ersten Verzögerungsglied Z1 und ein zweiter

Eingang des Multiplikators Mul mit dem Tabellenspeicher T gekoppelt. Ein Ausgang des Multiplikators Mul ist mit einem ersten Eingang des Addierers Add verbunden. Ein zweiter invertierender Eingang des Addierers Add ist mit dem zweiten
 5 Verzögerungsglied Z2 gekoppelt und ein Ausgang des Addierers Add liegt an der Signalkorrektureinrichtung Cor an.

Durch die Ausgestaltung des Funktionsgenerators Fkt mit zwei Addierern, A und Add, einem Multiplikator Mul und einem Ta-
 10 bellenspeicher T mit Sinus- oder Kosinus-Werten ist eine rekursive Funktionsvorschrift zweiter Ordnung implementiert, die aus geeigneten Anfangssignalen g0 und g1 Rekursionssignale f(n) der Form

$$15 \quad f(n) = \sin(n\Theta + \varphi) = 2 \cdot \cos(\Theta) \cdot \sin((n-1)\Theta + \varphi) - \sin((n-2)\Theta + \varphi)$$

bzw.

$$f(n) = \cos(n\Theta + \varphi) = 2 \cdot \sin(\Theta) \cdot \cos((n-1)\Theta + \varphi) - \cos((n-2)\Theta + \varphi)$$

generiert. Zu jedem, monoton steigenden Zählerwert n werden
 20 Rekursionssignale f(n), also $\sin(n\Theta + \varphi)$ oder $\cos(n\Theta + \varphi)$ unter Berücksichtigung eines konstanten Offset Winkels φ und der Schrittweite Θ rekursiv berechnet. Insbesondere ist der Parameter w in beiden Fällen gleich drei. Zu jedem Zählerwert n werden mittels der Fehlerkorrektur gemäß der Figuren 1 und
 25 2 korrigierte Rekursionssignale g(n) mit einer Präzision von WL-bit erzeugt und als Ausgangssignal des integrierten Schaltkreises am Ausgang Out bereitgestellt und an den ersten Multiplexer M1 zurückgekoppelt.

30 Vorteilhafterweise umfasst die Komplexität der Signalverarbeitung pro Ausgangssignal eine Multiplikation, zwei Additionen, sowie eine 3-bit Look-Up Tabelle. Im Vergleich zu konventionellen Verfahren, die auf iterativen Ansätzen, wie ei-

nem CORDIC (COoRdinate DIGital Computer), oder reinen Look-Up Tabellen basieren, verfügt der vorgeschlagene Integrierte Schaltkreis erfindungsgemäß ab etwa einer Präzision von 16 bit oder mehr und einer großen Zahl von Ausgangssignalen (M größer 2^9) über eine geringere Chipgröße und geringere Anforderungen an die Rechenleistung. Insbesondere benötigt die vorgeschlagene Fehlerkorrektur im Vergleich zu anderen rekursiven Verfahren einen geringeren Rechenaufwand und erlaubt beliebige Offset-Winkel φ und Schrittweiten Θ .

10

Figur 4 zeigt Quantisierungsfehler als Funktion des Zählerwertes, wie sie bei der Signalverarbeitungsanordnung gemäß Figur 3 auftreten. Aufgetragen ist der Quantisierungsfehler $e(n)$ gegen den Zählerwert n . Dabei ist der Quantisierungsfehler $e(n)$ berechnet aus der Differenz

15

$$e(n) = f(n) - g(n)$$

der jeweiligen Rekursionssignale $f(n)$ und korrigierten Rekursionssignale $g(n)$, hier für die rekursive Berechnung einer Sinus-Funktion mit einer Präzision von 24-bit.

20

Vorteilhafterweise bleibt der Quantisierungsfehler $e(n)$ innerhalb eines wohldefinierten Intervalls und steigt nicht linear oder exponentiell mit wachsendem Zählerwert n an.

25

Bezugszeichenliste

	1M1	erster Eingang des ersten Multiplexers
	1M2	erster Eingang des zweiten Multiplexers
5	2M1	zweiter Eingang des ersten Multiplexers
	2M2	zweiter Eingang des zweiten Multiplexers
	A	Addierer
	Add	Addierer
	Cnt	Zähler
10	Cor	Signalkorrekturvorrichtung
	Fkt	Funktionsgenerator
	f(n)	Rekursionssignal zum Zählerwert n
	g0	zweites Anfangssignal
	g1	erstes Anfangssignal
15	g(n)	korrigiertes Rekursionssignal zum Zählerwert n
	g(n-1)	korrigiertes Rekursionssignal zum Zählerwert n-1
	g(n-2)	korrigiertes Rekursionssignal zum Zählerwert n-2
	M1	erster Multiplexer
	M2	zweiter Multiplexer
20	Mul	Multiplikator
	n	Zählerwert des Zählers
	Off	Offset-Generator
	Out	Ausgang der Signalverarbeitungsanordnung
	p(n)	Signal
25	ROM	Speicher mit Look-Up Tabelle
	tn	Tabellenwerte
	t(n)	Signal zur Bitersetzung
	T	Tabellenspeicher
	Z1	erstes Verzögerungsglied
30	Z2	zweites Verzögerungsglied

Patentansprüche

1. Integrierter Schaltkreis mit einer Signalverarbeitungsanordnung, bei dem
 - 5 – ein Zähler (Cnt) zum Zählen von Rekursionsschritten mit einem Generator (G) und einer Korrekturereinrichtung (K) gekoppelt ist, und dem Generator (G) und der Korrekturereinrichtung (K) einen Zählerwert (n) von Rekursionsschritten bereitstellt,
 - 10 – der Generator (G) rekursiv zu jedem Zählerwert (n) ein Rekursionssignal ($f(n)$) erzeugt und an einem Ausgang bereitstellt,
 - die Korrekturereinrichtung (K) über einen Eingang mit dem Ausgang des Generators (G) verbunden ist und in
15 Abhängigkeit vom Zählerwert (n) aus dem Rekursionssignal ($f(n)$) ein korrigiertes Rekursionssignal ($g(n)$) zu dem Zählerwert (n) erzeugt, das an einem ersten Ausgang der Korrekturereinrichtung (K) und einem zweiten Ausgang (Out) zum Bereitstellen eines
20 Ausgangssignals der Signalverarbeitungsanordnung bereitsteht, und
 - der erste Ausgang der Korrekturereinrichtung mit einem Eingang des Generators (G) gekoppelt ist.
- 25 2. Integrierter Schaltkreis nach Anspruch 1, bei dem
 - der Generator (G) ein Selektionsschaltnetz zum Wählen eines Anfangssignals und einen Funktionsgenerator (Fkt) zum Generieren eines Rekursionssignals ($f(n)$) umfasst,
 - 30 – das Selektionsschaltnetz einen ersten Eingang, der mit der Korrekturereinrichtung (K) gekoppelt ist, und einen zweiten Eingang, an dem das Anfangssignal an-

liegt, umfasst, und das Selektionsschaltnetz mit dem Funktionsgenerator (Fkt) gekoppelt ist,

- der Zähler (Cnt) mit dem Selektionsschaltnetz gekoppelt ist und das Selektionsschaltnetz so steuert, dass in Abhängigkeit vom Zählerwert (n) der erste Eingang oder der zweite Eingang mit dem Funktionsgenerator (Fkt) elektrisch leitend geschaltet ist, und
- der Funktionsgenerator (Fkt) mit der Korrekturanrichtung (K) gekoppelt ist.

3. Integrierter Schaltkreis nach Anspruch 2, bei dem das Anfangssignal und das Rekursionssignal ($f(n)$) digital sind.

4. Integrierter Schaltkreis nach Anspruch 2 oder 3, bei dem das Anfangssignal und das Rekursionssignal ($f(n)$) diskret sind.

5. Integrierter Schaltkreis nach einem der Ansprüche 2 bis 4, bei dem

- das Selektionsschaltnetz einen Multiplexer und ein Verzögerungsglied umfasst und der Multiplexer mit dem Verzögerungsglied gekoppelt ist,

- an einem ersten Eingang des Multiplexers das Anfangssignal anliegt und ein zweiter Eingang des Multiplexers mit der Korrekturanrichtung (K) gekoppelt ist,

- der Zähler (Cnt) mit dem Multiplexer gekoppelt ist und in Abhängigkeit vom Zählerwert (n) steuert, ob der erste Eingang des Multiplexers oder der zweite Eingang des Multiplexers elektrisch leitend mit dem Verzögerungsglied verbunden ist, und

- 27 -

- das Verzögerungsglied mit dem Funktionsgenerator (Fkt) gekoppelt ist.

6. Integrierter Schaltkreis nach Anspruch 5, bei dem

- die Korrektureinrichtung (K) einen Speicher (ROM) mit einer Look-Up Tabelle und eine Signalkorrektur-einrichtung (Cor) umfasst,
- die Look-Up Tabelle des Speichers (ROM) vorher be-rechnete Werte enthält, die mit dem Zählerwert (n) indiziert sind, und
- die Signalkorrektureinrichtung (Cor) über einen ersten Eingang mit dem Funktionsgenerator (Fkt) verbunden und über einen zweiten Eingang an den Speicher (ROM) gekoppelt ist, und mit einem Ausgang am zweiten Eingang des Multiplexers anliegt.

7. Integrierter Schaltkreis nach Anspruch 6, bei dem

- das Selektionsschaltnetz einen ersten Multiplexer (M1) und einen zweiten Multiplexer (M2) umfasst,
- an einem ersten Eingang (1M1) des ersten Multiple-xers (M1) ein erstes Anfangssignal (g0) anliegt und ein zweiter Eingang (2M1) des ersten Multiplexers (M1) mit der Signalkorrektureinrichtung (Cor) ge-koppelt ist, sowie ein Ausgang des ersten Multiple-xers (M1) mit einem ersten Verzögerungsglied (Z1) verbunden ist,
- an einem ersten Eingang (1M2) des zweiten Multiple-xers (M2) ein zweites Anfangssignal (g1) anliegt und ein zweiter Eingang (2M2) des zweiten Multiple-xers (M2) mit dem ersten Verzögerungsglied (Z1) ge-koppelt ist, sowie ein Ausgang des zweiten Multi-

plexers (M2) mit einem zweiten Verzögerungsglied (Z2) verbunden ist,

– das erste Verzögerungsglied (Z1) mit dem Funktionsgenerator (Fkt) verbunden ist, und

5 – das zweite Verzögerungsglied (Z2) mit dem Funktionsgenerator (Fkt) verbunden ist.

8. Integrierter Schaltkreis Anspruch 6 oder 7, bei dem

10 – ein Addierer (A) zum Addieren eines Offset-Wertes über einen ersten Eingang (1A) mit dem Funktionsgenerator (Fkt) und über einen zweiten Eingang (2A) mit einem Offset-Generator (Off) verbunden ist, und mit einem Ausgang an der Signalkorrektureinrichtung (Cor) anliegt, und

15 – der Offset-Generator (Off) mit der Look-Up Tabelle des Speichers (ROM) gekoppelt ist.

9. Integrierter Schaltkreis nach einem der Ansprüche 6 bis 8, bei dem

20 – der Funktionsgenerator (Fkt) einen Addierer (Add), einen Multiplikator (Mul) und einen Tabellenspeicher (T) mit vorher bestimmten Kosinus-Werten umfasst,

25 – ein erster Eingang des Multiplikators (Mul) mit dem ersten Verzögerungsglied (Z1) und ein zweiter Eingang des Multiplikators (Mul) mit dem Tabellenspeicher (T) gekoppelt sind, und ein Ausgang des Multiplikators (Mul) mit einem ersten Eingang des Addierers (Add) verbunden ist, und

30 – ein zweiter invertierender Eingang des Addierers (Add) mit dem zweiten Verzögerungsglied (Z2) gekoppelt ist, und ein Ausgang des Addierers (Add) am

Addierer (A) der Signalkorrektureinrichtung (Cor) anliegt.

- 5 10. Verfahren zur Signalverarbeitung in einem integrier-
ten Schaltkreis umfassend:
- einen Rekursionsanfang, durch den mindestens ein Anfangssignal bereitgestellt wird,
 - Durchführen eines Rekursionsschrittes, mit dem durch eine rekursive Funktionsvorschrift aus dem
10 Anfangssignal ein Rekursionssignal ($f(n)$) generiert wird,
 - Durchführen einer Fehlerkorrektur des Rekursions-
signals,
 - rekursives Wiederholen von Rekursionsschritt und
15 Fehlerkorrektur, bis eine Endbedingung erreicht ist, und
 - Bereitstellen des Rekursionssignals ($f(n)$) als Aus-
gangssignal.
- 20 11. Verfahren zur Signalverarbeitung nach Anspruch 10,
bei dem das Anfangssignal und das Rekursionssignal ($f(n)$) digital sind.
- 25 12. Verfahren zur Signalverarbeitung nach Anspruch 10
oder 11, bei dem die Zahl der Rekursionsschritte mit
einem Zählerwert (n) gezählt wird.
- 30 13. Verfahren zur Signalverarbeitung nach einem der An-
sprüche 10 bis 12, bei dem die Fehlerkorrektur durch
eine Korrektur des Rekursionssignals ($f(n)$) mit Wer-
ten aus einer Look-Up Tabelle in Abhängigkeit vom
Zählerwert (n) durchgeführt wird.

14. Verfahren zur Signalverarbeitung nach einem der Ansprüche 10 bis 13, bei dem

- mit einem ersten Zählerwert der Rekursionsanfang definiert und das Anfangssignal bereitgestellt wird,

- mit jedem folgenden, aktuellen Zählerwert (n) der Rekursionsschritt derart durchgeführt wird, dass aus dem Anfangssignal oder einem korrigierten Rekursionssignal ($g(n-1)$) zum vorherigen Zählerwert (n-1) verzögert mittels der Funktionsvorschrift das Rekursionssignal ($f(n)$) zum aktuellen Zählerwert (n) generiert wird,

- durch die Fehlerkorrektur das korrigierte Rekursionssignal ($g(n)$) zum aktuellen Zählerwert (n) generiert wird, und

- der Rekursionsschritt derart rekursiv wiederholt wird, dass mit jedem folgenden Zählerwert (n) zunächst das korrigierte Rekursionssignal ($g(n)$) zum aktuellen Zählerwert (n) als das korrigierte Rekursionssignal ($g(n-1)$) zum vorherigen Zählerwert (n-1) übernommen wird.

15. Verfahren zur Signalverarbeitung nach Anspruch 13, bei dem die Fehlerkorrektur derart erfolgt, dass eine Zahl von fehlerbehafteten Bits des Rekursionssignals ($f(n)$) mit vorher berechneten, nicht fehlerbehafteten Bits aus der Look-Up Tabelle ersetzt wird.

FIG 1

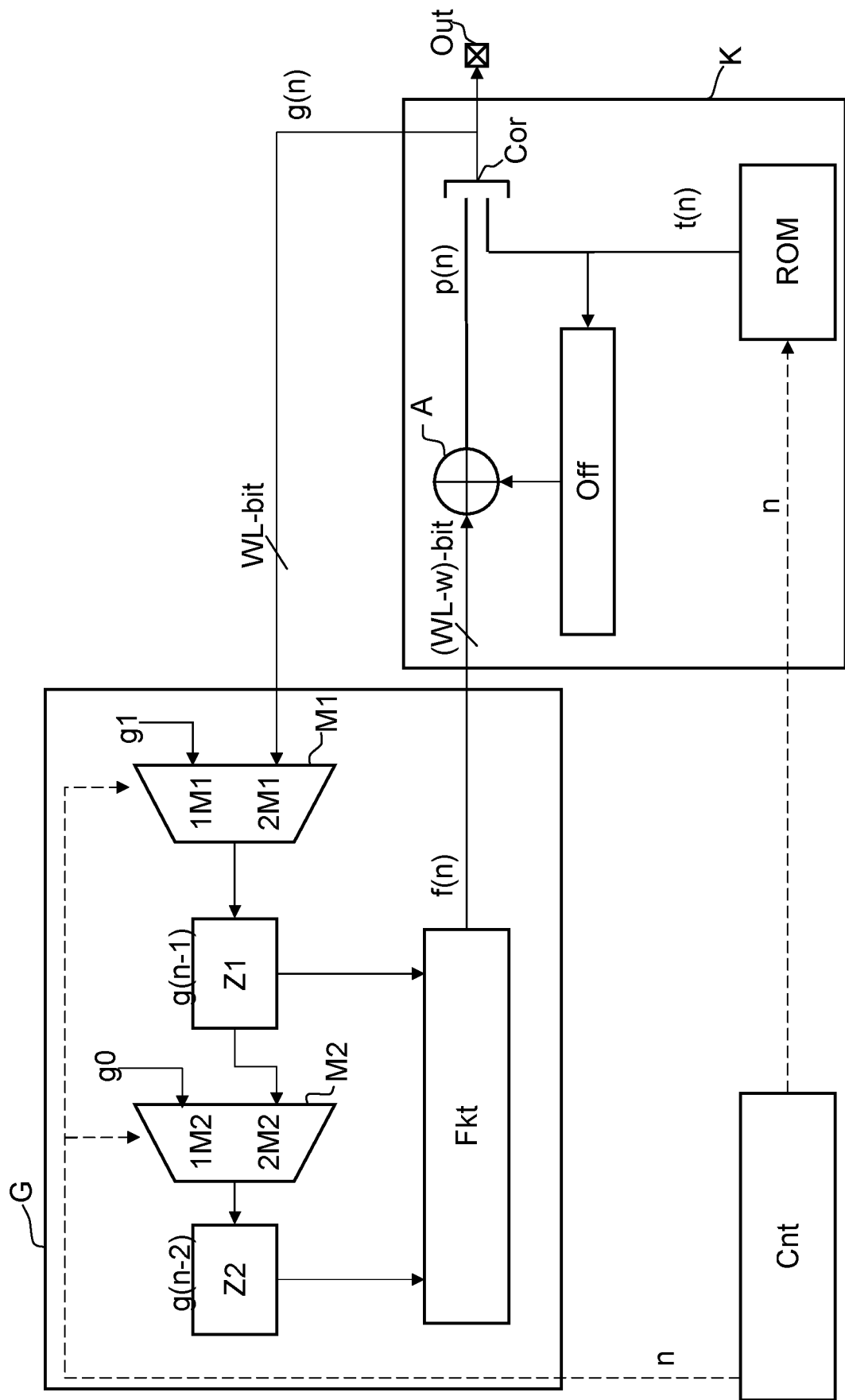


FIG 2

Zählerwert n	Tabellenwert t(n)	Offset
1	111	Fall 1
2	110	Fall 1
3	101	
4	100	
5	011	
6	010	Fall 2
7	001	Fall 2
8	000	Fall 2

FIG 3

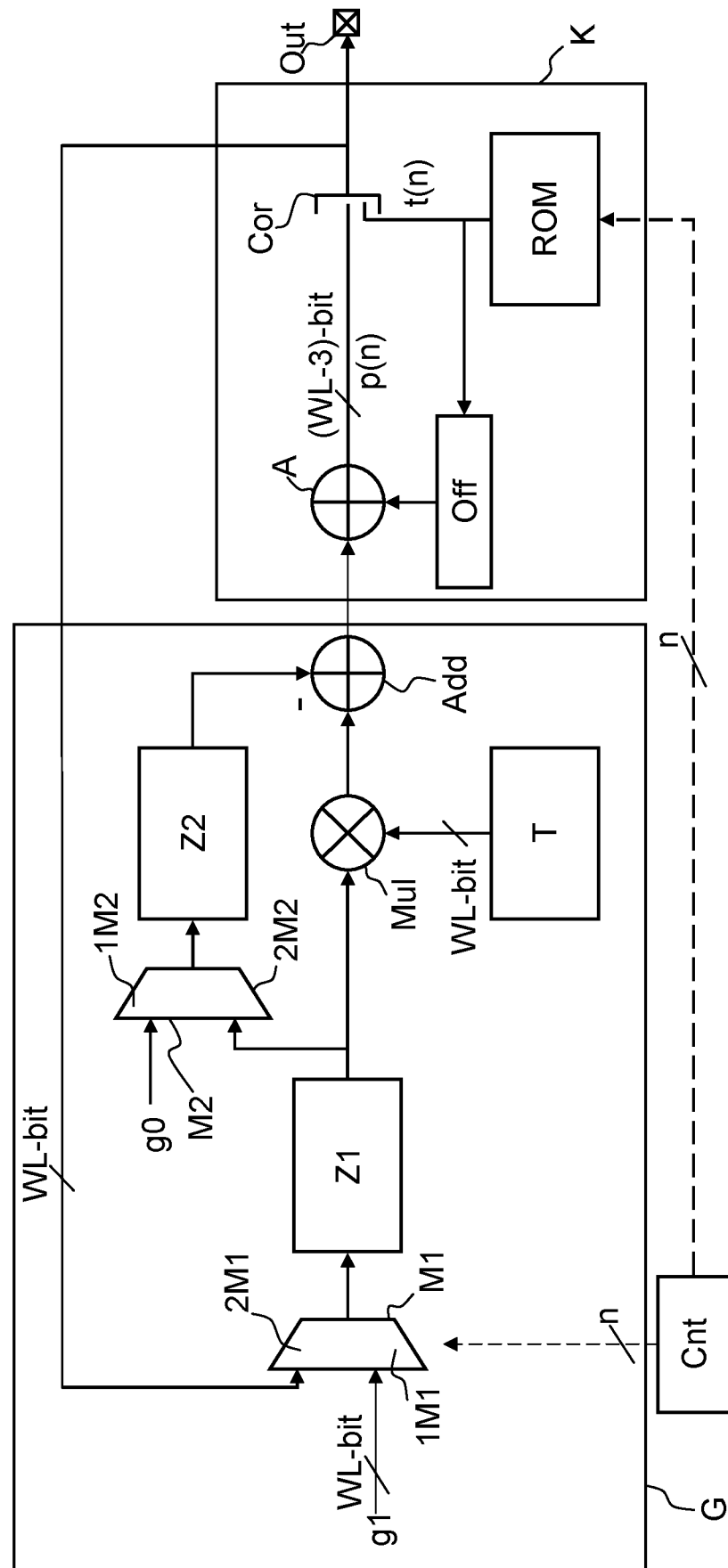
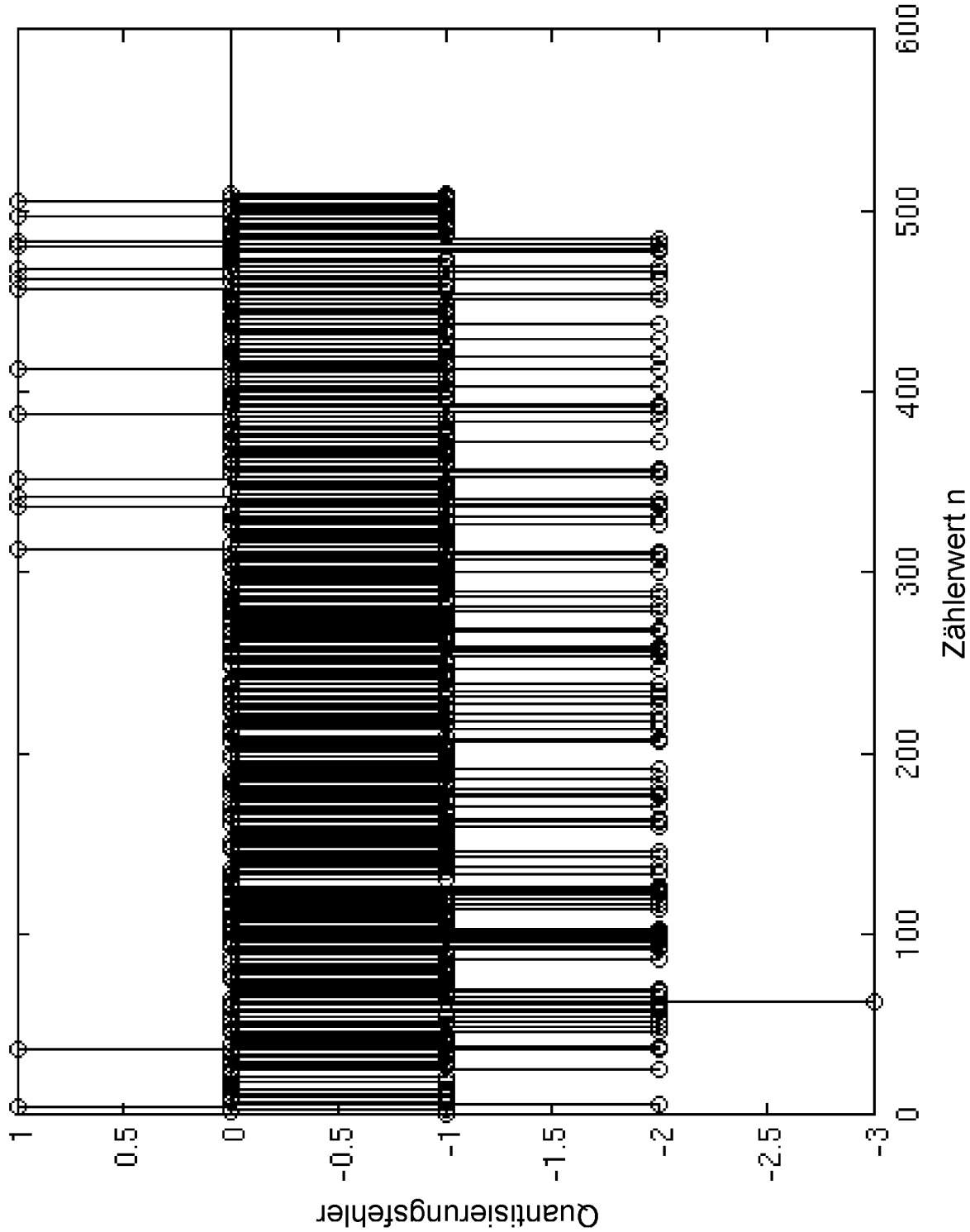


FIG 4



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2010/060347

A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F7/548 G06F1/03 G06F1/035
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F H03B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MCAULIFFE ET AL: "Digital Sampled Oscillator", IP.COM JOURNAL, IP.COM INC., WEST HENRIETTA, NY, US, 1 September 1972 (1972-09-01), XP013066779, ISSN: 1533-0001	1,10-15
Y	the whole document	2-9
Y	US 4 888 719 A (YASSA FATHY F [US]) 19 December 1989 (1989-12-19) column 5, paragraph 3; figure 1	2-9
A	US 2002/165889 A1 (HUANG TONY CHUN-HUNG [US] ET AL) 7 November 2002 (2002-11-07) figures 5,6	5,9
	----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

5 November 2010

Date of mailing of the international search report

16/11/2010

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Verhoof, Paul

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2010/060347

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 761 751 A (CANNIFF RONALD J [US]) 2 August 1988 (1988-08-02) column 4, line 41 - column 5, line 60; figures 2-4 -----	1,3,4, 9-12
A	FURUNO K ET AL: "Design of Digital Sinusoidal Oscillators with Absolute Periodicity", IEEE TRANSACTIONS ON AEROSPACE AND ELECTRONIC SYSTEMS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. AES-10, no. 6, 1 November 1975 (1975-11-01), pages 1286-1299, XP011166082, ISSN: 0018-9251, DOI: DOI:10.1109/TAES.1975.308186 page 1286, right-hand column, paragraph 3; figures 4, 7 page 1287, right-hand column, last paragraph page 1290, left-hand column, paragraph 2 -----	1,3-5,7, 9-11
A	DARWOOD N: "ACCURATE SINE-WAVE OSCILLATOR", WIRELESS WORLD, IPC BUSINESS PRESS LTD. HAYWARDS HEATH, GB, vol. 87, no. 1545, 1 June 1981 (1981-06-01), page 69/70,78, XP000649369, figures 2,3 -----	1,12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2010/060347

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4888719	A	19-12-1989	NONE	
US 2002165889	A1	07-11-2002	NONE	
US 4761751	A	02-08-1988	CA 1269420 A1	22-05-1990

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2010/060347

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. G06F7/548 G06F1/03 G06F1/035
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

G06F H03B

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	MCAULIFFE ET AL.: "Digital Sampled Oscillator", IP.COM JOURNAL, IP.COM INC., WEST HENRIETTA, NY, US, 1. September 1972 (1972-09-01), XP013066779, ISSN: 1533-0001	1,10-15
Y	das ganze Dokument	2-9
Y	US 4 888 719 A (YASSA FATHY F [US]) 19. Dezember 1989 (1989-12-19) Spalte 5, Absatz 3; Abbildung 1	2-9
A	US 2002/165889 A1 (HUANG TONY CHUN-HUNG [US] ET AL) 7. November 2002 (2002-11-07) Abbildungen 5,6	5,9
	----- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

5. November 2010

Absenddatum des internationalen Recherchenberichts

16/11/2010

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Verhoof, Paul

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 4 761 751 A (CANNIFF RONALD J [US]) 2. August 1988 (1988-08-02) Spalte 4, Zeile 41 - Spalte 5, Zeile 60; Abbildungen 2-4 -----	1,3,4, 9-12
A	FURUNO K ET AL: "Design of Digital Sinusoidal Oscillators with Absolute Periodicity", IEEE TRANSACTIONS ON AEROSPACE AND ELECTRONIC SYSTEMS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, Bd. AES-10, Nr. 6, 1. November 1975 (1975-11-01), Seiten 1286-1299, XP011166082, ISSN: 0018-9251, DOI: DOI:10.1109/TAES.1975.308186 Seite 1286, rechte Spalte, Absatz 3; Abbildungen 4, 7 Seite 1287, rechte Spalte, letzter Absatz Seite 1290, linke Spalte, Absatz 2 -----	1,3-5,7, 9-11
A	DARWOOD N: "ACCURATE SINE-WAVE OSCILLATOR", WIRELESS WORLD, IPC BUSINESS PRESS LTD. HAYWARDS HEATH, GB, Bd. 87, Nr. 1545, 1. Juni 1981 (1981-06-01), Seite 69/70,78, XP000649369, Abbildungen 2,3 -----	1,12

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2010/060347

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 4888719	A	19-12-1989	KEINE		
US 2002165889	A1	07-11-2002	KEINE		
US 4761751	A	02-08-1988	CA	1269420 A1	22-05-1990