



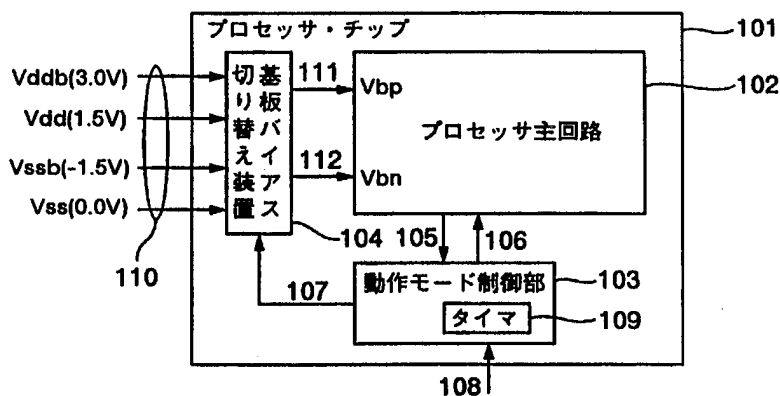
<p>(51) 国際特許分類6 G06F 1/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/22863</p> <p>(43) 国際公開日 1998年5月28日(28.05.98)</p>
<p>(21) 国際出願番号 PCT/JP97/04253</p> <p>(22) 国際出願日 1997年11月21日(21.11.97)</p> <p>(30) 優先権データ 特願平8/310380 1996年11月21日(21.11.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 戸塚米太郎(TOTSUKA, Yonetaro)(JP/JP) 〒185 東京都国分寺市西恋ヶ窪4丁目14-6 日立第四協心寮B205 Tokyo, (JP) 石橋孝一郎(ISHIBASHI, Koichiro)(JP/JP) 〒335 埼玉県蕨市南町3丁目7-6 Saitama, (JP) 水野弘之(MIZUNO, Hiroyuki)(JP/JP) 〒185 東京都国分寺市西恋ヶ窪3丁目8-1-87 Tokyo, (JP) 西井 修(NISHII, Osamu)(JP/JP) 〒206 東京都稲城市百村1630-6 Tokyo, (JP)</p>	<p>内山邦男(UCHIYAMA, Kunio)(JP/JP) 〒187 東京都小平市小川町1丁目445-1 ガーデンハイツ小平1-1106 Tokyo, (JP) 志村隆則(SHIMURA, Takanori)(JP/JP) 〒262 千葉県千葉市花見川区幕張町5丁目430 Chiba, (JP) 関根麻子(SEKINE, Asako)(JP/JP) 〒192 東京都八王子市子安町2丁目32 日立子安台アパートE-204 Tokyo, (JP) 勝木陽一(KATSUKI, Yoichi)(JP/JP) 〒196 東京都昭島市田中町1丁目9-32 サンライズ指田102 Tokyo, (JP) 成田 進(NARITA, Susumu)(JP/JP) 〒185 東京都国分寺市東戸倉1丁目21-70 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: **LOW-POWER PROCESSOR**

(54)発明の名称 低電力プロセッサ

(57) Abstract

A low-power processor which is equipped with a processor main circuit which executes a sequence of program commands on a processor chip, a substrate bias switch which switches the voltage of substrate bias applied to the substrate, and an operation mode controller which cancels the standby of the processor main circuit and resumes the operation after the switched bias voltage becomes stable, by so controlling the substrate bias switch as to switch the bias to the voltage for standby mode when it receives the execution of a command to shift to the standby mode in the processor main circuit, and so controlling the substrate bias switch as to switch the bias to the voltage for normal mode when it receives the interruption of cancel of the standby from the outside.



- 101 ... processor chip
- 102 ... processor main circuit
- 103 ... operation mode controller
- 104 ... substrate bias switch
- 109 ... timer

(57) 要約

本発明のプロセッサの特徴は、プロセッサ・チップ上にプログラム命令列を実行するプロセッサ主回路と、その基板に印加される基板バイアスの電圧を切り替える基板バイアス切り替え装置と、プロセッサ主回路におけるスタンバイモードに移行する命令の実行を受けてバイアスをスタンバイモード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、外部からスタンバイ解除の割り込みを受け取るとバイアスを通常モード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後にプロセッサ主回路のスタンバイを解除し動作を再開させる動作モード制御部を備えることである。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GA	ガボン	LV	ラトヴィア	TD	チャード
AU	オーストラリア	GB	英国	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GE	グルジア	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GM	ガambia	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BE	ベルギー	GN	ギニア			TT	トリニダード・トバゴ
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	ML	マリ	UA	ウクライナ
BG	ブルガリア	GR	ギリシャ	MN	モンゴル	UG	ウガンダ
BJ	ベナン	HU	ハンガリー	MR	モリタニア	US	米国
BR	ブラジル	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
BY	ベラルーシ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CA	カナダ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラヴィア
CF	中央アフリカ	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CG	コンゴ共和国	IT	イタリア	NO	ノルウェー		
CH	スイス	JP	日本	NZ	ニュージーランド		
CI	コートジボワール	KE	ケニア	PL	ポーランド		
CM	カメルーン	KR	韓国	PT	ポルトガル		
CN	中国	KP	北朝鮮	RO	ルーマニア		
CU	キューバ	KR	韓国	RU	ロシア		
CY	キプロス	KZ	カザフスタン	SD	スーダン		
CZ	チェコ	LC	セントルシア	SE	スウェーデン		
DE	ドイツ	LI	リヒテンシュタイン	SG	シンガポール		
DK	デンマーク	LK	スリランカ	SI	スロヴェニア		
EE	エストニア	LR	リベリア	SK	スロヴァキア		
ES	スペイン	LS	レソト	SL	シエラ・レオネ		

明 細 書

低電力プロセッサ

5 技術分野

本発明はプロセッサなどの半導体集積回路装置に関し、特に、プロセッサの動作モードに応じてMOSトランジスタにより構成されるプロセッサ回路の基板バイアスを制御することにより高速動作かつ低消費電力を実現するマイクロプロセッサに関する。

10 背景技術

現在、マイクロプロセッサの実現にはCMOSによる集積回路が広く用いられている。CMOS回路の消費電力にはスイッチング時の充放電によるダイナミックな消費電力とリーク電流によるスタティックな消費電力によるものがある。このうちダイナミック消費電力は電源電圧 V_{dd} の2乗に比例し、大きな消費電力を占めるため、低消費電力化のためには電源電圧を下げるのが効果的であり、近年多くのマイクロプロセッサの電源電圧は低下してきている。

現在の低消費電力型のマイクロプロセッサには、パワーマネージメント機構を備え、プロセッサに複数の動作モードを設け、それに従って待機時に実行ユニットへのクロックの供給を停止しているものがある。このクロック供給の停止により、不要な実行ユニットにおけるスイッチングによるダイナミックな消費電力を可能な限り削減することができる。しかしながら、リーク電流によるスタティックな消費電力は削減することができず、残存したままである。

CMOS回路の動作速度は電源電圧の低下に伴い遅くなるため、動作速度の劣化を防ぐためには電源電圧の低下に連動してMOSトランジスタのしきい値電圧を下げる必要がある。しかし、しきい値電圧を下げると極端にリーク電流が増加するため、電源電圧の低下が進むにつれて、従来はそれほど大きなものではなかったリーク電流によるスタティック消費電力の増大が顕著になってきた。このため、高速性と低消費電力性の2点を両立したマイクロプロセッサを実現することが問題になっている。

MOSトランジスタ回路の動作速度およびリーク電流に関する問題を解決する方法として、基板バイアスを可変設定することによりMOSトランジスタのしきい値電圧を制御する方法が特開平6-53496号公報に示されている。

図2により基板バイアスを可変設定するためのデバイス構造を説明する。図2
5 はCMOS構造の回路の断面図を示しており、pウェル（p型基板）201の表面層の一部に、nウェル205が形成されており、pウェル201の表面にはn+型のソース・ドレイン領域202、ゲート酸化膜203、およびゲート電極204からなるnMOSトランジスタが形成され、nウェル205の表面にはp+型のソース・ドレイン領域206、ゲート酸化膜207、およびゲート電極20
10 8からなるpMOSトランジスタが形成されている。

通常pMOSトランジスタとnMOSトランジスタのソースはそれぞれ電源電圧（以下V_{dd}と称す）と接地電位（以下V_{ss}と称す）に接続され、nMOSトランジスタとpMOSトランジスタのドレインは出力信号に接続される。基板バイアスを与えるための端子として、pMOSトランジスタのnウェル205に
15 V_{b p} 209、nMOSトランジスタのpウェル201にV_{b n} 210が設けられている。

図2のようなデバイスを用いて、通常はV_{b p} 209はV_{dd}に、V_{b n} 210はV_{ss}に接続するが、回路の非動作時にはこれらの基板バイアスを切り替えてV_{b p} 209はより高い電位に、V_{b n} 210はより低い電位に接続すること
20 によりMOSトランジスタのしきい値電圧を高くすることができリーク電流を削減できる。

発明の開示

高速性と低消費電力を両立したマイクロプロセッサを実現するためには、プロセッサ回路に対して上記のような基板バイアスの可変制御を行ない、プロセッサ
25 の動作時はMOSトランジスタのしきい値電圧を低くして高速性を維持し、待機時はしきい値電圧を高くしてリーク電流を低減する必要がある。しかしながら、プロセッサの基板バイアスを可変制御するためには基板バイアスの切り替え時におけるプロセッサの動作モードの移行、特に待機状態から動作状態への移行時のプロセッサを再起動するタイミングを正確に制御し、プロセッサの誤動作を防止

しなければならない。

本発明の目的はこのような問題点を解決し、プロセッサ・チップ上において上記基板バイアス制御を実現しプロセッサの各種動作モードに適用することにより、高速な低消費電力プロセッサを提供することにある。

- 5 上記問題を解決するため、本発明のプロセッサの特徴は、プロセッサ・チップ上にプログラム命令列を実行するプロセッサ主回路と、その基板に印加される基板バイアスの電圧を切り替える基板バイアス切り替え装置と、プロセッサ主回路におけるスタンバイモードに移行する命令の実行を受けて前記バイアスをスタンバイモード用の電圧に切り替えるように前記基板バイアス切り替え装置を制御し、
- 10 外部からスタンバイ解除の割り込みを受け取るとバイアスを通常モード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後にプロセッサ主回路のスタンバイを解除し動作を再開させる動作モード制御部を備えることである。

- また、本発明のプロセッサの他の特徴は、プロセッサ・チップの半導体デバイス
- 15 スは3重ウェル構造をしており、プロセッサ主回路は基板バイアス切り替え装置と動作モード制御部とは異なるウェル領域上に形成されることである。

- また、本発明の他の特徴は、動作モード制御部は、バイアスの切り替え時にプロセッサ主回路の動作を再開させる前にその切り替えたバイアス電圧が安定する
- 20 オンチップタイマ、または、バイアスが所定の電圧に安定したことを検知するセンサを備えることである。

- また、本発明のプロセッサの他の特徴は、プロセッサ・チップの半導体デバイスは3重ウェル構造をしており、複数の機能モジュールに分割され、それらがそれぞれ異なるウェル領域上に形成されているプロセッサ主回路と、各機能モジュール
- 25 ールの基板に印加される基板バイアスを切り替える基板バイアス切り替え装置と、プロセッサ主回路における一つ又は複数の前記機能モジュールをスタンバイにする命令の実行を受けてその機能モジュールの基板バイアスをスタンバイモード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、外部またはプロセッサ主回路からその機能モジュールのスタンバイ解除の信号を受け取るとバイ

アスを通常モード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後にプロセッサ主回路に機能モジュールのスタンバイが解除されたことを通知する動作モード制御部を備えることである。

- 5 また、本発明のプロセッサは、プロセッサ主回路の動作速度を動的に切り替える手段と、プロセッサ主回路における動作周波数変更する命令の実行を受けて基板バイアス切り替え装置をプロセッサ主回路または機能モジュールの基板バイアスをその動作周波数に適した電圧に切り替えるように制御し、その切り替えたバイアス電圧が安定した後に前記プロセッサ主回路に動作速度の切り替えが完了したことを通知する動作モード制御部を備えることである。

更に、本発明のプロセッサの特徴は、基板バイアス切り替え装置は内部で基板バイアスの電圧を発生する基板バイアス発生回路により構成されることである。

- 本発明はまた装置の低消費電力化に寄与する制御方法を提案するものである。すなわち、しきい値の低いトランジスタは高速だが、ソースドレイン間のリーク電流が大きく消費電力が増大するため、これを防止することが重要である。

- このための構成は、半導体基板上に構成されたトランジスタを有しクロック信号に基づいて動作する複数の要素回路ブロックを有する半導体集積回路装置の消費電力を制御する制御方法であって、要素回路ブロックの全てがクロックに基づいて動作する第1のモードと、要素回路ブロックの少なくとも一つへのクロック信号の供給を停止する第2のモードと、要素回路ブロックの全てへのクロック信号の供給を停止するとともに半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を上げる第3のモードとを切り換えて用いることを特徴とする。

- 主回路は例えば、CPU等を含むプロセッサである。第1のモードは主回路が通常動作（演算、記憶など）を行っているモードである。

第2のモードはプロセッサの一部分へのクロックが停止されている状態であり、例えばスリープモード、ディープスリープモード等と呼ばれる。クロックを停止する範囲を選択することにより、必要な機能のみ維持しながら、低消費電力を図ることができる。

より所定時間（例えば60マイクロ秒程度）待機した後、基板バイアスを制御するなどの構成を採用することができる。待機するためのタイマーは第1の回路ブロックの外に配置し、例えば第2の回路ブロックの中、あるいは、装置外部に配置する。

- 5 また、第3のモード（スタンバイモード）から第1のモードに切り換える際には、半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を下げ、次に、第2の回路ブロックから第1の回路ブロックに入力される上記クロック信号や第1の回路ブロックで処理されるべき情報信号の入力を開始する。すなわち、第1の回路ブロックの誤動作を防止
- 10 するために、第1の回路ブロックの基板電圧が安定してから信号の入力を開始する。

このために、第3のモードから第1のモードに切り換える際には、第1の回路ブロックの基板バイアスを制御してトランジスタのしきい値を下げ、タイマーにより所定時間待機して、動作が安定した後、第1の回路ブロックに入力されるク

15 ロック信号その他の信号の入力を開始する。

別の方法としては、トランジスタのしきい値の状態を電圧モニタなどで確認した後、第1の回路ブロックへの信号入力を開始する。あるいは、基板電圧を制御する基板バイアス発生回路の状態に基づいて、基板バイアス発生回路から出力されるスタンバイ解除を知らせる信号に従って、第1の回路ブロックに入力される

20 クロック信号その他の信号の入力を開始する。

第1のブロックに対する情報信号、クロック信号の停止の方法としては、第2の回路ブロックに設けた出力固定回路（レベルホールド回路）によって、信号レベルを固定することが考えられる。第1のモード時には信号は出力固定回路を経由してレベルダウン回路に入力されるが、第3のモードではレベルダウン回路へ

25 の入力が固定されることになる。

図面の簡単な説明

図1は本発明の第1の実施例におけるプロセッサ・チップのブロック図である。

図2は基板バイアス制御に用いる一般的なデバイス構造を示す断面図である。

図3は本発明の第1の実施例におけるデバイス構造を示す断面図である。

図4は本発明の第1の実施例における動作の説明に用いるフローチャートである。

図5は本発明の第2の実施例におけるプロセッサ・チップのブロック図である。

図6は本発明の第3の実施例におけるプロセッサ・チップのブロック図である。

5 図7は本発明の第4の実施例におけるプロセッサ・チップのブロック図である。

図8は本発明の第5の実施例におけるプロセッサ・チップのブロック図である。

図9は本発明の動作モードと基板バイアス制御の関係を説明する図。

図10は本発明のプロセッサ主回路の構成を説明する図。

図11は本発明の低消費電力モードを説明する図。

10 図12は本発明のスリープとディープスリープを説明する図。

図13は本発明の動作モードの遷移図。

図14は本発明のプロセッサチップの構成と電源制御回路の第1の構成図。

図15は本発明の電源交換のシーケンスを説明する図。

図16は本発明のプロセッサチップの構成と電源制御回路の第2の構成図。

15 図17は本発明のRTC電源バックアップのシーケンスを説明する図。

図18は本発明の低消費電力モードから割り込みにて復帰するまでのシーケンスを説明する図。

図19は本発明の低消費電力モードからリセットにて復帰するまでのシーケンスを説明する図。

20 発明を実施するための最良の形態

以下、本発明の実施例について図面を参照しながら説明する。

図1は本発明の第1の実施例を実現するためのプロセッサ・チップの構成例を示すブロック図である。図1において、プロセッサ・チップ101はCMOS構造の回路を持つLSIチップであり、プロセッサ主回路102、動作モード制御部103、基板バイアス切り替え装置104を含む。基板バイアス切り替え装置104には、基板バイアスの通常モードにおける電圧 V_{dd} および V_{ss} とスタンバイモードにおける電圧 V_{ddb} および V_{ssb} が信号110から入力されている。基板バイアス切り替え装置104は動作モード制御部の出力する信号107に従って、プロセッサ主回路102を構成するpMOSトランジスタの基板バ

イアスとして V_{dd} か V_{ddb} のどちらかを選択して信号 V_{bp111} に出力し、 n MOSトランジスタの基板バイアスとして V_{ss} または V_{ssb} のどちらかを選択して信号 V_{bn112} に出力する。基板バイアス選択用の電圧値は例えば $V_{dd}=1.5V$ 、 $V_{ddb}=3.0V$ 、 $V_{ss}=0.0V$ 、 $V_{ssb}=-1.5V$ である。

なお、後に述べるようにプロセッサ主回路102の形成されるウェル302は基板バイアス切り替え装置104や動作モード制御部が形成されるウェルとは別個独立に形成されている。

図3はプロセッサ・チップ101のデバイス構造を示す断面図である。図3が
10 図2と異なるのは n 型基板301に p ウェル302が形成され、その表面相の一部に n ウェル205が形成されている、すなわち3重ウェル構造のデバイスになっている点である。 p ウェル302の表面に n MOSトランジスタが、 n ウェル205の表面に p MOSトランジスタが形成され、CMOS回路を構成されている。また、基板バイアスを与えるための端子として、 p MOSトランジスタの
15 ウェル205に V_{bp209} 、 n MOSトランジスタの p ウェル302に V_{bn210} が設けられている点は図2と同様である。この実施例ではプロセッサ主回路102は動作モード制御部103と基板バイアス切り替え装置104とは異なる
20 p ウェル302内に形成される。これにより、基板バイアス制御の影響はプロセッサ主回路102のみに及び、動作モード制御部103と基板バイアス切り替え装置104はその影響を避けることができる。

図4で本実施例におけるプロセッサ・チップ101の動作について説明する。プロセッサ主回路102の動作モードには通常の命令実行を行う通常モードと命令実行を行わないスタンバイモードがある。図4は、プロセッサ主回路102の
25 動作モードが通常モードからスタンバイモードへ遷移し、そしてスタンバイモードから通常モードへと遷移する場合のプロセッサ・チップ101上における処理を示したフローチャートである。

最初にプロセッサ主回路102が通常モードで動作している。この時基板バイアス切り替え装置104は基板バイアス V_{bp111} と V_{bn112} にそれぞれ V_{dd} と V_{ss} を選択している。この例における通常モードの基板バイアスの電

圧値は $V_{bp} = 1.5\text{ V}$ 、 $V_{bn} = 0\text{ V}$ である（ステップ401）。

プロセッサ主回路102は、スリープ命令を実行すると信号105に「スタンバイ要求」を出力し動作モード制御部103に伝えた後、命令実行動作を停止しスタンバイモードに移行する（ステップ402）。

- 5 動作モード制御部103はプロセッサ主回路からこの信号105を受け取るとプロセッサ主回路102の基板バイアスをスタンバイモード用の電圧に切り替えるために信号107を出力する。基板バイアス切り替え装置104はこの信号107を受けて基板バイアス V_{bp111} と V_{bn112} にそれぞれ V_{ddb} と V_{ssb} を入力電圧110から選択して出力する（ステップ403、404）。この例ではスタンバイモードの基板バイアスの電圧値は $V_{bp} = 3.0\text{ V}$ 、 $V_{bn} = -1.5\text{ V}$ である。

- 動作モード制御部103は、プロセッサ主回路102がスタンバイ状態にあるときに、外部から信号108に「スタンバイ解除割り込み」がアサートされたことを検出すると（ステップ405）、プロセッサ主回路102の基板バイアスを通常モード用の電圧に切り替えるために信号107を出力し、基板バイアス切り替え装置104はこの信号107を受けて、基板バイアス V_{bp111} と V_{bn112} をそれぞれ $V_{dd}(1.5\text{ V})$ と $V_{ss}(0.0\text{ V})$ に切り替える（ステップ406）。

- 基板バイアスの切り替え後、そのバイアス電圧が安定するまでにはいくらかの時間を必要とするため、すぐにプロセッサ主回路102の動作を再開させると誤動作する可能性がある。それを避けるため動作モード制御部103はプロセッサ主回路102の動作モードを切り替える前に、オンチップタイマ109に切り替えた基板バイアス電圧の安定に必要な十分な時間を設定してスタートさせ（ステップ407）、タイムアウトするまで待つ（ステップ408）。そしてタイムアウトした後に、動作モード制御部103は「スタンバイ解除」を信号106に出力し、プロセッサ主回路102に伝える。プロセッサ主回路102はこの信号106を受けて、通常モードに移行し命令実行動作を再開する（ステップ409）。

以上のようにして、プロセッサ主回路102の基板バイアス V_{bp111} および V_{bn112} を制御して、動作時にはプロセッサ主回路を構成するMOSトラ

ンジスタのしきい値電圧を低くして高速動作に対応させ、スタンバイ時にはしきい値電圧を高くしてリーク電流を削減することができる。

図5は本発明の第2の実施例におけるプロセッサ・チップの構成を示すブロック図である。この実施例では、動作モード制御部103はプロセッサ主回路102の基板に印加されるバイアス電圧を検知するセンサ501を備えている。プロセッサ主回路102の動作モードが通常モードからスタンバイモードへ遷移するときは、前記第1の実施例における処理手順と同じである。プロセッサ主回路102の動作モードがスタンバイモードから通常モードへ遷移するときは前記第1の実施例と同様に動作モード制御部103は基板バイアス切り替え装置104を制御して基板バイアスを通常モードの電圧に切り替えた後、センサ501が切り替えた基板バイアスの電圧が所定の値、すなわち本実施例では、 $V_{bp} = 1.5V$ 、 $V_{bn} = 0.0V$ に安定したことを信号502に出力するまで待つ。センサ501が基板バイアスの安定を信号502に出力すると動作モード制御部103は信号106に「スタンバイ解除」を出力し、プロセッサ主回路102の動作を再開させる。

図6は本発明の第3の実施例におけるプロセッサ・チップの構成を示すブロック図である。プロセッサ・チップ601の基本デバイス構造としては図3に示した3重ウェル構造を考える。図6のプロセッサ・チップ601においてプロセッサ主回路はCPU604、モジュールA606、モジュールB608のように複数の機能モジュールから構成される。各機能モジュールはそれぞれ異なるウェル領域上に分離して存在し、他の機能モジュールの基板バイアス制御の影響を受けない。機能モジュールは、CPU、FPU、キャッシュ、あるいは演算器等のより小さい単位のものを含む。基板バイアス切り替え装置605、607、609は各機能モジュール604、606、608に対応してそれぞれ設けられており、対応する機能モジュールの基板バイアスを前記実施例の場合と同様に切り替えることができる。命令の実行は機能モジュールの一つであるCPU604を中心に行なわれ、実行に不要な機能モジュールをスタンバイにする命令を実行すると動作モード制御部602に機能モジュールのスタンバイが伝えられる。

本実施例におけるプロセッサ・チップ601の動作について次に説明する。最

初に全機能モジュールが通常モードで動作しているものとする。CPU 604はモジュールAをスタンバイにする命令を実行すると、このスタンバイ要求を信号610に出力し、以後モジュールA 606のスタンバイが解除されるまでこのモジュールの使用が不可能になる。動作モード制御部602はこの信号610を受けて、基板バイアス切り替え装置607に信号612を出力し、モジュールA 606の基板バイアスをスタンバイモード用の電圧に切り替える。モジュールA 606がスタンバイ状態にあるときに動作モード制御部602はCPU 604の出力信号610、あるいはプロセッサ・チップ601の外部の信号613からモジュールA 606のスタンバイ解除の信号を受け取ると信号612を基板バイアス切り替え装置607に出力し、モジュールAの基板バイアスを通常モード用の電圧に切り替える。そして動作モード制御部602は本発明第1の実施例と同様にオンチップタイマ603を用いて切り替えた基板バイアスの安定を待ち、安定後、CPU 604に信号611を通してモジュールAのスタンバイが解除されたことを通知する。CPU 604はこの信号611を受け取るとモジュールAを使用した命令の実行が可能になる。

モジュールB 608やその他の機能モジュールのスタンバイ制御についても同様である。また、CPU 604自身もスタンバイ制御の対象である。この場合、CPU 604はスタンバイモードに移行すると全ての命令実行を停止し、外部信号613にCPU 604のスタンバイ解除の信号がアサートされると動作モード制御部602はCPU 604の基板バイアスの切り替えが完了した後信号611にCPU 604のスタンバイ解除をアサートし、CPU 604の命令実行を再開させる点を除いては、前記モジュールA 606の場合と同様に制御される。

本実施例における機能モジュール単位のスタンバイ制御により、プロセッサの動作時に不要な機能モジュールのリーク電流を削減することができる。

図7は本発明の第4の実施例におけるプロセッサ・チップの構成を示すブロック図である。第1の実施例と異なる点は外部から基板バイアス切り替え装置104に供給される電圧701の種類が増えており、基板バイアス切り替え装置104はそれらの中から適当なものを基板バイアスとして選択し、プロセッサ主回路102に印加することができることである。本実施例では、プロセッサ主回路1

0 2の動作速度、すなわち動作周波数は命令により動的に変更する手段を備えており、プロセッサ主回路1 0 2の動作モードには高速モードと低速モードがあるものとする。本実施例では、高速モードに対応した基板バイアスとしてV d d (pMOS用)とV s s (nMOS用)、低速モードに対応した基板バイアスとしてV d d b 2 (pMOS用)とV s s b 2 (nMOS用)、スタンバイモードに対応した基板バイアスとしてV d d b 1 (pMOS用)とV s s b 1 (nMOS用)を選択する。

次に本実施例におけるプロセッサ・チップ1 0 1の動作を説明する。ここで、プロセッサ主回路1 0 2の動作モードを高速モードから低速モードに切り替える場合を考える。プロセッサ主回路1 0 2が高速モードで動作中、基板バイアス切り替え装置1 0 4はプロセッサ主回路の基板バイアスとしてV b p 1 1 1にV d dを、V b n 1 1 2にV s sを選択している。プロセッサ主回路1 0 2は、低速モードへ移行する命令を実行するとその要求を信号1 0 5に出力し、命令実行動作を中断する。プロセッサ主回路1 0 2に供給されるクロックはこの低速モードへ移行する命令の実行により低周波数に切り替わる。動作モード制御部1 0 3は信号1 0 5を受けてプロセッサ主回路1 0 2の基板バイアスを低速モード用の電圧に切り替えるために信号1 0 7に出力する。基板バイアス切り替え装置1 0 4はこの信号1 0 7を受けて基板バイアスV b p 1 1 1とV b n 1 1 2をそれぞれV d d b 2とV s s b 2に切り替える。動作モード制御部1 0 3は上記実施例と同様にオンチップタイマ1 0 9を使用して、切り替えた基板バイアスの安定を待ち、プロセッサ主回路1 0 2に低速モードへ移行が完了したことを信号1 0 6を通して通知する。プロセッサ主回路1 0 2はこの信号1 0 6を受けて中断していた命令実行動作を低速モードで再開する。

本実施例における低速モードから高速モードへの切り替え、高速モードまたは低速モードからスタンバイモードへの切り替え、またはスタンバイモードから高速モードあるいは低速モードへの切り替え時における動作も上記と同様であるので詳細は省略する。本実施例では動作速度をさらに細分し、それに対応した基板バイアス制御を行なうことも可能である。さらに、第3の実施例におけるように、プロセッサ主回路1 0 2を機能モジュール単位にデバイスの3重ウェル構造を用

いて分離し、各機能モジュール別にその動作周波数の切り替えと連動して基板バイアスを制御することも可能である。

本実施例のように、プロセッサの動作周波数に適した基板バイアス制御を行なうことにより、低速な動作モードにおけるリーク電流の削減が可能である。さらに、この低速モードにおいてはCMOS回路のpMOSとnMOSの両方のトランジスタが同時に導通してしまう入力電圧の範囲が高速な動作モードの時より狭くなるためスイッチング時の貫通電流を削減する効果も得られる。

図8は本発明の第5の実施例におけるプロセッサ・チップの構成を示すブロック図である。この実施例が前記第1の実施例と異なるのは前記基板バイアス切り替え装置が基板バイアス発生回路801により構成されていることである。基板バイアス発生回路801は動作モード制御部103の出力信号802によって制御され、内部で基板バイアスの電圧を発生しVbp111とVbn112に出力する。動作モード制御部103の制御のもとでプロセッサ主回路102の動作モードに対応して発生する基板バイアスVbp111とVbn112の電圧値は第1の実施例と同様の値である。プロセッサ主回路102および動作モード制御部103の動作は第1の実施例と同様であるので詳細は省略する。また、本実施例と同様に第2、第3および第4の実施例における基板バイアス切り替え装置をこの基板バイアス発生回路801で構成することにより、プロセッサ・チップ内部で基板バイアスを発生させ、動作モードに応じて切り替えることができる。

以上のようにこれらの実施例によれば、タイマまたはセンサを用いて待機状態から動作状態への移行時のプロセッサを再起動するタイミングを正確に制御するので、プロセッサの動作モードに応じた最適な基板バイアス制御が可能になる。それにより、プロセッサの動作モードが通常モードにおいて高速性を維持したまま、スタンバイモードにおいてリーク電流を削減できる。また、機能モジュール別の動作モードに応じて基板バイアス制御を行なうことにより、プロセッサが動作中であっても実行に不要な機能モジュールのリーク電流の削減が可能である。さらに、プロセッサの動作周波数に適した基板バイアス制御を行なうことにより、低速モードにおけるリーク電流の削減に加え、スイッチング時の貫通電流を削減する効果も得られる。

その結果、消費電力の削減を効果的に実現でき、高速性と低電力性を兼ね備えたマイクロプロセッサを提供することができる。

以下、マイコンの実施例として、具体的に基板バイアスを制御する動作モードに関して説明する。マイコンは、1.8 Vと3.3 Vの2電源を有し、1.8 Vのみ基板バイアス制御を行うものとする。1.8 Vを供給する回路は比較的低い閾値（例えば $V_{th} < 0.4$ V程度）なMOSトランジスタで構成するのが望ましい。

図9にマイコンの動作モードの一例を示す。動作モードとしては、通常に動作している通常動作モード982、およびリセットモード981がある。低消費電力で動作するモードとしては、スリープ983、ディープスリープ984、スタンバイ985、ハードウェアスタンバイ986、RTC（リアルタイムクロック）電池バックアップモードがある。また、テストモードとしては、IDDQ測定がある。

通常動作982の時には、高速動作が必要なので、基板バイアスの制御は行わない。リセット981の時は、全ての機能をリセットする必要があるため、基板バイアスの制御は行わない。低消費電力モードにおいては、低消費電力モードからの復帰時間が短いスリープ983、ディープスリープ984では、基板バイアスの制御は行わないが、復帰時間よりも消費電力を小さくすることに重点を置く。スタンバイ985、ハードウェアスタンバイ986の場合には、基板バイアス制御を行う。RTC電池バックアップモードは、3.3 Vで動作するRTC回路の電源のみを供給するモードである。このモードへは、低消費電力モードから遷移するので、基板バイアス制御を行なう。また、IDDQの測定は、スタンバイ電流を測定して、トランジスタのショートや不良による貫通電流を測定するモードであるから、この場合には必ず基板バイアスを制御して、チップのリーク電力を小さくして、不良を発見しやすくする必要がある。

図10で、低消費電力の動作モードを説明する前に、プロセッサ主回路902の内部ブロックに構成に関して説明する。この図は、プロセッサ主回路の主な構成ブロックの一例である。演算回路としては、CPU（中央演算処理装置）971、FPU（浮動小数点演算ユニット）972がある。また、チップに内蔵する

メモリであるキャッシュ 9 7 3、外部メモリとのインタフェースを行う B S C (バス制御部) 9 7 4、DMA (ダイレクトメモリアクセス) を行う D M A C (DMA制御部) 9 7 5、シリアルポートを制御する S C I (シリアル制御部) 9 7 6、割り込み入力を制御する I N T C (割り込み制御部) 9 7 7、クロックを制御する C P G (クロック制御部) 9 7 8 等がある。

図 1 1 で、低消費電力モードであるスリープ 9 8 3、ディープスリープ 9 8 4、スタンバイ 9 8 5 に関して説明する。

スリープ 9 8 3 では、CPU 9 7 1、F P U 9 7 2、キャッシュ 9 7 3 等の演算装置のクロックのみが止まっている状態で、かつ基板バイアス制御をしていないので、消費電力は大幅に減少できないものの、D M A C 9 7 5 による DMA 転送や B S C 9 7 4 による DRAM (ダイナミック RAM) や S D R A M (シンクロナスダイナミック RAM) の通常リフレッシュ (1 0 2 4 回 / 1 6 ミリ秒のリフレッシュ) が可能である。C P G 9 7 8 は動作しており、また、基板バイアス制御をしていないので、スリープ 9 8 3 から通常動作モード 9 8 2 への復帰時間は早い。

スタンバイ 9 8 5 モードは、全ての動作クロックを止め、なおかつ基板バイアス制御も行なうため、消費電力は極めて少ない。クロックが止っているため、D M A 転送はできない。また、DRAM や S D R A M のリフレッシュに関しては、スタンバイ 9 8 5 に入る前に、メモリが自分自身でリフレッシュを行なうセルフリフレッシュモードになるように B S C 9 7 4 を用いて各メモリの制御信号 (R A S 信号、C A S 信号) を設定しておく必要がある。ただし、スタンバイ 9 8 5 から通常動作 9 8 2 までの復帰時間は、クロックが止っているため、クロック発振の安定待ちや基板バイアス状態からの復帰時間のため長くなってしまふ。

ディープスリープ 9 8 4 モードは、スリープ 9 8 3 とスタンバイ 9 8 5 の中間の低消費電力モードである。

図 1 2 にスリープ 9 8 3 とディープスリープ 9 8 4 の動作モジュールの違いを示す。スリープ 9 8 3 時には、動作している B S C 9 7 3、D M A C 9 7 4、S C I 9 7 5 がディープスリープ 9 8 4 では、停止しているため、その分消費電力を削減できている。

ただし、ディープスリープ 9 8 4 モードでは、DMA 転送ができなくなり、メモリのリフレッシュもセルフリフレッシュになる。ディープスリープ 9 8 4 から通常動作モード 9 8 2 への復帰時間は、スリープモードと同様に早い。

このように 3 種類の低消費電力モードを設けることにより、用途に応じたきめ
5 細かな低消費電力制御を行なうことができる。

図 1 3 で動作モードの状態遷移図を示し説明する。全ての電源がオフ状態 9 8 0 から RESET # 9 5 2 (または、パワーオンリセット) ピン入力により、プロセッサチップは、リセット状態 9 8 1 に遷移する。RESET # 9 5 2 がネゲートされると通常動作 9 8 2 に遷移する。この状態から低消費動作モードに遷移
10 する。

遷移の方法には 2 通りある。一つは命令による遷移である。これは CPU 9 7 1 がスリープ命令を実行することにより遷移する。スリープ命令実行時にモードレジスタを設定して、スリープ 9 8 3、ディープスリープ 9 8 4、スタンバイ 9 8 5 を選択でき、それぞれのモードに遷移できる。各モードから通常動作モード
15 9 8 2 への復帰は、割り込み 9 5 8 である。

もう一つの遷移方法は、HARDSTB # 9 5 1 ピンによる遷移である。このピンがアサートされると、ハードウェアスタンバイ状態 9 8 6 に遷移する。この状態はスタンバイ 9 8 5 と同様に全てのクロックが停止し、基板バイアス制御も行なわれている状態である。

20 このモードで、入出力バッファをハイインピーダンスにすれば、3. 3 V 系の回路も貫通電流の流れるトランジスタがなくなり I D D Q の測定が可能になる。

また、3. 3 V 系に置かれた R T C 回路の入力バッファを固定すれば、R T C 回路以外の電源をオフした場合にも、R T C 回路の入力信号がフローティング (中間レベル) にならないので、R T C 回路の誤動作を防止でき、R T C 回路の
25 み動作させることが可能である。

次にハードウェアスタンバイの応用例を説明する。

図 1 4 にハードウェアスタンバイを適用してプロセッサチップ 9 0 1 の電源 9 0 4 (バッテリー) を交換可能にするプロセッサチップ 9 0 1 の構成と電源制御回路の構成を示す。

プロセッサチップ901は1.8Vで動作する1.8V領域回路930と3.3Vで動作する3.3V領域回路931から構成されている。1.8V領域回路930はプロセッサ主回路902と3.3Vから1.8Vにレベル変換するレベルダウン回路905、906から構成されている。3.3V領域の回路931は

5 基板バイアス発生回路903、クロック発振回路908、IO回路909、動作モード制御部913、RTC回路914および1.8Vから3.3Vにレベル変換するレベルアップ回路904、910、3.3Vから1.8Vへの信号を固定する出力固定回路907、911から構成されている。

電源系の制御回路としては、電源904、電源監視回路921、表示器922、

10 1.8V系の電圧を生成する電圧生成回路920がある。

以下動作を説明する。プロセッサチップ901が、通常動作モード982の時は、基板バイアス発生回路903は、基板バイアスを引かずに通常の基板レベル（例えばPMOSについてはVDD電位、NMOSについてはVSS電位）を保持している。クロック発振回路908はPLL（フェイズロックドループ）等か

15 らなり、内部動作用のクロックを生成して、出力固定回路907、レベルダウン回路905を介してプロセッサ主回路902へ送る。IO回路909は、外部からの信号を取り込み、出力固定回路907、レベルダウン回路905を介してプロセッサ主回路902へ送る。また、プロセッサ主回路902からの信号をレベルアップ回路904を介して外部へ信号を出力する。RTC回路914は、3.

20 3Vで動作し、レベルアップ回路910を介して、プロセッサ主回路902から制御信号を受け取り、レベルダウン回路906、出力固定回路911を介して、プロセッサ主回路902に制御信号を送信する。動作モード制御部913は、特に基板バイアス発生回路903の制御を行なう。

電源監視回路921は、電源904の電圧レベルを監視する。電圧レベルが所

25 定のレベルより下がる（バッテリーが切れている状態を検出）とHARDSTB#951をローレベルにする。同時に表示器922にバッテリー切れのアラームを表示し、利用者に知らせる。電圧レベルが下がった状態でも電圧保持回路923は、所定の期間（数分間から数時間）電圧レベルを保持できる。この期間に利用者は、電源904を交換できる。

図15を用いて、以下、電源交換シーケンスに関して、説明する。

- (1) HARDSTB#951がローレベルになることにより、動作モードはハードウェアスタンバイ状態986に入る。ここで、動作モード制御部913から1.8V信号固定953を出力し、3.3Vから1.8Vへの信号を固定し、1.8V系のクロックも停止させる。これにより、基板バイアスを引いた時も、1.8V系の信号が動作しないので、基板バイアスを引いている状態(MOSトランジスタのしきい値電圧が高くなり、その動作速度が遅くなっている状態で、基板電位が不安定な状態)での1.8V系の回路の誤動作を防止する。この状態で、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。
- 10 (2) その後、1.8V信号固定953のタイミングに基づいて、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。信号固定953と基板バイアス制御開始955の間には、実際に信号が固定されて、1.8V領域への信号の供給が停止するまでの時間差が設定されている。この時間差はRTC回路914のRTCクロックに基づいたタイマーで測定することができる。
- 15 (3) 基板バイアス制御開始信号955を受けて、基板バイアス発生回路903は1.8V系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中956信号を動作モード制御部913へ返す。
- (4) 基板バイアスを引いている状態では、プロセッサ主回路902は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。これにより、電
- 20 圧保持回路923の保持時間も長くなる。
- (5) この状態で電源904を交換する。
- (6) 電源交換後は、電源電圧が正常のレベルに戻るので、HARDSTB#951がハイレベルに戻る。
- (7) その後、パワーオンリセット回路が動作し、RESET#952が入力さ
- 25 れる。このリセット入力により、動作モード制御部913から出力している基板バイアス制御開始信号955が解除される。
- (8) 基板バイアス制御開始信号955の解除を受けて、基板バイアス発生回路903は1.8V径の基板の基板バイアスを動作状態の電位(例えばPMOSについてはVDD電位、NMOSについてはVSS電位)に戻し始める。基板バイ

アスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号 9 5 6 の解除により動作モード制御部 9 1 3 へそれを通知する。

(9) 基板バイアス制御中信号 9 5 6 の解除を受けて、動作モード制御部 9 1 3 から出力している 1. 8 V 信号固定 9 5 3 が解除され、プロセッサ主回路 9 0 2 5 等の 1. 8 V 系の回路に信号が入力される。

(10) リセット状態 9 8 1 が終了後、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。

以上のようにハードウェアスタンバイによる低消費電力モードを利用して、電源 9 0 4 の交換が可能になる。

10 次にハードウェアスタンバイの第 2 の応用例を説明する。

図 1 6 に R T C 電源バックアップモードを実現する構成例を示す。R T C 回路 9 1 4 は、リアルタイムカウンタと呼ばれ、時計やカレンダーの機能を実現するものである。このため、常時動作していないと時計の機能を実現できない。電源 9 0 4 が遮断されても R T C 回路 9 1 4 は動作している必要がある。

15 ここで示す実施例では、R T C 電源バックアップモードを実現するために、3. 3 V 領域が通常の 3. 3 V 領域 9 9 1 と R T C の 3. 3 V で動作する領域 9 9 2 に分けている。また、R T C の 3. 3 V 領域 9 9 2 では、入力回路に入力固定回路 9 1 2、および入力固定レベルアップ回路 9 6 0 が付加されており、他の電源 (1. 8 V、通常の 3. 3 V の電源) が遮断されている状態で、入力信号がフローテングになっても R T C の 3. 3 V で動作する領域 9 9 2 には、中間レベルの信号が伝達しないようになっていて、誤動作を防止している。

電源系の制御回路としては、電源 9 0 4、電源監視回路 9 2 1、表示器 9 2 2、1. 8 V 系の電圧を生成する電圧生成回路 9 2 0 に加えて、バックアップ電池 9 6 2、ダイオード 9 6 3、9 6 4 がある。

25 以下動作を説明する。通常動作モード 9 8 2 の時は、基板バイアス発生回路 9 0 3 は、基板バイアスを引かずに通常の基板レベルを保持している。クロック発振回路 9 0 8 は P L L (フェイズロックドループ) 等からなり、内部動作用のクロックを生成して、出力固定回路 9 0 7、レベルダウン回路 9 0 5 を介してプロセッサ主回路 9 0 2 へ送る。I O 回路 9 0 9 は、外部から信号を取り込み、出力

固定回路907、レベルダウン回路905を介してプロセッサ主回路902へ送
る。また、プロセッサ主回路902からの信号をレベルアップ回路904を介し
て外部へ信号を出力する。RTC回路914は、3.3Vで動作し、入力固定レ
ベルアップ回路960を介してプロセッサ主回路902から制御信号を受け取り、
5 レベルダウン回路906、出力固定回路911を介して、プロセッサ主回路90
2に制御信号を送信する。動作モード制御部913は、入力固定回路912を介
して、制御信号を受け取り、特に基板バイアス発生回路903の制御を行なう。

電源監視回路は921は、電源904の電圧レベルを監視する。電圧レベルが
所定のレベルより下がる（バッテリーが切れている状態を検出）とHARDSTB
10 #951をローレベルにし、RTC3.3V領域992の入力を固定し、RTC
回路914の誤動作を防止する。同時に表示器922にバッテリー切れのアラーム
を表示する。この後、電圧レベルが下がり続けて、3.3Vと1.8V系の電圧
はプロセッサチップ901に供給されなくなる。この時バックアップ電池962
からダイオード963を介してRTCの3.3V領域にのみ電圧（VDD-RT
15 C、VSS-RTC）が供給され、電源904がなくても、RTC回路914
（カレンダー用カウンタ回路）のみ正常に動作する。ダイオード964はRTC回
路914以外に電流が流れるのを防止する。

図17を用いて、RTC電源バックアップシーケンスに関して、詳細に説明す
る。

20 (1) HARDSTB#951がローレベルになることにより、動作モードはハ
ードウェアスタンバイ状態986に入る。ここで、動作モード制御部913から
1.8V信号固定953を出力し、3.3Vから1.8Vへの信号を固定し、1.
8V系のクロックも停止させる。これにより、基板バイアスを引いた時も、1.
8V系の信号が動作しないので、基板バイアスを引いている状態での1.8V系
25 の回路の誤動作を防止する。同時にRTC回路914への入力固定信号954を
出力し入力信号を固定する。これにより他の電源が遮断されたときに、RTC回
路914に不安定な中間レベルの信号が入るのを防ぐ。

(2) その後、1.8V信号固定953のタイミングに基づいて、基板バイアス
生成回路903に基板バイアス制御開始信号955を出力する。信号固定953

と基板バイアス制御開始 9 5 5 の間には、実際に信号が固定されて、1. 8 V 領域への信号の供給が停止するまでの時間差が設定されている。この時間差は RTC 回路 9 1 4 の RTC クロックに基づいたタイマーで測定することができる。

(3) 基板バイアス制御開始信号 9 5 5 を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中 9 5 6 信号を動作モード制御部 9 1 3 へ返す。

(4) 基板バイアスを引いている状態では、プロセッサ主回路 9 0 2 は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。

(5) 電源 9 0 4 の遮断期間は長くてもよい。また、電源 9 0 4 の交換ができる。

10 (6) 電源 9 0 4 遮断からの復帰後（または電源 9 0 4 交換後）は、電源電圧が正常のレベルに戻るため、HARDSTB# 9 5 1 がハイレベルに戻る。

(7) その後、パワーオンリセット回路が動作し、RESET# 9 5 2 が入力される。このリセット入力により、基板バイアス制御開始信号 9 5 5 が解除される。

15 (8) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 径の基板の基板バイアスを動作状態の電位（例えば PMOS については VDD 電位、NMOS については VSS 電位）に戻し始める。基板バイアスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号 9 5 6 の解除により動作モード制御部 9 1 3 へそれを通知する。

20 (9) 基板バイアス制御中信号 9 5 6 の解除を受けて、動作モード制御部 9 1 3 から出力している 1. 8 V 信号固定 9 5 3 が解除され、プロセッサ主回路 9 0 2 等の 1. 8 V 系の回路に信号が入力される。

(10) リセット状態 9 8 1 が終了後、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。

上記シーケンスで、電源 9 0 4 に電源スイッチを設けて、電源オフの期間に RTC 回路 9 1 4 のみ動作させることも可能である。

以上のようにハードウェアスタンバイを利用して、RTC 回路 9 1 4 のみ電池バックアップして動作させることが可能になる。

図 1 8 に通常のスリープ命令 9 5 9 を使用して、スタンバイ状態 9 8 5 に入り、割り込み信号 9 5 8 で通常状態 9 8 2 に復帰するシーケンスを説明する。

- (1) スリープ命令 9 5 9 により、動作モードはスタンバイ状態 9 8 5 に入る。ここで、動作モード制御部 9 1 3 から 1. 8 V 信号固定 9 5 3 を出力し、3. 3 V から 1. 8 V への信号を固定し、1. 8 V 系のクロックも停止させる。これにより、基板バイアスを引いた時の 1. 8 V 系の回路の誤動作を防止する。
- 5 (2) その後、1. 8 V 信号固定 9 5 3 のタイミングに基づいて、基板バイアス生成回路 9 0 3 に基板バイアス制御開始信号 9 5 5 を出力する。信号固定 9 5 3 と基板バイアス制御開始 9 5 5 の間には、実際に信号が固定されて、1. 8 V 領域への信号の供給が停止するまでの時間差が設定されている。この時間差は R T C 回路 9 1 4 の R T C クロックに基づいたタイマーで測定することができる。
- 10 (3) 基板バイアス制御開始信号 9 5 5 を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中 9 5 6 信号を動作モード制御部 9 1 3 へ返す。
- (4) 基板バイアスを引いている状態では、プロセッサ主回路 9 0 2 は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。
- 15 (5) この状態で、制御信号 9 5 7 (外部ピン) から I O 回路 9 0 9 を介して、割り込み信号 9 5 8 を受け付けると、動作モード制御部 9 1 3 は、基板バイアス制御開始信号 9 5 5 を解除する。
- (6) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 径の基板の基板バイアスを動作状態の電位 (例えば P M O S については V D D 電位、N M O S については V S S 電位) に戻し始める。基板バイアスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号 9 5 6 の解除により動作モード制御部 9 1 3 へそれを通知する。
- 20 (7) 基板バイアス制御中信号 9 5 6 の解除を受けて、動作モード制御部 9 1 3 は、1. 8 V 信号固定 9 5 3 を解除する。基板バイアス制御中信号が解除されてから 1. 8 V 信号固定 9 5 3 を解除することにより、1. 8 V 系の回路が誤動作するのを防いでいる。
- (8) プロセッサ主回路 9 0 2 等の 1. 8 V 系の回路に信号が入力され、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。
- 以上により、プロセッサチップ 9 0 1 は低消費電力モードに入り、割り込みに

より復帰できる。

図 19 に通常のスリープ命令 9 5 9 を使用して、スタンバイ状態 9 8 5 に入り、RESET # 9 5 2 で通常状態 9 8 2 に復帰するシーケンスを説明する。

(1) スリープ命令 9 5 9 により、動作モードはスタンバイ状態 9 8 5 に入る。

- 5 ここで、動作モード制御部 9 1 3 から 1. 8 V 信号固定 9 5 3 を出力し、3. 3 V から 1. 8 V への信号を固定し、1. 8 V 系のクロックも停止させる。これにより、基板バイアスを引いた時の 1. 8 V 系の回路の誤動作を防止する。

その後、1. 8 V 信号固定 9 5 3 により信号固定が完了したことを計測し、基板バイアス生成回路 9 0 3 に基板バイアス制御開始信号 9 5 5 を出力する。

- 10 (2) 基板バイアス制御開始信号 9 5 5 を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中 9 5 6 信号を動作モード制御部 9 1 3 へ返す。

(3) 基板バイアスを引いている状態では、プロセッサ主回路 9 0 2 は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。

- 15 (4) この状態で動作モード制御部 9 1 3 は、RESET # 9 5 2 を受け付けて、基板バイアス制御開始信号 9 5 5 を解除する。

(5) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1. 8 V 系の基板の基板バイアスを動作状態の電位に戻し始める。基板バイアスが戻し終わると、基板バイアス制御中信号 9 5 6 を用いて動作モード制

- 20 御部 9 1 3 へ知らせる。

(6) この解除信号を受けて、1. 8 V 信号固定 9 5 3 を解除する。

(7) リセット状態 9 8 1 が終了後、プロセッサ主回路 9 0 2 等の 1. 8 V 系の回路に信号が入力され、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。

- 25 以上により、プロセッサチップ 9 0 1 は低消費電力モードに入り、リセットにより復帰できる。

以上で説明したように、プロセッサチップ 9 0 1 は 1. 8 V が電源電圧として供給されている部分と、3. 3 V が電源電圧として供給されている部分がある。

1. 8 V が供給されている部分としては、例えばプロセッサ主回路 9 0 2 等があ

る。この部分は回路規模が大きく、さらに高速に動作させる必要がある部分である。回路規模が大きくかつ高速動作が要求されることからこの部分の消費電力が大きくなる。本実施例では、この消費電力を削減するために電源電圧を下げている。

- 5 また、電源電圧を低く（例えば1.8V）すると動作速度が遅くなるので、MOSトランジスタのしきい値電圧を低く（例えば $V_{th} < 0.4V$ 程度）している。さらに本実施例では、この低いしきい値化によるサブスレッショルドリーク電流を削減するために基板電圧制御を行う。

10 一方、3.3Vが電源電圧として供給されている部分は例えばRTC回路914がある。これらの回路は小規模で低速動作であるから、消費電力が小さい。よって、このような回路ブロックは電源電圧を低くする必要がない。例えば、 $V_{th} > 0.5V$ 程度に設定できる。MOSトランジスタの閾値を低くする必要がないことから、サブスレッショルドリーク電流を削減するため基板制御による電流対策の必要がないという利点がある。

- 15 本実施例のプロセッサチップ901はこの両者の電源電圧を使い分けている。すなわち、大規模高速動作が必要な部分は低電圧低しきい値MOSを基板制御して使用し、高電圧高しきい値MOSを基板制御無しで使用している。しきい値の異なるMOSトランジスタを作る方法は特に限定しないが、チャンネルインプラ量を変えることで実現できる。また、ゲート酸化膜の厚さを変えることでも実現で
20 きる。後者の場合、MOSトランジスタの構成を酸化膜厚を厚くすることでしきい値が大きくなるようにすればよい。高いしきい値MOSは高電圧で動作させるので酸化膜厚を厚くする必要があるからである。酸化膜を厚くすることでしきい値を高くできればプロセスを簡略化できる。

25 さらに、入出力回路909は外部信号振幅3.3Vを送受信する必要があることから、高電圧しきい値MOSと同じMOSトランジスタを用いると、プロセスを共通化でき望ましい。

請求の範囲

1. トランジスタを含む主回路と、
該主回路の基板に印加される基板バイアスの電圧を切り替える基板バイアス切り替え回路と、
5 上記主回路における第1のモードに移行する命令の実行を受けて上記基板バイアスを第1のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、
上記主回路における第2のモードに移行する命令の実行を受けて上記基板バイアスを第2のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、
10 上記第1のモード用の電圧から第2のモード用の電圧に切り換える際には、その切り替えたバイアス電圧が安定した後に上記主回路のトランジスタの動作を開始する動作モード制御回路を備えるマイクロプロセッサ。
- 15 2. 前記マイクロプロセッサを形成する基板は3重ウェル構造を有し、
該3重ウェル構造は、第1の型の第1の半導体領域の中に第2の型の第2の半導体領域を形成し、該第2の型の半導体領域の中に第1の型の第3の半導体領域を形成してなる請求項1記載のマイクロプロセッサ。
- 20 3. 前記第2の半導体領域にnチャネルトランジスタを形成し、前記第3の半導体領域にpチャネルトランジスタを形成する請求項2記載のマイクロプロセッサ。
4. 前記基板バイアス切り替え回路は、前記第2の半導体領域に印加する電圧および前記第3の半導体領域に印加する電圧を制御する請求項2または3記載のマイクロプロセッサ。
- 25 5. 前記主回路は前記基板バイアス切り替え回路と前記動作モード制御回路とは異なるウェル領域上に形成される請求項1～4のうちのいずれかに記載のマイクロプロセッサ。
6. 前記動作モード制御回路は、前記バイアスの安定に必要な時間の経過を計測するためのタイマーを備える請求項1～5のうちのいずれかに記載のマイクロ

プロセッサ。

7. 前記動作モード制御回路は、前記バイアスが所定の電圧に安定したことを検知するセンサを備える請求項1～5のうちのいずれかに記載のマイクロプロセッサ。

5 8. 前記基板バイアス切り替え回路は基板バイアスの電圧を発生する基板バイアス発生回路を有する請求項1～7のうちのいずれかに記載のマイクロプロセッサ。

9. 前記第1のモードは主回路の動作がスタンバイ状態となるスタンバイモードであり、前記第2のモードは主回路が通常の動作を行う通常モードである請求
10 項1～8のうちのいずれかに記載のマイクロプロセッサ。

10. 前記第1のモードは、前記主回路の消費電力が前記第2のモードの消費電力より小さくなる状態である請求項1～9のうちのいずれかに記載のマイクロプロセッサ。

11. 前記主回路は、CPU、該CPUとの間でデータを入出力するキャッシュメモリ、割り込み入力を制御する割り込み制御回路、クロックを制御するクロック制御回路を有する請求項1～10のうちのいずれかに記載のマイクロプロセッサ。
15

12. 前記第1のモードにおいて、前記主回路のクロックが停止されている請求項11記載のマイクロプロセッサ。

13. 前記主回路の電源となるバッテリー、該バッテリーの電圧を監視する監視回路を有し、上記バッテリーの電圧が所定の値を下回った時に、上記監視回路からの制御信号により前記第2のモードから前記第1のモードに切り替わる請求
20 項1～12のうちのいずれかに記載のマイクロプロセッサ。

14. 前記主回路のクロックを停止してから、前記第1のモードに入る請求項
25 12記載のマイクロプロセッサ。

15. プログラム命令列を実行するプロセッサ主回路と、該プロセッサ主回路を形成した基板に印加される基板バイアスを制御する基板バイアス制御回路と、上記プロセッサ主回路をスタンバイモード用の電圧に制御するように上記基板バイアス制御回路を制御し、外部からスタンバイ解除の割り込みを受け上記スタン

バイモード用の電圧を通常モード用の電圧に切り換えるように上記基板バイアス制御回路を制御する動作モード制御装置を有し、該動作モード制御装置は通常モード用の電圧が安定した後に上記主回路のスタンバイを解除するマイクロプロセッサ。

- 5 16. トランジスタを含む第1の回路ブロックと、第2の回路ブロックを有し、上記第1の回路ブロックと第2の回路ブロックとの間で信号の交換を行う半導体集積回路装置であって、

該第1の回路ブロックのトランジスタが形成される半導体基板に基板バイアス電圧を印加する基板バイアス発生回路を有し、

- 10 上記基板バイアス発生回路が上記基板バイアス電圧を変化させる際に、上記第2の回路ブロックから上記第1の回路ブロックへ入力される信号の少なくとも一部のレベルを固定する出力固定回路を有する半導体集積回路装置。

17. 前記第1の回路ブロックと第2の回路ブロックは動作電圧が異なる請求項16記載の半導体集積回路装置。

- 15 18. 前記基板バイアス制御回路からの基板バイアス制御中信号を入力とする動作モード制御回路を有し、該動作モード制御回路からの信号固定信号により前記出力固定回路が制御される請求項16または17記載の半導体集積回路装置。

19. 前記基板バイアス発生回路は前記第2の回路ブロックに配置される請求項16～18のうちのいずれかに記載の半導体集積回路装置。

- 20 20. 前記基板バイアス発生回路が上記基板バイアス電圧を前記トランジスタの閾値が高くなるように変化させる際に、上記第2の回路ブロックから上記第1の回路ブロックへ入力される信号の少なくとも一部のレベルを固定する出力固定回路を有する請求項16～19のうちのいずれかに記載の半導体集積回路装置。

- 25 21. トランジスタを含む第1の回路ブロックと、第2の回路ブロックを有し、上記第1の回路ブロックと第2の回路ブロックとの間で信号の交換を行う半導体集積回路装置であって、

該第1の回路ブロックのトランジスタが形成される半導体基板に基板バイアス電圧を印加する基板バイアス発生回路を有し、

上記基板バイアス発生回路が上記基板バイアス電圧を変化させる際に、上記第

1の回路ブロックへ入力されるクロック信号を停止するクロック発振回路を有する半導体集積回路装置。

22. 前記第1の回路ブロックと第2の回路ブロックは動作電圧が異なる請求項21記載の半導体集積回路装置。

5 23. 前記クロック発振回路の出力信号のレベルを固定とする出力固定回路を有する請求項21または22記載の半導体集積回路装置。

24. 前記クロック発振回路は前記第2の回路ブロックに配置される請求項21～23のうちのいずれかに記載の半導体集積回路装置。

25. 前記基板バイアス発生回路が上記基板バイアス電圧を前記トランジスタ
10の閾値が高くなるように変化させる際に、前記第1の回路ブロックへ入力されるクロック信号を停止するクロック発振回路を有する請求項21～26のうちのいずれかに記載の半導体集積回路装置。

26. MOSFETを有する論理回路を含み第1の電圧で駆動される第1の回路ブロックと、入出力回路、レベルホールド回路、バイアス発生回路を含み第2
15の電圧で駆動される第2の回路ブロックを有し、

上記バイアス発生回路は上記主回路のMOSFETの閾値が高くなるように上記主回路に供給する電圧を切り換え、

上記入出力回路からの出力信号は出力固定回路を介して上記主回路に入力され、
上記バイアス発生回路による電圧切り替え時に上記出力固定回路が上記出力信
20号を固定する半導体集積回路装置。

27. クロック発振回路を前記第2の回路ブロックに有し、上記バイアス発生回路による電圧切り替え時に上記出力固定回路が上記クロック信号を固定する請求項26の半導体集積回路装置。

28. クロック発振回路を前記第2の回路ブロックに有し、クロック発振回路
25からクロック信号を前記主回路に供給し、上記バイアス発生回路による電圧切り替え時および、電圧切り替え中、主回路へのクロック信号の供給が停止される請求項26または27記載の半導体集積回路装置。

29. 前記バイアス発生回路は上記主回路のMOSFETの閾値が高くなるように上記主回路に供給する電圧を切り換えることにより、該主回路を通常動作モ

ードから消費電力が該通常動作モードよりも小さいスタンバイモードへと切り換える請求項26～28のうちのいずれかに記載の半導体集積回路装置。

30. 前記主回路は論理回路を含み、前記通常動作モードの間大半においては該論理回路が機能する請求項29の半導体集積回路装置。

5 31. 前記バイアス発生回路が上記主回路のMOSFETの閾値が低くなるように上記主回路に供給する電圧を切り換えることにより、該主回路をスタンバイモードから通常モードへと切り換える際には、該電圧切り替えの時点よりも遅い時点において、前記論理回路が機能を開始する請求項30記載の半導体集積回路装置。

10 32. 前記主回路に供給する電圧安定した後に上記主回路のMOSFETの動作を開始する請求項31記載の半導体集積回路装置。

33. 前記MOSFETが形成する基板は3重ウェル構造を有し、

該3重ウェル構造は、第1の型の第1の半導体領域の中に第2の型の第2の半導体領域を形成し、該第2の型の半導体領域の中に第1の型の第3の半導体領域
15 を形成してなる請求項26～32のうちのいずれかに記載の半導体集積回路装置。

34. プロセッサ・チップ上にプログラム命令列を実行するプロセッサ主回路と、その基板に印加される基板バイアスの電圧を切り替える基板バイアス切り替え装置と、前記プロセッサ主回路におけるスタンバイモードに移行する命令の実行を受けて前記バイアスをスタンバイモード用の電圧に切り替えるように前記基
20 板バイアス切り替え装置を制御し、外部からスタンバイ解除の割り込みを受け取ると前記バイアスを通常モード用の電圧に切り替えるように前記基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後に前記プロセッサ主回路のスタンバイを解除し動作を再開させる動作モード制御部を備えることを特徴とするプロセッサ。

25 35. 前記プロセッサ・チップの半導体デバイスは3重ウェル構造をしており、前記プロセッサ主回路は前記基板バイアス切り替え装置と前記動作モード制御部とは異なるウェル領域上に形成されることを特徴とする請求項34記載のプロセッサ。

36. 前記動作モード制御部は、前記バイアスの切り替え時に前記プロセッサ

主回路の動作を再開させる前にその切り替えたバイアス電圧が安定するまで待機する手段として、前記バイアスの安定に必要な時間の経過を計測するためのオンチップタイマを備えることを特徴とする請求項 3 6 記載のプロセッサ。

3 7. 前記動作モード制御部は、前記バイアスの切り替え時に前記プロセッサ
5 主回路の動作を再開させる前にその切り替えたバイアス電圧が安定するまで待機する手段として、前記バイアスが所定の電圧に安定したことを検知するセンサを備えることを特徴とする請求項 3 4 記載のプロセッサ。

3 8. 前記プロセッサ・チップの半導体デバイスは 3 重ウェル構造をしており、
10 複数の機能モジュールに分割され、それらがそれぞれ異なるウェル領域上に形成されている前記プロセッサ主回路と、前記各機能モジュールの基板に印加される基板バイアスを切り替える基板バイアス切り替え装置と、前記プロセッサ主回路における一つ又は複数の前記機能モジュールをスタンバイにする命令の実行を受けてその機能モジュールの基板バイアスをスタンバイモード用の電圧に切り替えるように前記基板バイアス切り替え装置を制御し、外部または前記プロセッサ主
15 回路からその機能モジュールのスタンバイ解除の信号を受け取ると前記バイアスを通常モード用の電圧に切り替えるように前記基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後に前記プロセッサ主回路に前記機能モジュールのスタンバイが解除されたことを通知する動作モード制御部を備えることを特徴とする請求項 3 4 記載のプロセッサ。

20 3 9. 前記プロセッサ主回路の動作速度を動的に切り替える手段と、前記プロセッサ主回路における動作速度を変更する命令の実行を受けて前記プロセッサ主回路または前記機能モジュールの基板バイアスをその動作周波数に適した電圧に切り替えるように前記基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後に前記プロセッサ主回路に動作速度の切り替えが完了した
25 ことを通知する動作モード制御部を備えることを特徴とする請求項 3 6 または請求項 3 7 記載のプロセッサ。

4 0. 前記基板バイアス切り替え装置は内部で基板バイアスの電圧を発生する基板バイアス発生回路により構成されることを特徴とする請求項 3 4 または請求項 3 7 記載のプロセッサ。

4 1. 半導体基板上に構成されたトランジスタを有しクロック信号に基づいて動作する複数の要素回路ブロックを有する半導体集積回路装置の消費電力を制御する制御方法であって、

上記要素回路ブロックの全てが上記クロックに基づいて動作する第1のモード
5 と、

上記要素回路ブロックの少なくとも一つへの上記クロック信号の供給を停止する第2のモードと、

上記要素回路ブロックの全てへの上記クロック信号の供給を停止するとともに上記半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを
10 制御してトランジスタのしきい値を上げる第3のモードと、

を切り換えて用いることを特徴とする半導体集積回路装置の制御方法。

4 2. 前記要素回路ブロックは第1の回路ブロックに含まれ、前記クロック信号は第2の回路ブロックに含まれる発振回路により形成され、上記第2の回路ブロックから上記第1の回路ブロックに上記クロック信号、及び、上記第1の回路
15 ブロックで処理されるべき情報信号が入力されることを特徴とする請求項4 1の半導体集積回路装置の制御方法。

4 3. 前記第3のモードに切り換える際には、上記第2の回路ブロックから上記第1の回路ブロックに入力される上記クロック信号、及び、上記第1の回路ブロックで処理されるべき情報信号を停止し、次に、上記半導体基板上に構成され
20 たトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を上げることを特徴とする請求項4 2の半導体集積回路装置の制御方法。

4 4. 前記第3のモードに切り換える際には、上記第2の回路ブロックから上記第1の回路ブロックに入力される上記クロック信号、及び、上記第1の回路ブロックで処理されるべき情報信号を停止し、タイマーにより所定時間待機した後、
25 上記半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を上げることを特徴とする請求項4 3の半導体集積回路装置の制御方法。

4 5. 前記第3のモードから第1のモードに切り換える際には、前記半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してト

ランジスタのしきい値を下げ、次に、前記第2の回路ブロックから上記第1の回路ブロックに入力される上記クロック信号、及び、上記第1の回路ブロックで処理されるべき情報信号の入力を開始することを特徴とする請求項42の半導体集積回路装置の制御方法。

- 5 46. 前記第3のモードから第1のモードに切り換える際には、前上記半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を下げ、タイマーにより所定時間待機した後、前記第2の回路ブロックから上記第1の回路ブロックに入力される上記クロック信号、及び、上記第1の回路ブロックで処理されるべき情報信号の入力を開始することを特徴
- 10 とする請求項45の半導体集積回路装置の制御方法。

47. 前記第3のモードから第1のモードに切り換える際には、前上記半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を下げ、該トランジスタのしきい値の状態を確認した後、前記第2の回路ブロックから上記第1の回路ブロックに入力される上記クロック
- 15 信号、及び、上記第1の回路ブロックで処理されるべき情報信号の入力を開始することを特徴とする請求項45の半導体集積回路装置の制御方法。

FIG.1

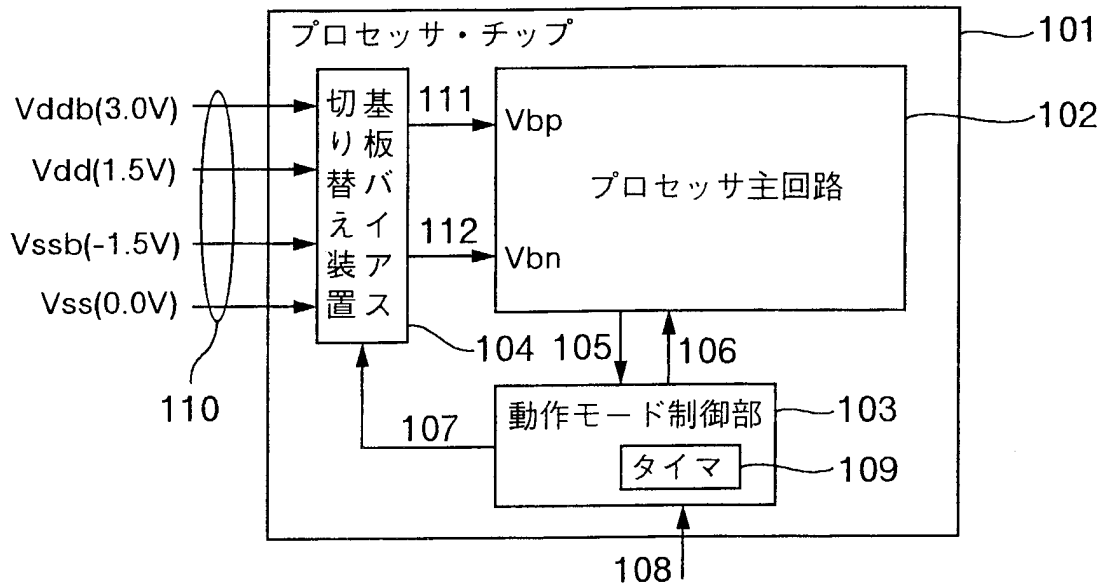


FIG.2

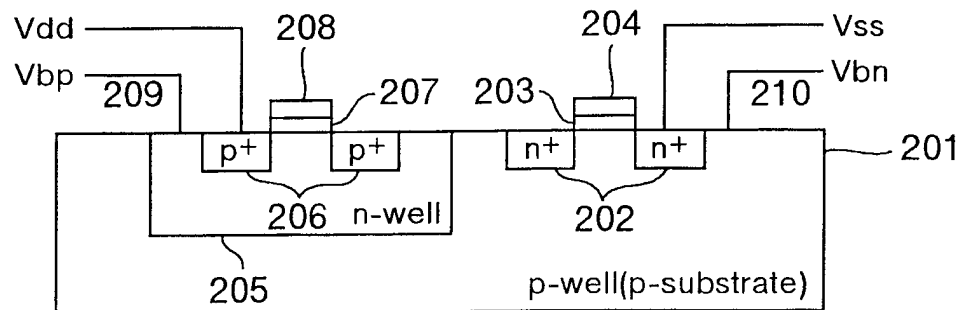


FIG.3

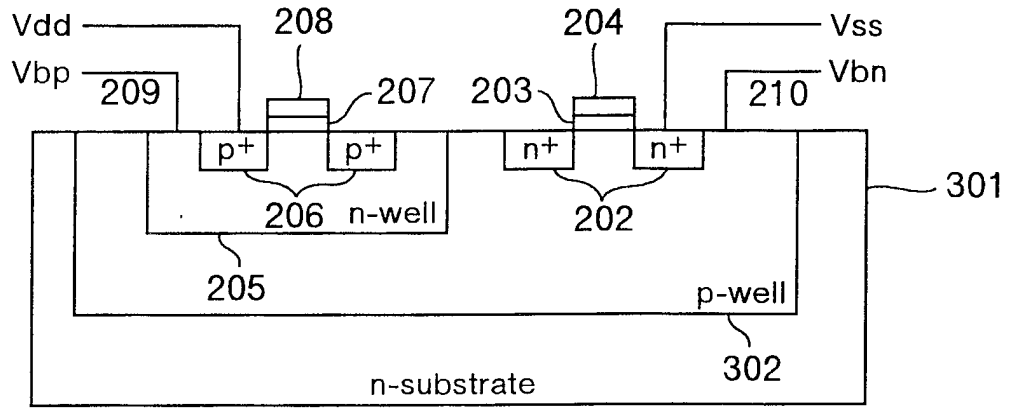


FIG.4

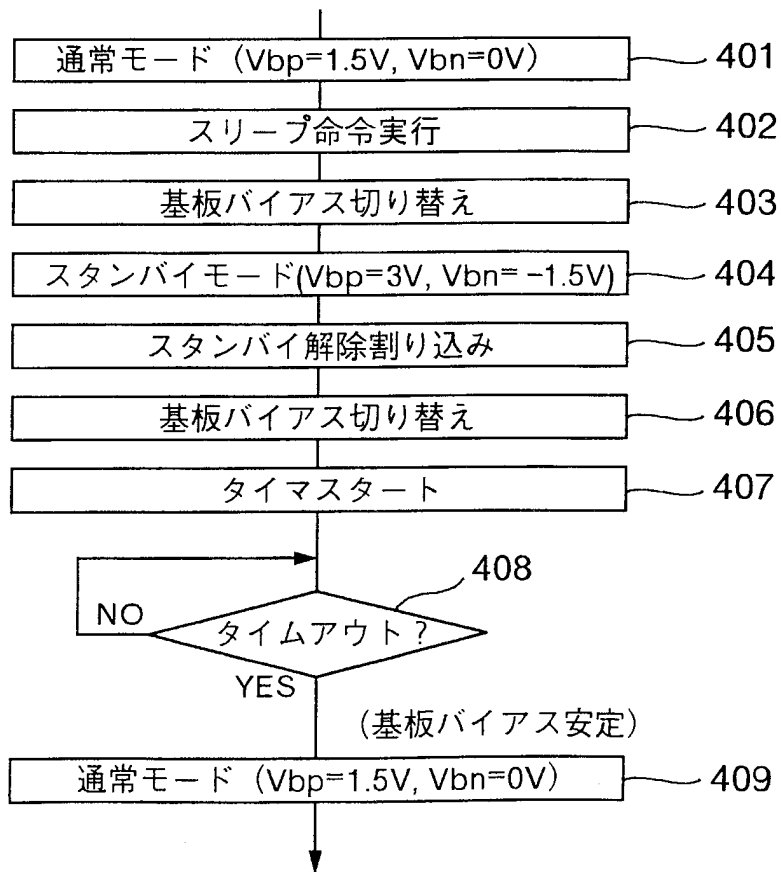


FIG.5

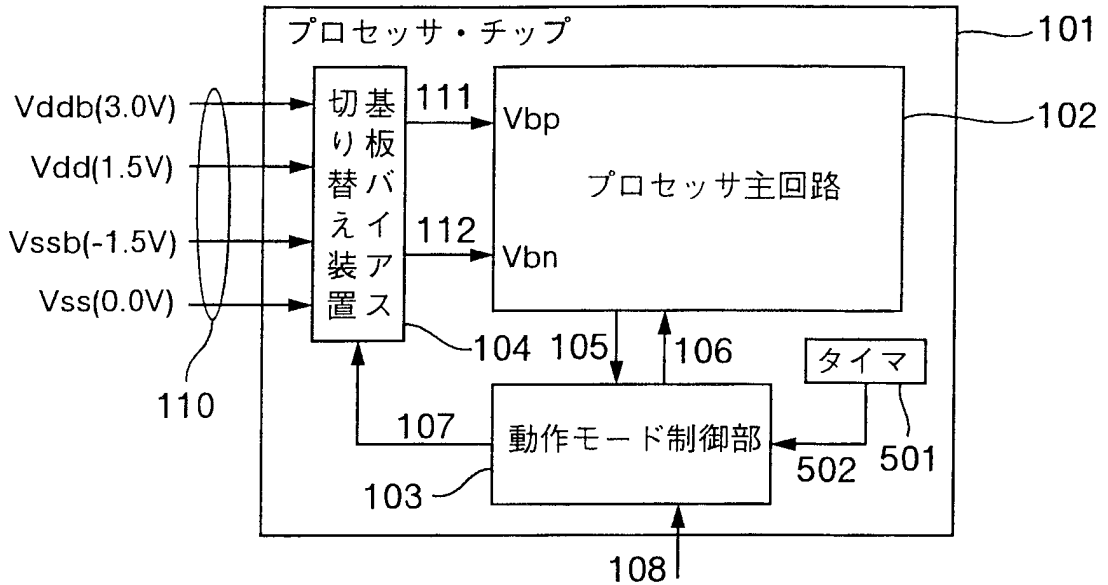


FIG.6

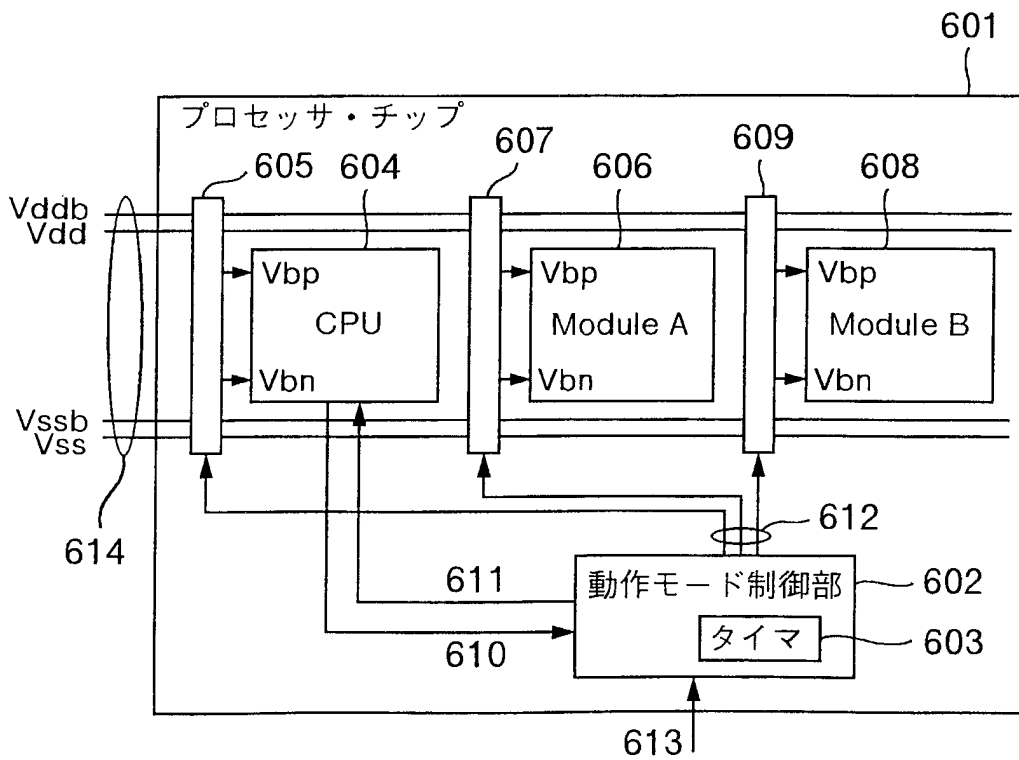


FIG.7

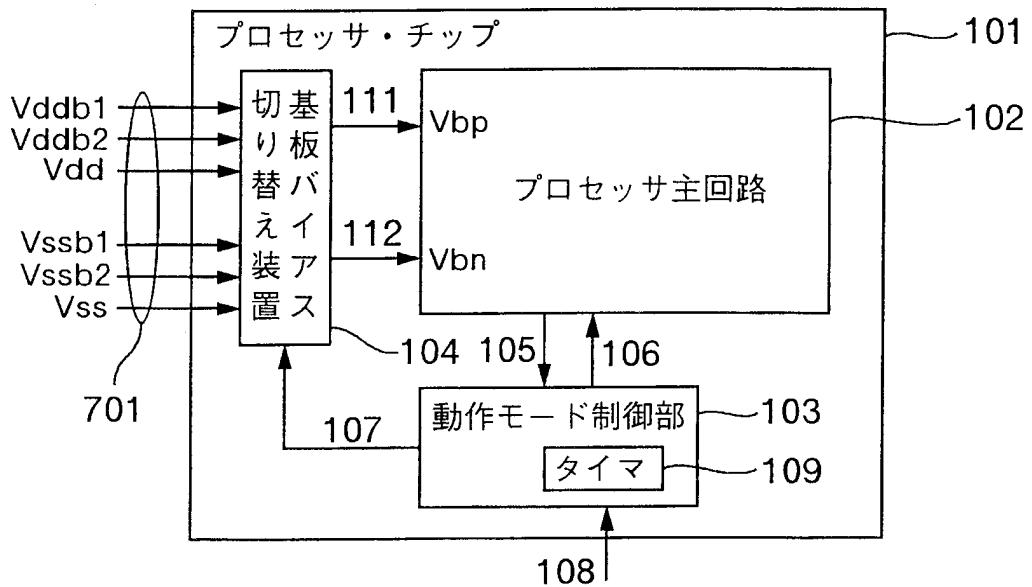


FIG.8

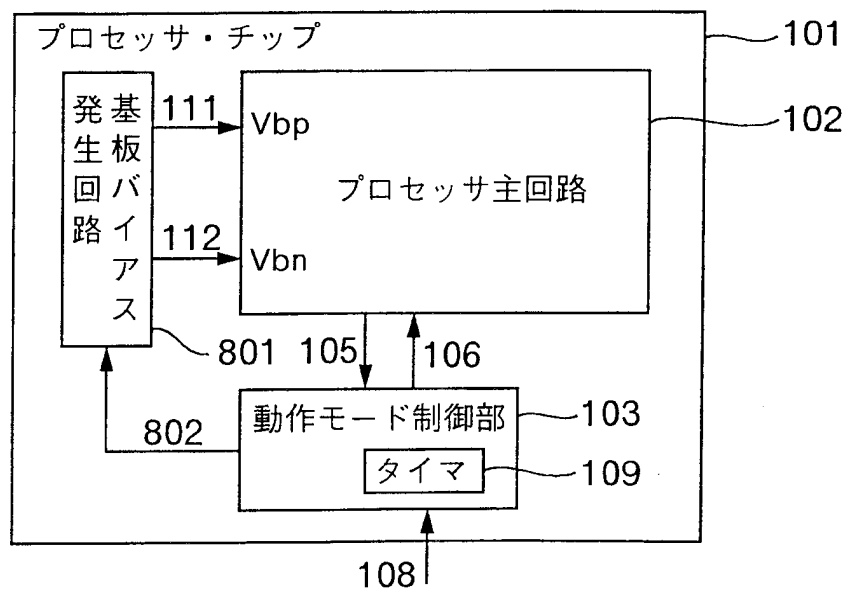


FIG.9

	動作モード	基板バイアス制御
981	リセット	制御しない
982	通常動作	制御しない
983	スリープ	制御しない
984	ディープスリープ	制御しない
985	スタンバイ	制御する
986	ハードウェアスタンバイ	制御する
	RTC電池バックアップ	制御する
	IDDQ測定	制御する

FIG.10

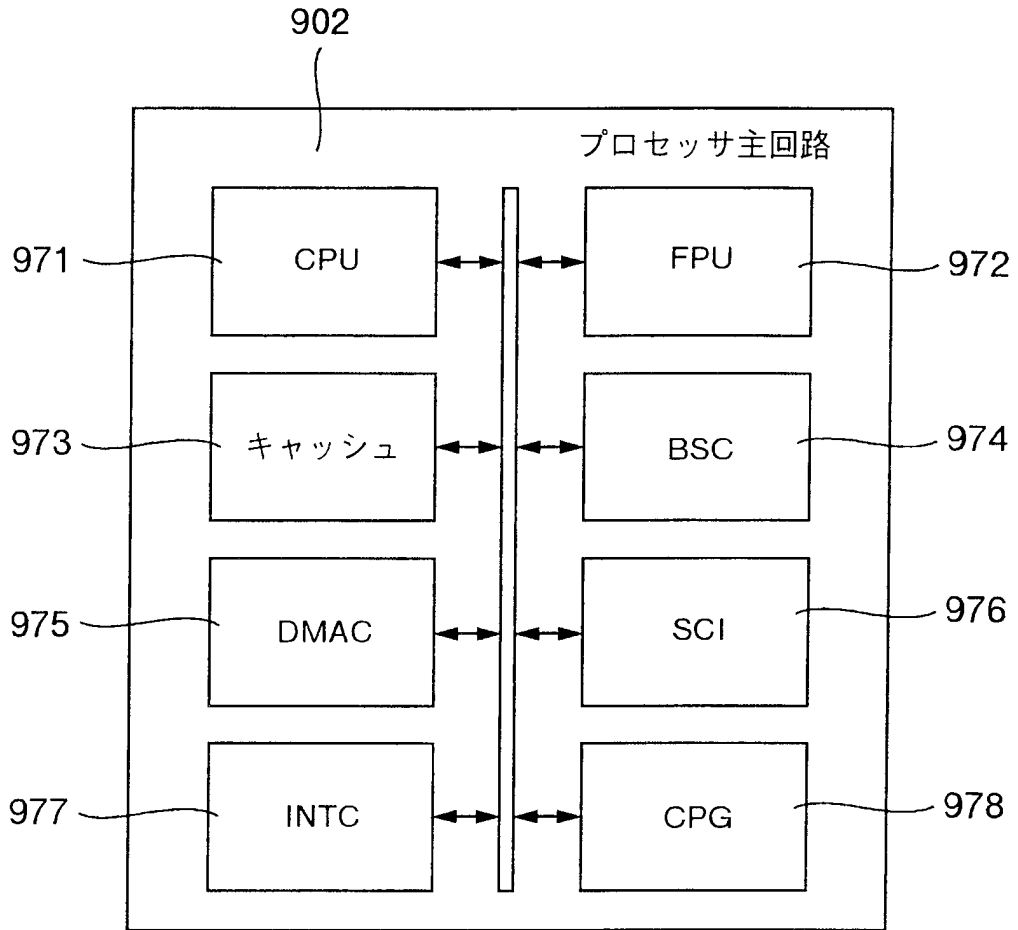


FIG.11

	983 スリープ	984 ディープ スリープ	985 スタンバイ
消費電力	△	○	◎
DMA転送	可能	禁止	禁止
メモリ リフレッシュ	通常 リフレッシュ	セルフ リフレッシュ	セルフ リフレッシュ
復帰時間	早い	早い	遅い
基板バイアス 制御	制御しない	制御しない	制御する

FIG.12

		983 スリープ	984 ディープ スリープ
971	CPU	停止	停止
972	FPU	停止	停止
973	キャッシュ	停止	停止
974	BSC	動作	停止
975	DMAC	動作	停止
976	SCI	動作	停止
977	INTC	動作	動作
978	CPG	動作	動作

FIG.13

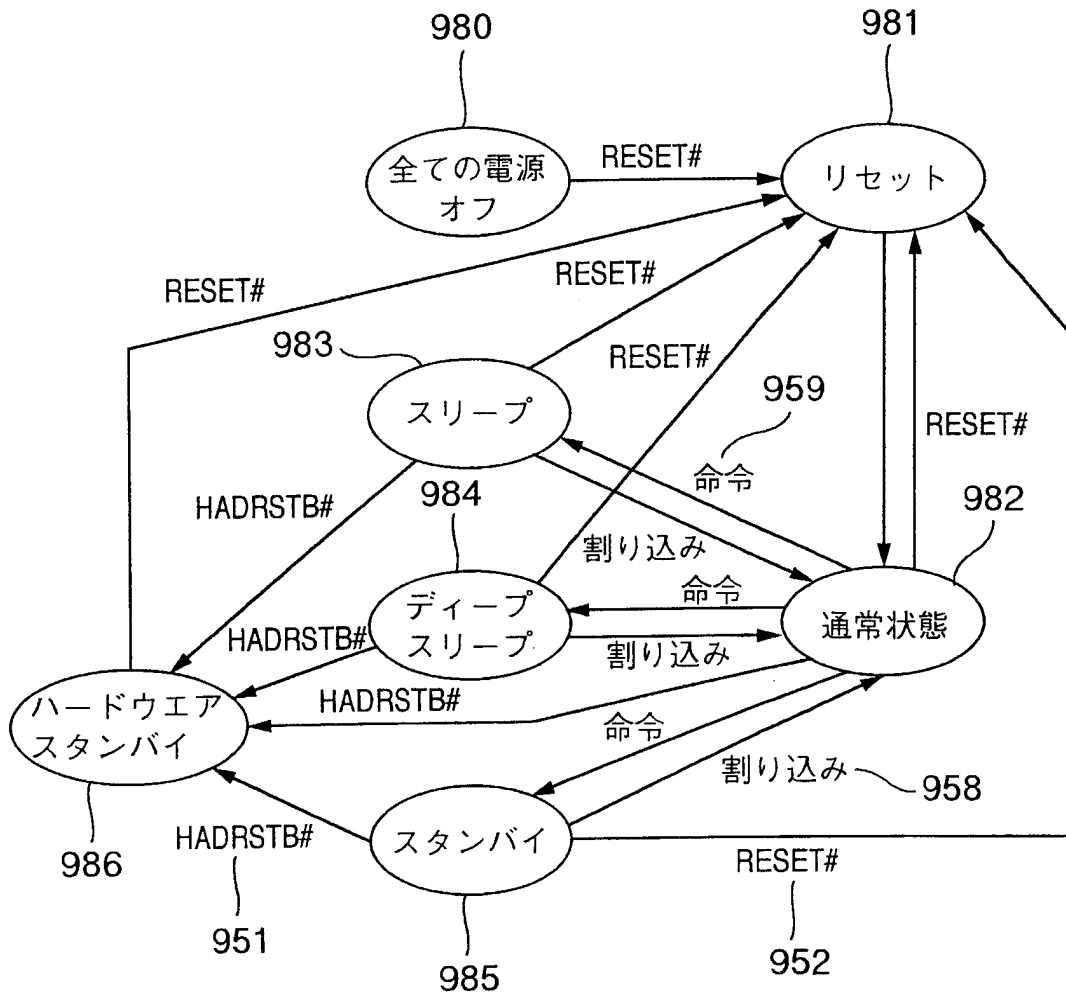


FIG.14

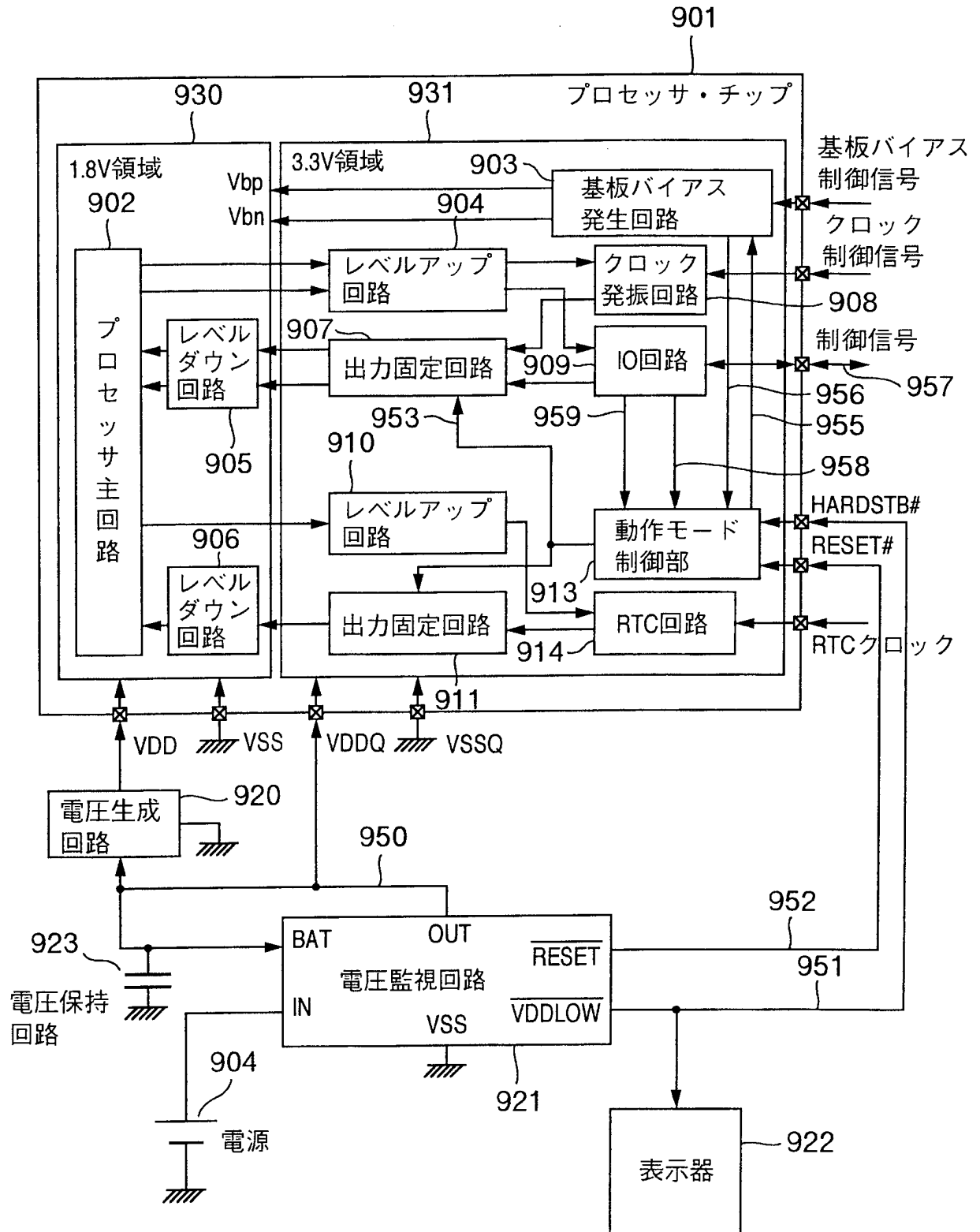


FIG.15

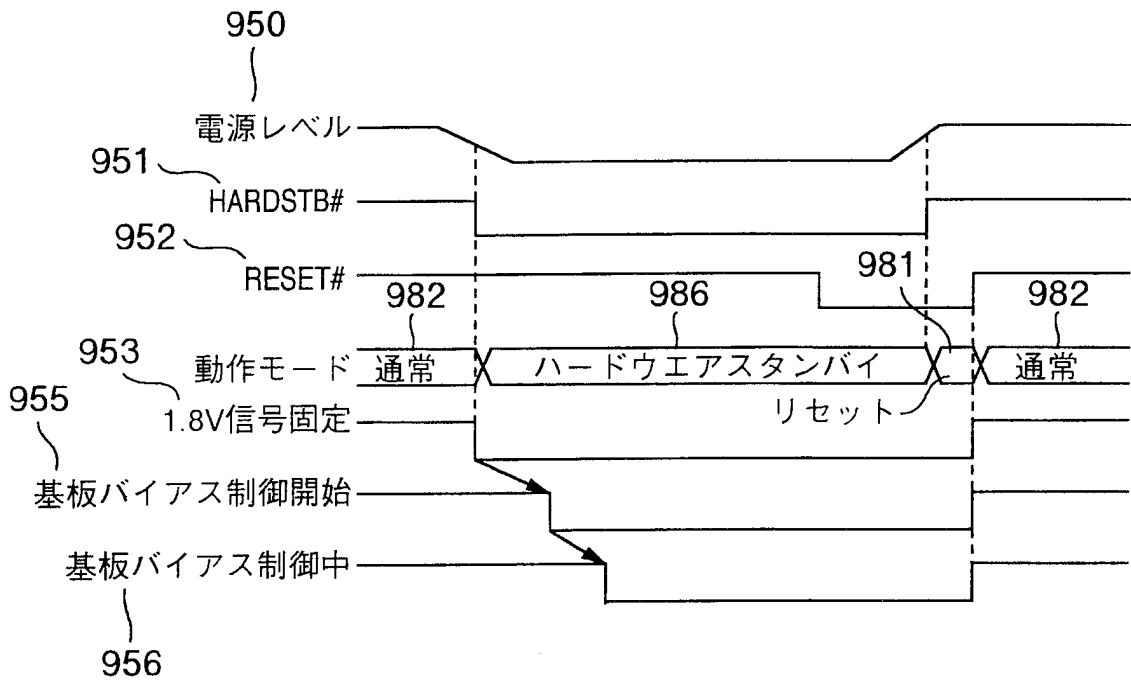


FIG.16

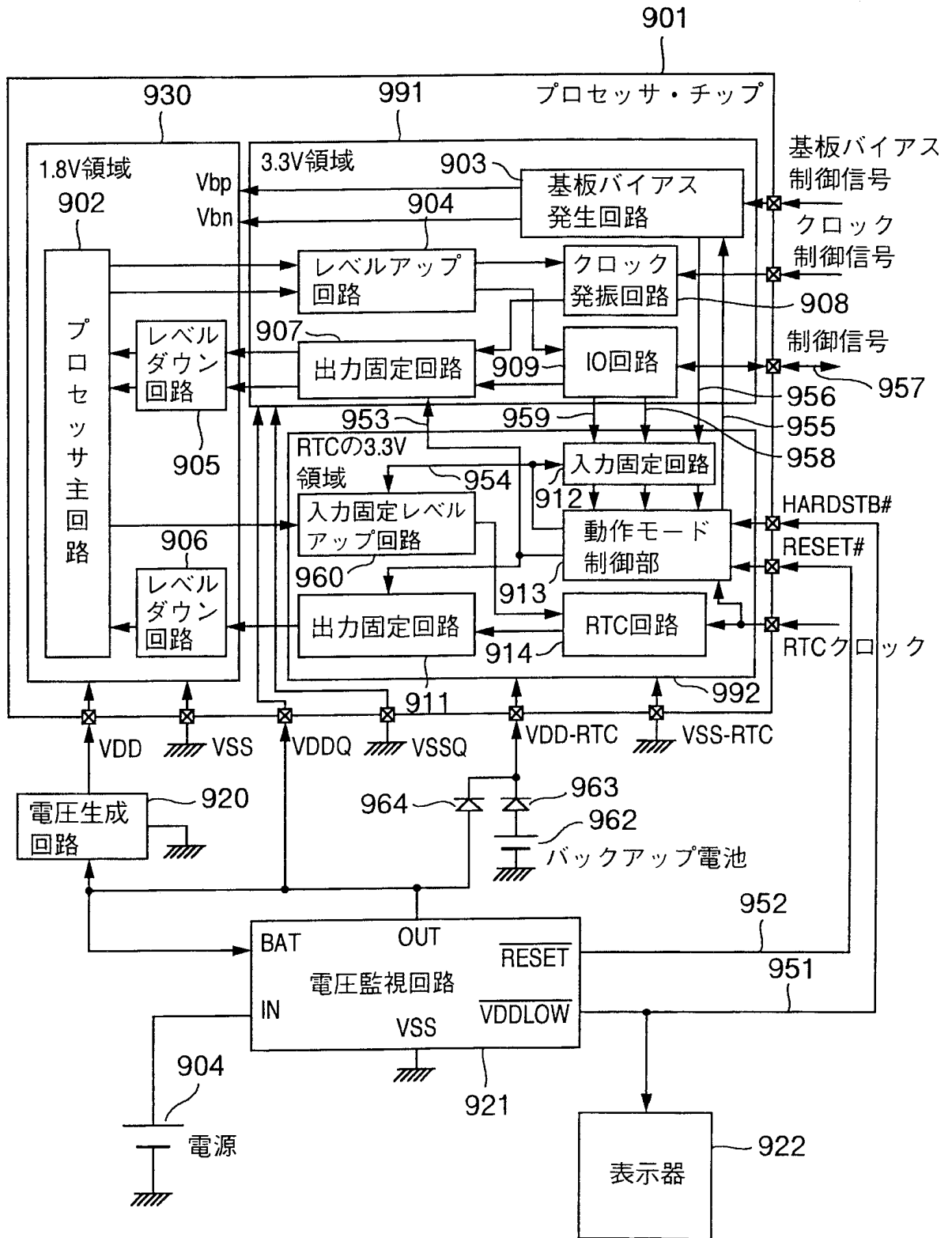


FIG.17

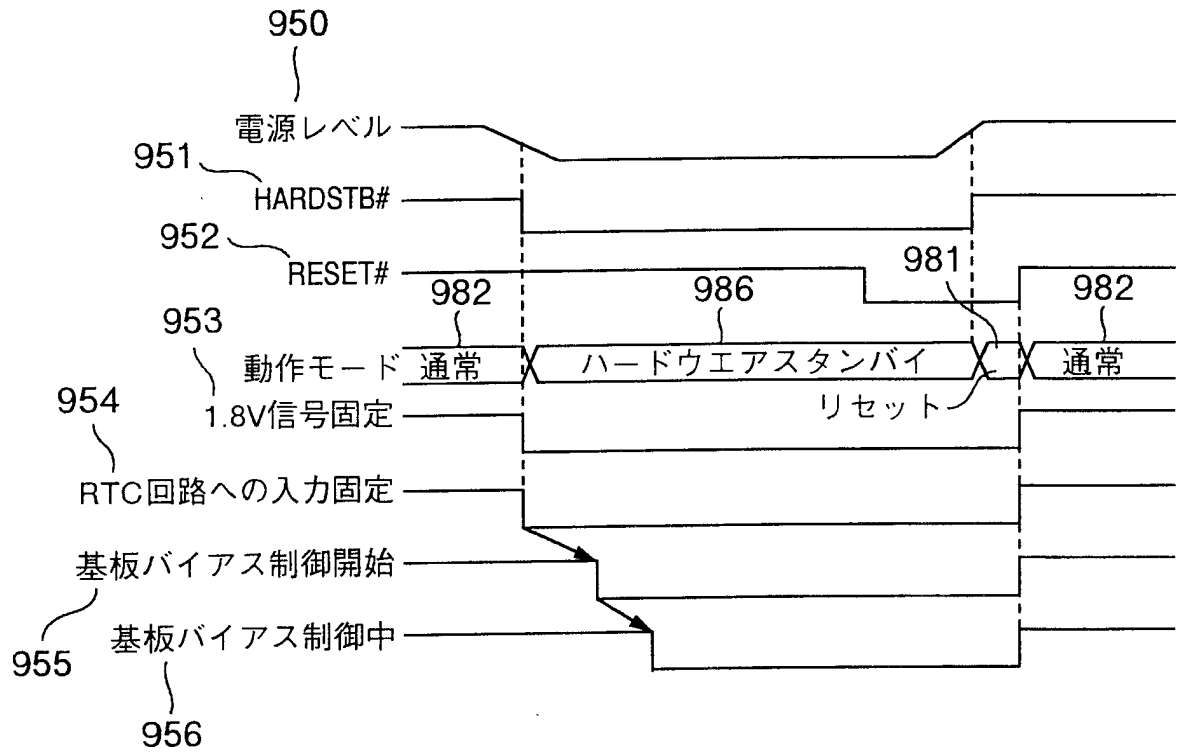


FIG.18

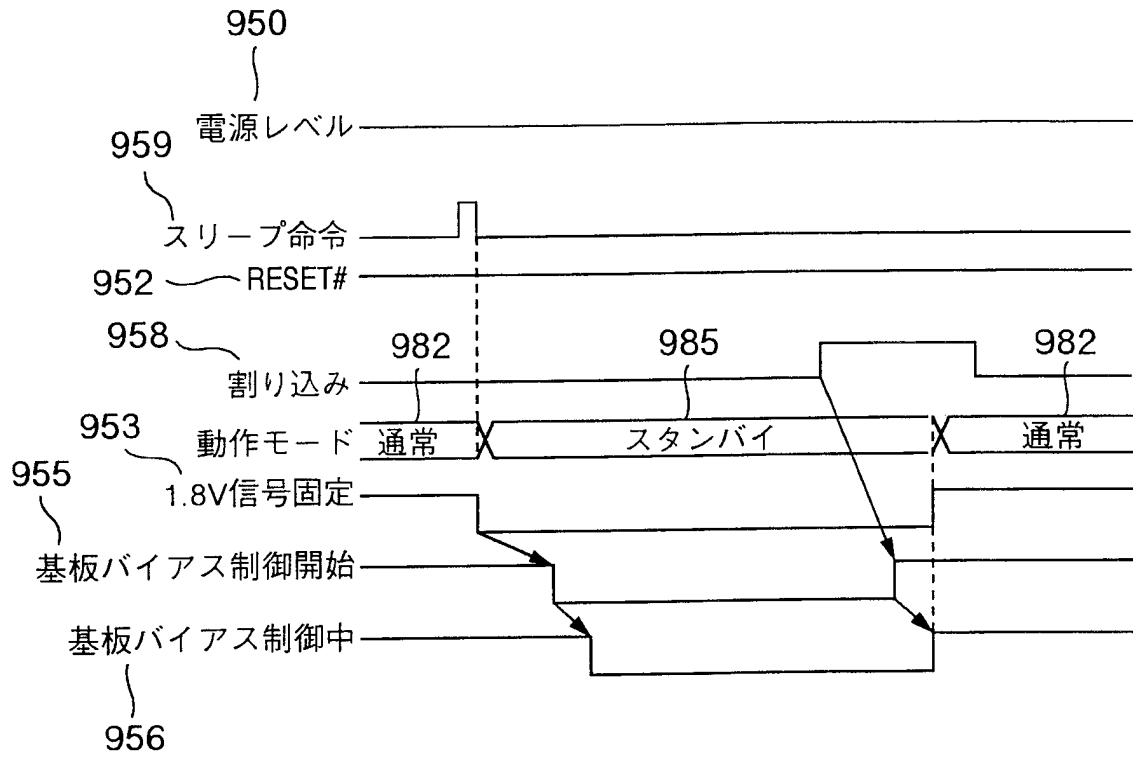
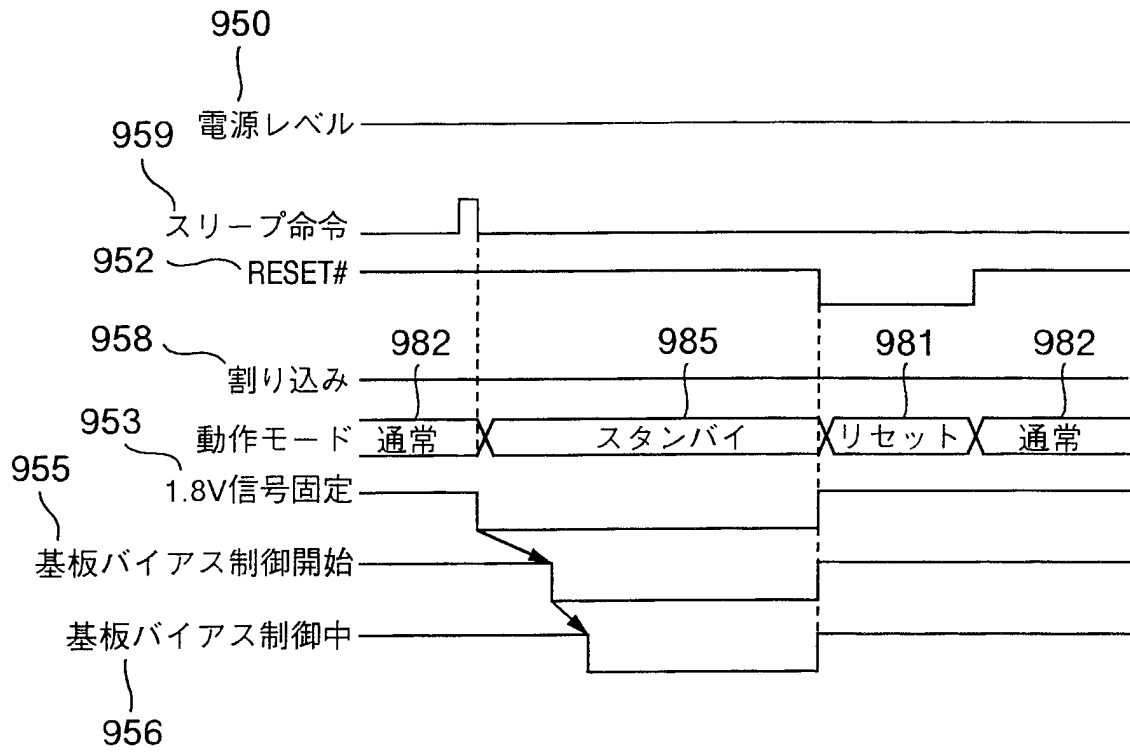


FIG.19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04253

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F1/04, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1998	1996 - 1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-254685, A (Toshiba Corp.), October 3, 1995 (03. 10. 95) (Family: none)	1, 16
A	JP, 8-83487, A (Mitsubishi Electric Corp.), March 26, 1996 (26. 03. 96) (Family: none)	1, 16
A	JP, 8-204140, A (NEC Corp.), August 9, 1996 (09. 08. 96) (Family: none)	1, 16

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

February 17, 1998 (17. 02. 98)

Date of mailing of the international search report

March 3, 1998 (03. 03. 98)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ G06F1/04		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁶ G06F1/04 H01L27/04		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996 日本国公開実用新案公報 1971-1997 日本国実用新案登録公報 1996-1998 日本国登録実用新案公報 1994-1998		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 7-254685, A (株式会社東芝), 3. 10月. 1995 (03. 10. 95) (ファミリーなし)	1, 16
A	J P, 8-83487, A (三菱電機株式会社), 26. 3月. 1996 (26. 03. 96) (ファミリーなし)	1, 16
A	J P, 8-204140, A (日本電気株式会社), 9. 8月. 1996 (09. 08. 96) (ファミリーなし)	1, 16
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献
国際調査を完了した日	17. 02. 98	国際調査報告の発送日
国際調査機関の名称及びあて先	日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 酒井 朋広 印 電話番号 03-3581-1101 内線 3520

03.03.98