



## [12] 发 明 专 利 说 明 书

[21] ZL 专利号 99126686.2

[45] 授权公告日 2004 年 10 月 20 日

[11] 授权公告号 CN 1172228C

[22] 申请日 1999. 12. 24 [21] 申请号 99126686.2

[30] 优先权

[32] 1998. 12. 25 [33] JP [31] 371106/1998

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 北尾一郎

审查员 丁 文

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

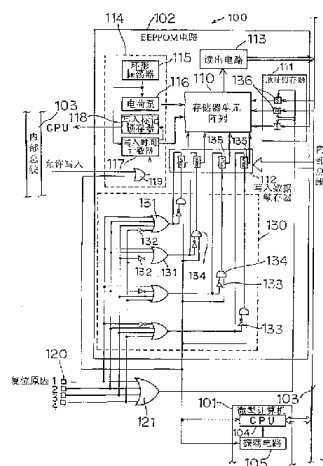
代理人 穆德骏 方 挺

权利要求书 3 页 说明书 16 页 附图 4 页

[54] 发明名称 数据处理装置及其数据处理方法

[57] 摘要

在个人计算机等数据处理装置中, 即使因发生复位进行再次起动, 也要确认发生的复位原因。对应于多种类的复位原因的产生, 如果多个复位检测电路(120)分别传送复位信号, 那么数据处理单元(101)就执行复位动作。但是, 对应于多个复位检测电路(120)中之一的复位信号传送, 由于把多种预定数据中的一个由复位写入单元(130)写入到数据存储单元(110)的预定地址中, 所以即使因执行复位动作而进行再次起动, 也可以确认发生复位的原因。



1. 一种数据处理装置，包括：

非易失性数据存储单元，在各种地址的每个地址中进行各种数据  
5 的数据写入和数据读出，

数据处理单元，统一控制所述非易失性数据存储单元的数据读写  
等各种处理，同时如果从外部输入复位信号，就实施复位动作，

多个复位检测单元，对应于多种复位原因的产生，把复位信号分  
别传送至所述数据处理单元，

10 复位写入单元，对应于多个所述复位检测单元中之一的复位信号  
传送，把多种预定数据中的一个数据写入到所述非易失性数据存储单  
元的预定地址中，

写入判定单元，判定是否正处于向所述非易失性数据存储单元写  
入数据的期间，和

15 写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入  
的写入数据，

所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂  
时保持的所述写入数据写入到所述非易失性数据存储单元，

20 所述复位写入单元与所述数据处理单元的复位动作无关，在所述  
写入数据的数据写入动作完成之前，保留所述预定数据的数据写入。

2. 如权利要求 1 所述的数据处理装置，所述复位写入单元根据  
多个所述复位检测单元的复位信号的传送或不传送，生成多位的预定  
数据。

25 3. 如权利要求 1 或 2 所述的数据处理装置，还包括数据读出单  
元，其根据所述复位写入单元数据写入的所述非易失性数据存储单元  
的预定地址，读出存储的写入数据。

30 4. 一种数据处理装置，包括：

非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出，

数据处理单元，统一控制所述非易失性数据存储单元的数据读写等各种处理，同时如果从外部输入复位信号，就实施复位动作，

5           多个复位检测单元，对应于多种复位原因的产生，把复位信号分别传送至所述数据处理单元，

复位写入单元，对应于多个所述复位检测单元中之一的复位信号传送，在所述非易失性数据存储单元的多个预定地址的一个地址中写入预定数据，

10           写入判定单元，判定是否正处于向所述非易失性数据存储单元写入数据的期间，和

写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，

15           所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，

所述复位写入单元与所述数据处理单元的复位动作无关，在所述写入数据的数据写入动作完成之前，保留所述预定数据的数据写入。

20           5. 如权利要求 4 所述的数据处理装置，所述复位写入单元根据多个所述复位检测单元的复位信号的传送或不传送，而生成多位的预定地址。

25           6. 如权利要求 4 或 5 所述的数据处理装置，还包括数据读出单元，其根据所述复位写入单元数据写入的所述非易失性数据存储单元的预定地址，读出存储的写入数据。

30           7. 一种数据处理装置中的数据处理方法，该数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等的各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种复位原因的产生，把复

位信号分别传送至所述数据处理单元；复位写入单元，对应于所述多个复位检测单元中之一的复位信号传送，把多种预定数据中的一个数据写入到所述非易失性数据存储单元的预定地址中；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，该数据处理方法包括：

对应于多个所述复位检测单元中之一所产生的复位信号传送，把所述多种预定数据中的一个数据写入到所述非易失性数据存储单元的预定地址中，判定正处于数据写入进行期间，

所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，

所述复位写入单元与所述数据处理单元的复位动作无关，保留所述预定数据的数据写入。

8. 一种数据处理装置中的数据处理方法，该数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等的各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种复位原因的产生，把复位信号分别传送至所述数据处理单元；复位写入单元，对应于所述多个复位检测单元中之一的复位信号传送，在所述非易失性数据存储单元的多个预定地址的一个地址中写入预定数据；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，该数据处理方法包括：

对应于多个所述复位检测单元中之一所产生的复位信号传送，将预定数据写入到所述非易失性数据存储单元的多个预定地址的一个地址中，判定正处于数据写入进行期间，

所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，

所述复位写入单元与所述数据处理单元的复位动作无关，保留所述预定数据的数据写入。

## 数据处理装置及其数据处理方法

## 5 技术领域

本发明涉及执行数据读写和复位动作的数据处理装置及其数据处理方法。

## 背景技术

10 目前，所谓的个人计算机等数据处理装置被用于各种领域的数据处理。这种数据处理装置按其数据处理的内容构成了各种形态，但一般来说，都配有与数据处理单元对应的 CPU（中央处理单元）和作为数据存储单元的 RAM（随机存取存储器）等。

15 RAM 执行各种数据的数据写入和数据读出，而 CPU 统一控制由 RAM 进行的数据读写等各种处理。但是，在这种数据处理装置中有发生各种故障的情况，在这种情况下，必须把 CPU 复位。

20 因此，在目前的数据处理装置中，一般还设置作为复位检测单元的复位检测电路，该复位检测电路检测发生复位的原因，把复位信号传送至 CPU。由于如果从外部输入复位信号，CPU 就执行复位动作，所以可防止故障发生时仍然继续进行数据处理。

25 上述那样的数据处理装置可以由 CPU 统一控制利用 RAM 的数据读写等各种处理，如果由复位检测电路检测出发生复位的原因，那么由 CPU 执行复位动作。

30 但是，如果执行这种复位动作的数据处理装置被再次起动，那么由于该数据处理装置恢复至通常的初始状态，所以不能确认发生复位的原因。因此，难以预防相同复位原因的再次发生，也难以检测不适

当操作的执行。

### 发明内容

5 鉴于上述问题，本发明的目的在于提供即使因执行复位动作而进行再次起动，也可以确认复位原因的数据处理装置及其数据处理方法。

10 本发明第一方案的数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种类复位原因的产生，把复位信号传送至所述数据处理单元；复位写入单元，对应于多个所述复位检测单元中之一的复位信号传送，把多种预定数据中的一个数据写入到所述非易失性数据存储单元的预定地址中；写入判定单元，判定是否正处于向所述非易失性数据存储单元写入数据的期间；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，所述写入数据锁存器与  
15 所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，所述复位写入单元与所述数据处理单元的复位动作无关，在所述写入数据的数据写入动作完成之前，保留所述预定数据的数据写入。  
20

25 因此，在本发明的数据处理装置的数据处理方法中，把非易失性数据存储单元产生的数据读写等各种处理由数据处理单元进行统一控制，而对应于产生的多种复位原因，由于多个复位检测单元把复位信号分别传送至数据处理单元，所以在这种情况下，数据处理单元执行复位动作。但是，对应于多个复位检测单元中之一的复位信号传送，由于把多种预定数据中的一个由复位写入单元写入到非易失性数据存储单元的预定地址中，所以即使因执行复位而再次起动，也可以确认  
30 发生复位的原因。

本发明第二方案的数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种类复位原因的产生，把复位信号分别传送至所述数据处理单元；复位写入单元，对应于多个所述复位检测单元中之一的复位信号传送，在所述非易失性数据存储单元的多个预定地址的一个地址中写入预定数据；写入判定单元，判定是否正处于向所述非易失性数据存储单元写入数据的期间；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，所述复位写入单元与所述数据处理单元的复位动作无关，在所述写入数据的数据写入动作完成之前，保留所述预定数据的数据写入。

因此，在本发明的数据处理装置的数据处理方法中，把非易失性数据存储单元产生的数据读写等各种处理由数据处理单元进行统一控制，而对应于产生的多种复位原因，由于多个复位检测单元把复位信号分别传送至数据处理单元，所以在这种情况下，数据处理单元执行复位动作。但是，对应于多个复位检测单元中之一的复位信号传送，由于复位写入单元在非易失性数据存储单元的多个预定地址的一个地址中写入预定数据，所以即使因执行复位动作而再次起动，也可以确认发生复位的原因。

在上述那样的数据处理装置中，所述复位写入单元根据多个所述复位检测单元的复位信号的传送或不传送，来生成多位的预定数据。在这种情况下，根据多个复位检测单元的复位信号的传送或不传送，由于复位写入单元生成多位的预定数据，所以形成可以确认写入非易失性数据存储单元中的预定数据所表示的复位原因的形态。

在上述那样的数据处理装置中，所述复位写入单元根据多个所述复位检测单元的复位信号的传送或不传送，生成多位的预定地址。在这种情况下，由于根据多个复位检测单元的复位信号的传送或不传送，复位写入单元生成多位的预定地址，所以在可以确认非易失性数据存储单元复位原因的预定地址中可以写入预定数据。

在上述那样的数据处理装置中，还包括数据读出单元，根据所述复位写入单元数据写入的所述非易失性数据存储单元的预定地址，读出存储的写入数据。在这种情况下，由于通过复位写入单元在非易失性数据存储单元中写入的写入数据由数据读出单元读出，所以可根据该读出数据确认产生复位的原因。

再有，最好形成本发明中所说的各种单元，以便实现其功能，例如，允许有专用的硬件、通过程序提供适当功能的计算机、通过适当的程序在计算机内部实现的功能、以及它们的组合等。

本发明的第三方案提供了一种数据处理装置中的数据处理方法，该数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等的各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种复位原因的产生，把复位信号分别传送至所述数据处理单元；复位写入单元，对应于多个复位检测单元中之一的复位信号传送，把多种预定数据中的一个数据写入到非易失性数据存储单元的预定地址中；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，该数据处理方法包括：对应于多个所述复位检测单元中之一所产生的复位信号传送，把所述多种预定数据中的一个数据写入到所述非易失性数据存储单元的预定地址中，判定正处于数据写入进行期间，所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂

时保持的所述写入数据写入到所述非易失性数据存储单元，所述复位写入单元与所述数据处理单元的复位动作无关，保留所述预定数据的数据写入。

5           本发明的第四方案提供了一种数据处理装置中的数据处理方法，  
该数据处理装置包括：非易失性数据存储单元，在各种地址的每个地址中进行各种数据的数据写入和数据读出；数据处理单元，统一控制所述非易失性数据存储单元的数据读写等的各种处理，同时如果从外部输入复位信号，就实施复位动作；多个复位检测单元，对应于多种  
10   复位原因的产生，把复位信号分别传送至所述数据处理单元；复位写入单元，对应于多个复位检测单元中之一的复位信号传送，在所述非易失性数据存储单元的多个预定地址的一个地址中写入预定数据；和写入数据锁存器，暂时保持要向所述非易失性数据存储单元写入的写入数据，该数据处理方法包括：对应于多个所述复位检测单元中之一  
15   所产生的复位信号传送，将预定数据写入到所述非易失性数据存储单元的多个预定地址的一个地址中，判定正处于数据写入进行期间，所述写入数据锁存器与所述数据处理单元的复位动作无关，把暂时保持的所述写入数据写入到所述非易失性数据存储单元，所述复位写入单元与所述数据处理单元的复位动作无关，保留所述预定数据的数据写入。  
20   入。

#### 附图说明

图 1 是表示本发明第一实施例的数据处理装置主要部分的框图。

25   图 2 是表示数据处理装置的数据处理方法的主程序的示意图流程图。

图 3 是表示图 2 所示的数据处理步骤的子程序的示意图流程图。

图 4 是表示本发明第二实施例的数据处理装置主要部分的框图。

#### 具体实施方式

30           下面，参照图 1 至图 3 说明本发明的第一实施例。图 1 是表示本

发明第一实施例的数据处理装置主要部分的方框图，图 2 是表示数据处理装置的数据处理方法的主程序的示意流程图，图 3 是表示图 2 所示的数据处理步骤的子程序的示意流程图。

5           如图 1 所示，本实施例的数据处理装置 100 包括与数据处理单元和数据读出单元对应的微型计算机 101 和 EEPROM（电可擦可编程只读存储器）电路 102，它们与内部总线 103 连接。

10           微型计算机 101 包括 CPU 104、振荡电路 105、掩码型 ROM 等编程存储器（图中未示出）、RAM 等工作存储器（图中未示出）等，CPU 104 执行与振荡电路 105 产生的时钟信号对应的各种处理。

15           EEPROM 电路 102 包括作为非易失性数据存储单元的存储器单元阵列 110，该存储器单元阵列 110 按各种地址执行各种数据的数据写入和数据读出。因此，在存储器单元阵列 110 中，连接暂时保持地址数据的地址数据锁存器 111、暂时保持写入数据的写入数据锁存器 112、数据读出存储数据的数据读出电路 113 等，这些电路 111~113 还与内部总线 103 连接。

20           此外，在该内部总线 103 和存储器单元阵列 110 中，还连接写入控制电路 114，该写入控制电路 114 包括环形振荡器 115、电荷泵 116、写入时间计数器 117、与写入判定单元对应的写入标志锁存器 118、“或”门 119 等。

25           环形振荡器 115 产生与上述振荡电路 105 相同的时钟信号，电荷泵 116 根据环形振荡器 115 的时钟信号生成在存储器单元阵列 110 的数据写入中需要的驱动电压。写入时间计数器 117 按环形振荡器 115 的时钟信号对存储器单元阵列 110 的数据写入所用时间计数，写入标记锁存器 118 保存与由写入时间计数器 117 计数的有无相对应的二进制写入标记。

30

再有，“或”门 119 与内部总线 103 和写入时间计数器 117 连接，把由内部总线 103 供给的允许数据写入的信号供给写入时间计数器 117。由于该写入时间计数器 117 仅在从“或”门 119 供给允许信号的情况下执行计数动作，所以由这些电路实现写入判定单元。

而且，在本实施例的数据处理装置 100 中，设有作为复位检测单元的多个复位检测电路 120，多个复位检测电路 120 通过“或”门 121 与微型计算机 101 的 CPU 104 和振荡电路 105 连接。

多个复位检测电路 120 被配置在数据处理装置 100 的各部分中，分别检测本身电源（图中未示出）的电压异常等产生的多种类的复位原因，传送复位信号。如果输入即使多种复位信号之一，那么由于“或”门 121 也将其传送给 CPU 104，所以如果从外部输入复位信号，那么该 CPU 104 执行复位动作。

此外，在 EEPROM 电路 102 中设有作为复位写入单元的复位写入电路 130，在该复位写入电路 130 中，也分别连接多个复位检测电路 120 和“或”门 121 及写入数据锁存器 112。

该复位写入电路 130 由分别与复位检测电路 120 相相同数目目的“或”门 131 和上级反相器元件 132、分别与复位检测电路 120 相相同数目目的下级反相器元件 133 和“与”门 134 组成，所有多个复位检测电路 120 分别与相同数目的“或”门 131 连接。

但是，在第一、第二…的复位检测电路 120 与第一、第二…的“或”门 131 的每个连接布线上，由于插入第一、第二…的反相器元件 132，所以由第一、第二…的复位检测电路 120 中的一个输出的复位信号仅从与第一、第二…的“或”门 131 对应的一个“或”门中输出。

这些“或”门 131 的各个输出端子分别直接连接在与写入数据锁存器 112 相同数目的 SR（设定/复位）电路 135 的各个设定端子上，同时分别通过反相器元件 133 和“与”门 134 连接在 SR 电路 135 的各个复位端子上。

5

在这些多个“与”门 134 的另一输入端子上，由于多个复位检测电路 120 通过一个“与”门 121 彼此连接，所以如果多个复位检测电路 120 中的一个传送复位信号，那么相同数目的位中对应的一位导通（on）的写入数据被设定在写入数据锁存器 112 中。

10

而且，由于多个复位检测电路 120 通过一个“与”门 121 还与地址数据锁存器 111 的多个 SR 电路 136 连接，所以如果多个复位检测电路 120 中的一个传送复位信号，那么预定的地址数据被设定在地址数据锁存器 111 中。

15

此外，由于多个复位检测电路 120 通过“与”门 121、119 还与写入控制电路 114 的写入时间计数器 117 连接，所以如果多个复位检测电路 120 中的一个传送复位信号，那么写入时间计数器 117 对存储器单元阵列 110 的写入时间计数。

20

如上所述，由于各种电路执行各种动作，所以如果多个复位检测电路 120 中的一个传送复位信号，那么与此对应的多种类的预定数据中的一个由复位写入单元 130 写入到存储器单元阵列 110 的预定地址中。

25

此外，在微型计算机 101 中，安装有用于产生各种功能的各种程序，利用这样的各种程序，可逻辑地实现各种单元。例如，如果外部输入预定指令，那么微型计算机 101 控制作为数据读出单元的地址数据锁存器 111 和数据读出电路 113 的动作，复位写入电路 130 从写入数据的存储器单元阵列 110 的预定地址中读出存储数据。

30

下面，参照图 2 和图 3 说明在上述结构的本实施例数据处理装置 100 中的数据处理方法。图 2 所示的流程图是示意性地表示数据处理装置 100 的多个部分的并行处理动作的图，如通常那样，不是时间序列地表示一个部分的一连串数据处理的图。

首先，如图 2 所示，本实施例的数据处理装置 100 一般由用户携带，例如，利用与接合器（maker）侧的主机（图中未示出）连接进行各种数据处理（步骤 S2）。在这种情况下，在微型计算机 101 中，由于振荡电路 105 产生时钟信号，所以按与该时钟信号对应的时序 CPU 104 执行数据处理，根据需要，把各种数据保存在 EEPROM 电路 102 中。

在该 EEPROM 电路 102 中，在地址数据锁存器 111 中暂时保持地址数据，同时在写入数据锁存器 112 中暂时保持写入数据，根据环形振荡器 115 产生的时钟信号，电荷泵 116 生成驱动电压。

而且，由于写入时间计数器按环形振荡器 115 产生的时钟信号对写入时间计数，所以限定在写入时间内，将暂时保存的写入数据按暂时保存的地址数据利用驱动电压写入到存储器单元阵列 110 中，。

如上所述，在数据处理装置 100 执行各种数据处理时（步骤 S2），多个复位检测电路 120 的各电路分别时常监视产生的各种复位原因（步骤 S1），检测出产生复位的原因的复位检测电路 120 传送复位信号（步骤 S3）。

于是，由于该复位信号通过“与”门 121 被输入到微型计算机 101 中，所以其 CPU 104 和振荡电路 105 执行与以往相同的系统设定（步骤 S4）。

由于复位信号通过“与”门 121 被输入到 EEPROM 电路 102 的写入控制电路 114 中，所以其写入时间计数器 117 开始写入时间的计数（步骤 S5），这种计数持续至写入时间的计数结束（步骤 S6）。

5           与此并行，在复位写入电路 130 中，由于生成与多个复位检测电路 120 中之一的复位信号传送对应的多种类写入数据之一被设定在写入数据锁存器 112 中（步骤 S7），所以该数据在如上所述的写入时间的计数内，从写入数据锁存器 112 写入到存储器单元阵列 135 中（步骤 S8）。

10

此外，如图 3 所示，本实施例的数据处理装置 100 在执行上述各种数据处理时（步骤 S2、T2），例如，根据有无由连接的主机产生的预定指令的输入，可以对有无关于复位原因写入数据的读出操作进行确认（步骤 T1）。

15

因此，如果该读出操作被确认，那么在与产生的复位原因对应的存储器单元阵列 110 中，写入的存储数据从预定地址中被读出（步骤 T3），其读出数据在主机中从数据输出中进行数据删除（步骤 T4、T5）。

20           如上所述，根据产生的复位原因，如果多个复位检测电路 120 中的一个传送复位信号，那么本实施例的数据处理装置 100 与以往一样，微型计算机 101 执行系统复位。但是，与产生的复位原因对应的写入数据利用复位写入电路 130 被写入到存储器单元阵列 135 的预定地址中，可以由主机读出该写入数据。

25

因此，可以在接合器一方确认用户使用的数据处理装置 100 中发生的复位原因，例如，修正数据处理装置 100 的不当情况，可以预防相同复位原因的再次发生，还可以检测用户的不适当操作的执行。

30           特别是复位原因有多个，复位检测电路 120 也有多个，但由于与

多个复位检测电路 120 中之一的信号传送对应的复位写入电路 130 生成一个多种类的预定数据，并写入到存储器单元阵列 135 中，所以可以从多个复位原因中确定所产生的一个复位原因。

5           而且，通常的数据写入必须进行微型计算机 101 的控制，但由于复位原因的数据写入由硬件的复位写入电路 130 执行，所以在微型计算机 101 的系统设定执行中，可以把复位原因数据写入到存储器单元阵列 135 中。

10           而且，由于复位原因的数据写入在存储器单元阵列 135 的专用预定地址中执行，在该地址中不执行通常的数据写入，所以本实施例的数据处理装置 100 可以简单并且确实地读出复位原因的写入数据。

15           而且，在本实施例的数据处理装置 100 中，由于在通常动作下保存数据使用的 EEPROM 电路 102 中分配专用的地址，写入表示复位原因的数据，所以不需要保存复位原因数据的专用数据存储介质，电路的结构简单，削减了装置规模。

20           再有，本发明不限于上述形态，在不脱离其主要精神的范围内，可以进行各种变形。例如，在上述形态中，作为非易失性数据存储单元，例示了 EEPROM 电路 102 的存储器单元阵列 110，但也可以是非易失性的数据存储介质，还可以利用闪烁存储器和 FeRAM（铁电 RAM）等。

25           而且，在上述形态中，例示了在通常保存数据时使用的 EEPROM 电路 102 中分配专用的地址，写入表示复位原因的数据的情况，但例如也可以另外设置在通常的数据保存中使用的数据存储介质和仅保存复位原因的专用数据存储介质。

30           下面，参照图 4 说明本发明的第二实施例。与本第二实施例有关

的与第一实施例相同的部分采用相同的名称和符号，并省略其详细说明。再有，该图是表示本发明第二实施例的数据处理装置主要部分的方框图。

5            在本实施例的数据处理装置 200 中，复位写入电路 130 的四对输出布线也与地址锁存器 111 的四个 SR 电路 136 连接。因此，复位写入电路 130 生成与多个复位检测电路 120 中之一的信号传送对应的仅一位导通的多位预定地址，用该多个预定地址中的一个在存储器单元阵列 110 中执行数据写入。

10

此外，在本实施例的数据处理装置 200 中，在复位检测电路 120 中连接作为复位保留单元的复位保留电路 201，该复位保留电路 201 与 EEPROM 电路 102 和微型计算机 101 连接。

15            在复位保留电路 201 中，在多个复位检测电路 120 中相同数目的“与非”门 202 与相同数目的复位控制电路 203 顺序地分别连接，这些多个复位控制电路 203 与一个“或非”门 204 连接。

与上述数据处理装置 100 的“或”门 121 同样，该复位保留电路  
20            201 的“或非”门 204 与 EEPROM 电路 102 的复位写入电路 130 的“与”门 134、以及写入控制电路 114 的“或”门 119 等连接。

此外，多个复位控制电路 203 还与写入控制电路 114 的写入标记  
25            锁存器 118 的输入端子连接，在输出端子上，EEPROM 电路 102 的复位写入电路 130 的“或”门 131 通过反相器元件 132 等被连接。

此外，多个复位检测电路 120 通过一个“或”门 205 与微型计算机 101 的 CPU 104 和振荡电路 105 连接，CPU 104 的系统设定输出端子通过反相器元件 206 与多个“与非”门 202 并联连接。

30

· 如果从连接的复位检测电路 120 输入复位信号，那么复位控制电路 203 把该信号传送至 EEPROM 电路 102 的复位写入电路 130。但是，在写入标记锁存器 118 的写入标记正处于频繁导通中时，如果输入复位信号，那么暂缓复位信号的传送，直至写入标记结束。

5

再有，在“或”门 205 中，通过反相器元件 207 还并联连接复位输入端子 208，在该复位输入端子 208 上，从外部输入复位信号，该信号把微型计算机 101 进行强制系统复位。

10

在上述结构中，在本实施例的数据处理装置 200 的数据处理方法中，如果产生复位原因，多个复位检测电路 120 中的一个传送复位信号，那么由于复位写入电路 130 生成与其对应的地址数据，并在地址数据锁存器 111 中设定数据，所以在与存储器单元阵列 110 中产生的复位原因对应的专用预定地址中写入预定数据。

15

此外，在本实施例的数据处理装置 200 的数据处理方法中，由微型计算机 101 统一控制的通常数据写入正处于频繁执行过程中，如果发生复位原因，那么微型计算机 101 执行系统复位。

20

但是，由于利用 EEPROM 电路 102 的写入标记锁存器 118 把写入进行到中途的情况数据通知给复位控制电路 203，所以该复位控制电路 203 不传送复位信号，在执行到中途的数据写入结束之前，暂缓 EEPROM 电路 102 的复位动作。

25

此时，利用微型计算机 101，不执行数据写入的统一控制，但 EEPROM 电路 102 按在地址数据锁存器 111 中保持的地址数据，把在写入数据锁存器 112 中保持的写入数据写入到存储器单元阵列 110 中。

30

如果把该数据写入结束的情况利用写入标记锁存器 118 通知给复

位控制电路 203，那么由于该复位控制电路 203 把复位信号传送至 EEPROM 电路 102 的复位写入电路 130，所以如上所述，产生的复位原因按专用的预定地址被数据写入在存储器单元阵列 110 中。

5            在本实施例的数据处理装置 200 中，如上所述，如果产生多种类的复位原因中的一个，那么由于在与此对应的 EEPROM 电路 102 的多个预定地址的一个中执行数据写入，所以通过写入数据存在的地址可以确认产生的复位原因。而且，如上所述，由于按各个专用的预定地址执行多种类的复位原因的数据写入，所以例如即使在连续地产生  
10           多个复位原因的情况下，也可以确认所有发生的多个复位原因。

而且，在本实施例的数据处理装置 200 中，如果在通常的数据写入执行中途产生复位原因，那么与以往同样立即执行微型计算机 101 的系统复位，但由于 EEPROM 电路 102 的复位动作暂缓至执行到中途的数据写入结束，所以不会损失写入数据。而且，如果该数据写入  
15           结束，那么由于执行复位原因数据的写入，所以发生的复位原因也确实被数据写入。

再有，本发明不限于上述形态，在不脱离其主要精神的范围内允许进行各种变形。例如，在上述形态中，为了防止执行到中途的写入数据的损失，例示了利用复位控制电路 203 使执行到中途的 EEPROM 电路 102 暂缓复位动作的数据写入，但例如也可以把写入数据锁存器  
20           112 分为两段，把通常的写入数据和复位原因的写入数据进行数据保持。

25           此外，在上述形态中，按每个发生的复位原因的专用预定地址执行数据写入，但由于其写入数据的数据内容与上述数据处理装置 100 同样对应于复位原因，所以可以更确实地确认发生的复位原因。但是，实际上，由于根据写入数据的有无，可以从地址中确定复位原因，所以  
30           还可以共用写入数据的数据内容，简化电路。

由于本发明具有如以上说明的结构，所以具有以下所述的效果。

5 在本发明第一方案的数据处理装置的数据处理方法中，当产生各种复位原因后，如果复位检测单元传送复位信号，那么数据处理单元执行复位动作，但通过由非易失性数据存储单元数据保持复位检测单元产生的复位信号的传送历史，由于不必进行数据处理装置的统一控制，产生的复位原因被保持在非易失性数据存储单元中，所以即使因  
10 执行复位动作进行再次起动，也可以确认产生的复位原因，例如，可以修正数据处理装置的不适合情况，预防相同的复位原因的再次发生，和可以检测用户的不适当操作的执行。

在本发明第二方案的数据处理装置的数据处理方法中，如果与产生多种复位原因对应的多个复位检测单元分别传送复位信号，那么数  
15 据处理单元执行复位动作，但通过把与多个复位检测单元中之一的复位信号传送对应的多种类预定数据中的一个由复位写入单元写入到数据存储单元的预定地址中，由于不必进行数据处理装置的统一控制，产生的复位原因被数据保持在非易失性数据存储单元中，所以即使因  
20 执行复位动作进行再次起动，也可以确认产生复位的原因，例如，可以修正数据处理装置的不适合情况，预防相同的复位原因再次发生，和可以检测用户的不适当操作的执行。

在本发明第三方案的数据处理装置的数据处理方法中，如果与产生多种类复位原因对应的多个复位检测单元分别传送复位信号，那么  
25 数据处理单元执行复位动作，但通过在与多个复位检测单元中之一的复位信号传送对应的数据存储单元多个预定地址的一个中，复位写入单元数据写入预定数据，由于不必进行数据处理装置的统一控制，产生的复位原因被保持在非易失性数据存储单元中，所以即使因执行复位动作进行再次起动，也可以确认产生的复位原因，例如，可以修正  
30 数据处理装置的不适合情况，预防相同的复位原因再次发生，和可以

- 检测用户的不正确操作的执行。

此外，在上述那样的数据处理装置中，根据有无多个复位检测单元的复位信号传送，通过复位写入单元生成多位预定数据，由于形成  
5 可以从数据存储单元中写入的预定数据确认产生的复位原因的形式，所以可以简单并且确实地确认产生的复位原因。

此外，根据有无多个复位检测单元产生的复位信号的传送，通过复位写入单元生成多位预定地址，由于在可以确认数据存储单元复位  
10 原因的预定地址中写入预定数据，所以可以简单并且确实地确认产生的复位原因。

此外，对于数据存储单元，如果写入判定单元判定正处于受数据处理单元控制的数据频繁写入期间，那么利用数据处理单元暂缓复位  
15 动作的执行，复位写入单元暂缓数据写入的执行，对于数据存储单元，由于控制数据写入的数据处理单元不执行复位动作，对于执行受数据处理单元控制的数据写入的数据存储单元，复位写入单元不执行数据写入，所以不损失写入进行到中途的写入数据，因此，可执行复位原因的数据写入。

20

此外，利用数据读出单元数据读出通过复位写入单元在数据存储单元中数据写入的写入数据，可以简单并且确实地确定由该读出数据表示的复位原因。

图1

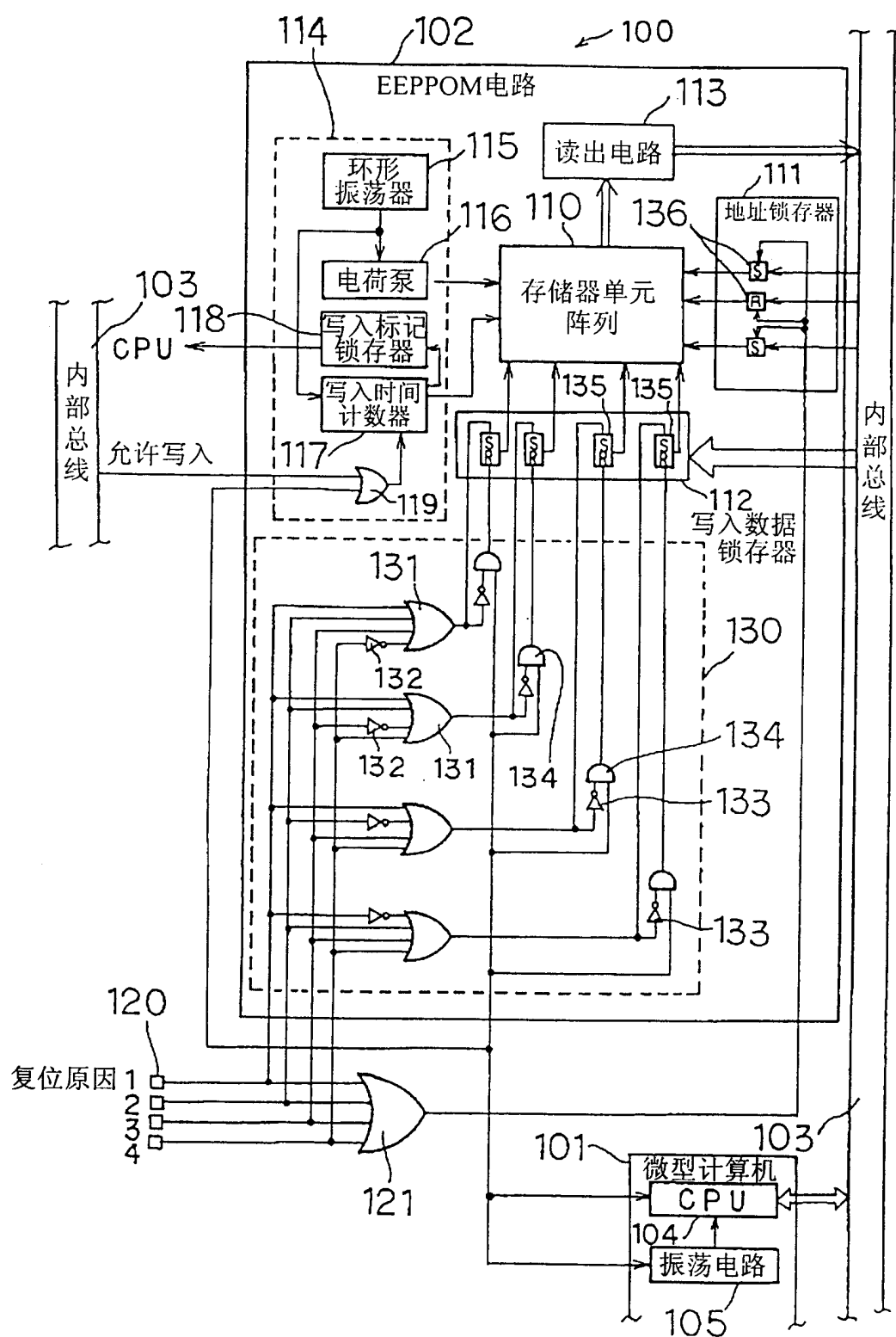


图2

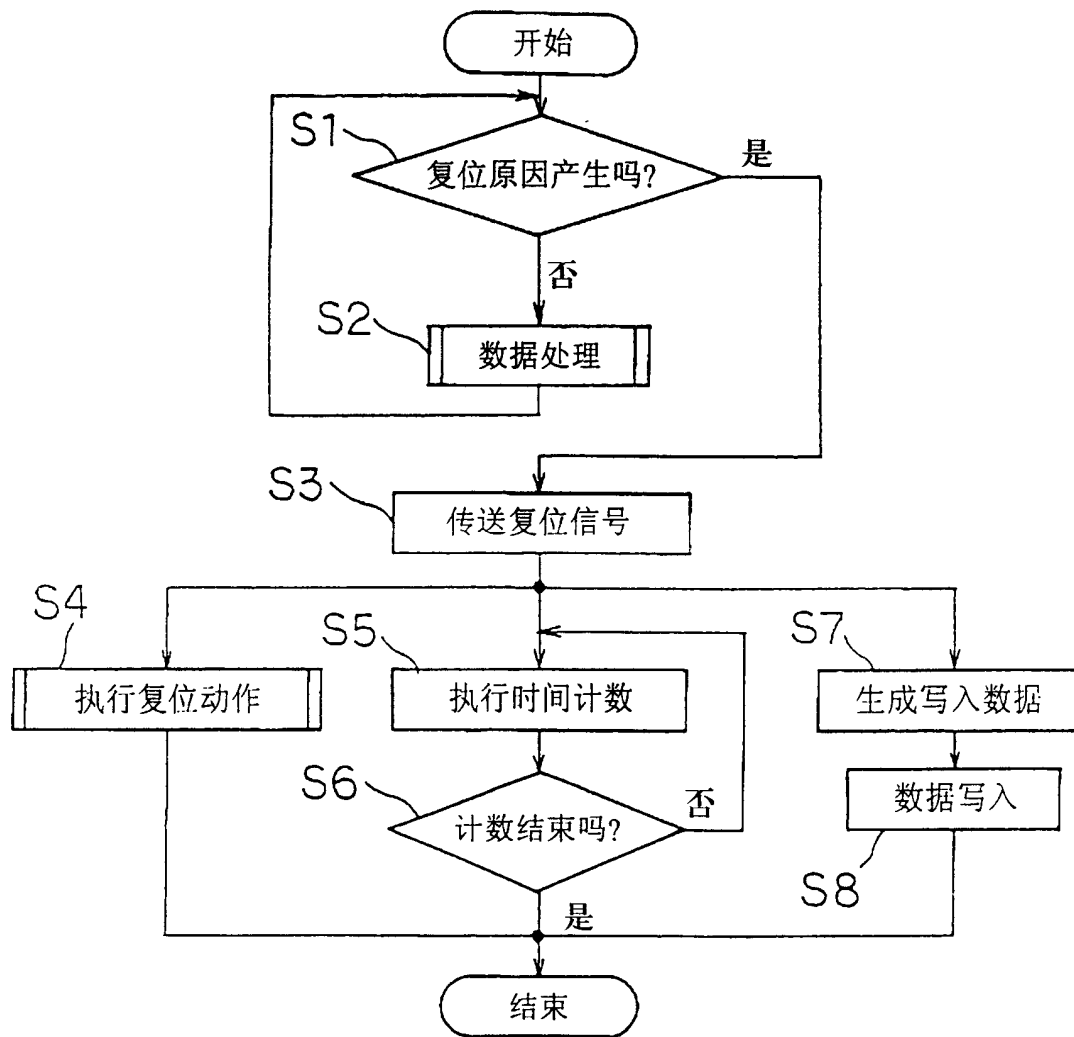


图3

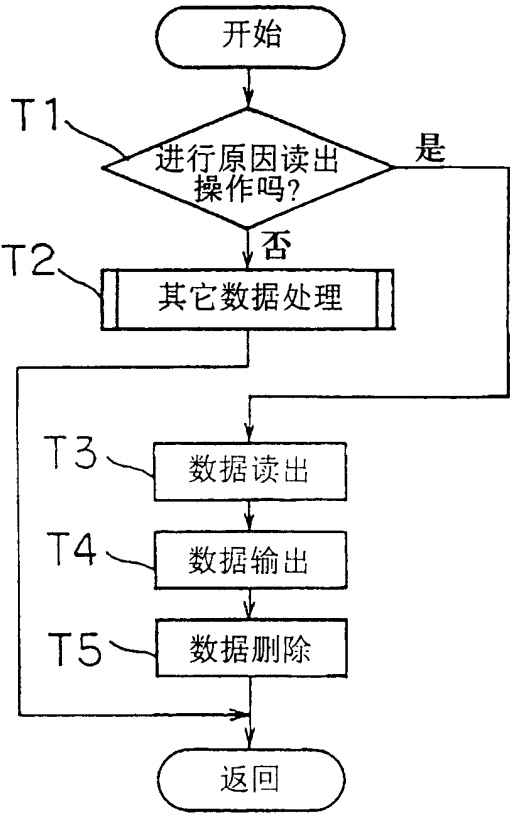


图4

