

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5977830号
(P5977830)

(45) 発行日 平成28年8月24日 (2016. 8. 24)

(24) 登録日 平成28年7月29日 (2016. 7. 29)

(51) Int. Cl. F I
H O 1 L 21/308 (2006.01) H O 1 L 21/308 E

請求項の数 18 (全 29 頁)

(21) 出願番号	特願2014-531322 (P2014-531322)	(73) 特許権者	513111916
(86) (22) 出願日	平成23年9月27日 (2011. 9. 27)		チップワークス, インコーポレイテッド
(65) 公表番号	特表2014-531763 (P2014-531763A)		CHIPWORKS INCORPORATED
(43) 公表日	平成26年11月27日 (2014. 11. 27)		カナダ国 ケー2エイチ 5ビー7 オン
(86) 国際出願番号	PCT/IB2011/054245		タリオ州 オタワ 1891 ロバートソ
(87) 国際公開番号	W02013/045973		ン ロード スウィート 500
(87) 国際公開日	平成25年4月4日 (2013. 4. 4)	(74) 代理人	110000246
審査請求日	平成26年9月9日 (2014. 9. 9)		特許業務法人OFH特許事務所
		(72) 発明者	クリバノブ レブ
			カナダ国 ケー2ジー 5ワイ9 オンタ
			リオ州 オタワ ウェストポイント クレ
			セント 74

最終頁に続く

(54) 【発明の名称】 異なるエッチングレートに基づくPチャネル又はNチャネルデバイスの区別についての方法

(57) 【特許請求の範囲】

【請求項1】

相補型金属酸化物半導体 (CMOS) 集積回路 (IC) を調査する方法であって、
コンタクトエッチストップ層 (CESL) の上の、前記 CMOS-IC の材料の少なくとも
とも少量を除去して、当該 CMOS-IC の一の領域における前記 CESL の少なくとも
一部分を露出させるステップと、

前記 CMOS-IC の前記領域をエッチングして、当該領域内に前記 CESL の少なく
とも少量が残存するように前記 CESL の前記露出された部分を部分的に除去するステッ
プと、

前記領域内に残存する CESL の状態を精査して CESL の領域を区別するステップと

10

CESL の前記区別された領域に基づき、pチャネル金属酸化物半導体デバイス (p-FET)
を含む CMOS-IC の第1の領域と、nチャネル金属酸化物半導体デバイス (n-FET)
を含む CMOS-IC の第2の領域と、を特定するステップと、
を有する、方法。

【請求項2】

前記 CMOS-IC に用いられたものと同じ作製プロセスを用いて形成された n-FET
と p-FET と、を有するデバイスの、断面を作成するステップと、

前記断面を精査して、前記断面を生成したデバイスの、n-FET とは異なる p-FET
の CESL 特性を特定するステップと、

20

を更に有する、請求項 1 に記載の方法。

【請求項 3】

前記 C E S L の厚さを測定するステップと、

前記 C E S L の前記測定された厚さに基づいて、前記 C M O S - I C の前記領域をエッチングする時間長さを決定するステップと、

を更に有する、請求項 2 に記載の方法。

【請求項 4】

前記材料の少なくとも少量の前記除去は、ウェットエッチング、ドライエッチング、化学機械研磨 (C M P)、化学研磨、及び機械研磨で構成されるグループから選択された少なくとも一つのプロセスを含む、

請求項 1 に記載の方法。

【請求項 5】

前記時間長さは、予め定められた所定の時間期間である、請求項 3 に記載の方法。

【請求項 6】

前記所定の時間期間は、30 秒と 60 秒との間である、請求項 5 に記載の方法。

【請求項 7】

p - F E T を覆う C E S L のエリアから n - F E T を覆う C E S L のエリアを区別できる程度に、前記 C E S L が十分にエッチング除去されているか否かを判断するステップと、

前記 C E S L が未だ十分にエッチング除去されていないと判断されるときに、前記 C M O S - I C を、他の時間期間にわたり再度エッチングし、前記 C E S L の更に少なくとも少量を除去するステップと、

を更に有する、請求項 1 に記載の方法。

【請求項 8】

前記他の時間期間は前記時間長さ以下である、請求項 7 に記載の方法。

【請求項 9】

前記エッチングはウェットエッチ・プロセスを用いる、請求項 1 に記載の方法。

【請求項 10】

前記ウェットエッチ・プロセスは、水、フッ化水素酸、及び酢酸の混合液を用いる、請求項 9 に記載の方法。

【請求項 11】

C M O S - I C の前記精査は走査型電子顕微鏡を用いて行われる、請求項 1 に記載の方法。

【請求項 12】

前記第 1 の領域と前記第 2 の領域を特定する前記ステップは、

第 1 の特性を有する C E S L に関連する第 1 のデバイスフットプリントを見つけ出すステップと、

第 2 の特性を有する C E S L に関連する第 2 のデバイスフットプリントを見つけ出すステップと、

前記第 1 のデバイスフットプリントを前記第 1 の領域として特定し、前記第 2 のデバイスフットプリントを前記第 2 の領域として特定するステップと、

を有する、請求項 1 に記載の方法。

【請求項 13】

前記第 1 の特性は C E S L の第 1 の量が残存することであり、前記第 2 の特性は C E S L の第 2 の量が残存することであって、

C E S L の前記第 2 の量は、C E S L の前記第 1 の量よりも少ない、

請求項 12 に記載の方法。

【請求項 14】

C E S L の前記第 2 の量はゼロである、請求項 13 に記載の方法。

【請求項 15】

10

20

30

40

50

前記第 1 の領域と前記第 2 の領域とを特定する前記ステップは、
少なくとも少量の C E S L が残存する第 1 のデバイスフットプリントを見つけ出すステップと、

C E S L が何も残っていない第 2 のデバイスフットプリントを見つけ出すステップと、

前記第 1 のデバイスフットプリントを前記第 1 の領域として特定し、前記第 2 のデバイスフットプリントを前記第 2 の領域として特定するステップと、
を有する、請求項 1 に記載の方法。

【請求項 1 6】

前記第 1 の領域と前記第 2 の領域とを特定する前記ステップは、

C E S L が殆ど乃至全く残っていない第 1 のデバイスフットプリントを見つけ出すステップと、

第 1 のデバイスフットプリントより多くの C E S L が残存する第 2 のデバイスフットプリントを見つけ出すステップと、

前記第 1 のデバイスフットプリントを前記第 1 の領域として特定し、前記第 2 のデバイスフットプリントを前記第 2 の領域として特定するステップと、
を有する、請求項 1 に記載の方法。

【請求項 1 7】

前記 C M O S - I C は、n - F E T と p - F E T とを有し、当該 n - F E T と当該 p - F E T は、共に非導電材料の層の表面上に形成されている、

請求項 1 に記載の方法。

【請求項 1 8】

前記非導電材料の層は、シリコンの基板の表面上にある、

請求項 1 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

集積回路を調査すること。

(背景)

(発明の分野)

本出願の主題は、半導体集積回路に関し、より具体的には、既に存在している C M O S 集積回路上のデバイスが p チャネルデバイスか n チャネルデバイスかを特定することに関する。

【0 0 0 2】

(関連技術の説明)

集積回路 (IC) は、p タイプ領域用の過剰ホール及び n タイプ領域用の過剰電子を与えるようにドーピングが行われたアクティブ領域 (複数) を備えるシリコンウェハ上に形成されることが多い。アクティブ領域は、p チャネル金属酸化物電界効果トランジスタ (p-MOSFET、PMOS、又は p-FET) 及び又は n チャネル金属酸化物電界効果トランジスタ (n-MOSFET、NMOS、又は n-FET) を形成するように配することができる。或る場合には、アクティブ領域は、当該アクティブ領域 (複数) とシリコンウェハとの間に配された二酸化シリコン (SiO_2) のような非導電層上に形成される。集積回路の多くは、p - F E T と n - F E T の両者を設計に組み込んだ相補型金属酸化物半導体 (CMOS、complimentary metal-oxide semiconductor) 回路を利用する。

【0 0 0 3】

ほとんどの場合、I C は、一つ又は複数のポリシリコン層を有する。ポリシリコン層は、相互配線層として有用であると共に、p - F E T デバイス及び又は n - F E T デバイスのゲートに用いられる。或る場合には、p - F E T 及び又は n - F E T の上には、コンタクトエッチストップ層 (CESL、contact etch stop layer) が形成される。コンタクトエッチストップ層は、I C における種々の層の「セルフアライニング (self-aligning)」

10

20

30

40

50

に有用である。ポリシリコン、シリコンリッチの酸化物や酸窒化物、及び酸化アルミニウムなどの、種々の異なるストップ層が使用されている。CESLは、従来から用いられているプラズマCVD（PECVD、plasma-enhanced chemical vapor deposition）、高温での低圧CVD（LPCVD、low-pressure chemical vapor deposition）、及びスパッタリングを含む、種々の手法を用いて形成することができる。

【0004】

次に、メタル層（metal layer）を形成する前に、酸化物層などの非導電材料の層を用いて、ICの再平坦化（re-level）が行われる。この層は、プリメタル絶縁膜（PMD、pre-metal dielectric）と称されることもある。酸化物その他の非導電材料を用いたPMDの上部には、一つ又は複数の金属（メタル）による相互配線の層が形成される。PMDは、複数のメタル相互配線を互いに絶縁するのに用いられる。ICが備える種々の層と層の間は、ビアを用いて接続され得る。

10

【0005】

集積回路解析画像技術（Integrated circuit (IC) analysis imaging techniques）は、半導体デバイスの故障解析及び又はリバースエンジニアリングの際に、しばしば用いられる。この解析を実行する方法には、放射線輻射の収集と解析、電子顕微鏡法、及び従来の光画像生成が含まれる。得られた画像を調査して、ICの種々の特性を特定することができる。このため、これらのプロセスは、リバースエンジニアリング、故障解析、及び動作解析に特に有用となる。通常、画像技術の目的がリバースエンジニアリングである場合には、集積回路の前面（front side）が処理され画像化される。

20

【0006】

前面画像により、そのチップの相互配線と能動回路素子を見ることができる。従来技術において周知の如く、集積回路の調査と解析には、洗練されたサンプル処理技術と画像化ツールとを必要とする。最新のICを調査する際には、走査型電子顕微鏡（SEM、scanning electron microscope）などの洗練された画像化装置が有用である。コンポーネントが小さすぎて、光学顕微鏡では見ることができないことが多いからである。しかしながら、多くの場合、SEM画像は、そのICの表面を適切に処理しないと、所要の詳細を明らかにすることができない。

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

調査及び解析のプロセスにおいては、その解析の目的に応じて、そのICの種々のパラメータを特定することが有用である。或る場合には、相互配線リストが生成される。或る場合には、電界効果トランジスタ（FET、field effect transistor）などの能動デバイスが特定される。或る場合には、p-FETデバイスとn-FETデバイスとを区別することが有用である。

【課題を解決するための手段】

【0008】

（概要）

相補型金属酸化物半導体（CMOS）集積回路（IC）を調査する方法についての種々の実施形態は、コンタクトエッチストップ層（CESL、contact etch stop layer）の上にあるCMOS ICの少なくとも少量の材料を除去することと、次にそのCMOS ICを或る時間長さにわたってエッチングして、そのCESLの少なくとも少量を除去することを含み得る。その後、そのCMOS ICの詳細が精査されて、CESLの領域が区別され得る。CESLの上記区別された領域に基づいて、そのCMOS ICの第1の領域が、pチャネル金属酸化物半導体（p-FET）デバイスを含むものとして特定され、そのCMOS ICの第2の領域が、nチャネル金属酸化物半導体（n-FET）デバイスを含むものとして特定され得る。

40

【図面の簡単な説明】

【0009】

50

(図面の種々の内容の簡単な説明)

本明細書に組み込まれその一部を構成する添付図面は、本発明の種々の実施形態を例示するものである。これらの図は、概要説明と共に、種々の実施形態の原理を説明するのに役立つ。これらの図面において：

【図 1】図 1 は、集積回路 (IC) を調査する方法の一実施形態を説明するフローチャートである。

【図 2 A】図 2 A は、相補型金属酸化物半導体 (CMOS) IC の断面の概念図である。

【図 2 B】図 2 B は、プリメタル絶縁 (PMD) 層まで層 (複数) が除去された CMOS IC の断面の概念図である。

【図 2 C】図 2 C は、コンタクトエッチ層 (CESL) の少量をエッチング除去した後の CMOS IC の、断面の概念図である。 10

【図 2 D】図 2 D は、CESL の少量をエッチング除去した後の CMOS IC の、平面視の概念図である。

【図 3 A】図 3 A 及び 3 B は、CMOS IC の断面の顕微鏡写真である。

【図 3 B】図 3 A 及び 3 B は、CMOS IC の断面の顕微鏡写真である。

【図 3 C】図 3 C は、CESL の少量をエッチング除去した後の CMOS IC の、平面視の顕微鏡写真である。

【図 3 D】図 3 D は、図 3 C に示す平面視の概念図である。

【図 4 A】図 4 A は、異なるタイプの CMOS IC の、断面の顕微鏡写真である。

【図 4 B】図 4 B は、異なるタイプの CMOS IC の、平面視の顕微鏡写真である。 20

【図 5】図 5 は、他の CMOS IC の、平面視の顕微鏡写真である。

【0010】

(詳細な説明)

以下に示す詳細な説明では、種々の実施形態を完全に理解できるように、多数の具体的詳細が例として示されている。しかしながら、ここに記載された実施例をそのような詳細を用いずに実施できることは、当業者にとり明らかである。他の例示では、本概念について不要な曖昧さが生じるのを避けるべく、周知の方法、手順、及びコンポーネントが、比較的高いレベルで、詳細を示すことなく記載されている。ここに開示する種々の実施形態の説明においては、多くの記述的な用語やフレーズが用いられている。これらの記述的な用語やフレーズは、本明細書において他の定義が示されている場合を除き、当業者において一般的に認められている意味を伝えるべく用いられている。記述的な用語及びフレーズの一部については、その意味を明確にすべく、以下の段落 (複数) において説明されている。次に、添付図面に示した例を参照しつつ、以下に詳細に説明する。

【0011】

図 1 は、集積回路 (IC) を調査する方法の一実施形態を示すフローチャート 100 である。ブロック 101 において、調査に用いる IC を準備する。裸のダイ (die) の状態で調査を行うことができるように、前記 IC のダイをパッケージから取り出す必要がある。ブロック 102 において、コンタクトエッチストップ層 (CESL) の上部にある材料又は層 (複数) の少なくとも少量を除去する。或る場合には、これにより、プリメタル絶縁 (PMD) 層が露出され得る。ウェットエッチング、ドライエッチング、化学機械研磨 (CMP、chemical mechanical planarization)、化学研磨、又は機械研磨などの手法は、従来技術として知られており、CESL 上部の材料を除去するのに有用である。 40

【0012】

或る集積回路は、当該集積回路の各メタル層内のメタルライン (metal line) にアルミニウムが用いられ、多結晶シリコン層上に形成されたコンポーネント (複数) とこれらメタルラインとを相互接続するビア (via) (複数) にタングステンが用いられて構成される。アルミニウムとタングステンとは選択的にエッチングすることができるので、選択エッチングの手法によりビアをメタルラインから分離して集積回路を分解することができる。メタルラインからビアを識別するには、ビアとメタルラインとの間でコントラストを示す画像を取得することが有用である。タングステンとアルミニウムとは、走査型電子顕微 50

鏡の画像において容易に区別することができる。

【0013】

従って、PMD上の材料を除去する一つの方法は、集積回路ダイの、分解された注目エリアのタイルイメージを取得することである。各メタル層は、従来技術において周知の適切な材料を用いた層間絶縁膜（ILD、interlayer dielectric）により覆われている場合がある。メタル層N+1は、従来技術において周知の適切な材料で形成されたバリア層により、その上部に堆積された内部絶縁膜と分離され得る。バリア層は、堆積されたメタル層N+1、Nが、それらの上部に堆積された内部絶縁膜にマイグレート（migrate）するのを防止する。メタル層N+1のメタルラインは、従来技術において周知の方法で形成されたビアにより、メタル層Nのメタルラインに接続され得る。ビアをメタル層Nから分離するバリア層は、導電性であり、そのビアとメタルラインとを電氣的に接続する。

10

【0014】

集積回路のタイル画像を取得するには、パッシベーション層と、オプションである何かのバリア材料とを、まず、ウェットエッチング若しくはドライエッチング、又は化学的研磨及び若しくは機械的研磨の手法により除去して、メタル層N+1のメタルラインを露出させる。次に、その集積回路ダイを、例えば走査型電子顕微鏡などの画像装置の精密ステージ上に配し、従来技術における周知の方法により、注目エリアのタイル画像を取得する。メタル層N+1のタイル画像を取得したら、メタル層N+1を、例えばウェットエッチング若しくはドライエッチング、又は化学的研磨及び若しくは機械的研磨の手法により、除去することができる。このプロセスは、ビアを無傷な状態に維持しつつメタル層N+1を除去するように制御される。その後、ビアを無傷のまま残しつつバリア層と内部絶縁膜とを除去するエッチング溶液が選択される。このエッチングが注意深く制御されていれば、エッチングの終了時には、ビアは無傷のまま残り、ビアによりシールドされ当該ビアを取り巻いているバリア層の部分が除去される。これにより、メタル層Nのメタルラインとビアとが露出し、露出されたビアとメタル層Nのタイル画像が、従来技術における周知の方法で取得される。

20

【0015】

このプロセスは、「ボトムアップ」プロセスと称することができる。ビア（複数）が、それらの下端（bottom end）において接続されているメタル層と共に画像化されるためである。この手法は、アルミニウムのメタルラインとタングステンのビアとを用いて構成された集積回路に対しては、これら2つの金属についての異なるエッチング特性を用いるため有効に働くが、最近では、集積回路は銅のメタルラインと銅のビアを用いて製造される。当業者により理解され得るように、ビアとメタルラインとが同じ金属でできている場合には、エッチングプロセスを制御することは困難である。

30

【0016】

集積回路ダイをパッケージングから取り出した後で、第1のメタル層（メタル層N+1）を覆っているパッシベーション層を除去する。パッシベーション層は、従来技術における周知のエッチングプロセスを用いて除去することができる。次に、その下にあるバリア層を露出させるため、当該集積回路はウェットエッチング又はドライエッチングのプロセスにかけられ、メタルラインとビアとがエッチング除去される。メタルラインとビアとをエッチング除去したら、当該チップは精密ステージに配され、注目エリアのタイル画像が取得される。次に、その集積回路に他のメタル層が存在するか否かが判断される。存在する場合には、そのメタルラインを覆っている層間絶縁膜（ILD）と何等かのバリア材料（不図示）も除去される。当業者により理解されるように、バリア層は、通常、メタルラインの下に用いられ、メタルラインの上には用いられない。とはいえ、パッシベーション層又はILDを除去するのに用いられるプロセスは、メタルラインとその下にあるバリア層とを残しつつ、メタルラインを覆うバリア材料も除去するものとして行うことができる。すべてのメタル層が露出され、エッチング除去され、その画像が取得された後には、プリメタル絶縁膜が残る。

40

【0017】

50

【 0 0 1 8 】

10

20

30

40

50

が差異を生じているか否かが観察される。多くの IC では、p-FET を覆う CESL は、n-FET を覆う CESL と異なっており、エッチングが異なる速度で進む等、異なる態様でエッチングが発生し得る。CESL は異なる態様でエッチングされるので、CESL におけるこの相違に注目し、これを用いて、p-FET を覆う CESL の領域と n-FET を覆う CESL の領域とを区別することができる。いくつかの場合には、2つのタイプの FET を簡単に区別できる程度に、一のタイプの FET の上では CESL の全部又はほとんど全部が除去され、一方、他のタイプの FET の上では CESL の有意な量が残存し得る。他のいくつかの場合には、残っている CESL の量の違いはさほど大きくはないが、それでも当業者にとっては顕著ものとなり得る（本開示と、これに関連する請求項（複数）においては、CESL の量とは、CESL の総量ではなく、CESL の厚さ、又は単位面積当たりの CESL の量を意味し得る）。他のいくつかの場合には、2つのタイプの FET を覆う CESL の、不透明度、色、表面状態（texture）、物理的高さ、又はその他同様の特性などの、他の特性が異なるものとなり得る。

10

【0023】

n-FET デバイスを覆う CESL の領域と p-FET デバイスを覆う CESL の領域とが、ブロック 104 における初期エッチングの後において差異を生じていない場合には、ブロック 103 においてエッチングステップがもう一度実行されるものとすることができる。このステップは、n-FET デバイスを覆う CESL の領域と p-FET デバイスを覆う CESL の領域とが差異を生ずるまで、繰り返されるものとすることができる。後続のエッチングステップは、同じ所定の時間長さだけ行われるものとしてもよいし、当該所定の時間長さよりも短いか、又は長いものとすることもできる。一の実施形態では、後続のエッチングステップの長さは、オーバエッチングの発生可能性を最小限にし、かつ、n-FET デバイス及び p-FET デバイスの両方から CESL を完全に除去されてしまう可能性を最小化すべく、上記所定の時間長さよりも短いものとすることができる。他の実施形態では、オペレータは、顕微鏡写真を用いて、後続エッチングステップの時間長さの決定に役立てることができる。

20

【0024】

n-FET デバイスを覆う CESL の領域と p-FET デバイスを覆う CESL の領域とに差異を生ずるような適切な量のエッチングが完了すると、ブロック 105 において、特定のデバイスフットプリント（占有領域、footprint）又はフットプリントの集合を分析して、CESL の量がより多いか又はより少ないかを観察する。他の実施形態では、他の特性を用いて CESL の領域を区別するものとすることができる。特定のデバイスフットプリント又はフットプリントの集合に、より多い量の CESL が存在する場合には、ブロック 106 において、そのデバイスを p-FET デバイスとして特定することができる。特定のデバイスフットプリント又はフットプリントの集合が、より少ない量の CESL を有する場合には、ブロック 107 において、そのデバイスを n-FET デバイスとして特定することができる。他のいくつかの実施形態においては、p-FET デバイスを覆う CESL は、その CESL の特性と使用するエッチングプロセスに応じて、より速くエッチングされ得る。それらの実施形態では、p-FET デバイスは、より少ない量の CESL を持つことによって特定することができ、n-FET デバイスは、より多い量の CESL を持つことによって特定することができる。注目しているデバイスフットプリントが特定された後、ブロック 108 において本プロセスは終了する。ここに説明する方法は、広汎な種類の IC に関して有用であり、以下に説明する例に限定されるものではない。

30

40

【0025】

図 2A は、相補型金属酸化物半導体（CMOS）IC 260 の断面の概念図である。シリコンウェハからダイに切り出された基板 201 は、その上面に非導電層 202 を有する。非導電層 202 の上には、p-FET 220 と n-FET 230 とが形成されている。

【0026】

コンタクトエッチストップ層（CESL）は、IC の少なくとも能動領域（active area）の上部に堆積されている。p-FET 用に設計された第 1 のタイプの CESL 層 229 は

50

、 $p-FET$ 220等の $p-FET$ が形成された領域の上に堆積される。 $n-FET$ 用に設計された第2のタイプの $CESL$ 層239は、 $n-FET$ 230等の $n-FET$ が形成された領域の上に堆積される。第1のタイプの $CESL$ は、第2のタイプの $CESL$ とは異なる特性を持ち得る。種々の IC プロセスについての、これら2つのタイプの $CESL$ の相違のいくつかは、それらの厚さの相違、材料の相違、イオン注入量の相違、多層か単層か、又はその他の相違を含み得る。 $CESL$ の上のポリシリコンの層は、相互配線用に用いることができるが、図2Aには示されていない。 $CESL$ の上には、プリメタル絶縁(PMD)層203が堆積されている。

【0027】

メタル配線の一つ又は複数の層が、PMDの上に堆積され得る。メタルの第1の層205は、相互配線間に設けられた絶縁層204と共に堆積されている。第1メタル層205と絶縁層204の上には、絶縁層206と共にメタルの第2の層207が堆積されている。メタルの第2の層207と絶縁層206の上には、絶縁層208と共にメタルの第3の層209が堆積されている。ビアを用いて層間を接続することができる。

【0028】

図2Bは、プリメタル絶縁(PMD)層203まで層(複数)が除去された $CMOS\ IC$ 260の断面の概念図である。この図は、フローチャート100のブロック102の処理が実行された後の、 IC 260の状態に相当する。メタル相互配線層205、207、209と絶縁層204、206、208が除去されていることに注意されたい。PMD層203の上方にある材料は、ウェットエッチング、ドライエッチング、CMP、又はその他の研磨技術などの、種々の手法を用いて除去することができる。第1及び第2のタイプの $CESL$ 229、239と、 $n-FET$ 230及び $p-FET$ 220は、本処理プロセスのこのステップにおいては何の影響も受けない。

【0029】

図2Cは、 $CESL$ 229、239の少量がエッチング除去された後の、 $CMOS\ IC$ 260の断面の概念図である。この図は、フローチャート100のブロック103/104の処理が実行された後の、 IC 260の状態に相当する。図2Cにおいて、第2のタイプの $CESL$ 239が完全に除去されている点に注意されたい。第1のタイプの $CESL$ 229は、部分的にエッチング除去され、図2Cにおいては図2Bよりも薄くなっている。いくつかの実施形態においては、第2のタイプの $CESL$ 239の全てが除去されるのではなく、第2のタイプの $CESL$ の薄い層が残るものとすることができる。 $p-FET$ 220が $n-FET$ 230と区別できる限りにおいて、第2のタイプの $CESL$ 239を全て除去することは重要ではない。

【0030】

図2Cには、これらの FET の詳細が示されている。 $p-FET$ 220は、 p タイプのソース222とドレイン223とを備えた本体部221を有している。薄いゲート酸化膜224により、ポリシリコンゲート225が本体部221から分離されている。本体部221は、 n タイプ材料がドーブされた又はドーブされていない、シリコン又はその他の半導体材料で構成することができる。ゲート225に、ソース222及び又はドレイン223に対する負電圧が印加されると、本体部221内に p チャンネルが形成される。 $n-FET$ 230は、 n タイプのソース232とドレイン233とを備えた本体部231を有している。薄いゲート酸化膜234により、ポリシリコンゲート235が本体部231から分離されている。本体部231は、 p タイプ材料がドーブされた又はドーブされていない、シリコン又はその他の半導体材料で構成することができる。ゲート235に、ソース232及び又はドレイン233に対する正電圧が印加されると、本体部231内に n チャンネルが形成される。

【0031】

図2Dは、図2Cと同様に $CESL$ 229、239の少量がエッチング除去された後の、 $CMOS\ IC$ 260の平面視の概念図であり、 $p-FET$ 220及び $n-FET$ 230のフットプリントを示している。図2A、2B、及び2Cに示した断面図は、切断ライ

10

20

30

40

50

ン 200 で示した位置における断面図である。p-FET 220 及び n-FET 230 の双方と共に、非導電層 202 が見えている。この例では、第 2 のタイプの C E S L 239 は、全て除去されているため見ることはできない。ビア接続部 238 を有するゲート 235、ビア接続部 236 を有するソース 232、及びビア接続部 237 を有するドレイン 233 を含む、n-FET 230 のフットプリントの種々の部分が見えている。第 1 のタイプの C E S L 229 は、部分的にエッチング除去され、未だ見える状態となっている。ビア接続部 228 を有するゲート 225、ビア接続部 226 を有するソース 222、及びビア接続部 237 を有するドレイン 223 を含む、p-FET 220 のフットプリントの種々の部分が、第 1 のタイプの C E S L 229 を介して見えている。n-FET 230 及び p-FET 220 の見えている部分を、フットプリントと称することができる。図 2D に示すフットプリント（複数）は単純化されているが、実際のデバイスのフットプリントは、従来技術において良く知られており、当業者により認識され得る。

10

【0032】

第 2 のタイプの C E S L 239 に比べて第 1 のタイプの C E S L 229 の量が多いと、I C 260 の特定の領域に存在するデバイスのタイプを特定する際に便利である。I C の上面画像又は平面像を用いることで、断面又はその他のタイプの画像から得られるよりもずっと多くのデバイスを、一枚の画像から特定することができる。上述した種々の実施形態を用いることにより、I C の広い範囲の領域に存在するデバイス（複数）のタイプを、一枚の画像から特定することができる。

【0033】

20

図 3A 及び図 3B は、C M O S I C 300 の 2 つの異なる断面の顕微鏡写真である。図 3A は、I C 300 の、2 つの p-FET デバイス 320A 及び 320B の部分の断面である。非導電層 302 の上に形成された p-FET 320A/B と共に、シリコン基板 301 と非導電層 302 が見えている。p-FET 320A/B の上の第 1 のタイプの C E S L は、かすかに見える分離線 329C により区分された 2 つの個別の領域 329A と 329B を有している。図 3B は、I C 300 の、2 つの n-FET デバイス 330A 及び 330B の部分の断面である。非導電層 302 の上に形成された n-FET 330A/B と共に、シリコン基板 301 と非導電層 302 が見えている。n-FET 330A/B の上の第 2 のタイプの C E S L 339 は、単なる単一の層であり、p-FET 320A/B 上の第 1 のタイプの C E S L 329 よりもずっと薄い。

30

【0034】

第 1 のタイプの C E S L 329 と第 2 のタイプの C E S L 339 とを、他の特性を用いて区別することもできる。ここに示す例では、第 1 のタイプの C E S L 329 は、周囲の構造と共に、より窪んだメニスカス (meniscus) を持ち、一方、第 2 のタイプの C E S L 339 は、周囲構造と共に凸状のメニスカスを持つ。他の I C では、第 1 のタイプの C E S L は、当該 C E S L が覆う領域上に圧縮力を働かせ、第 2 のタイプの C E S L は張力を働かせる。これらの力の効果は、種々の顕微鏡写真で見ることができる。他の I C では、一のタイプの C E S L において注入されたイオンを見ることができ、他のタイプの C E S L では見ることができないという場合もある。注入されたイオンは、顕微鏡写真では白い点として見ることができる。従来技術における種々の手法を用いて、C E S L に用いられている材料を特定することができる。2 つの異なる C E S L における相違は、何であれ、これらを区別するのに有用である。

40

【0035】

図 3C は、ウェットエッチプロセスを用いて C E S L の少量をエッチング除去した後の、C M O S I C 300 の平面視の顕微鏡写真である。その細部は、種々のデバイスのフットプリントと相互配線である。C E S L が残存しているか又は除去されたより広いエリアを認識することができる。図 3D は、図 3C の平面視の概念図であり、C E S L エリアの概略を示している。エリア 351、エリア 353、エリア 355、及びエリア 357 は、残存している C E S L を示している。これらのエリア内に見られる M O S F E T は、p-FET デバイスとして特定することができる。エリア 352、エリア 354、及びエリ

50

ア 3 5 6 は、C E S L のほとんど又は全てがエッチング除去された領域である。これらの領域内のいずれかに形成された M O S F E T は、 n -F E T デバイスとして特定することができる。

【0036】

図 4 A は、図 3 に示す I C 3 0 0 とは異なるプロセスを用いて作製された異なるタイプの C M O S I C 4 0 0 の断面の顕微鏡写真である。p-F E T デバイス 4 2 1 が、第 1 のタイプの C E S L 4 2 9 に覆われている。第 1 のタイプの C E S L 4 2 9 は、p-F E T 4 2 1 上部のより高いドーム構造から判るように圧縮性 (compressive) である。I C 4 0 0 における第 1 のタイプの C E S L 4 2 9 の他の特徴は、第 1 のタイプの C E S L 4 2 9 と第 2 のタイプの C E S L 4 3 9 との境界における C E S L テール (すそ引き) 4 2 9 A である。 n -F E T デバイス 4 3 1 は、第 2 のタイプの C E S L 4 3 9 に覆われている。第 2 のタイプの C E S L 4 3 9 は、 n -F E T 4 3 1 が広幅化 (broadening) していることから判るように伸長性 (tensile) である。

【0037】

図 4 B は、異なるタイプの C M O S I C 4 0 0 の平面視の顕微鏡写真である。この顕微鏡写真は、ウェットエッチプロセスを用いて C E S L の少量をエッチング除去した後に撮影されたものである。その細部は、種々のデバイスのフットプリントと相互配線である。或るエリアは、他のエリアよりも C E S L が多く残存している。エリア 4 5 1、エリア 4 5 3、エリア 4 5 5、及びエリア 4 5 7 等の、C E S L がより多く残存しているエリア内に見られる M O S F E T は、p-F E T デバイスとして特定することができる。エリア 4 5 2、エリア 4 5 4、エリア 4 5 6、及びエリア 4 5 8 等の、C E S L の残存がより少ないエリア内に見られる M O S F E T は、 n -F E T デバイスとして特定することができる。

【0038】

図 5 は、ドライエッチプロセスを用いて C E S L の少なくとも少量が除去された他の C M O S I C 5 0 0 の、平面視の顕微鏡写真である。C E S L の少なくとも少量を反応性イオンエッチングにより除去したものであり、いくつかのエリアは、他のエリアよりも C E S L の量が多いことが判る。エリア 5 5 1 及びエリア 5 5 5 等の、C E S L がより多く残存しているエリア内に見られる M O S F E T (複数) は、p-F E T デバイスとして特定することができる。エリア 5 5 2 及びエリア 5 5 4 等の、残属する C E S L がより少ないエリア内に見られる M O S F E T (複数) は、 n -F E T デバイスとして特定することができる。

【0039】

M O F E T (複数) のタイプが特定された後は、その情報と、種々のメタル相互配線層の画像から抽出された情報とを関連付けることが有用である。これを行うには、種々の画像を関連付けて位置合わせし、その I C のネットリストを特定することが有用である。それらの画像は、M O S F E T のタイプの特定に用いられるものと同じ I C ダイから取得された画像、又はこれと同じタイプの他の I C ダイから得られた画像とすることができる。

【0040】

一の方法は、 N 個のメタル層 M を有する集積回路の注目エリアに関するタイル画像 (複数) の位置合わせ可能にする。ここで、 N は、1 より大きい整数である。この方法は、メタル層 (M_N) の注目エリアとメタル層 (M_{N-1}) の上面の少なくとも一部の画像とが取得できるように、集積回路の表面を調える第 1 のステップを含む。この方法は、さらに、その集積回路のメタル層 (M_N) 及びメタル層 (M_{N-1}) の露出部分の、注目エリアについての少なくとも一つのタイル画像を取得することを含む。そして、メタル層 (M_N) の露出部分についての副タイル画像から、当該メタル層 (M_{N-1}) の同じ領域を撮影した主タイル画像に写っているエッジ (複数) と一致するようなエッジ (複数) を抽出する。次に、それぞれのメタル層のタイル画像 (複数) に見えるエッジ (複数) のパラメトリック表現を生成する。パラメトリック表現は、抽出された各エッジに関連するメタル層の表示 (indication) を含む。このパラメトリック表現を用いて、タイル画像 (複数

）を垂直方向（vertically）に位置合わせし、当該タイル画像（複数）をデザイン分析ワークステーションに表示させたときに、最も都合のよい状態となるようにする。本発明に従う方法及びシステムを用いることにより、位置合わせを非常に高水準な精度で実現することができる。この位置合わせの精度により、集積回路の注目エリアについての、より正確かつ信頼度の高い分析が可能となる。

【0041】

集積回路ダイは、まず精査され、コンポーネントのサイズが特定される。コンポーネントのサイズが可視光領域の範囲であれば、光学顕微鏡を用いて注目エリアの画像が取得される。この場合、従来技術において周知の適切な手法を用いて、注目エリアを露出させる。次に、ステージ上にダイが配され、注目エリアの画像が取得される。第1の画像は、露出したメタル層の画像を取得するための第1の焦点設定で取得される。従来技術において周知のように、層1と層2の間の絶縁層は、一般に透明な誘電体層である。したがって、ステージを動かすことなく光学顕微鏡の焦点を変更することで、露出していない層についての第2の画像を取得することができる。後述するように、第2の画像は、同じステージ位置における露出していない層の、遮られていない部分を表すものである。第1の画像と第2の画像を取得する間においてステージは移動しないため、第1と第2の画像における垂直方向（vertical）の位置関係は正確に保たれる。

【0042】

第1及び第2の画像を取得したら、各画像上の焦点の合っているエッジ（複数）のパラメトリック表現を、各エッジのX座標及びY座標の少なくとも一つを抽出することにより生成する。当業者により理解されるように、タイル画像から抽出された各エッジについてX座標とY座標の両方を定めることはできない。例えば、タイル画像を横切って延在する配線（複数）は、X座標又はY座標の一方のみを提供する。ではあるものの、各エッジは、そのエッジに関連するX座標及びY座標の一方又は両方により抽出されるものとされる。パラメトリック表現は、そのエッジに関連するメタル層の表示も含む。次に、注目エリアの全体について画像が取得されたか否かを判断する。全体について取得されていないときは、本プロセスを繰り返して、注目エリアの他の部分の画像を取得する。注目エリアの全体について画像を取得しているときは、注目している各層の画像が取得されたか否かを判断する。各層の画像が取得されていないときは、新しい層を露出させて、画像取得を開始する。そうでないときは、本プロセスを終了する。

【0043】

ダイのコンポーネントサイズが可視光領域の範囲より小さいと判断されると、注目エリアの一の層について、制御されたエッチングプロセスを用いて当該層の全体と当該層の直下にある層の少なくとも一部とを露出させることにより、撮影のための準備が行われる。異方性エッチングを用いることにより良好な結果が得られる場合もある。次に、ダイは、画像取得のため精密ステージ上に配され、そのダイの露出した第1のメタル層と部分的に露出した第2のメタル層の画像が、例えば走査型電子顕微鏡を用いて取得される。走査型電子顕微鏡は、露出した第1のメタル層と少なくとも部分的に露出した第2のメタル層を同時に画像化するのに十分な被写界深度を有している。その後、露出した第1のメタル層と部分的に露出した第2のメタル層のエッジ（複数）のパラメトリック表現が抽出される。抽出されたエッジは、その画像における明度に基づき、第1のメタル層又は第2のメタル層についてのパラメトリック表現に割り当てられる。これは、後述するように、走査型電子顕微鏡が露出した第1のメタル層と部分的に露出した第2のメタル層の両方を写す一枚の画像を取得するのに十分な被写界深度を有しているとはいっても、露出した第1のメタル層は、当該画像においては部分的に露出した第2のメタル層よりも明るく撮影されるためである。

【0044】

次に、注目エリアの全体を画像化したか否かが判断される。全体が画像化されていないときは、ダイは、従来技術において周知の方法によりステージ位置を調整することにより再配置され、更なる画像が取得される。注目エリアの全体が画像化されたときは、注目し

10

20

30

40

50

ている各層が画像化されたか否かが判断される。各層が画像化されていないときは、本プロセスはもとに戻り、ICの層の他のセットを除去して、注目している層の撮影準備が行われる。当業者により理解されるように、第1及び第2の層の画像取得を行った後に、従来技術において周知の方法により、バッフィング又はポリッシングを用いてダイサンプルから第1の層が除去される。さらに理解されるように、他の方法として、異なるダイを用いて、各層の画像取得準備を行うものとすることもできる。

【0045】

メタル層Nのタイル画像が生成される。これらは、メタル層N上の集積回路コンポーネント（複数）のみを表示するように焦点合わせされた画像（複数）である。これらの画像は、従来技術において周知の方法により、組み合わされて一枚のモザイク画像となる。光学顕微鏡から得られたこれらのタイル画像は、メタル層Nの主画像（一つのメタル層のみを示すように焦点合わせされた画像）である。当業者により理解されるように、集積回路のメタル層（複数）は、可視光に対して透明なシリコンガラス層により分離されている。しかしながら、必要な倍率のため、一の画像取得処理の実行時に光学顕微鏡上の焦点位置に配することができるのは一の層のみである。メタル層 M_{N-1} の副画像（焦点位置において部分的に遮られた層を表している）が取得される。

【0046】

当業者により良く理解されるように、走査型電子顕微鏡は光学顕微鏡よりも被写界深度が深い。したがって、露出した2つの層を同時に取得することができ、走査型電子顕微鏡の画像パラメータの選択には依存するものの、一の層は他の層よりもエッジが明るく撮影される。これを行うため、上述のように、集積回路を、管理されたプロセスによりエッチングして、メタル層 M_N を露出させると共に、メタル層 M_{N-1} を部分的に露出させる。当業者により理解されるように、2つのメタル層を分離している誘電体層は、走査型電子顕微鏡に対しては不透明である。モザイクのように分割された画像についての視覚分析を容易にするには、各メタル層について、当該メタル層のみが露出している画像をそれぞれ取得することが望ましい。これらのモザイク状のタイル画像の目合わせ（位置合わせ、alignment）は、後述するように主画像と副画像を用いることにより、正確に行うことができる。

【0047】

タイル画像のパラメトリック表現を調整して当該タイル画像間の疑似的な目合わせを行うアルゴリズムが有用である。当業者により理解されるように、集積回路の基部層（bottom layer）は、通常、多結晶シリコン層であり、この層の上に集積回路コンポーネント（複数）が構築される。その上の層（複数）は、第1層のコンポーネント（複数）を相互接続するワイヤ及び又はバスを含むメタル相互配線層（複数）である。したがって、注目エリアを分析する目的で画像モザイクを構成する際には、通常は最も底部の層をレイヤ1とし、ダイ座標空間基準（すなわち、その上の各層の方位決定に用いられる座標空間）として用いる。したがって、アルゴリズムは、多結晶シリコン層をメタル層Nとし、画像が通常取得される順序とは逆の順で画像モザイクの目合わせが実行されるものとして動作する。

【0048】

本アルゴリズムは、メタル層N+1の副タイル画像のパラメトリック表現をメタル層N+1の主タイル画像のパラメトリック表現と比較して、共通のエッジを特定することから始まる。共通のエッジが何も特定されない場合、メタル層N+1のパラメトリック表現は内挿用にフラグが立てられ、その画像モザイクにおける次のタイル画像のパラメトリック表現が選択される。共通エッジが存在すると判断されると、層N+1の主タイル画像表現が、層N+1の副タイル画像のパラメトリック表現に対して位置調整される。上述したように、層N+1の副タイル画像は、対応する層Nのタイル画像と完全に一致することが判っている。N+1主タイル画像とN+1副タイル画像との間の目合わせは、これら2つのパラメトリック表現における共通エッジのX座標とY座標とを調整して、N+1主タイル画像がN+1副タイル画像に一致するようにすることで行われる。次に、層N+1の主

タイル画像のパラメトリック表現における他のエッジ座標を、同じX、Yオフセットを用いて位置調整する。次に、その画像モザイクに他のタイル画像が存在するか否かを判断する。存在するときは、主タイル画像と副タイル画像のパラメトリック表現が選択される。

【0049】

層N+1の画像モザイクに他のタイル画像が残っていないときは、内挿用のフラグが立てられたパラメトリック表現が存在するか否かを判断する。存在しないときは、同じ集積回路ダイの他の層の画像が存在するか否かを判断する。存在しないときは、本プロセスは終了する。存在するときは、Nを1だけインクリメントし、サンプルダイの次のタイル画像モザイクを処理すべく、本処理が繰り返される。

【0050】

10

内挿用にフラグが立てられたパラメトリック表現が存在すると判断されたときは、それらのフラグが立てられたパラメトリック表現の最初の一つが選択される。必要な座標を有する少なくとも3つの隣接するタイル画像のパラメトリック表現を用いて、未知のX座標及び又はY座標が内挿される。次に、フラグが立てられた主タイル画像のパラメトリック表現が、内挿されたデータを用いて更新される。この詳細については後述する。次に、層N+1の主タイル画像のパラメトリック表現におけるエッジ座標が、その前に算出したX、Y座標オフセットを用いて調整される。次に、フラグが立てられた他のパラメトリック表現があるか否かが判断される。

【0051】

集積回路ダイの注目エリアの主タイル画像と副タイル画像の両方に共通エッジが存在しない場合が起こり得る。当業者により理解されるように、このような状況は、例えば、注目エリアの主タイル画像が、対応する副タイル画像においては上部の層構造により遮られて見えなくなっている一つ又は複数の特徴物のみを含んでいる場合に発生し得る。

20

【0052】

メタル層Nと遮られているメタル層N-1とを含む副画像は、視認可能なビアを含んでいる。このビアは、メタル層Nの画像モザイクにおいてはメタル層Nの平行なワイヤにより遮られている場合もあるが、メタル層N-1のモザイク画像上では視認可能であり得る。位置合わせ用データは、メタル層N-1の主画像のパラメトリック表現から抽出される。当業者により理解されるように、隣接するいくつかの点のうちの少なくとも一つの座標が既知である場合において一の点の座標を見出すための、多くの方法が知られている。例

30

【0053】

ビアのXオフセットは、ドロネー三角形分割を用いて3つの既知の点の間の値を内挿することにより行うことができる。3つの既知のX座標（例えば既知のXオフセットが与えられた画像モザイク内の位置）が存在するときは、ビアの位置は、これら既知の点間の三角形（単数）をより小さな3つの三角形に分割する。次に、より小さな三角形のそれぞれの面積が算出される。ドロネー三角形分割を知る当業者により理解されるように、これらの三角形の各面積と元の三角形の面積との比は、その三角形の反対側（opposite side）に対する重みを与える。当業者によりさらに理解されるように、ドロネー三角形分割を用いるべくアルゴリズムを最適化することが可能である。同様の処理を繰り返して、メタル層N-1の主画像に見えるビアのYオフセットデータを算出する。

40

【0054】

集積回路ダイの注目エリアのスライス（断片、slice）を表すタイル画像（複数）を表示するための処理を用いることができる。当業者により理解されるように、注目エリアの「スライス」とは、後述するように、デザイン分析ワークステーションを用いて注目エリアを分析する技術アナリスト（engineer analysts）により指定されるエリアである。

【0055】

デザイン分析ワークステーションは、例えば当該デザイン分析ワークステーションに接続されたマウスを用いる技術アナリストからスライスの座標を受信すると、スライスを構

50

成するのに必要な層Nの画像を画像記憶部から引き出して、層Nのスライスを組み立てる（アセンブル（assemble）する）。次に、システムは、層Nをダイ座標空間基準として指定して、そのスライスにおける他の全ての層の位置調整に用いるダイ座標空間を提供する。当業者により理解されるように、モザイク画像の実際の目合わせ（位置調整）は、デザイン分析ワークステーションにより「オン・ザ・フライ（on-the-fly）」で実行される。これは、アルゴリズムが満足な結果をもたらさず、技術アナリスト（複数）の経験や判断から正しく表示されていないタイル画像間の正しい位置合わせを行うべきと考えられる領域があるときに、当該技術アナリストによって位置調整のオフセットを追加又は変更することができるようにすることで行われる。画像取得プロセスの出力は、上述したように、それら画像間の位置調整オフセットを付加した画像モザイクの集合であり、当業者により理解されるように、完全に目合わせがされた画像モザイクの集合ではない。技術アナリストは、主画像及び副画像と、自身の経験とを用いて、上述したアルゴリズムが発生させた位置調整エラーを修正することができる。

10

【0056】

システムは、スライス座標に関連する層N+1のタイル画像を画像記憶部から取り出して、層N+1のスライスを組み立てる。次に、層N+1のスライスは、上述のように算出されたパラメトリック表現を用いて、層Nのスライス座標空間基準に対して位置調整される。次に、集積回路ダイの他の層があるか否かを判断する。他の層があるときは、Nを1だけインクリメントして、本プロセスを繰り返す。他の層がないときは、そのスライスが、デザイン分析ワークステーションの画面上の指定された数のウィンドウ内に表示される。

20

【0057】

技術アナリストが入力を行ったか否かが判断される。技術アナリストが終了コマンドを入力したときは、本プロセスは終了する。技術アナリストがスクロール、パン（pan）、ズーム等のコマンドを入力したときは、本プロセスが部分的に繰り返される。ただし、技術アナリストがスライス層モザイクのいずれかにおけるいずれかのタイル画像について、新たな座標調整を入力すると、システムは、選択された層Yにおける選択されたタイル画像についての新しい座標オフセットを受け付け、そのタイル画像のパラメトリック表現を調整する。次に、システムは、層Yのスライスモザイクを、層Y-1のスライスモザイクに対して再び位置調整し、その後、上記アナリスト入力の結果として得られたパラメトリック表現データを用いて、層Y+1、...、Nのそれぞれが、そのスライスの層Yに対して再び位置調整される。

30

【0058】

他のプロセスを用いて、集積回路ダイの注目エリアの3次元モデルを算出することができる。本アルゴリズムは、モデリングプログラムからスライス座標を受信することで開始する。注目エリアについて選択された所望の一部がモデル化される場合であっても、スライス座標はその注目エリア全体の座標である。スライス座標を受信すると、アルゴリズムは、画像記憶部から層Nの画像を取り出して、層Nのスライスに関するパラメトリックデータを組み立てる（アセンブル（assemble）する）。次に、システムは、層Nをダイ座標空間基準として指定する。任意選択として、アルゴリズムは、層Nのタイル画像を分析し、従来技術における周知の方法によりパターンマッチングを用いてネットリストを構築することができる。次に、システムは、スライス座標に関連する層N+1のタイル画像を画像記憶部から取り出して、層N+1のスライスデータを組み立てる。次に、システムは、パラメトリック表現データを用いて、層N+1のスライスデータを層Nのスライスデータに対して位置合わせする。次に、画像記憶部に他の層の画像があるか否かを判断する。他の層の画像があるときは、Nを1だけインクリメントし、本プロセスが部分的に繰り返される。他の層がないときは、垂直方向（vertically）に位置合わせされたスライスデータがモデリングプログラムへ渡され、モデリングプログラムが実行されて、従来技術における周知の方法により、そのスライスの3次元モデルが構築される。次に、アルゴリズムは、モデリングプログラムからのフィードバックを待機する。フィードバックは、終了プロ

40

50

グラムコマンドとすることができ、この場合には、本アルゴリズムは終了する。モデリングプログラムは、データ内の矛盾を検出し、座標調整値 (coordinate adjustment) をアルゴリズムに送って画像目合わせにエラーがあることを示すことができる。アルゴリズムは、モデリングプログラムから座標調整値を受け取ると、層 Y における選択されたタイル画像のパラメトリック表現を調整する。次に、アルゴリズムは、層 Y のスライスを層 Y-1 のスライスに対して再度位置合わせ (realign) し、次に、パラメトリック表現データを用いて、再位置合わせされたそのスライスの層 Y に対して層 Y+1、... N を位置合わせする。その後、アルゴリズムは、垂直方向 (vertically) に再位置合わせされたスライスデータをモデリングプログラムに渡す。

【0059】

集積回路のリバースエンジニアリングでは、通常、ウェハ、切断済みのダイ、又はこれらの部分をマイクロイメージングシステム (micro-imaging system) を用いて調査して、設計検証や競争力分析のための、設計情報及びレイアウト情報を引き出す処理が行われる。マイクロイメージングシステムには、高倍率光学顕微鏡、走査型電子顕微鏡、電界放射型電子顕微鏡 (field emission electron microscope) 等が含まれる。試料であるダイの高倍率のタイル画像は、コンピュータワークステーションの管理の下に、各分解ステップの間に取得される。コンピュータワークステーションは、制御信号を用いてマイクロイメージングシステムを制御する。コンピュータワークステーションは、マイクロイメージングシステムから画像データを受信し、そのタイル画像データを、ハードディスク等のメモリ、通常は大容量記憶装置に保存する。一般に、タイル画像データは、大容量記憶装置に送られ、コンピュータワークステーションと大容量記憶装置との間のデータ通信要件を最小化し、かつ大容量記憶装置でのデータ記憶要件を最小化するように、圧縮形式で保存される。

【0060】

保存されたタイル画像は、画像モザイクに組み立てられる。各画像モザイクは、一の分解ステップにおけるダイの注目面を表している。ダイのタイル画像を取得する際には、サンプル座標空間が定義される。サンプル座標空間は、タイル画像及び画像モザイクの位置合わせに用いられる。

【0061】

デザイン分析ワークステーション (DAW, design analysis workstation) は、技術アナリストが、写真、マーカーペン、及び紙を用いる代わりに、ポインティングデバイスと画像モニタを用いて IC をリバースエンジニアリングすることを可能にする。デザイン分析ワークステーションは、画像モザイクへの注釈付与 (annotating) や設計・レイアウト表示機能により、技術アナリストがチップのリバースエンジニアリングを行えるようにするためのリバースエンジニアリング・システムとして機能する。IC のリバースエンジニアリングにおける「チップ」とは、これを用いて分析対象である集積回路に関するデータを構築するための基本オブジェクト (fundamental object) である。チップは、複数の層を備える。各層は、それぞれ、物理的な IC 上の物理的な相互配線層に対応する。一の層は、一又は複数のダイ写真、一又は複数の画像モザイク、及び一又は複数のアノテーションオーバーレイのいずれか一つである。

【0062】

上述したように、一の画像モザイクは、取得された複数のタイル画像の一の配列である。タイル画像は、分解を開始する前の集積回路の全体を捉えた画像であるダイ写真よりも高倍率である。タイル画像 (複数) は、互いに接するように並べられて、特定の分解ステップの後における集積回路の、大きな、境目のない、高倍率の画像を形成する。各画像モザイクには、一つ又は複数のアノテーションオーバーレイを用いて注釈を付すことができる。これについては後述する。

【0063】

設計情報とレイアウト情報を引き出すための集積回路の分析においては、技術アナリストは、DAW を利用する。DAW は、表示装置と、キーボードと、マウス (これに限定さ

10

20

30

40

50

れるものではない)などのポインティングデバイスと、を備える。表示装置は表示エリアを有し、表示エリアは、対応する表示座標空間を規定する。表示エリアに表示されるシステムポインタは、ポインティングデバイスにより制御される。システムポインタは、望ましくは特徴のある形状、サイズ、及び色を有する。

【0064】

表示装置は、通常は陰極線管(CRT、Cathode Ray Tube)、液晶表示装置(LCD、Liquid Crystal Display)、イメージプロジェクタにより投影される画像等である。これに代えて、デザイン分析ワークステーションの表示装置として、マルチディスプレイ(multi-headed visual display)(不図示)により構成される分散表示装置(distributed visual display)や、複数のワークステーションの表示装置を用いた分散ウィンドウイング環境(distributed windowing environment)を含むものとして行うことができる。分散ウィンドウイング環境は、XConsortium(登録商標)、NeXTStep(登録商標)/OpenStep(登録商標)等から市販されている。

10

【0065】

本発明に従い、複数の技術アナリストは、複数のデザイン分析ワークステーションを操作して、共有する画像モザイクから、分解した一つの集積回路を表す設計情報とレイアウト情報とを、同時並行的に抽出することができる。本システムは、一つのICリバーエンジニアリングプロジェクトに携わる複数の技術アナリストの同期作業を容易にするための、マルチユーザ拡張機能を備える。これについては、アノテーションオブジェクトの所有権との関連において以下に詳細に説明する。

20

【0066】

表示エリアは、ナビゲーションウィンドウとモザイクビュー(複数)とを表示する。モザイクビューは、それぞれビュー境界(view-boundary)を有する。ナビゲーションウィンドウは、分析対象である集積回路の全体像を提供する。ナビゲーションウィンドウは、その集積回路の低解像度のデジタル画像を表示する。分析対象のサンプルが単一のICダイ又はその主要部分である場合、ナビゲーションウィンドウに表示される低解像度画像は、ダイ写真と称される。スライスは、ナビゲーションウィンドウ内で選択され、ダイ写真の注目エリアを規定する。

【0067】

スライスは、ポインティングデバイスを用いてナビゲーションウィンドウ内でシステムポインタの位置を定めることにより、ナビゲーションウィンドウ内で生成される。システムポインタの位置をナビゲーションウィンドウ内に持って行くと、システムポインタはマスターカーソルとして再構成されて表示され、技術アナリストによるマウスクリックなどのトリガイイベントが有効となる。このトリガイイベントにより、ツール選択メニューが起動される。ツール選択メニューは、例えばポップアップメニューである。ツール選択メニューに表示されるメニューアイテムにより、技術アナリストはスライス作成ツールを起動することができる。スライス作成ツールは、ダイ写真上の注目エリアを選択するのに用いられる。この選択は、ポインティングデバイスをクリックして注目エリアの一の頂点を指定し、マスターカーソルを斜めにドラッグして矩形のスライスを作成することにより行われる。ツール選択メニューも、プルダウンメニューとすることができる。スライス作成ツールは、スライス作成手段(slice creator)の一つの形式を表すものである。本発明の代替の実施形態に従うと、スライス作成ツールは、スライス作成コマンドを発行することによって起動するものとして行うことができる。さらに他の実施形態に従うと、「ホットキー」を用いてスライス作成を起動するものとして行うことができる。当業者により理解されるように、他の方法を用いてスライス作成を起動するものとして行うこともできる。

30

40

【0068】

このマンマシン・インタフェースは、技術アナリストの操作にตอบสนองして生成されるイベントを監視するイベントドリブン・インタフェースである。当業者により理解されるように、インタフェース・イベントは、マンマシン・インタフェースのデザインや技術アナリストの選択に依存して、複数の方法で生成され得る。例えば、上述したように、スライス

50

作成は、ポップアップメニュー、プルダウンメニュー、ホットキー、又はコマンドモードの操作により有効にするものとすることができる。本発明に従い、マンマシン・インタフェースにおいて、これらのオプションのいずれか一つ又は複数を有効にすることができる。

【0069】

イベントは、検出され分析されて、スライス作成についての要求であるか否かが判断される。上述したように、スライス作成は、例えば、メニュー選択、コマンドライン、又はホットキーを用いて起動するものとすることができる。そのイベントがスライス作成要求ではない場合、そのイベントは処理されて、イベントの監視が再開される。そのイベントをスライス開始イベントであると判断した場合、スライス作成プロセスは、ダイ写真上の注目エリアを規定するスライス座標が返されるのを監視する。例えば所定の時間間隔の間に座標が返されると、システムポインタの位置がダイ写真上にあるか否かが判断される。システムポインタがダイ写真上にある場合、プロセスは、元に戻って注目エリアの選択を待機する。システムポインタがダイ写真上にない場合、技術アナリストに対し、ダイ写真上で注目エリアを選択するよう指示するメッセージが表示される。

10

【0070】

スライス座標が受信されると、当該スライス座標はメモリに保存され、スライス作成パラメータが調査されて自動モザイクビュー作成が有効であるか否かが判断される。自動モザイクビュー作成は、本発明の望ましい実施形態に従って与えられる機能であり、スライスに関連する各画像モザイクについてモザイクビューを自動的に作成する。代替的に、一のスライスについて表示すべきモザイクビュー（複数）を、そのスライスに関連する全ての画像モザイクのリストから選択するものとすることができる。スライス作成パラメータが、自動モザイクビュー作成が有効であることを示している場合、画像モザイクリストが取り出され、各画像モザイクについて、そのスライス座標により規定される一のモザイクビューが作成されて表示スペースに表示される。

20

【0071】

スライス作成パラメータが、自動モザイクビュー作成が起動されていることを示している場合、一の画像モザイクリストが取り出されて、そのスライス座標により規定される一のモザイクビューが各画像モザイクについて作成され、それらのモザイクビューが表示スペースに表示される。

30

【0072】

自動モザイクビュー作成が有効でないと判断された場合、そのスライスに関連する画像モザイクのリストが表示エリアに表示され、これにより技術アナリストは、モザイクビューを作成すべき画像モザイクを選択することができる。スライス作成プロセスは、表示されたリストから少なくとも一つの画像モザイクが選択されたか否かを判断する。選択されていないときは、画像モザイクを選択するか又はプロセスをキャンセルするよう要求するメッセージを表示する。選択された各画像モザイクについてモザイクビューが作成され、スライス作成プロセスは終了する。

【0073】

ロックステップ・カーソルの動作（lock-step cursor motion）を制御するプロセスが開始する。このプロセスは、カーソルイベントを検出するカーソルイベント処理ループの一部である。カーソルイベントは分析され、当該カーソルイベントがカーソルの動きを示すものであるか否かが判断される。カーソルの動きを示すものでないときは、そのカーソルイベントが処理される。「終了（exit）ボタンのクリック」のようなカーソルイベントは、本プロセスを終了させる。

40

【0074】

受信したカーソルイベントがカーソルの移動を表すものであると判断された場合、本プロセスは、表示座標に関してシステムポインタが一のモザイクビューのビュー境界を横切ったか否かを判断する。システムポインタがビュー境界を横切ったと判断されたときは、本プロセスは、システムポインタがビューの内部へ向かって横切ったのか、ビューから出

50

て行ったのかを判断する。システムポインタがビュー内部に向かって横切ったと判断された場合、システムポインタは、表示エリア上においてマスターカーソルを表すように描画（paint）される。システムポインタの表示座標は、サンプル座標に変換される。現在登録されている全てのビューのリストが取得され、そのリスト内の全てのビューについて処理が繰り返されて、システムのマスターカーソルのサンプル座標を含むカーソルイベントが、これらのビューのそれぞれに対して送信される。各ビューは、マスターカーソルのサンプル座標を当該ビューの表示座標に変換し、そのビュー内のビュー座標にロックステップ・カーソルを表示する。次に、本プロセスは戻って処理を繰り返す。

【0075】

システムポインタがビューから出て行ったと判断された場合、システムポインタの外見は、オペレーティングシステム表示に戻される。プロセスは、登録されているビューのリストを取得し、そのリストについて処理を繰り返して、登録されている各ビューにカーソルイベントを送信する。カーソルイベントを受信すると、各ビューはロックステップ・カーソルをそのビューから消去し、本プロセスは戻って処理を繰り返す。

【0076】

カーソルイベントがカーソルの移動を示すものであり、システムポインタがビュー境界を横切っていないと判断された場合、本プロセスは、システムポインタがビュー内にあるか否かを判断する。ビュー内にはないときは、本プロセスは戻って処理を繰り返す。

【0077】

システムポインタがビュー内にあるときにカーソル移動イベントを受信された場合、マスターカーソルの表示座標は、サンプル座標に変換される。登録されているビューのリストが取り出され、カーソルイベントと、サンプル座標空間に関するマスターカーソルの新しいポジションとが、登録された各ビューに対して繰り返し処理により送信される。各ビューは、ロックステップ・カーソルを、新しい座標を受信したときに存在していた位置で消去し、マスターカーソルのサンプル座標を、そのビューの表示座標に変換する。次に、そのビューは、その表示座標がそのビュー内であれば、その新しい表示座標にロックステップ・カーソルを再描画する。

【0078】

ロックステップ・カーソルの移動は、全てのビューに広がる範囲を持ったグローバルデータ構造（global data structure）を使って有効にすることもできる。グローバルデータ構造は、少なくとも、調査対象である物理的な試料ICにより定義されるサンプル座標空間に関するマスターカーソルの位置を記憶する。マンマシン・インタフェースは、ポインティングデバイスから受信したシステムポインタ・イベントを処理する。各システムポインタ・イベントが、通常はシステム割り込みを介して受信されると、マンマシン・インタフェースは、システムポインタを現在の位置に表示し、マスターカーソルの位置を更新する。システムポインタは、一のビューのビュー境界内にあるときは、マスターカーソルの形状と構成とにより画面上に描画され、サンプル座標空間におけるマスターカーソルの位置が算出されてグローバルデータ構造に記憶される。割り込み処理の一部として、他の各ビューは、サンプル座標空間におけるマスターカーソルの位置を、当該ビューのビュー境界内において表示可能であるか否かを判断する。表示可能であれば、そのビューは、表示されているロックアップ・カーソルのサンプル座標空間位置とグローバルデータ構造内に記憶されている位置とを比較し、必要に応じてそのビュー内でロックステップ・カーソルを消去して再描画する。

【0079】

それぞれにシステムポインタを持つワークステーションが複数用いられて、一の試料ICを表す複数の画像モザイクから同時並行的に設計情報とレイアウト情報とが抽出される場合、マスターカーソル競合の問題は、システムポインタがマスターカーソルであるか否かを、選択基準を用いて判断することにより解決することができる。選択基準は、特定のワークステーションの特定のシステムポインタに制限すること、カーソルイベントを発生した最後のシステムポインタを選択すること、等を含むものとすることができる。

【0080】

モザイクビュー（複数）は、ICを分解するプロセスにおける特定の分解ステップの後に取得された一の画像モザイクの部分（複数）を表示する。スライスは、各モザイクビューにおいて表示される注目エリアを規定する。

【0081】

ロックステップ・カーソルは、適切なときに各モザイクビュー内に表示される。対応するロックステップ・カーソルが、ナビゲーションウィンドウにも表示される。望ましくは、ロックステップ・カーソル（複数）は、マスターカーソルを除き、似たような形状、サイズ、及び色を持つ。マスターカーソルは、システムポインタがモザイクビュー内にあるときは、ポインティングデバイスにより制御されるシステムポインタの現在位置を示す。マスターカーソルは、システムポインタと同じ外観を持つものとしてもよいし、特徴的な形状、サイズ、及び又は色を持つものとしてもよい。ロックステップ・カーソル（複数）は、マスターカーソルの制御の下に一斉に動く。これらのロックステップ・カーソルは、サンプル座標空間における位置座標を、マスターカーソルと共有しているためである。ロックステップの動きは、残像効果（trailing effect）として図中に示される。

10

【0082】

本発明の望ましい実施形態に従うと、モザイクビュー（複数）は、スライスがズーム又はパンされるのに合わせて、一斉にズーム及び又はパンする。これを行うため、ナビゲーションウィンドウは、パンニングスライダ（panning sliders）を備えるように表示される。

20

【0083】

スライスは、関連するモザイクビュー（複数）を持つことができる。モザイクビュー（複数）は、それらのモザイクビューのいずれか一つがズーム又はパンされるのに合わせてズーム又はパンする。これを行うため、各モザイクビューは、パンニングスライダを備える。ナビゲーションウィンドウは、定義された他の一のスライスを持つことができる。スライスは、モザイクビュー（複数）に関連付けられる。モザイクビュー（複数）は異なるサイズを持つことができ、各モザイクビューは、独立にサイズ変更され及びズームされるものとすることができる。

【0084】

モザイクビュー内部のマスターカーソルにより、マウスクリックやキーシーケンスによる起動などのインタラクティブ・イベントが実行される。これに応答して、アノテーションオーバーレイ選択メニューが表示される。アノテーションオーバーレイ選択メニューは、分析対象であるチップに関するアノテーションオーバーレイのリストを提供し、それらのアノテーションオーバーレイの一つを選択することができる。示すように、いずれのアノテーションオーバーレイも、いずれかの画像モザイク上に表示することができ、アノテーションオーバーレイ上でアノテーションオブジェクトを描画することにより、当該表示から設計やレイアウトを抽出することができる。

30

【0085】

アノテーションオブジェクトは、少なくとも一つのモザイクビュー内に表示された少なくとも一つの画像モザイクから推測された特徴物に基づいて、技術アナリストがアノテーションオーバーレイ上に描画したエンティティ（entity）である。画像モザイク（複数）は、ソース画像（source image）（複数）である。画像モザイク（単数）は、各モザイクビューの背景を構成する。アノテーションオブジェクトは、例えば、矩形、線分、多角形、楕円、テキストラベル、接続部、及び配線（ワイヤ）を含む。アノテーションは、画像モザイクとは独立にロードし、及び保存することができる。

40

【0086】

モザイクビューは、集積回路の分解ステップのうちメタル層の露出を行った分解ステップから得られた画像モザイクについて表示される。メタルトレース（金属部分の形状）は、現在のパン及びズームの設定において観察することができる。アノテーションオブジェクトは、観察されたトレース特徴（形状特徴、features of trace）に基づいて作成され

50

る。アノテーションオブジェクトは、作成された後、そのトレースに重ねられる。

【0087】

上述したように、マルチビュー編集のための機能が提供される。編集操作は、一のモザイクビューで開始して続行され、他のモザイクビューで終了させることができる。マルチビュー編集により、集積回路上のバスのような非常に長いアノテーションオブジェクトを、モザイクビューをスクロールすることなく容易に描画することができる。マルチビュー編集では、画像モザイク（複数）が同じ分解ステップに関連付けられている必要はない。

【0088】

モザイクビュー間で実行される編集操作は、次のようなルールに従う：

アノテーションオブジェクトは、編集操作を開始したモザイクビューに表示されているアノテーションオーバーレイに関連付けられる；

アノテーションオブジェクトの移動やコピーを行うと、そのアノテーションオブジェクトは、編集操作を終了したモザイクビューに表示されているアノテーションオーバーレイに関連付けられる。

【0089】

少なくとも、マスタートーカーソルに関連付けられているモザイクビューは、共通アノテーションオブジェクトを取り出すためのツールバーを備えることができる。ツールバーにより、技術アナリストは、単純な又は複雑なアノテーションオブジェクト（複数）を取り出すことができる。これらのオブジェクトは、それぞれ、集積回路の一つ又は複数のコンポーネントを表している。モザイクビューは、ツールバーを備える。

【0090】

アノテーションオブジェクト（複数）は、アノテーションオブジェクトの集合を選択してオペレータを呼び出すことにより、それらを一緒に操作（manipulate）することができる。ツールバーは、選択されたアノテーションオブジェクトに操作（operations）（複数）を実行するためのオペレータ（複数）への選択実行クリックアクセス（select-and-works click access）を含むこともできる。アノテーションオブジェクトに操作を行うためのオペレータは、基本的なもの（primitive）又は複雑なもの（complex）であり得る。複雑なオペレータを定義するための機能も提供される。オペレータを用いて、アノテーションオブジェクトを削除、編集、移動、回転、反転（mirror）、サイズ変更等することができる。望ましくは、操作のアンドゥ（undoing）及びリドゥ（redoing）のための機能も提供される。アノテーションオブジェクトは、不注意に編集が行われるのを防止すべく、その表示を隠すことができる。表示を隠したオブジェクトは、当該オブジェクトを選択してその表示を前景に移動させることができる。アノテーションオブジェクトは、編集されないようにロックすることもできる。ロックされたオブジェクトは、当該オブジェクトを選択してロックを解除し、編集可能にすることができる。

【0091】

操作を容易にするため、アノテーションオブジェクトをグループ化してアノテーションオブジェクト・グループとすることができる。アノテーションオブジェクトは、階層的にグループ化することができる。すなわち、アノテーションオブジェクト・グループは、これを構成する一つ又は複数のアノテーションオブジェクトの要素グループを含むものとする。アノテーションオブジェクト・グループは、いつでも選択してグループ解除（ungroup）することができる。多角形基本図形（polygon primitives）を用いて生成されたアノテーションオブジェクト（複数）は、一つのアノテーションオブジェクト・グループにまとめることができる。アノテーションオブジェクトの、アノテーションオブジェクト・グループへのグループ化により、セル（cell）／コンポーネントの定義と抽出が可能となる。セルとは、一の名前が与えられた一のアノテーションオブジェクト・グループである。通常、セルは、論理ゲート、フリップフロップ等のコンポーネントや小規模回路を表すのに用いられる。

【0092】

アノテーションオブジェクト・グループに対応する一のコンポーネント・セルは、トラ

10

20

30

40

50

ンジスタを表す。セルは、技術アナリストによりプロパティ (properties) が割り当てられる。セルのプロパティは、少なくとも一つのポートの定義を含む。各ポートには、入力シグナリング、出力シグナリング、双方向シグナリング等の信号方向特性が割り当てられる。DAWは、セル・ライブラリを生成する機能も提供する。セル・ライブラリは、ICの分析に用いられるセルのコレクション (collection) である。

【0093】

アノテーションオブジェクトは属性を持つ。各アノテーションオブジェクトは、そのアノテーションオブジェクトに関する情報を示す予め定められた所定の属性を含む。選択された属性は編集することができる。アノテーションオブジェクトの属性は、中空 (hollow) / 塗りつぶし (filled)、ベタ塗り (solid fill) / 点描塗り (stippled fill)、内
10
部色、境界色、境界線幅、テキストラベル角度、文字フォント、文字色等を含む。多角形は、直線若しくはベジェ曲線の集合、又はこれら2つの組み合わせ (複数) とすることができる。

【0094】

配線と接続は、層属性 (複数) (layer attributes) を持った特殊なアノテーションオブジェクトである。これらの層属性は、相互配線体 (複数) (interconnect entities) を表すために用いられる。配線と接続は、特性を運搬 (carry) するシグナルも有している。配線アノテーションオブジェクトは、それに関連する層属性を持つ。この層属性は、その配線が配されている集積回路の層を示す。配線アノテーションオブジェクトに関連付けられた層は、その配線アノテーションオブジェクトの生成のための情報を取得した画像
20
モザイクとは異なるものとすることができる。

【0095】

2つの配線アノテーションオブジェクトは、それらのアノテーションオブジェクトがそれぞれメタル層2及びメタル層1に配されていることを示す層属性を持つ。接続アノテーションは、二つ又はそれ以上のコンポーネント間の電気的接続を表す。コンポーネント間の接続は、望ましくは円又は十字 (cross) として表される。各接続は、2つの層属性を持つ。接続は、メタル層1とメタル層2に設定された、その接続についての層属性のセットを持つ。

【0096】

配線アノテーションオブジェクトについて、配線アノテーションオブジェクト・ラベリングオペレーションが呼び出されると、配線アノテーションオブジェクト・ラベリングプロセスが開始する。選択された配線アノテーションオブジェクトがシグナル・プロパティを持つ場合は、配線ラベルが生成され、その配線アノテーションオブジェクト・ラベリングプロセスは終了する。配線アノテーションオブジェクトがシグナル・プロパティを持たないと判断された場合、デザイン分析ワークステーションは、選択されたアノテーションオブジェクトに接続されているアノテーションオブジェクト及び又はセルの属性を探索して、それぞれのシグナル・プロパティを特定する。曖昧でないシグナル・プロパティを特定できる場合、そのシグナル・プロパティは、接続されている全てのコンポーネントに伝搬され、配線アノテーションオブジェクト・ラベルが作成される。そうでない場合には、
30
技術アナリストは、接続されているコンポーネント (複数) に伝搬させるべきシグナルラベルを入力するよう促される。技術アナリストからのシグナルラベルを指定する入力を受け付けられる。
40

【0097】

本発明に係るデザイン分析ワークステーションの他の実施形態は、作成時にアノテーションオブジェクトに自動的にラベリングを行う機能を提供する。ラベルは、例えば数字ラベル又はテキストラベルとすることができる。複数の技術アナリストが複数のデザイン分析ワークステーションを用いて一つのICを同時並行的に分析する本発明の一実施形態では、自動ラベリングの機能が、グローバルに固有なラベリングサフィックスを提供して、ラベリングの競合が起きないことを保証する。

【0098】

10

20

30

40

50

デザイン分析ワークステーションは、測定を実行する機能も備える。測定ユーティリティは、コンポーネント間の距離、トレース幅などの、距離計測を実行する機能を備える。多角形コンポーネントにより覆われたエリアを表すエリア計測も取得されるものとすることができる。

【0099】

アノテーションオブジェクトには、アノテーションオブジェクト・プロパティも関連付けることができる。アノテーションオブジェクト・プロパティを用いて、任意の情報をアノテーションオブジェクトに付加することができる。アノテーションオブジェクト・プロパティは、キーバリュー・ペア (key-value pair) である。キーとバリューとは、キャラクターの任意のストリングである。各アノテーションオブジェクトは、任意の数の関連するアノテーションオブジェクト・プロパティを持つことができる。

10

【0100】

アノテーションオブジェクトは、アノテーションオブジェクト・グループにまとめることもできる。アノテーションオブジェクト・グループは、属性とプロパティとを持つことができる。アノテーションオブジェクト・グループの属性とプロパティは、そのアノテーションオブジェクト・グループを構成するアノテーションオブジェクトの選択された属性とプロパティに対するオーバーライド効果 (overriding effect) を持ち得る。アノテーションオブジェクト・グループは、編集可能な属性を持ち、当該属性により、繰り返し構造、配列化されたコンポーネント、及び配列化されたセルを定義することができる。繰り返し構造の例は、信号バスである。メモリセルは、配列化されたセルの一例である。デザイン分析ワークステーションは、アノテーションオブジェクト及びアノテーションオブジェクト・グループに関連付けられた属性及びプロパティを表示する機能も提供する。

20

【0101】

ポップアップウィンドウ (複数) は、それぞれ、アノテーションオブジェクト及びアノテーションオブジェクト・グループに関連する属性及びプロパティの情報を表示する。ポップアップウィンドウは、マウスクリック、キー押下、メニュー選択肢の起動等のインタラクティブ・イベントに応答して、デザイン分析ワークステーションにより表示される。ポップアップウィンドウは、一時的に表示されるものとすることもできるし、又はそのウィンドウを閉じるための技術アナリストによるアクションがあるまで表示が持続するように構成されるものとすることができる。

30

【0102】

デザイン分析ワークステーションは、アノテーションオブジェクト又はアノテーションオブジェクト・グループに関連付けられている属性及び又はプロパティに関する抽出条件に基づいてアノテーションオブジェクトを選択する機能を、技術アナリストに提供する。抽出条件に基づくアノテーションオブジェクト又はオブジェクト・グループの選択は、任意選択で、再帰探索により行われる。その場合、再帰探索は、アノテーションオブジェクト・グループをアノテーションオブジェクト要素 (複数) にまで構造分析する。アノテーションオブジェクト・グループの要素についての再帰探索は、抑制することができる。抽出条件に基づく探索は論理的に結合されるものとすることができ、アノテーションオブジェクトの選択基準はブール論理を用いて処理されるものとすることができる。

40

【0103】

デザイン分析ワークステーションは、抽出条件探索を用いて選択されたアノテーションオブジェクトについてパンやズームを行うための機能も提供する。抽出条件探索を用いて選択されたアノテーションオブジェクトに対応するラベルは、探索結果ビューに表示される。パン機能又はズーム機能の起動は、望ましくは、探索結果ビューにリストされたアノテーションオブジェクトをダブルクリックすることにより行われる。

【0104】

デザイン分析ワークステーションは、アノテーションオブジェクト及びアノテーションオブジェクト・グループの再帰的な編集を可能とする。再帰編集は、編集操作を中断して他の操作を開始又は実行することを含む。例えば、編集操作の際には、モザイクビューが

50

パンされたりズームされたりする。再帰編集からもたらされる利点は、編集操作の途中でアノテーションオブジェクトを永久記憶装置(permanent storage)に保存できることである。望ましくは、再帰編集は、利用可能なリソースの制約の下で、際限なくネストすることができる。

【0105】

一のスライスの、酸化物層とポリシリコン層の画像モザイクを結合させた部分から導出される画像モザイク比較ビューが作成される。画像モザイク比較ビューは、注目する二つ又はそれ以上のモザイクビューを選択することにより導出される。デザイン分析ワークステーションは、それぞれのモザイクビューから2つの「スナップショット」を引き出す。これらのスナップショットは、画像モザイク比較の中で結合される。

10

【0106】

無操作結合(NoOp結合)は、選択されたモザイクビュー(複数)の単純な結合である。2つのスナップショットの加算結合(Add結合)は、選択されたモザイクビューのそれぞれのピクセル輝度をピクセル毎に加算する。加算結合は、異なる分解ステップにおいて集積回路の同じ位置について取得された画像モザイク(複数)を重ねる際に用いられる。2つのスナップショットのFirstMinusSecond表示は、第1のスナップショットのピクセル輝度から第2のスナップショットのピクセル輝度をピクセル毎に減算する。画像モザイク比較ビューは、モザイクビュー(複数)のFirstMinusSecond結合である。画像比較モザイクビューから共通構造が減算される。2つのスナップショットのSecondMinusFirst結合は、第2のスナップショットのピクセル輝度から第1のスナップショットのピクセル輝度をピクセル毎に減算する。異なる輝度を持つエリアは、明るい領域又は暗い領域として際立つように表示される。2つのスナップショットにおいて同じようなピクセル値を持つエリアは、画像モザイク比較ビュー内では、くすんだ灰色で表示される。

20

【0107】

AbsoluteDifference結合では、ピクセル輝度がピクセル毎に減算されて絶対値が用いられる。その結果、ブライトネスの全範囲をカバーするようにコントラストが誇張される。これにより、例えば相似するエリア(複数)の明るさが暗い場合でも、AbsoluteDifference結合された画像モザイク比較ビューでは相違する部分が明るく表示されるので、似たようなエリア内で微小な相違部分を調査する際に非常に有用である。

【0108】

Interweave結合は、同じエリアであるが異なる層を表示する画像モザイク(複数)の2つの部分を結合する際に有用である。2つのスナップショットのピクセルが、チェッカーボードパターンで交互に挟み込まれる。Interweave結合は、加算結合と同様の機能を持ち、ピクセル解像度を犠牲にして、ブライトネスと色の忠実性を改善する。

30

【0109】

Flip結合も提供される。Flip結合は、二つ又はそれ以上のスナップショットを交互に表示する際に用いられる。スナップショットの交互表示は、相違部分が「動く」特徴部分として際立つように、選択された時間間隔で繰り返すことができる。

【0110】

集積回路のデザインには反転構造が含まれる。スナップショットの有用な組合せを取得するため、反転機能が提供される。これにより、反転構造(複数)を方位反転させて重ねることができ、相違部分(もしあれば)が容易に観察される。望ましくは、画像処理ウィンドウはロックステップ・カーソルを表示し、望ましくはロックステップ・カーソルの動きは反転動作を考慮する。

40

【0111】

上述したように、複数の技術アナリストが協働して、本発明に従うデザイン分析ワークステーションを用いて一つのチップから設計情報やレイアウト情報を抽出することができる。このため、設計及びレイアウトの並行的な抽出作業を支援するための機能が提供される。

【0112】

50

設計及びレイアウトの並行抽出作業に資するため、デザイン分析ワークステーションには或る基本機能（複数）が求められる。これらの機能は、アノテーション所有権追跡、固有アノテーションラベル生成、アノテーションロックキング、及びアノテーションマーキングを含む。これらの機能は、協働デザイン分析に求められる基本機能のみを示すものである。

【0113】

アノテーション所有権追跡は、各アノテーションを作成した技術アナリストの個人識別標識（identification）を追跡し、その作成者によるそのアノテーションの修正のみを許可する。固有アノテーションラベル生成は、複数の技術アナリストが一つのプロジェクトについて同時に作業を行う場合にも、生成される各識別標識（identifier）がそのプロジェクトにおいて固有であることを保証する。アノテーションロックキングは、アノテーション作成者がアノテーションオブジェクトをロックすることを可能とする。これにより、そのアノテーションが他人により編集されるのを防止して、不慮の修正が行われるのを防止する。アノテーションマーキングは、他の技術アナリストが所有するアノテーションオブジェクトのローディングを可能とする。

10

【0114】

デザイン分析ワークステーションは、配線アノテーションオブジェクト及び又は接続アノテーションオブジェクトにより接続されたコンポーネント間のシグナル情報の伝搬に関する機能も提供する。配線アノテーションオブジェクト及び接続アノテーションオブジェクトは、それぞれ、シグナルキーを持つプロパティを有する。シグナルキーは、これに関連する配線又は接続が運ぶシグナルの名前を示す。シグナル伝搬処理では、一の特定の集積回路に関連付けられた配線アノテーションオブジェクトと接続アノテーションオブジェクトの全ての接続セットが探索される。最初のセットが選択され、一のシグナル・プロパティを持つそのセット内のアノテーションオブジェクト（複数）の位置が特定される。発見された全てのアノテーションオブジェクトのシグナル指定が同じシグナル値を持つときは、そのシグナル値がその接続セット内のすべてのアノテーションオブジェクトへ伝搬される。そのセットは破棄され、処理すべき他のセットが残っているときは、他の一のセットが選択されて処理が再開される。

20

【0115】

アノテーションオブジェクトの接続セットが二つ又はそれ以上の異なるシグナル値を持つ場合は、競合が発生するまでシグナルの伝搬が試みられる。競合には、これを表示するため及び技術アナリストによる更なる調査のためのフラグが立てられる。シグナル競合は、電気的な短絡を表しており、通常はデザイン分析におけるエラーを指摘するものである。

30

【0116】

デザイン分析ワークステーションは、シグナル競合の閲覧（browsing）と解析のための機能を提供する。この機能は、その内部に少なくとも一つのシグナル競合の位置が表示されるポップアップビューを含む。望ましくは、競合の閲覧と解析のためのナビゲーションボタンが提供される。シグナル競合フラグにはすべて、或るプロパティ（複数）が付される。これらのプロパティには、「短絡（short）」値を持つ「エラー（error）」キーを持ったプロパティが含まれる。競合する各シグナルに関し、「シグナル（signal）」キーと「シグナルラベル（signal label）」値を持つプロパティが作成される。競合するシグナルを示すアノテーションオブジェクトのラベルは、技術アナリストがデザイン分析ワークステーションを用いて指定することもできる。シグナルの伝搬は、別の技術アナリストが作成したロックされたアノテーションオブジェクトにより防止される。そのような場合、望ましくは、シグナル競合にはフラグが立てられるが、シグナル値は伝搬されない。

40

【0117】

デザイン分析ワークステーションは、相互接続されたアノテーションオブジェクトから設計情報を抽出するための機能も提供する。この設計情報の抽出は、コンポーネントと接続部のネットリストを生成するのに用いられる。ネットリストは、従来技術において周知

50

である。

【0118】

ここで用いた用語は、単に特定の実施形態を説明するためのものであって、本発明を限定することを意図したものではない。ここで用いられているように、文脈上そうでないことが明らかである場合を除き、単数形態の表現は、複数である形態をも含むことを意図するものである。さらに、本明細書に用いられている「備える」、「持つ」、「含む」、及び又は「有する」の語は、そこに記載された特徴(features)、完成体(integers)、ステップ、操作(operations)、要素(elements)、及び又はコンポーネントの存在を示すものであるが、一つ又は複数の他の特徴、完成体、ステップ、操作、要素、コンポーネント、及び又はこれらのグループの存在あるいは付加を排除するものではないことが理解されるであろう。

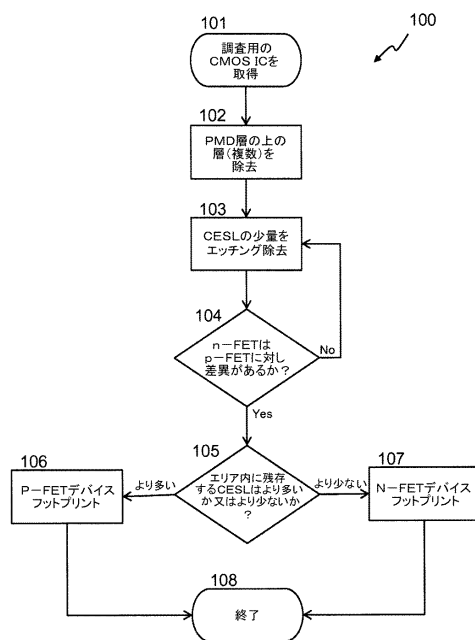
10

【0119】

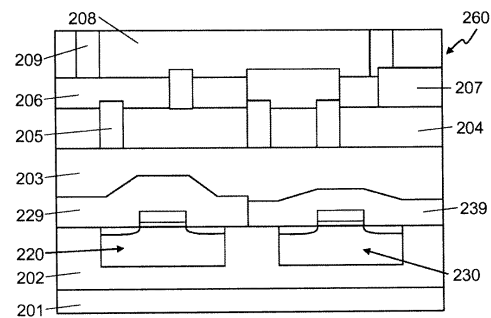
請求項における対応する構造、材料、行為、及び機能限定又は工程限定の全ての構成要素の等価物は、具体的に記載された他の請求項に記載の構成要素との組み合わせにおいてその機能を実行するための何らかの構造、機能、又は行為を含むことを意図するものである。種々の実施形態の説明は、例示及び説明を目的とするものであり、本発明を網羅的に示したものではなく、又は開示された形態に本発明を限定するものではない。本発明の範囲及び要旨を逸脱しない範囲において多くの改変及び変形が存在することは当業者にとり明らかであろう。ここに含まれる種々の実施形態は、本発明の原理及びその実用的応用を最も良く説明するため、及び、予期される特定の用途に適するように種々の修正を行った種々の実施形態に関し他の当業者が本発明を理解することができるように、選択され及び記載されたものである。

20

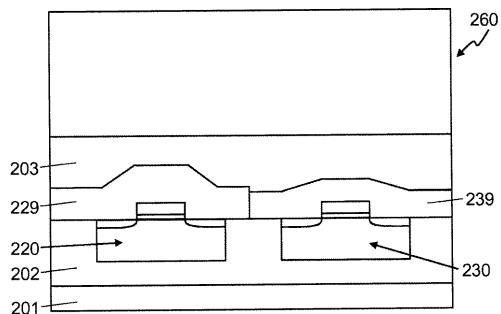
【図1】



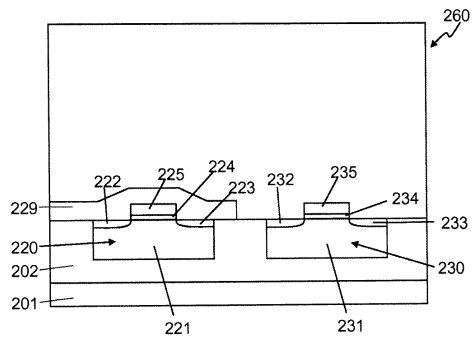
【図2A】



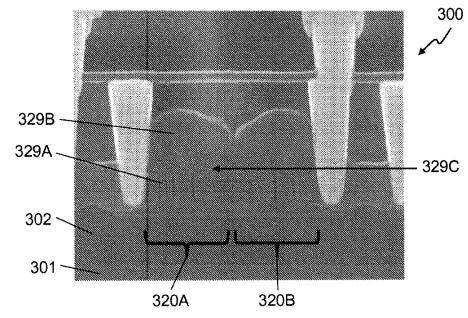
【図2B】



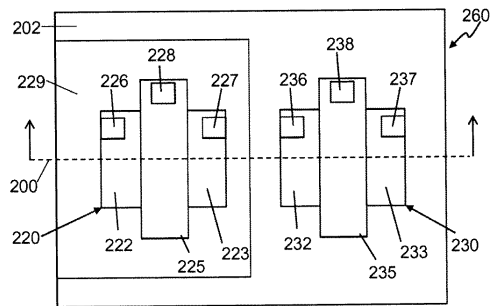
【図 2 C】



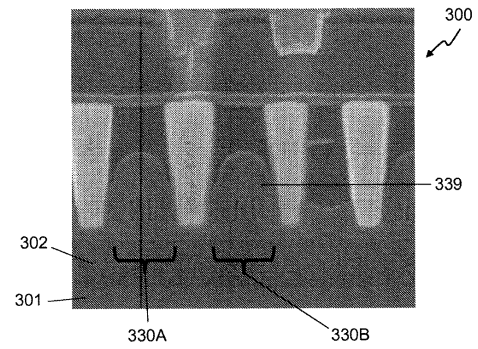
【図 3 A】



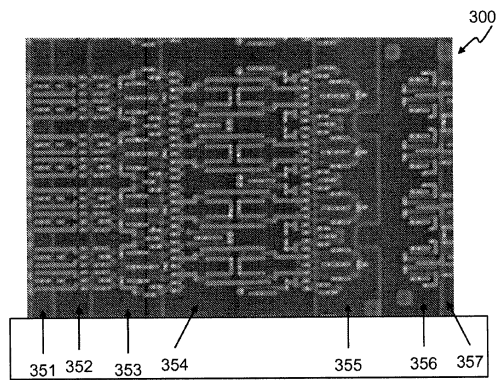
【図 2 D】



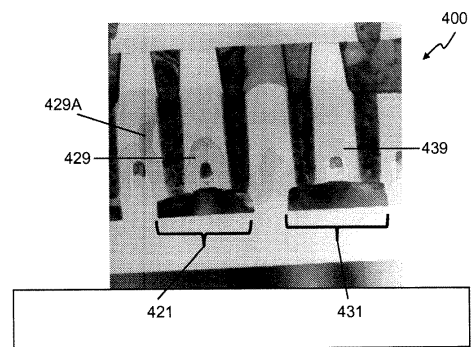
【図 3 B】



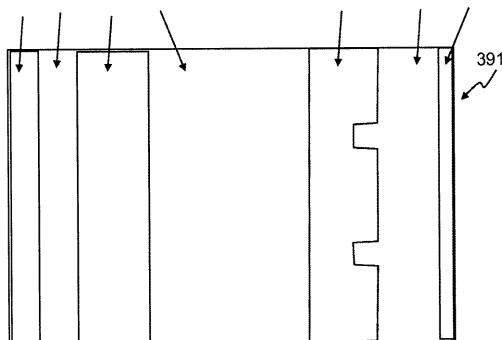
【図 3 C】



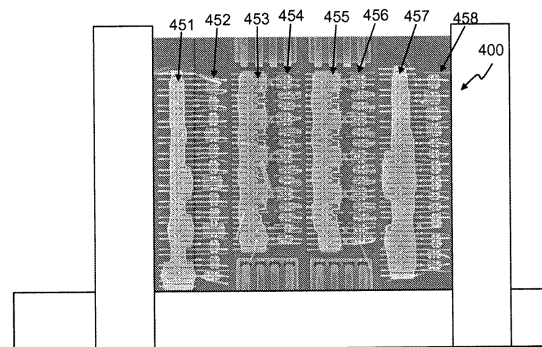
【図 4 A】



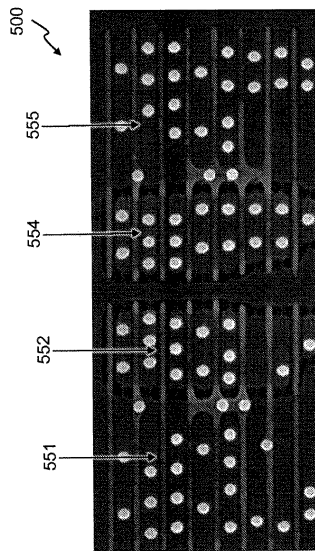
【図 3 D】



【図 4 B】



【図 5】



フロントページの続き

(72)発明者 キャンプベル ジェフリィ

カナダ国 ケー２エス １アール３ オンタリオ州 スティツビル ラベンスクロフト コート
２ ９

(72)発明者 スズカラット ロバート

カナダ国 ケー７シー ３ビー２ オンタリオ州 カールトン プレイス シダー クレスト ド
ライブ ３ ８ ５ アールアールナンバー２

審査官 正山 旭

(56)参考文献 特開平０４－１４４２４０（ＪＰ，Ａ）

特開平１１－１３５７８５（ＪＰ，Ａ）

米国特許第０４６２３２５５（ＵＳ，Ａ）

特開２０００－２６０７６８（ＪＰ，Ａ）

特開２００５－０４５００６（ＪＰ，Ａ）

特表２００４－５３６２８８（ＪＰ，Ａ）

米国特許出願公開第２００２／０１５１０９１（ＵＳ，Ａ１）

特開２００４－２００２６７（ＪＰ，Ａ）

R.Torrance et al., The State-of-the-Art in Semiconductor Reverse Engineering, DESIGN A
UTOMATION CONFERENCE (DAC), 2011 48TH ACM/EDAC/IEEE, 米国, IEEE, ２０１１年 ６月 ５
日, pp.333-338

(58)調査した分野(Int.Cl., ＤＢ名)

H01L ２１／３０８