



# (12)发明专利申请

(10)申请公布号 CN 109727863 A  
(43)申请公布日 2019.05.07

(21)申请号 201910002433.3

(22)申请日 2019.01.02

(71)申请人 北京大学深圳研究生院  
地址 518055 广东省深圳市南山区西丽深圳大学城北大园区

(72)发明人 林信南 钟皓天

(74)专利代理机构 深圳鼎合诚知识产权代理有限公司 44281  
代理人 郭燕 彭家恩

(51) Int. Cl.  
H01L 21/335(2006.01)  
H01L 29/778(2006.01)

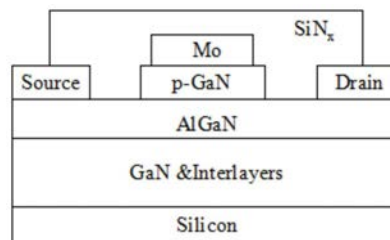
权利要求书1页 说明书3页 附图2页

## (54)发明名称

一种基于自对准工艺的AlGaN/GaN HEMT器件结构及制作方法

## (57)摘要

本发明提出一种基于自对准工艺的AlGaN/GaN HEMT器件制作方法,包括如下步骤:清洗晶圆后,通过MOCVD在硅基上淀积中间缓冲层和GaN,AlGaN和p-GaN;通过PVD及LPCVD过程淀积Mo作为栅金属,Ni和SiO<sub>x</sub>作为刻蚀保护层;通过PECVD淀积AlO<sub>x</sub>作为侧墙封包栅金属Mo;通过BCl<sub>3</sub>/Ar的ICP-RIE刻蚀工艺去除多余的AlO<sub>x</sub>;通过Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>的ICP-RIE工艺选择性刻蚀p-GaN;PVD淀积和退火过程形成源极和漏极的欧姆接触,通过BOE去除SiO<sub>x</sub>和AlO<sub>x</sub>,并采用PECVD方法淀积SiN<sub>x</sub>介质层,完成器件制作。由于整个器件制作方法中使用的工艺和条件均和SiCMOS工艺兼容,并且工艺复杂度低,可操作性强,很好的协调了器件性能和工艺复杂度之间的矛盾。



1. 一种基于自对准工艺的AlGaN/GaN HEMT器件制作方法,其特征在于包括如下步骤:

步骤1:清洗晶圆后,通过MOCVD在硅基上淀积GaN和中间缓冲层AlGaIn和p-GaN;通过PVD及LPCVD过程淀积Mo作为栅金属,Ni和SiO<sub>x</sub>作为刻蚀保护层;

步骤2:通过PECVD淀积AlO<sub>x</sub>作为侧墙封包栅金属Mo;

步骤3:通过BCl<sub>3</sub>/Ar的ICP-RIE刻蚀工艺去除多余的AlO<sub>x</sub>;

步骤4:通过Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>的ICP-RIE工艺选择性刻蚀p-GaN;

步骤5:PVD淀积和退火过程形成源极和漏极的欧姆接触,通过BOE去除SiO<sub>x</sub>和AlO<sub>x</sub>,并采用PECVD方法淀积SiN<sub>x</sub>介质层,完成器件制作。

2. 如权利要求1所述的制作方法,其特征在于,步骤1中所述GaIn层的厚度为3.2μm,AlGaIn层的厚度为12.5nm,p-GaN层的厚度为80nm,Mo层的厚度为100nm,Ni层的厚度为20nm,以及SiO<sub>x</sub>层的厚度为300nm。

3. 如权利要求1所述的制作方法,其特征在于,步骤2中所述AlO<sub>x</sub>层的厚度为50nm。

4. 如权利要求1所述的制作方法,其特征在于,步骤4中所述Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>气体流量分别为30、10、3sccm,刻蚀时间为5min。

5. 如权利要求1所述的制作方法,其特征在于,步骤5中所述SiN<sub>x</sub>介质层的厚度为100nm。

6. 如权利要求1中所述方法制备的AlGaN/GaN HEMT器件结构,其特征在于,所述结构包括衬底、缓冲层、本征GaIn层、本征AlGaIn层、p-GaN层、栅金属层、源电极、漏电极、钝化层;所述p-GaN层位于本征AlGaIn层之上,源漏电极位于本征AlGaIn层之上,栅金属层位于p-GaN层之上;在衬底上外延生长增强型AlGaN/GaN异质结材料,并在该异质结材料上形成源极和漏极,栅金属层下方存在p-GaN外延层,形成增强型器件,最后淀积钝化层实现器件的钝化。

## 一种基于自对准工艺的AlGaIn/GaN HEMT器件结构及制作方法

### 技术领域

[0001] 本发明涉及半导体器件的制造工艺,具体涉及一种基于自对准工艺的AlGaIn/GaN HEMT器件结构及制作方法。

### 背景技术

[0002] 在功率半导体器件领域,GaN材料有着广阔的前景,非常适用于制备大功率、高速、大电压的电力电子器件。AlGaIn/GaN HEMT是其中最具吸引力的器件类型,GaN/AlGaIn之间可以形成高电子浓度和高电子迁移率的二维电子气(2-DEG),而且AlGaIn/GaN HEMT器件工艺简单,适合基于多种平台进行开发,开发周期短,成本低。

[0003] 在AlGaIn/GaN HEMT器件工艺过程中,需在一层薄的AlGaIn层堆积一层厚的p-GaN层,并在p-GaN上制备栅金属层,同时,栅极区域外的p-GaN可以通过干法刻蚀去除。由于器件的二维电子气浓度与p-GaN厚度和AlGaIn的厚度有关,且AlGaIn层需要足够薄,所以在刻蚀p-GaN过程中中应精确控制刻蚀深度,最小化刻蚀工艺可能造成的对AlGaIn层的影响,维持高电子浓度。

### 发明内容

[0004] 本发明主要解决的技术问题是采用一种选择性刻蚀p-GaN的自对准工艺及相关AlGaIn/GaN HEMT器件结构,提高刻蚀p-GaN的选择性和精确度,优化AlGaIn/GaN HEMT器件的栅结构,解决p-GaN栅级HEMT器件受工艺影响导致的问题,且减少工艺步骤和工艺复杂性。

[0005] 为解决上述技术问题,本发明提出一种基于自对准工艺的AlGaIn/GaN HEMT器件制作方法,包括如下步骤:步骤1:清洗晶圆后,通过MOCVD在硅基上淀积GaN和中间缓冲层AlGaIn和p-GaN;通过PVD及LPCVD过程淀积Mo作为栅金属,Ni和SiO<sub>x</sub>作为刻蚀保护层;步骤2:通过PECVD淀积AlO<sub>x</sub>作为侧墙封包栅金属Mo;步骤3:通过BCl<sub>3</sub>/Ar的ICP-RIE刻蚀工艺去除多余的AlO<sub>x</sub>;步骤4:通过Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>的ICP-RIE工艺选择性刻蚀p-GaN;步骤5:PVD淀积和退火过程形成源极和漏极的欧姆接触,通过BOE去除SiO<sub>x</sub>和AlO<sub>x</sub>,并采用PECVD方法淀积SiN<sub>x</sub>介质层,完成器件制作。

[0006] 根据本发明的上述制作方法,本发明还提供了一种AlGaIn/GaN HEMT器件结构,所述结构包括衬底、缓冲层、本征GaN层、本征AlGaIn层、p-GaN层、栅金属层、源电极、漏电极、钝化层;所述p-GaN层位于本征AlGaIn层之上,源漏电极位于本征AlGaIn层之上,栅金属层位于p-GaN层之上;在衬底上外延生长增强型AlGaIn/GaN异质结材料,并在该异质结材料上形成源极和漏极,栅金属层下方存在p-GaN外延层,形成增强型器件,最后淀积钝化层实现器件的钝化。

[0007] 依据上述实施例的一种基于自对准工艺的AlGaIn/GaN HEMT器件结构及制作方法,由于整个器件制作方法中使用的工艺和条件均和Si CMOS工艺兼容,并且工艺复杂度低,可操作性强,很好的协调了器件性能和工艺复杂度之间的矛盾。

## 附图说明

- [0008] 图1为一种实施例的淀积栅金属和刻蚀保护层步骤示意图；  
[0009] 图2为一种实施例的淀积AlO<sub>x</sub>侧墙步骤示意图；  
[0010] 图3为一种实施例的去除多余AlO<sub>x</sub>步骤示意图；  
[0011] 图4为一种实施例的刻蚀p-GaN步骤示意图；  
[0012] 图5为一种实施例的完成器件制作步骤示意图。

## 具体实施方式

[0013] 下面通过具体实施方式结合附图对本发明作进一步详细说明。其中不同实施方式中类似元件采用了相关联的类似的元件标号。在以下的实施方式中,很多细节描述是为了使得本申请能被更好的理解。然而,本领域技术人员可以毫不费力的认识到,其中部分特征在不同情况下是可以省略的,或者可以由其他元件、材料、方法所替代。在某些情况下,本申请相关的一些操作并没有在说明书中显示或者描述,这是为了避免本申请的核心部分被过多的描述所淹没,而对于本领域技术人员而言,详细描述这些相关操作并不是必要的,他们根据说明书中的描述以及本领域的一般技术知识即可完整了解相关操作。

[0014] 另外,说明书中所描述的特点、操作或者特征可以以任意适当的方式结合形成各种实施方式。同时,方法描述中的各步骤或者动作也可以按照本领域技术人员所能显而易见的方式进行顺序调换或调整。因此,说明书和附图中的各种顺序只是为了清楚描述某一个实施例,并不意味着是必须的顺序,除非另有说明其中某个顺序是必须遵循的。

[0015] 本文中为部件所编序号本身,例如“第一”、“第二”等,仅用于区分所描述的对象,不具有任何顺序或技术含义。而本申请所说“连接”、“联接”,如无特别说明,均包括直接和间接连接(联接)。

[0016] 本申请中用到的术语定义:

[0017] 1. HEMTs:高电子迁移率晶体管;

[0018] 2. CMOS:互补半导体金属氧化物半导体;

[0019] 3. GaN:氮化镓,一种宽禁带半导体化合物,是第三代半导体的代表,非常适合大功率以及微波器件的制作;

[0020] 4. PVD:全称Physical Vapor Deposition,物理气相沉积,是半导体工艺中最常用的金属沉积的方式;

[0021] 5. LPCVD:全称Low Pressure Chemical Vapor Deposition,低压化学气相沉积,是半导体工艺中高质量介质膜沉积的主要方式之一;

[0022] 6. MOCVD:全称Metal-organic Chemical Vapor Deposition,金属有机化合物化学气相沉积,在气相外延生长(VPE)的基础上发展起来的一种新型气相外延生长技术,主要用于GaN/SiC等化合物半导体的生长;

[0023] 7. PECVD:全称Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学气相沉积,是半导体工艺中高质量介质膜沉积的主要方式之一,主要用于后段工艺护层的沉积;

[0024] 8. BOE:全称Buffered Oxide Etch,缓冲氧化物刻蚀。

[0025] 在本发明实施例中,采用一种选择性刻蚀p-GaN的自对准工艺及相关AlGaIn/GaN

HEMT器件结构,提高刻蚀p-GaN的选择性和精确度,优化AlGaIn/GaN HEMT器件的栅结构,解决p-GaN栅级HEMT器件受工艺影响导致的问题,且减少工艺步骤和工艺复杂性。

[0026] 实施例一:一种基于自对准工艺的AlGaIn/GaN HEMT器件制作方法,包括如下步骤:

[0027] 步骤1:如图1所示,清洗晶圆后,通过MOCVD在硅基上淀积GaIn和中间缓冲层AlGaIn和p-GaN;通过PVD及LPCVD过程淀积Mo作为栅金属,Ni和SiO<sub>x</sub>作为刻蚀保护层;

[0028] 步骤2:如图2所示,通过PECVD淀积AlO<sub>x</sub>作为侧墙封包栅金属Mo;

[0029] 步骤3:如图3所示,通过BCl<sub>3</sub>/Ar的ICP-RIE刻蚀工艺去除多余的AlO<sub>x</sub>;

[0030] 步骤4:如图4所示,通过Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>的ICP-RIE工艺选择性刻蚀p-GaN;

[0031] 步骤5:如图5所示,PVD淀积和退火过程形成源极和漏极的欧姆接触,通过BOE去除SiO<sub>x</sub>和AlO<sub>x</sub>,并采用PECVD方法淀积SiN<sub>x</sub>介质层,完成器件制作。

[0032] 其中,步骤1中GaIn层的厚度为3.2μm,AlGaIn层的厚度为12.5nm,p-GaN层的厚度为80nm,Mo层的厚度为100nm,Ni层的厚度为20nm,以及SiO<sub>x</sub>层的厚度为300nm。

[0033] 步骤2中AlO<sub>x</sub>层的厚度为50nm。

[0034] 步骤4中Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>气体流量分别为30、10、3sccm,刻蚀时间为5min。

[0035] 步骤5中SiN<sub>x</sub>介质层的厚度为100nm。

[0036] 依据上述实施例的制作方法,通过Cl<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub>的混合气体选择性去除p-GaN并减小刻蚀对AlGaIn层的影响。在自对准工艺中,首先进行栅极金属堆积,和p-GaN接触的栅金属同时也作为去除p-GaN的掩膜。为避免栅金属和p-GaN的反应,选择Mo作为栅金属。由于Mo易受Cl<sub>2</sub>/O<sub>2</sub>等离子体影响,因此在刻蚀过程中需将Mo封包起来。

[0037] 采用上述选择性刻蚀p-GaN自对准工艺的AlGaIn/GaN HEMT器件制作完成,后面还可根据需要进行多层布线。整个器件制作方法中使用的工艺和条件均和Si CMOS工艺兼容,并且工艺复杂度低,可操作性强,很好的协调了器件性能和工艺复杂度之间的矛盾。该工艺有较高的精确度,对p-GaN的刻蚀有较好的选择性,能够较好控制p-GaN的刻蚀深度,解决了部分p-GaN栅极AlGaIn/GaN HEMT器件受工艺影响而导致的问题。

[0038] 实施例二:

[0039] 依据实施例一的制作方法可以得到一种AlGaIn/GaN HEMT器件结构,具体包括:衬底、缓冲层、本征GaIn层、本征AlGaIn层、p-GaN层、栅金属层、源电极、漏电极、钝化层;所述p-GaN层位于本征AlGaIn层之上,源漏电极位于本征AlGaIn层之上,栅金属层位于p-GaN层之上;在衬底上外延生长增强型AlGaIn/GaN异质结材料,并在该异质结材料上形成源极和漏极,栅金属层下方存在p-GaN外延层,形成增强型器件,最后淀积钝化层实现器件的钝化。通过上述制作方法提高了刻蚀p-GaN的选择性和精确度,优化了AlGaIn/GaN HEMT器件的栅结构,有效解决了p-GaN栅级HEMT器件受工艺影响导致的问题,减少了工艺步骤和工艺复杂性,并且器件拥有良好的电学性能。

[0040] 以上应用了具体个例对本发明进行阐述,只是用于帮助理解本发明,并不用以限制本发明。对于本发明所属技术领域的技术人员,依据本发明的思想,还可以做出若干简单推演、变形或替换。

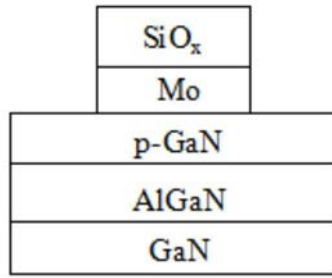


图1

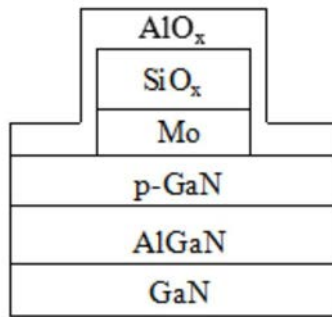


图2

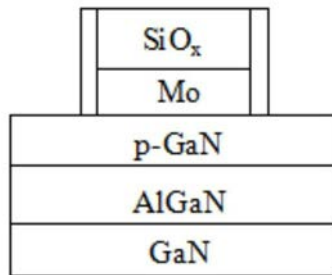


图3

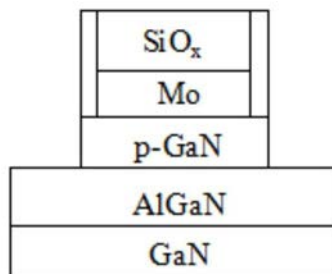


图4

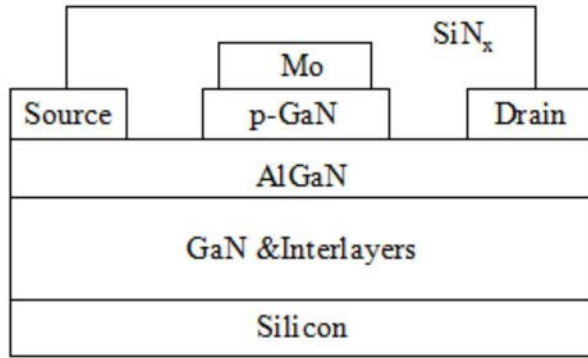


图5