



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월04일
(11) 등록번호 10-1763072
(24) 등록일자 2017년07월24일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) H01L 33/02 (2010.01)
H01L 33/14 (2010.01) H01L 33/38 (2010.01)
(52) CPC특허분류
H01L 33/0008 (2013.01)
H01L 33/02 (2013.01)
(21) 출원번호 10-2016-0071679
(22) 출원일자 2016년06월09일
심사청구일자 2016년06월09일
(56) 선행기술조사문헌
KR1020150000786 A*
KR1020140118654 A*
KR1020120011248 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
성태연
서울특별시 서초구 신반포로33길 64, 1-506호
이지윤
부산광역시 북구 금곡대로 166, 604동 1504호
(74) 대리인
특허법인 누리
(뒷면에 계속)

전체 청구항 수 : 총 12 항

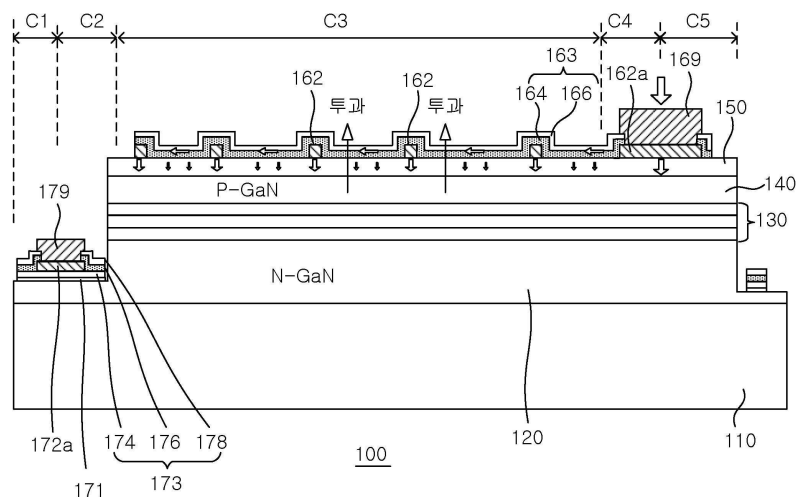
심사관 : 윤난영

(54) 발명의 명칭 광 추출 효율 및 전류 주입 효율 개선을 위한 LED 소자

(57) 요약

본 발명은 GaN 발광 다이오드 소자를 제공한다. 이 GaN 발광 다이오드 소자는 기판; 상기 기판 상에 적층된 n형 GaN 층; 상기 n형 GaN 층 상에 적층된 활성층; 상기 활성층에 적층된 p형 GaN층; 상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층; 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들; 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함한다. 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고, 상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함한다.

대표도 - 도1d



(52) CPC특허분류

H01L 33/14 (2013.01)

H01L 33/38 (2013.01)

H01L 2924/12041 (2013.01)

(72) 발명자

김대현

서울특별시 동대문구 약령사로 147, 3동 105호

김기석

경기도 화성시 동탄순환대로28길 17, 310동 1103호

명세서

청구범위

청구항 1

기관;

상기 기관 상에 적층된 n형 GaN 층;

상기 n형 GaN 층 상에 적층된 활성층;

상기 활성층에 적층된 p형 GaN층;

상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층;

상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들;

상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및

상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함하고,

상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고,

상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고,

상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함하고,

상기 상부 전류 주입 전극들은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 인 것을 특징을 하는 GaN 발광 다이오드 소자.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 전류 퍼짐층의 두께는 10 내지 50 nm이고,

상기 제1 상부 전극 패턴의 두께는 15 내지 20 nm이고,

상기 제2 상부 전극 패턴의 두께는 10 내지 50 nm인 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 4

제1 항에 있어서,

상기 전류 퍼짐층 및 상기 제2 상부 전극 패턴은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 5

기관;

상기 기관 상에 적층된 n형 GaN 층;

상기 n형 GaN 층 상에 적층된 활성층;

상기 활성층에 적층된 p형 GaN층;

상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층;

상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들;

상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및
 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함하고,
 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고,
 상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고,
 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함하고,
 상기 상부 전극 패드의 하부에 배치되는 보조 상부 전류 주입 전극을 더 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 6

제1 항에 있어서,
 상기 상부 전극 패드와 상기 전류 퍼짐층 사이에 배치된 전류 블로킹층을 더 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 7

제1 항에 있어서,
 상기 n형 GaN 층을 노출하도록 식각된 영역에 상기 n형 GaN층에 접촉하여 배치된 하부 전극 패턴; 및
 상기 하부 전극 패턴과 전기적으로 접촉하도록 배치된 하부 전극 패드를 더 포함하고,
 상기 하부 전극 패턴은:
 상기 n형 GaN층 상에 배치된 제1 하부 전극 패턴;
 상기 제1 하부 전극 패턴 상에 배치된 제2 하부 전극 패턴; 및
 상기 제2 하부 전극 패턴 상에 배치된 제3 하부 전극 패턴을 포함하고,
 상기 제2 하부 전극 패턴은 은 또는 은 합금 박막이고,
 상기 제1 하부 전극 패턴 및 상기 제3 하부 전극 패턴은 투명 전도성 금속 산화물 박막인 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 8

제7 항에 있어서,
 상기 제1 하부 전극 패턴과 상기 제2 하부 전극 패턴 사이에 서로 이격되어 배치된 복수의 하부 전류 주입 전극들을 더 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 9

기판;
 상기 기판 상에 적층된 n형 GaN 층;
 상기 n형 GaN 층 상에 적층된 활성층;
 상기 활성층에 적층된 p형 GaN층;
 상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층;
 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들;
 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및
 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함하고,
 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고,

상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고,
 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함하고,
 상기 n형 GaN 층을 노출하도록 식각된 영역에 상기 n형 GaN층에 접촉하여 배치된 하부 전극 패턴; 및
 상기 하부 전극 패턴과 전기적으로 접촉하도록 배치된 하부 전극 패드를 더 포함하고,
 상기 하부 전극 패턴은:
 상기 n형 GaN층 상에 배치된 제1 하부 전극 패턴;
 상기 제1 하부 전극 패턴 상에 배치된 제2 하부 전극 패턴; 및
 상기 제2 하부 전극 패턴 상에 배치된 제3 하부 전극 패턴을 포함하고,
 상기 제2 하부 전극 패턴은 은 또는 은 합금 박막이고,
 상기 제1 하부 전극 패턴 및 상기 제3 하부 전극 패턴은 투명 전도성 금속 산화물 박막이고,
 상기 하부 전극 패턴과 상기 노출된 n형 GaN층 사이에 배치된 오믹 접합 패턴을 더 포함하고 있는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 10

p 전극;
 상기 p 전극 상에 배치된 p형 GaN 층;
 상기 p형 GaN층 상에 배치된 활성층;
 상기 활성층 상에 배치된 n형 GaN 층;
 상기 n 형 GaN층 상에 배치되고 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층;
 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들;
 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및
 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함하고,
 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고,
 상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고,
 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함하고,
 상기 상부 전류 주입 전극들은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 구조인 것을 특징을 하는 GaN 발광 다이오드 소자.

청구항 11

삭제

청구항 12

제10 항에 있어서,
 상기 전류 퍼짐층의 두께는 10 내지 50 nm이고,
 상기 제1 상부 전극 패턴의 두께는 15 내지 20 nm이고,
 상기 제2 상부 전극 패턴의 두께는 10 내지 50 nm인 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 13

제10 항에 있어서,
 상기 전류 퍼짐층 및 상기 제2 상부 전극 패턴은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium

gallium zinc oxide) 중에서 적어도 하나를 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 14

p 전극;

상기 p 전극 상에 배치된 p형 GaN 층;

상기 p형 GaN층 상에 배치된 활성층;

상기 활성층 상에 배치된 n형 GaN 층;

상기 n 형 GaN층 상에 배치되고 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층;

상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들;

상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및

상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함하고,

상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고,

상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고,

상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함하고,

상기 상부 전극 패드의 하부에 배치되는 보조 상부 전류 주입 전극을 더 포함하는 것을 특징으로 하는 GaN 발광 다이오드 소자.

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은 발광 다이오드 소자(Light Emitting Diode device; LED device)에 관한 것이며, 보다 구체적으로 광 추출 효율 및 전류 주입 효율 향상을 위한 투명 금속 산화물/금속/투명 금속 산화물 구조에서 전류 주입 효율을 증가시키는 전류 주입 전극들을 구비한 LED 소자에 관한 것이다.

배경 기술

[0002] 발광다이오드(Light Emitting Diode, LED)는 전류가 가해지면 p, n형 반도체의 접합 부분에서 전자와 정공의 재결합에 의하여 다양한 빛을 발생시킬 수 있는 반도체 장치이다.

[0003] III-V족 질화물계 반도체 소자인 발광다이오드는 측향식(lateral) 구조를 시작으로 점차 고휘도 특성을 위한 플립-칩(flip-chip), 수직형(vertical) 구조로 발전해왔다. 특히, 차량조명 적용과 같은 고전력/고온 환경에서도 고휘도 특성을 구현하기 위해 수직형 LED의 개발이 활발하다.

[0004] 일반적인 수평형(lateral), 수직형(vertical) 구조의 LED는 광추출효율 향상을 위해, 소자의 구조 변화, 전극 구조 및 재료 변화 등 다양한 연구가 진행되고 있다.

[0005] GaN 기반 LED는 상부발광형(top emission), 플립-칩(flip-chip) 및 수직형 구조(vertical structure)로 분류된다. 이들 LED에서 구조와 형태에 무관하게 공통으로 확보되어야 하는 특성으로, 낮은 접촉저항, 균일한 전류 퍼짐, 효율적 열 발산, 그리고 광자추출효율 등이 요구된다.

[0006] LED 용 전극은 캐리어 농도를 크게 높이거나 반도체의 전기전도성에 따라 반도체보다 크거나 혹은 작은 일함수를 갖는 물질을 사용한다. 이에 따라, LED 용 전극은 반도체와 전극 사이의 계면에서의 쇼트키 장벽(Schottky Barrier)을 낮추거나 공핍 영역(Depletion area)의 넓이를 좁히도록 형성된다.

[0007] 상부 발광형 LED와 수직형 LED에서는 활성층에서 생성된 광자들이 상부의 전류 퍼짐막을 통해 소자 밖으로 빠져

나가야 한다. 이 소자들의 경우, 전류퍼짐, 투명도, 전류주입 효율은 직접적으로 소자들의 성능에 영향을 준다. 그러므로 p형 혹은 n형 GaN 반도체 소자에 대한 상부 전극은 높은 빛 투과도와 우수한 전기 전도성을 가져야 한다.

[0008] 통상적으로 상기 상부 전극은 와이어 본딩이 수행되는 전극 패드와 동일한 공정에 의하여 동시에 형성되었다. 그러나, 상기 상부 전극은 그리드 패턴 또는 빔 패턴을 가진다. 상기 상부 전극은 비투명한 Cr/Al/Ni/Au 등의 금속 재질로 구성되어 광추출효율을 감소시킨다.

[0009] 본 발명의 일 실시예에 따르면, 상부 전극 패드와 상부 전극을 분리시키고, 상기 전극 및 전류 퍼짐층 또는 전극 자체를 고투과성 금속산화물/금속/금속산화물 구조로 형성하여, LED의 광추출효율을 향상시키고자 한다.

[0010] 본 발명의 일 실시예에 따르면, 투명 상부 전극 및 복수의 닷(dot) 형태의 상부 전류 주입 전극들을 통해 LED의 광추출효율 및 전류 주입 효율이 향상될 수 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 해결하고자 하는 일 기술적 과제는 측향식(lateral) 또는 수직형(vertical) LED의 n 전극, p-전극을 금속산화물/금속/금속산화물(O/M/O) 구조로 대체하고, 함으로써 광추출효율이 개선된 LED 소자를 제공하는 것이다.

[0012] 금속산화물/금속/금속산화물(O/M/O) 구조는 청색 및 녹색 파장 영역에서 투명하여 높은 투과도와 대표적인 투명 전극인 ITO에 비해 동일 두께 대비 현저히 낮은 면저항을 가질 수 있다.

[0013] LED의 광추출효율 향상을 위해 패와 전극의 구조를 다양하게 변화시키는 연구는 많이 진행되었다. 전극의 면적을 최소화하면서도 전류 퍼짐 현상을 개선하기 위해, 다양한 메쉬(mesh) 구조 전극에 관한 연구가 진행되었다. 그러나 전극을 금속으로 사용하는 한 광흡수 문제에서 자유로울 수 없다.

[0014] 전극은 전류 퍼짐층(current spreading layer)에게 낮은 저항의 옴믹 콘택을 제공해야 한다. n-전극에서 캐리어인 전자들이 큰 이동도(mobility)를 가지고 움직이기 때문에, n- 전극은 상대적으로 저항이 높은 투명한 전도체(예: ITO, ZnO, AZO 등)로 대체될 수 있다. 그러나 p 전극에서 캐리어인 정공들은 이동도가 상대적으로 낮다. 따라서 p-전극은 보통 불투명하지만 전도성이 매우 높고, 전류 퍼짐층(current spreading layer) 및 반도체 층과 옴믹 콘택을 잘 형성하는 물질들(예: Cr, Ti, Al 등의 금속 물질)을 사용한다. 이러한 물질들은 불투명하기 때문에 전극이 있는 부분은 빛이 나올 수 없어, LED의 광추출 효율을 떨어뜨린다.

[0015] O/M/O 구조는 투명하여 높은 투과도를 가지고 투명 전극인 ITO에 비해 동일 두께 대비 현저히 낮은 면저항을 가진다. 하지만 O/M/O 구조는 양호한 전류 퍼짐 효과를 제공하나, 낮은 전류 주입 특성을 가진다. 따라서, O/M/O 구조에서, 불투명한 복수의 닷(dot) 형태의 전류 주입 전극들을 배치하여, 전류 주입 특성이 향상될 수 있다.

과제의 해결 수단

[0016] 본 발명의 일 실시예에 따른 GaN 발광 다이오드 소자는 기판; 상기 기판 상에 적층된 n형 GaN 층; 상기 n형 GaN 층 상에 적층된 활성층; 상기 활성층에 적층된 p형 GaN층; 상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층; 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들; 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함한다. 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고, 상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함한다.

[0017] 본 발명의 일 실시예에 있어서, 상기 상부 전류 주입 전극들은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 일 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 전류 퍼짐층의 두께는 10 내지 50 nm이고, 상기 제1 상부 전극 패턴의 두께는 15 내지 20 nm이고, 상기 제2 상부 전극 패턴의 두께는 10 내지 50 nm일 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 전류 퍼짐층 및 상기 제2 상부 전극 패턴은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함할 수 있다.

- [0020] 본 발명의 일 실시예에 있어서, 상기 상부 전극 패드의 하부에 배치되는 보조 상부 전류 주입 전극을 더 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 상부 전극 패드와 상기 전류 퍼짐층 사이에 배치된 전류 블로킹층을 더 포함할 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 n형 GaN 층을 노출하도록 식각된 영역에 상기 n형 GaN층에 접촉하여 배치된 하부 전극 패턴; 및 상기 하부 전극 패턴과 전기적으로 접촉하도록 배치된 하부 전극 패드를 더 포함할 수 있다. 상기 하부 전극 패턴은 상기 n형 GaN층 상에 배치된 제1 하부 전극 패턴; 상기 제1 하부 전극 패턴 상에 배치된 제2 하부 전극 패턴; 및 상기 제2 하부 전극 패턴 상에 배치된 제3 하부 전극 패턴을 포함할 수 있다. 상기 제2 하부 전극 패턴은 은 또는 은 합금 박막이고, 상기 제1 하부 전극 패턴 및 상기 제3 하부 전극 패턴은 투명 전도성 금속 산화물 박막일 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제1 하부 전극 패턴과 상기 제2 하부 전극 패턴 사이에 서로 이격되어 배치된 복수의 하부 전류 주입 전극들을 더 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 하부 전극 패턴과 상기 노출된 n형 GaN층 사이에 배치된 오믹 접촉 패턴을 더 포함할 수 있다.
- [0025] 본 발명의 일 실시예에 따른 GaN 발광 다이오드 소자는 p 전극; 상기 p 전극 상에 배치된 p형 GaN 층; 상기 p형 GaN층 상에 배치된 활성층; 상기 활성층 상에 배치된 n형 GaN 층; 상기 n형 GaN층 상에 배치되고 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층; 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들; 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패턴; 및 상기 상부 전극 패턴과 전기적으로 연결하는 상부 전극 패드를 포함한다. 상기 상부 전극 패턴은 차례로 적층된 제1 상부 전극 패턴 및 제2 상부 전극 패턴을 포함하고, 상기 제1 상부 전극 패턴은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패턴은 투명 전도성 금속 산화물 박막을 포함한다.
- [0026] 본 발명의 일 실시예에 있어서, 상기 상부 전류 주입 전극들은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 구조일 수 있다.
- [0027] 본 발명의 일 실시예에 있어서, 상기 전류 퍼짐층의 두께는 10 내지 50 nm이고, 상기 제1 상부 전극 패턴의 두께는 15 내지 20 nm이고, 상기 제2 상부 전극 패턴의 두께는 10 내지 50 nm일 수 있다.
- [0028] 본 발명의 일 실시예에 있어서, 상기 전류 퍼짐층 및 상기 제2 상부 전극 패턴은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0029] 본 발명의 일 실시예에 있어서, 상기 상부 전극 패드의 하부에 배치되는 보조 상부 전류 주입 전극을 더 포함할 수 있다.
- [0030] 본 발명의 일 실시예에 따른 GaN 발광 다이오드 소자는 n형 GaN 층; 상기 n형 GaN 층 상에 적층된 활성층; 상기 활성층에 적층된 p형 GaN층; 상기 n형 GaN층에 전류를 인가하는 n 전극; 및 상기 p형 GaN층에 전류를 인가하는 p 전극을 포함한다. 상기 n 전극 또는 상기 p 전극은 제1 투명 전도성 금속 산화물층, 상기 투명 전도성 금속 산화물층 상에 적층된 금속층, 및 상기 금속층 상에 적층된 제2 투명 전도성 금속 산화물층을 포함한다. 금속 재질의 전류 주입 전극들이 상기 제1 투명 전도성 금속 산화물층과 상기 금속층 사이에 상기 n 전극 또는 상기 p 전극의 연장 방향을 따라 서로 이격되어 배치된다.

발명의 효과

- [0031] 본 발명의 일 실시예에 따르면, 전류 퍼짐층과 전극 패턴은 O/M/O 구조를 제공하고 이러한 O/M/O 구조는 낮은 면저항을 유지하면서 85 퍼센트 이상의 투과도를 제공할 수 있다. O/M/O 구조의 고투과도 및 낮은 면저항의 장점과 O/M/O 구조의 단점인 낮은 전류 주입 효율을 보완하는 마이크로미터 크기의 전류 주입 전극들을 O/M/O 구조에 내재(embedded)하도록 배치하여 광추출효율 및 전류 주입 효율을 개선할 수 있다.

도면의 간단한 설명

- [0032] 도 1a는 본 발명의 일 실시예에 따른 GaN 발광 다이오드 소자를 설명하는 평면도이다.
도 1b는 도 1a의 A-A' 선을 따라 자른 단면도이다.

도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.

도 1d는 도 1a의 C-C' 선을 따라 자른 단면도이다.

도 2a 내지 도 2i는 도 1a의 수평형 LED 소자의 제조 방법을 설명하는 도면들이다.

도 3은 본 발명의 다른 실시예에 따른 수평형 LED 소자를 나타내는 단면도이다.

도 4a는 본 발명의 또 다른 실시예에 따른 수직형 LED 소자를 나타내는 평면도이다.

도 4b는 도 4a의 D-D' 선을 따라 자른 단면도이다.

도 5a 내지 도 5f는 본 발명의 또 다른 실시예에 따른 수직형 GaN LED의 제조 방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0033] O/M/O 구조에서 금속 산화물 물질은 보통 IT0, TiO₂, SnO₂, ZnO, AZO, 또는 Y₂O₃ 등의 고 굴절률 물질이고, 금속 물질은 은(Ag) 또는 은 합금(Ag Alloy) 등 가시광 영역에서 낮은 흡수계수를 가지는 물질들을 포함한다. 금속 산화물층과 금속층 각각의 두께를 조절하여, 특정 파장 영역(Red, Green, Blue)에서 높은 투과도 갖도록 설계할 수 있다.
- [0034] 수평형(Lateral) LED에서 p-전극의 바로 밑에 위치한 전류 퍼짐층(current spreading layer)은 O/M/O 구조의 투명 전도성 금속 산화물(Transparent Conductive Metal Oxide)를 사용한다. 투명 전도성 금속 산화물로는 IT0, SnO₂, 또는 ZnO 등이 있다. 따라서 p-전극을 O/M/O 구조로 대체할 경우, 전류 퍼짐층(current spreading layer)은 O/M/O 구조의 제1 아래층의 투명 전도성 금속 산화물로 사용할 수 있다.
- [0035] 본 발명의 일 실시예에 따르면, 수평형(lateral), 수직형(vertical) LED의 n-전극을 O/M/O 구조로 사용할 경우, 세 층이 사용된다. 이때, n형 반도체 층과 오믹 접합을 형성하기 위해 O/M/O 구조 아래에 일함수(work function)가 작은 Ti, Cr, Al, 또는 W 등의 물질로 구성된 오믹 접합층(Ohmic contact layer)이 추가할 수 있다.
- [0036] 본 발명의 일 실시예에 따르면, O/M/O 구조의 전극은 투명하기 때문에, 두께나 전극 핑거(electrode finger)의 개수에 제한이 없다. 전극은 더 두꺼울수록, 핑거의 개수가 더 많을수록 전류 퍼짐 효과가 증가할 수 있다.
- [0037] 그러나 O/M/O 구조는 면저항이 낮아 전류 퍼짐(current spreading)이 잘 된다는 장점을 가진다. 하지만, O/M/O 구조는 전류 주입(current injection)이 잘 되지 않는다는 단점을 가진다. 이에 따라 LED의 전극의 끝 부분까지 전류 주입이 잘 되지 않아, 발광이 끝까지 되지 않아 광추출효율 면에서 떨어진다.
- [0038] 본 발명의 일 실시예에 따르면, O/M/O 구조의 전극을 따라 사이사이에 닷(dot) 형태의 저항이 낮은 전류 주입 전극들이 배치됨에 따라, 전극의 끝 부분까지 전류 주입이 원활히 수행되고, 전류 주입 전극들은 불투명하나, 전류 주입 전극들을 제외한 부분 O/M/O 전극은 투명하다. 따라서, 광추출효율이 증가할 수 있다.
- [0039] 전류 주입 전극들 사이의 간격은 전극 핑거의 끝 부분으로 갈수록 더 가까워지도록 설정될 수 있고, 이에 따라, 상기 전극 핑거의 끝 까지 전류가 공간적으로 분배되어 주입될 수 있다.
- [0040] 본 발명의 일 실시예에 따르면, 전류 주입 전극들을 구비한 O/M/O 전극은 n 전극에도 적용 가능하며 수평형 및 수직형 LED에 모두 적용될 수 있다.
- [0041] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게 설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [0042] 도 1a는 본 발명의 일 실시예에 따른 GaN 발광 다이오드 소자를 설명하는 평면도이다.
- [0043] 도 1b는 도 1a의 A-A' 선을 따라 자른 단면도이다.

- [0044] 도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.
- [0045] 도 1d는 도 1a의 C-C' 선을 따라 자른 단면도이다.
- [0046] 도 1a 내지 도 1d를 참조하면, 상기 GaN 발광 다이오드 소자(100)는 기판(110); 상기 기판(110) 상에 적층된 n형 GaN 층(120); 상기 n형 GaN 층(120) 상에 적층된 활성층(130); 상기 활성층(130)에 적층된 p형 GaN층(140); 상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층(150); 상기 전류 퍼짐층(150) 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들(162); 상기 상부 전류 주입 전극들(162)을 덮도록 연장되는 상부 전극 패턴(163); 및 상기 상부 전극 패턴(163)과 전기적으로 연결하는 상부 전극 패드(169)를 포함한다.
- [0047] 상기 상부 전극 패턴(163)은 차례로 적층된 제1 상부 전극 패턴(164) 및 제2 상부 전극 패턴(164)을 포함한다. 상기 제1 상부 전극 패턴(164)은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패턴(166)은 투명 전도성 금속 산화물 박막을 포함한다.
- [0048] 상기 기판(110)은 c-평면 사파이어 기판, GaN 기판, 또는 실리콘 카바이드(SiC) 기판일 수 있다. 상기 사파이어 기판은 격자 부정합에 의한 흡절을 감소시키기 위하여 상기 사파이어 기판 상에 GaN 버퍼층(미도시)이 형성될 수 있다.
- [0049] 상기 GaN 버퍼층 상에 수 마이크로미터 수준의 두꺼운 n형 GaN 층(120)이 성장될 수 있다. n형 분순물은 실리콘(Si)일 수 있다.
- [0050] 상기 n형 GaN 층(120) 상에 활성층(130)이 증착될 수 있다. 상기 활성층(130)은 이중 이중구조(double heterostructure), 단일 양자 우물(single quantum well), 또는 다중 양자 우물(multiple quantum wells)일 수 있다. 청색 또는 녹색 LED의 경우, 상기 다중 양자 우물은 InGaN/GaN 구조일 수 있다. 자외선의 경우, 상기 다중 양자 우물은 AlGaIn/InGaIn 구조일 수 있다.
- [0051] 상기 활성층(130) 상에 전자 블록층(electron blocking layer)이 추가적으로 배치될 수 있다. 상기 전자 블록층(미도시)은 전자 누설 전류가 홀 누설 전류보다 크기 때문에 전자 전류를 차단할 수 있다. 상기 전자 블록층은 AlGaIn층일 수 있다.
- [0052] p형 GaN층(140)이 상기 전자 블록층 또는 상기 활성층(130) 상에 형성될 수 있다. p형 불순물은 Mg일 수 있다.
- [0053] 상기 p형 GaN층(140) 상에 전류 퍼짐층(electron spreading layer)이 배치될 수 있다. 상기 전류 퍼짐층(150)은 투명 전도성 금속 산화물일 수 있다. 상기 전류 퍼짐층(150)은 전류를 균일하게 상기 p형 GaN층(140)에 제공하여 상기 활성층(130)의 전 영역에서 발광을 제공할 수 있다. 상기 전류 퍼짐층(150)으로 ITO(Indium Thin Oxide)가 일반적으로 많이 사용되고 있다. 상기 전류 퍼짐층(150)은 투명한 특성, 충분히 낮은 면저항(sheet resistance) 특성, 및 상기 p형 GaN층과 오믹 접합을 형성할 수 있는 특성을 가지는 것이 바람직하다. 상기 전류 퍼짐층(150)의 저항을 감소시키기 위하여 상기 전류 퍼짐층(150)의 두께를 증가시키는 경우, 투명성이 감소하나 전류 퍼짐 특성은 향상될 수 있다. 따라서, 투명성과 전류 퍼짐 특성을 동시에 만족하기 어렵다.
- [0054] 복수의 상부 전류 주입 전극들(162)은 상기 전류 퍼짐층(150) 상에 배치될 수 있다. 상기 상부 전류 주입 전극들(162)은 불투명한 금속 전극으로 마이크로미터 사이즈를 가지는 복수의 금속 닷(metal dots)일 수 있다. 상기 상부 전류 주입 전극들(162)은 전극 배선을 따라 일정한 간격을 가지고 배치될 수 있다. 상기 상부 전류 주입 전극들(162)은 O/M/O 구조에서 하부 투명 전도성 금속 산화물층(또는 전류 퍼짐층)과 금속층 사이에 배치된다. 상기 상부 전류 주입 전극들(162)은 각각의 배치되는 위치에서 전류 주입 효율을 증가시킬 수 있다. 상기 상부 전류 주입 전극들(162)의 형상은 원형 또는 다각형 형상이고, 상기 상부 전극 패턴의 연장 방향을 따라 서로 이격되어 배치될 수 있다. 상기 상부 전류 주입 전극들(162)은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 일 수 있다. 상기 상부 전류 주입 전극들(162)의 개수는 상기 상부 전류 주입 전극들의 면적을 모두 합한 총 면적이 상기 상부 전극 패턴의 면적의 50 퍼센트 이내에서 적절히 선택될 수 있다. 상기 상부 전류 주입 전극(162)의 폭 및 길이는 상기 상부 전극 패턴(163)의 폭보다 작을 수 있다. 상기 상부 전류 주입 전극들(162)은 상기 상부 전극 패턴(163)을 따라 제1 방향으로 정렬될 수 있다.
- [0055] 통상적으로 상기 전류 퍼짐층 상에 상부 전극이 배치된 경우, 상기 상부 전극은 금속으로 형성되고 전극으로 기능하면서 동시에 와이어 연결을 위한 전극 패드로 동작할 수 있다. 그러나, 이 경우, 전극은 투명하지 않아 광 추출 효율을 감소시킨다. 따라서, 광 추출 효율을 증가시킬 수 있는 새로운 전극 구조가 요구된다.

- [0056] 상기 상부 전극 패턴(163)은 상기 상부 전류 주입 전극들(162)을 차례로 덮도록 연장되고 라인 패턴일 수 있다. 상기 상부 전극 패턴(163)은 상기 전류 퍼짐층(150) 상에서 빗(comb) 형상과 같이 형성되어 균일하게 전류를 분배할 수 있다. 상기 상부 전극 패턴(163)은 충분히 낮은 면저항을 가지며 충분한 투명성을 제공할 수 있다.
- [0057] 구체적으로, 상기 전류 퍼짐층(150)은 수십 nm 수준으로 충분히 얇도록 형성되어 충분한 투과성을 가질 수 있다. 한편, 상기 전류 퍼짐층(150)의 전류 퍼짐 특성을 증가시키기 위하여, 상기 상부 전극 패턴(163)이 상기 전류 퍼짐층(150) 상에 배치될 수 있다. 상기 상부 전극 패턴(163)은 투명한 다층 구조를 가질 수 있다. 상기 상부 전극 패턴(163)은 차례로 적층된 제1 상부 전극 패턴(162) 및 제2 상부 전극 패턴(162)을 포함한다. 상기 제1 상부 전극 패턴(162)은 투명성을 제공할 수 있도록 충분히 얇은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패턴(164)은 투명 전도성 금속 산화물 박막을 포함한다. 은 합금은 은과 알루미늄의 합금일 수 있다. 상기 제2 상부 전극 패턴(164)과 상기 전류 퍼짐층(150)은 상기 제1 상부 전극 패턴(164)을 개재하여 O/M/O 샌드위치 구조를 가질 수 있다.
- [0058] 즉, 전류 퍼짐층(150)과 상기 상부 전극 패턴(163)은 금속산화막/금속/금속산화막 (O/M/O) 구조를 가질 수 있다. 이에 따라, 상기 상부 전극 패턴(163)과 그 하부의 전류 퍼짐층(150)은 낮은 면저항을 제공하고 청색 및 녹색 영역에 대하여 투명성을 제공할 수 있다. 상기 전류 퍼짐층(150) 및 상기 제2 상부 전극 패턴(166)은 IT0(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함할 수 있다. 상기 전류 퍼짐층(150)의 두께는 10 내지 50 nm이고, 상기 제1 상부 전극 패턴(164)의 두께는 15 내지 20 nm이고, 상기 제2 상부 전극 패턴(166)의 두께는 10 내지 50 nm일 수 있다. 즉, 상기 상부 전극 패턴(163)이 없는 영역의 전류 퍼짐층은 20 nm 이하의 충분히 낮은 두께를 가지고 있어 충분한 투명성을 제공한다. 상기 상부 전극 패턴(163)이 존재하는 영역에서는 O/M/O 구조에 의하여 관심 파장 대역에서 85 퍼센트 이상의 투과도를 제공한다. 또한, O/M/O 구조는 충분히 낮은 면저항 및 전류 퍼짐 효과를 제공할 수 있다. 이에 따라, LED 소자의 광 추출 효율이 증가될 수 있다. 상기 상부 전류 주입 전극들(162)은 서로 이격되어 상기 전류 퍼짐층(150)과 상기 제1 상부 전극 패턴(164) 사이에 개재되어 전류를 그 하부의 전류 퍼짐층 및 p형 GaN층에 주입할 수 있다.
- [0059] 상부 전극 패드(169)는 상기 상부 전극 패턴(163)과 전기적으로 연결될 수 있다. 상기 상부 전극 패드(169)는 평면도 상에서 우측에 배치될 수 있다. 상기 상부 전극 패드(169)는 Ti, Al, Cr, Au, Ti/Al, Ni/Au, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 일 수 있다. 상기 상부 전극 패드(169)는 와이어링에 의하여 외부 회로와 연결될 수 있다. 상기 상부 전극 패드(169)는 전기적으로 와이어링을 위하여 배치되고, 상기 상부 전극 패드(169)는 Cr/Al/Ni/Au 구조, Cr/Ni/Au 구조, 또는 Ni/Au 구조일 수 있다.
- [0060] 보조 상부 전류 주입 전극(162a)은 상기 상부 전극 패드(169)의 하부에 추가적으로 배치될 수 있다. 상기 보조 상부 전류 주입 전극(162)은 상부 전류 주입 전극(162)의 동일한 구조일 수 있다.
- [0061] 하부 전극 패턴(173)은 상기 n형 GaN 층(120)을 노출하는 식각된 영역에 상기 n형 GaN층(120)에 직접 또는 오픈 접합 패턴(171)을 개재하여 배치될 수 있다. 상기 하부 전극 패턴(173)은 메사 식각에 의하여 노출된 n형 GaN층 상에 배치되고, 상기 하부 전극 패턴은 제1 방향으로 연장되는 트렌치(182)를 따라 연장될 수 있다. 또한, 상기 하부 전극 패턴(173)은 소자의 가장 자리를 따라 배치될 수 있다.
- [0062] 상기 하부 전극 패턴(173)은 상기 n형 GaN층 상에 배치된 제1 하부 전극 패턴(174); 상기 제1 하부 전극 패턴 상에 배치된 제2 하부 전극 패턴(176); 및 상기 제2 하부 전극 패턴 상에 배치된 제3 하부 전극 패턴(178)을 포함할 수 있다. 상기 제1 하부 전극 패턴(174), 상기 제2 하부 전극 패턴(176), 및 상기 제3 하부 전극 패턴(178)은 라인 패턴을 가지고 수직으로 정렬될 수 있다.
- [0063] 상기 제2 하부 전극 패턴(176)은 은 또는 은 합금 박막이고, 상기 제1 하부 전극 패턴(174) 및 상기 제3 하부 전극 패턴(178)은 투명 전도성 금속 산화물 박막일 수 있다.
- [0064] 트렌치(182)는 상기 p형 GaN 층 및 상기 활성층을 관통하고 상기 n형 GaN의 일부를 식각하여 형성된다. 상기 하부 전극 패턴(173)은 상기 트렌치(182)에서 상기 n형 GaN(172)에 상에 배치될 수 있다.
- [0065] 하부 전극 패드(179)는 Ti/Al 구조 또는 Ti/Al/Ni/Au 구조일 수 있다. 하부 전극 패드(179)는 상기 하부 전극 패턴(173)과 전기적으로 접촉하도록 배치될 수 있다. 상기 하부 전극 패드(179)는 와이어에 의하여 외부 회로와 전기적으로 연결될 수 있다.
- [0066] 복수의 하부 전류 주입 전극들(172)은 상기 제1 하부 전극 패턴(174)과 상기 제2 하부 전극 패턴(176) 사이에서

제1 방향을 따라 서로 이격되어 배치될 수 있다. 상기 하부 전류 주입 전극들(172)은 상기 하부 전극 패턴(173)이 연장되는 제1 방향으로 서로 이격되어 배열될 수 있다.

[0067] 상기 하부 전류 주입 전극들(173)은 LED 소자(100)의 중심을 따라 제1 방향으로 가로지는 트렌치의 하부면을 따라 제1 방향으로 연장되는 상기 하부 전극 패턴(173) 내에만 배치될 수 있다. 상기 하부 전류 주입 전극들(172)의 크기는 상기 하부 전극 패턴(173)의 폭보다 작을 수 있다.

[0068] 오믹 접합 패턴(171)은 상기 n형 GaN층(120)과 상기 하부 전극 패턴(173) 사이에 배치될 수 있다. 이에 따라, 상기 오믹 접합 패턴(171)은 상기 하부 전극 패턴(173)과 정렬하는 라인 패턴일 수 있다. 상기 오믹 접합 패턴(173)의 재질은 일함수가 작은 Ti, Cr, Al, W 중에서 적어도 하나를 포함할 수 있다.

[0069] 보조 하부 전류 주입 전극(172a)은 상기 하부 전극 패드(179)의 하부에 추가적으로 배치될 수 있다. 상기 보조 하부 전류 주입 전극(172a)은 상기 하부 전류 주입 전극(172)과 동일한 구조이고 동시에 형성될 수 있다. 상기 하부 전극 패드(179)가 배치되는 위치에서, 오믹 접합패턴/제1 하부 전극 패턴/하부 전류 주입 전극/하부 전극 패드의 구조가 제공될 수 있다. 상기 하부 전류 주입 전극이 배치되는 위치에서, 오믹 접합패턴/제1 하부 전극 패턴/하부 전류 주입 전극/제2 하부 전극 패턴/제3 하부 전극 패턴의 구조가 제공될 수 있다.

[0070] 도 2a 내지 도 2i는 도 1a의 수평형 LED 소자의 제조 방법을 설명하는 도면들이다.

[0071] 도 2a를 참조하면, 기판(110) 상에 n형 GaN층(120), 활성층(130), p형 GaN층(140)이 형성된다. 반도체층들은 MOCVD 방법으로 형성될 수 있다. 상기 p형 GaN층(140)이 형성된 기판 상에 전류 퍼짐층(150)이 증착된다. 상기 전류 퍼짐층(150)은 투명 전도성 금속 산화물일 수 있다.

[0072] 마스크를 사용하여 상기 전류 퍼짐층, 상기 p형 GaN층, 및 상기 활성층을 메사 식각하여 상기 n형 GaN층을 노출시킨다. 상기 메사 식각에 의하여, 제1 방향으로 연장되는 트렌치(182) 및 상기 LED 소자의 가장자리 영역이 형성된다.

[0073] 도 2b를 참조하면, 리프트 오프 공정을 이용하여 상기 노출된 n형 GaN층 상에 오믹 접합 패턴(172)이 형성될 수 있다. 상기 오믹 접합 패턴(172)은 상기 트렌치(182)를 따라 연장되는 라인 패턴일 수 있다.

[0074] 도 2c를 참조하면, 리프트 오프 공정을 이용하여 상기 오믹 접합 패턴(171) 상에 제1 하부 전극 패턴(174)이 형성될 수 있다. 상기 제1 하부 전극 패턴(174)의 재질은 투명 전도성 금속 산화물일 수 있다.

[0075] 도 2d를 참조하면, 리프트 오프 공정을 이용하여 상기 제1 하부 전극 패턴(174) 상에 보조 하부 전류 주입 전극(172a) 및 하부 전류 주입 전극들(172)이 형성될 수 있다. 상기 보조 하부 전류 주입 전극(172a)은 하부 전극 패드(179)와 정렬될 수 있다. 상기 하부 전류 주입 전극들(172)은 상기 오믹 접합 패턴 또는 상기 제1 하부 전극 패턴(174)을 따라 일정한 간격을 가지고 배치될 수 있다. 특히, 상기 하부 전류 주입 전극들(172)은 상기 트렌치에서 상기 제1 하부 전극 패턴(174)을 따라 일정한 간격을 가지고 배치될 수 있다.

[0076] 도 2e를 참조하면, 리프트 오프 공정을 이용하여 상기 제1 하부 전극 패턴(174) 및 상기 하부 전류 주입 전극들(172) 상에 제2 하부 전극 패턴(176)이 형성될 수 있다. 상기 제2 하부 전극 패턴(176)은 상기 보조 하부 전류 주입 전극 상에는 형성되지 않을 수 있다. 상기 제2 하부 전극 패턴(176)은 은 또는 은합금일 수 있다.

[0077] 이어서, 리프트 오프 공정을 이용하여 상기 제2 하부 전극 패턴(176) 상에 제3 하부 전극 패턴(178)이 형성될 수 있다. 상기 제3 하부 전극 패턴(178)은 투명 전도성 금속 산화물일 수 있다.

[0078] 도 2f를 참조하면, 리프트 오프 공정을 이용하여 상기 보조 하부 전류 주입 전극(172a) 상에 하부 전극 패드(179)가 형성될 수 있다.

[0079] 도 2g를 참조하면, 리프트 오프 공정을 이용하여, 상기 전류 퍼짐층(150) 상에 보조 상부 전류 주입 전극(162a) 및 상부 전류 주입 전극들(162)이 형성될 수 있다.

[0080] 도 2h를 참조하면, 리프트 오프 공정을 이용하여, 상기 상부 전류 주입 전극들(162)을 덮도록 제1 상부 전극 패턴(164)이 형성될 수 있다. 상기 제1 상부 전극 패턴(164)은 은(Ag) 또는 은 합금 박막일 수 있다. 상기 제1 상부 전극 패턴(164)은 제1 방향으로 연장되는 라인 패턴을 포함할 수 있다. 상기 제1 상부 전극 패턴(164)은 상기 보조 하부 전류 주입 전극(162a) 상에 형성되지 않는다.

[0081] 도 2i를 참조하면, 리프트 오프 공정을 이용하여, 상기 제1 상부 전극 패턴(164) 상에 제2 상부 전극 패턴(166)이 형성된다. 상기 제2 상부 전극 패턴(166)은 상기 보조 하부 전류 주입 전극 상에 형성되지 않는다.

- [0082] 다시 도 1d를 참조하면, 리프트 오프 공정을 이용하여, 상기 보조 하부 전류 주입 전극(162a) 상에 상부 전극 패드(169)가 형성된다. 상기 상부 전극 패드(169)로 주입된 전류는 상기 상부 전극 패드(163)을 따라 주로 흐르고, 상기 하부 전류 주입 전극들(162)에 의하여 그 하부의 전류 퍼짐층(150)으로 주입된다.
- [0083] 도 3은 본 발명의 다른 실시예에 따른 수평형 LED 소자를 나타내는 단면도이다.
- [0084] 도 1 및 도 3을 참조하면, 상기 GaN 발광 다이오드 소자(200)는 n형 GaN 층(120); 상기 n형 GaN 층 상에 적층된 활성층(130); 상기 활성층에 적층된 p형 GaN층(140); 상기 n형 GaN층에 전류를 인가하는 n 전극(173); 및 상기 p형 GaN층에 전류를 인가하는 p 전극(163)을 포함한다. 상기 n 전극(173) 또는 상기 p 전극(163)은 제1 투명 전도성 금속 산화물층, 상기 투명 전도성 금속 산화물층 상에 적층된 금속층, 및 상기 금속층 상에 적층된 제2 투명 전도성 금속 산화물층을 포함한다. 금속 재질의 전류 주입 전극들(162,172)이 상기 제1 투명 전도성 금속 산화물층과 상기 금속층 사이에 상기 n 전극 또는 상기 p 전극의 연장 방향을 따라 서로 이격되어 배치된다. 전류 주입 전극들(162,172)은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 일 수 있다.
- [0085] 본 발명의 변형된 실시예에 따르면, 상기 GaN 발광 다이오드 소자(200)는 기판(110); 상기 기판 상에 적층된 n형 GaN 층(120); 상기 n형 GaN 층(120) 상에 적층된 활성층(130); 상기 활성층(130)에 적층된 p형 GaN층(140); 상기 p형 GaN층 상에 적층된 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층(150); 상기 전류 퍼짐층(150) 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들(162); 상기 상부 전류 주입 전극들(162)을 덮도록 연장되는 상부 전극 패드(163); 및 상기 상부 전극 패드(163)과 전기적으로 연결하는 상부 전극 패드(169)를 포함한다.
- [0086] 전류 블로킹층(current blocking layer, 151)은 상기 상부 전극 패드(163)와 상기 전류 퍼짐층(150) 사이에 배치될 수 있다. 더 구체적으로, 상기 전류 블로킹층(151)은 상기 전류 퍼짐층(150)과 상기 보조 상부 전류 주입 전극(162a) 사이에 배치될 수 있다. 이에 따라, 상기 전류 블로킹층(151)은 그 하부의 전류 퍼짐층으로 전류의 주입을 억제하고 상기 상부 전극 패드(163)을 따라 전류를 제공할 수 있다. 상기 전류 블로킹층(151)은 실리콘 산화막(SiO₂) 또는 타이타늄 산화막(TiO₂)일 수 있다. 상기 전류 블로킹층(151)은 저항이 높은 절연층으로 전류가 전극 핑거를 따라 골고루 퍼지는 효과를 제공할 수 있다. 상기 전류 블로킹층(151)의 두께는 수십 nm 이하일 수 있다. 이에 따라, 공간적으로 균일한 전류 주입이 제공될 수 있다.
- [0087] 도 4a는 본 발명의 또 다른 실시예에 따른 수직형 LED 소자를 나타내는 평면도이다.
- [0088] 도 4b는 도 4a의 D-D' 선을 따라 자른 단면도이다.
- [0089] 도 4a 및 도 4b를 참조하면, 상기 수직형 LED 소자(300)는 p 전극(301); 상기 p 전극(301) 상에 배치된 p형 GaN 층(140); 상기 p형 GaN층(140) 상에 배치된 활성층(130); 상기 활성층 상에 배치된 n형 GaN 층(120); 상기 n형 GaN층 상에 배치되고 투명 전도성 금속 산화물을 포함하는 전류 퍼짐층(372); 상기 전류 퍼짐층 상에 서로 이격되어 배치된 복수의 상부 전류 주입 전극들(373); 상기 상부 전류 주입 전극들을 덮도록 연장되는 상부 전극 패드(376); 및 상기 상부 전극 패드(376)와 전기적으로 연결하는 상부 전극 패드(379)를 포함한다. 상기 상부 전극 패드(376)은 차례로 적층된 제1 상부 전극 패드(374) 및 제2 상부 전극 패드(376)를 포함하고, 상기 제1 상부 전극 패드(374)은 은(Ag) 또는 은 합금 박막이고, 상기 제2 상부 전극 패드(376)은 투명 전도성 금속 산화물 박막을 포함한다.
- [0090] 상기 p 전극(301)은 도전성 기판(310), 기판 결합층(312), 및 금속 반사층(314)을 포함할 수 있다. 상기 도전성 기판(310)은 폴리브덴 기판, 실리콘 기판, 구리 기판, 또는 폴리브덴과 구리의 합금 기판일 수 있다. 상기 기판 결합층(312)은 상기 도전성 기판과 상기 금속 반사층 사이에 배치될 수 있다. 상기 기판 결합층(312)은 Au/Sn 합금, 또는 Ni/Sn 합금, 또는 Sn이 포함된 다양한 합금일 수 있다. 상기 기판 결합층(312)은 섭씨 200도 수준의 저온 열처리에 의하여 상기 도전성 기판과 본딩될 수 있다. 상기 금속 반사층(314)은 상기 기판 결합층 상에 배치도리 수 있다. 상기 금속 반사층(314)은 Ti, Al, Cr, W 또는 이들의 합금일 수 있다. 상기 금속 반사층(314)은 활성층에 방출된 빛을 반사시키고 오픈 접합을 제공할 수 있다.
- [0091] 상기 금속 반사층(314) 상에 p형 GaN층(140)이 배치될 수 있다. p형 불순물은 Mg일 수 있다.
- [0092] 상기 p형 GaN층(140) 상에 활성층(130)이 배치될 수 있다. 상기 활성층(130)은 이중 이종구조(double heterostructure), 단일 양자 우물(single quantum well), 또는 다중 양자 우물(multiple quantum wells)일 수 있다. 청색 또는 녹색 LED의 경우, 상기 다중 양자 우물은 InGa_xN/GaN 구조일 수 있다. 자외선의 경우, 상기 다중 양자 우물은 AlGa_xN/InGa_xN 구조일 수 있다.

- [0093] 상기 활성층(130) 상에 n형 GaN 층(120)이 배치될 수 있다. n형 분순물은 실리콘(Si)일 수 있다.
- [0094] 상기 n형 GaN 층(120) 상에 오믹 접합층(371)이 배치될 수 있다. 상기 오믹 접합층(371)은 Ti, Cr, Al, W 등의 일함수가 작은 금속일 수 있다.
- [0095] 상기 오믹 접합층(371) 상에 전류 퍼짐층(372)이 배치될 수 있다. 상기 전류 퍼짐층(372)은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0096] 상기 전류 퍼짐층(372) 상에 상부 전류 주입 전극들(373) 및 보조 상부 전류 주입 전극(373a)이 배치될 수 있다. 상기 상부 전류 주입 전극들(373a)은 Ti, Al, Cr, Au, Ti/Al, Cr/Al/Ti/Au, 또는 Cr/Ni/Au 구조일 수 있다. 상기 보조 상부 전류 주입 전극은 상기 상부 전류 주입 전극들과 동일한 구조이고 동시에 형성될 수 있다. 상기 상부 전류 주입 전극들(373)은 돛 형태로 라인 형태로 정렬될 수 있다.
- [0097] 상부 전극 패턴(376)은 상기 상부 전류 주입 전극들(373)을 덮고 상기 보조 상부 전류 주입 전극(373a)을 덮지 않도록 형성될 수 있다. 상기 상부 전극 패턴(373)은 제1 상부 전극 패턴(374) 및 제2 상부 전극 패턴(375)을 포함할 수 있다. 상기 제1 상부 전극 패턴(374)은 은 또는 은합금일 수 있다. 상기 제2 상부 전극 패턴(375)은 투명 도전성 금속 산화물일 수 있다. 구체적으로, 상기 제2 상부 전극 패턴(375)의 재질은 ITO(Indium tin oxide), ZnO, Sn2O3, TiO2, 및 IGZO(Indium gallium zinc oxide) 중에서 적어도 하나를 포함할 수 있다. 상기 상부 전극 패턴(376)은 라인 패턴 또는 메쉬 패턴일 수 있다. 상기 전류 퍼짐층(372)의 두께는 10 내지 50 nm이고, 상기 제1 상부 전극 패턴(374)의 두께는 15 내지 20 nm이고, 상기 제2 상부 전극 패턴(375)의 두께는 10 내지 50 nm일 수 있다.
- [0098] 상부 전극 패드(379)는 상기 상부 전극 패턴(376)과 전기적으로 연결되고 와이어링을 통하여 외부 회로에 연결될 수 있다. 상기 상부 전극 패드(379)는 상기 보조 상부 전류 주입 전극(373a) 상에 정렬되어 배치될 수 있다. 상부 전극 패드(379)는 Ti/Al 구조 또는 Ti/Al/Ni/Au 구조일 수 있다.
- [0099] 도 5a 내지 도 5f는 본 발명의 또 다른 실시예에 따른 수직형 GaN LED의 제조 방법을 나타내는 단면도들이다.
- [0100] 도 5a를 참조하면, 수직형 LED의 구조(300)는 레이저 리프트-오프(laser lift-off) 기술을 이용하여 제작될 수 있다. 구체적으로, 사파이어 기판(110)이 준비된다. 상기 사파이어 기판(110) 상에 버퍼층(112), 및 n형 GaN 층(120)이 차례로 형성된다. 상기 n형 GaN 기판 상에 활성층(130)이 형성된다. 상기 활성층은 다중 양자 우물 구조일 수 있다. GaN/InGaN 다중양자우물은 금속-유기 화학 기상 증착(metal-organic chemical vapor deposition; MOCVD)를 이용하여 성장될 수 있다. 이어서, 상기 활성층 상에 p형 GaN층(140)이 형성된다. 이어서, 상기 p형 GaN 층의 전 영역 상에 p 전극(301)이 형성된다.
- [0101] 상기 p 전극(301)은 차례로 적층된 금속 반사층(314), 기판 결합층(312), 및 도전성 기판(310)을 포함할 수 있다.
- [0102] 도 5b를 참조하면, 상기 사파이어 기판(110)에 레이저를 제공하면, 레이저 빔은 사파이어 기판을 투과하고, 상기 n형 GaN층과 사파이어 기판 사이에 흡수되어 분리 영역(split zone)을 형성한다. 이에 따라, 상기 사파이어 기판은 제거된다.
- [0103] 도 5c를 참조하면, 상기 노출된 버퍼층(112)가 제거된다. 이에 따라, n형 GaN층(120)이 노출된다.
- [0104] 도 5d를 참조하면, 상기 n형 GaN층(120) 상에 오믹 접합층(371)과 전류 퍼짐층(372)이 순차적으로 형성된다. 이어서, 리프트 오프 공정을 사용하여, 상기 전류 퍼짐층(372) 상에 상부 전류 주입 전극들(373) 및 보조 상부 전류 주입 전극(373a)이 패터닝된다. 상기 상부 전류 주입 전극들(373)은 서로 이격되어 직선 상에 서로 정렬될 수 있다.
- [0105] 도 5e를 참조하면, 리프트 오프 공정을 사용하여, 상부 전류 주입 전극들(373)을 덮는 제1 상부 전극 패턴(374)이 형성된다. 상기 제1 상부 전극 패턴(374)은 상기 보조 상부 전류 주입 전극(373a)을 덮지 않도록 형성된다.
- [0106] 도 5f를 참조하면, 리프트 오프 공정을 사용하여, 상기 제1 상부 전극 패턴(374) 상에 제2 상부 전극 패턴(375)이 형성된다. 상기 제1 상부 전극 패턴(374)과 상기 제2 상부 전극 패턴(375)은 서로 수직으로 정렬될 수 있다.
- [0107] 다시, 도 4b를 참조하면, 리프트 오프 공정을 사용하여, 상기 보조 상부 전류 주입 전극(373a) 상에 상부 전극

패드(379)가 형성된다.

[0108] 금속산화물/금속/금속산화물(O/M/O) 구조에서, 금속산화물 물질은 보통 IT0, TiO₂, SnO₂, ZnO, AZO, Y2O₃ 등의 고 굴절률 물질을 포함하고, 금속(Metal) 물질은 은(Ag)나 은 합금(Ag alloy) 등 가시광선 영역에서 낮은 흡수 계수를 가지는 물질들을 포함한다. O/M/O 구조에서, 금속산화물층과 금속층 각각의 두께를 조절하여 특정 파장 영역(Red, Green, Blue)에서 높은 투과도 갖도록 설계할 수 있다. 또한, 금속산화물층과 금속층 사이에 사이에 전류 주입 전극들이 배치하면, 상기 전류 주입 전극들은 전류를 효율적으로 그 하부의 금속산화물층에 주입할 수 있다. 이에 따라, 공간적으로 균일한 발광 분포와 높은 광추출효율이 얻어질 수 있다.

[0109] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

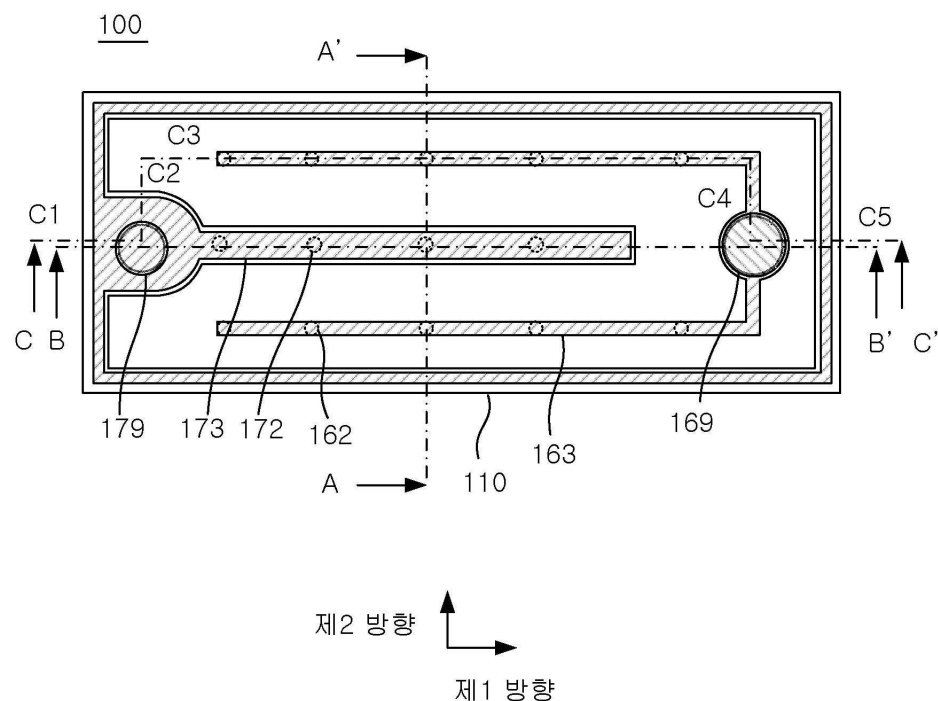
[0110] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

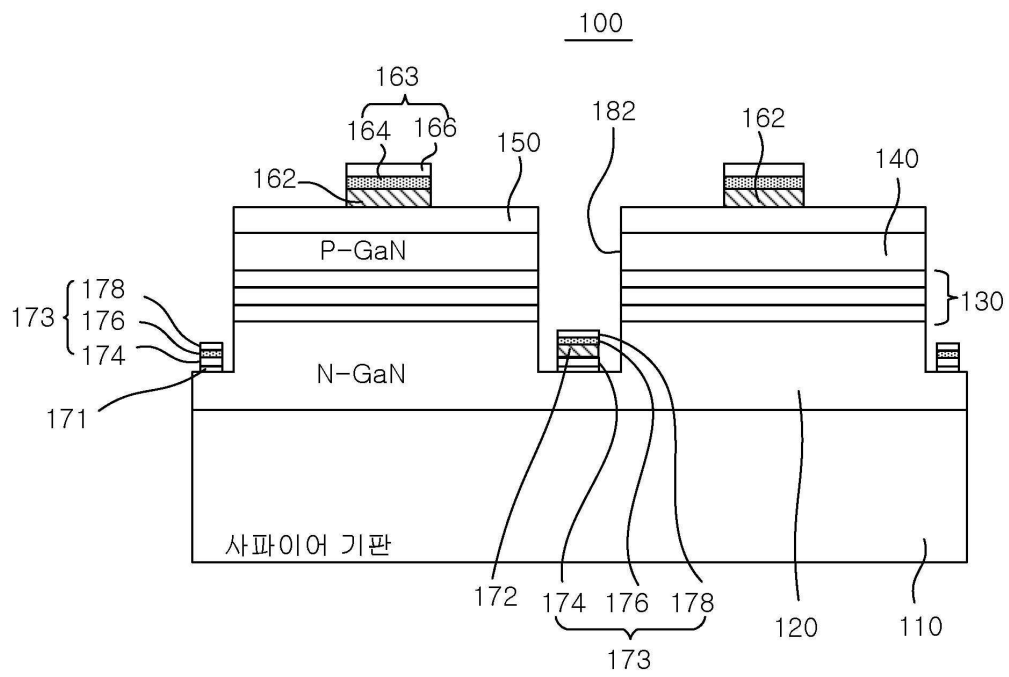
- [0111]
- 110: 기판
 - 120: n형 GaN 층
 - 130: 활성층
 - 140: p형 GaN 층
 - 150: 전류 퍼짐층
 - 162: 상부 전류 주입 전극들
 - 169: 상부 전극 패드

도면

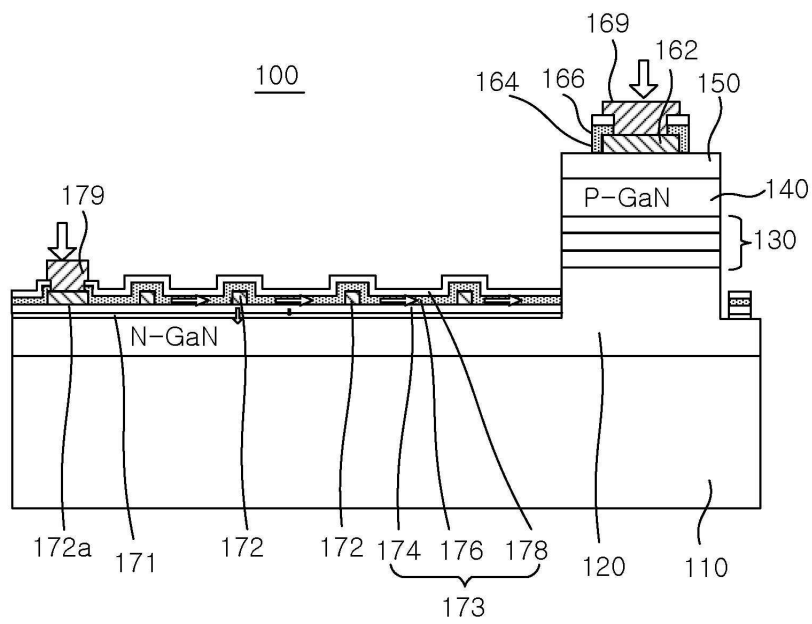
도면1a



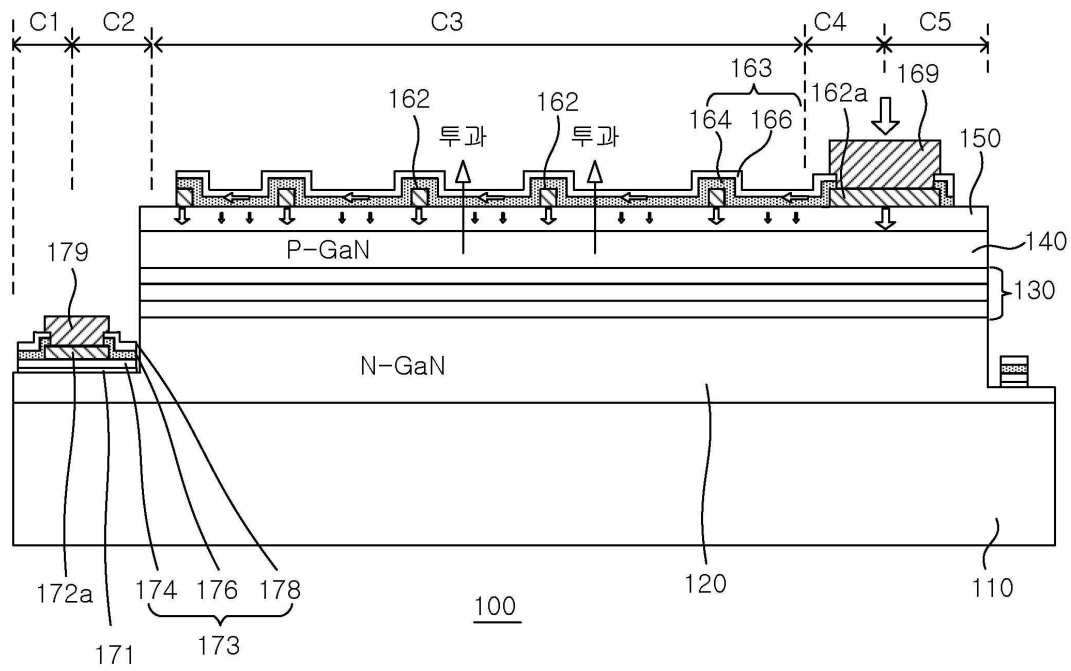
도면1b



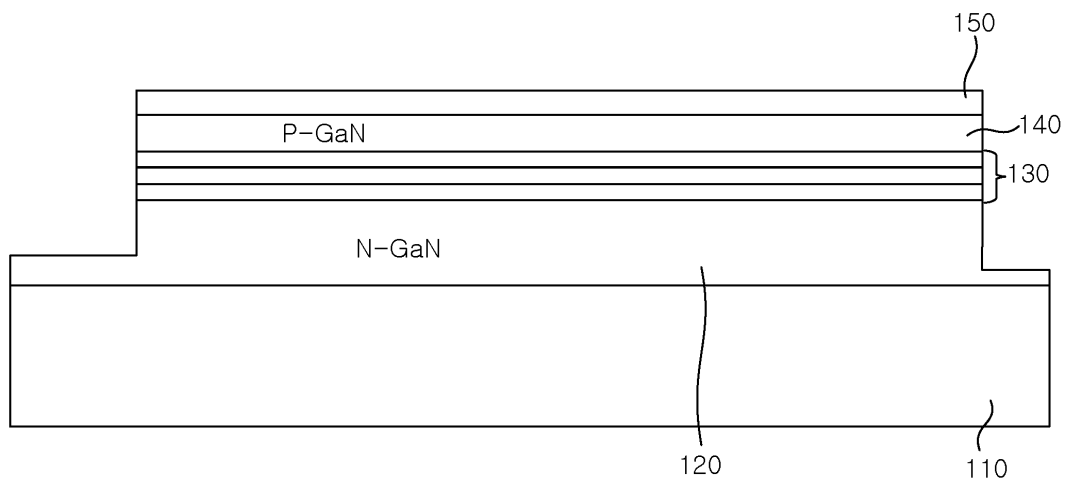
도면1c



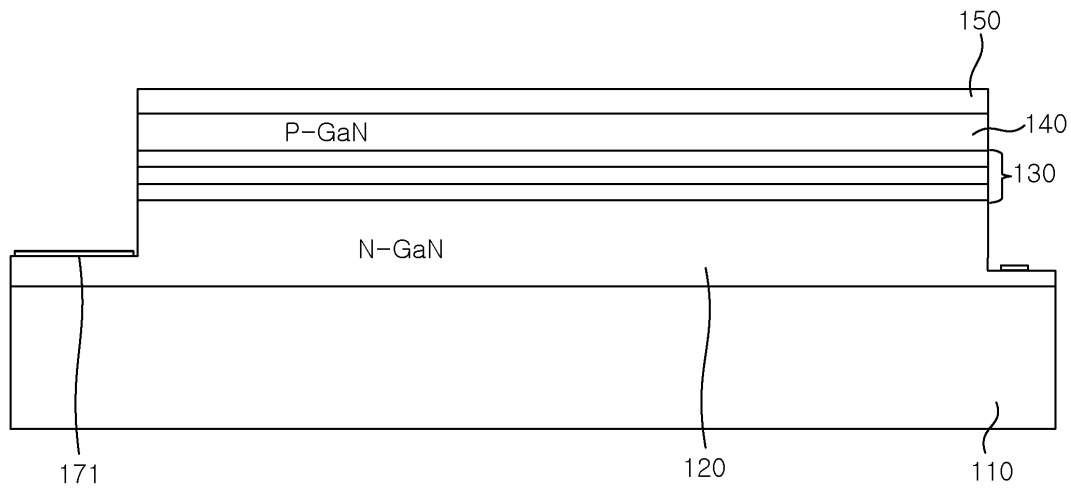
도면1d



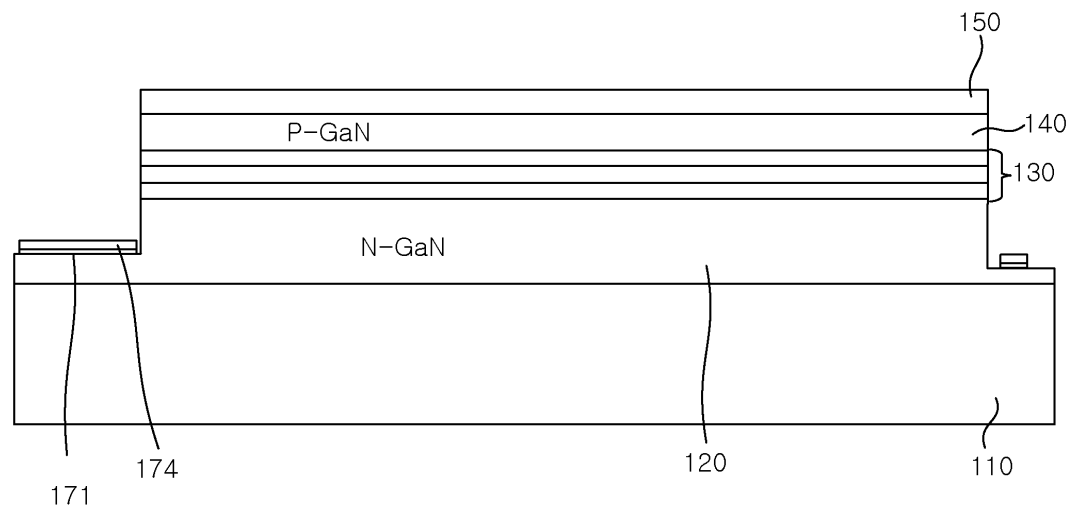
도면2a



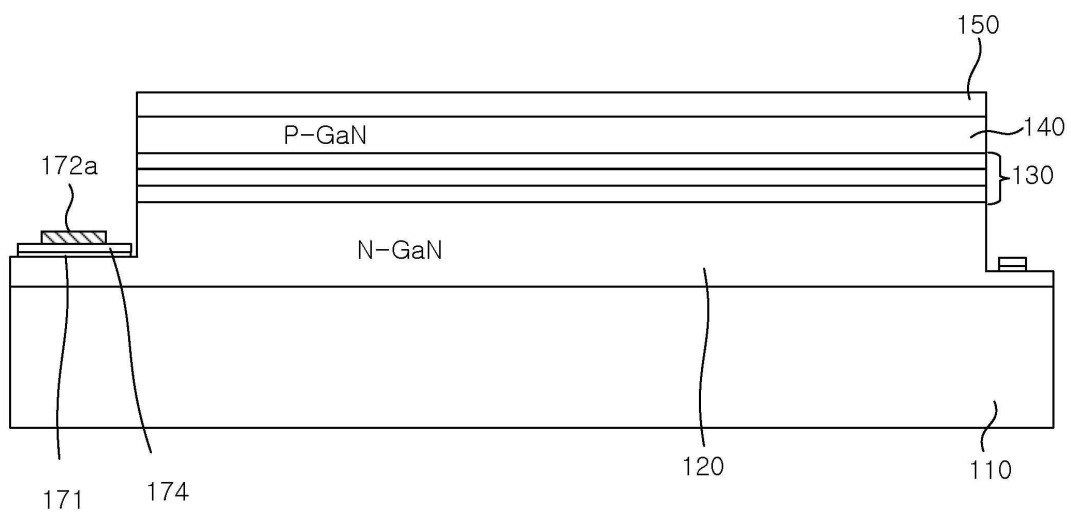
도면2b



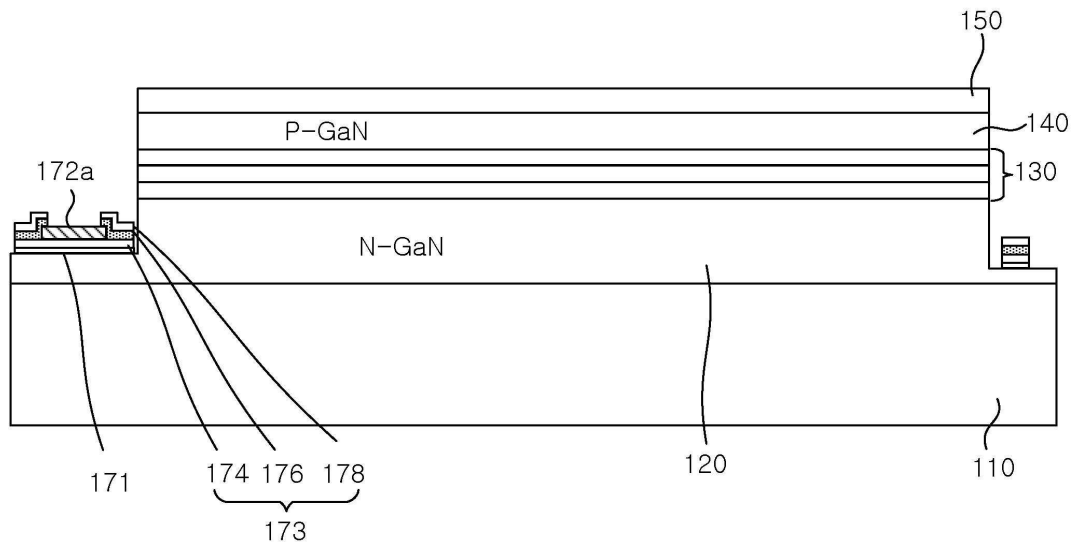
도면2c



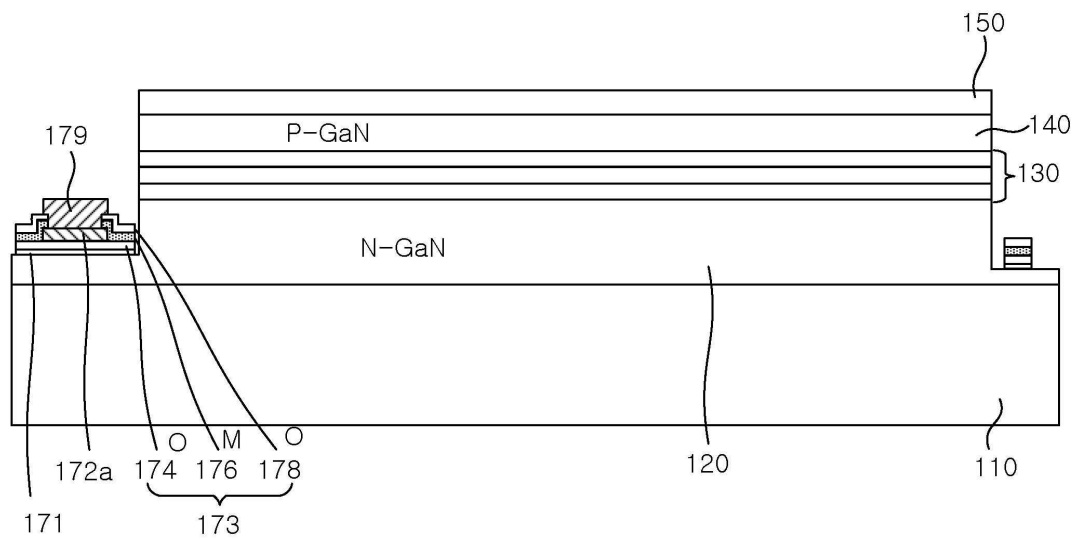
도면2d



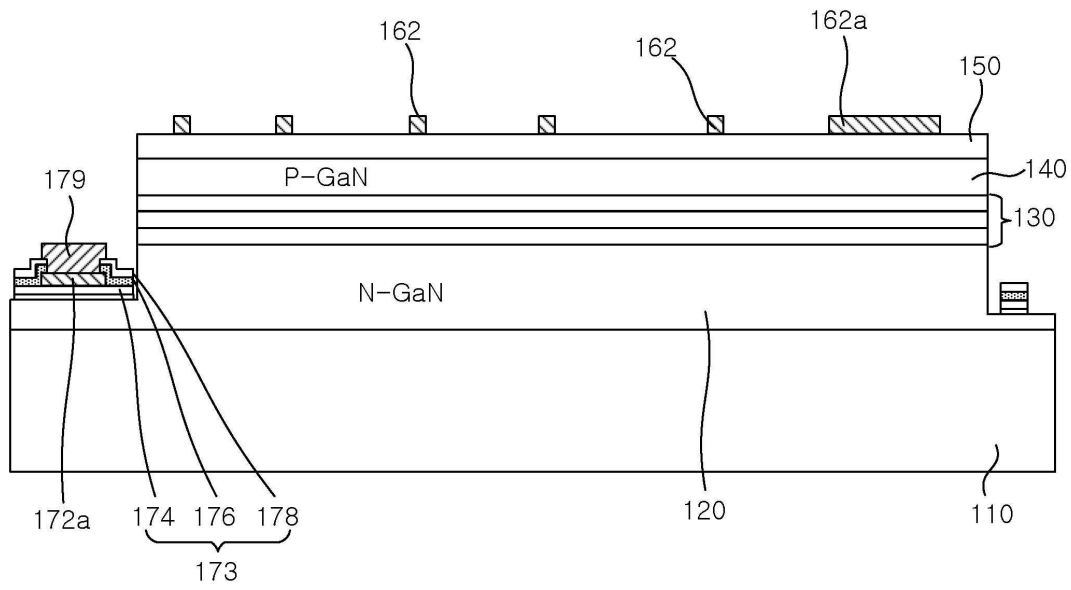
도면2e



도면2f

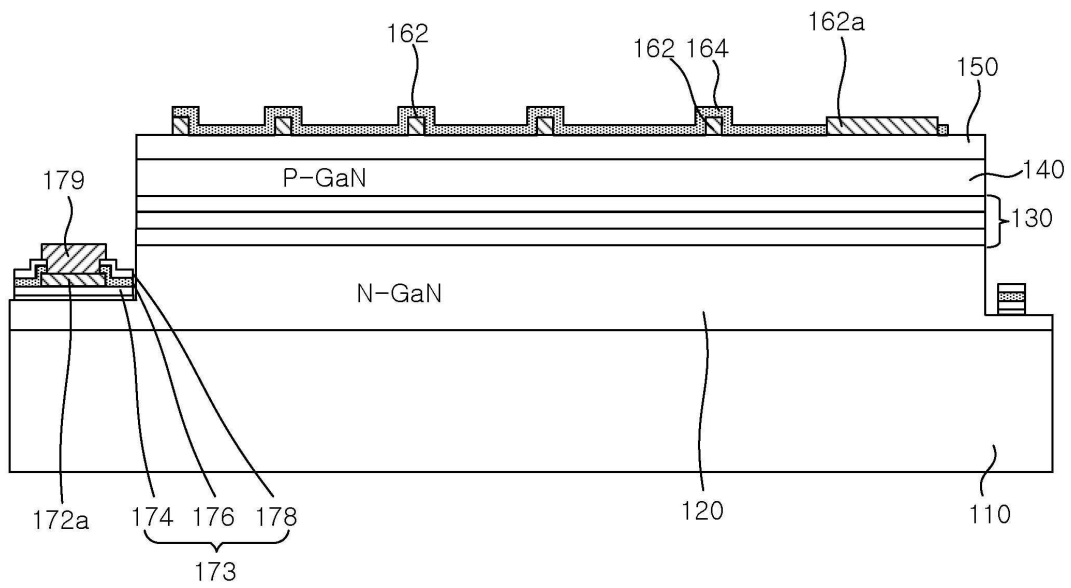


도면2g

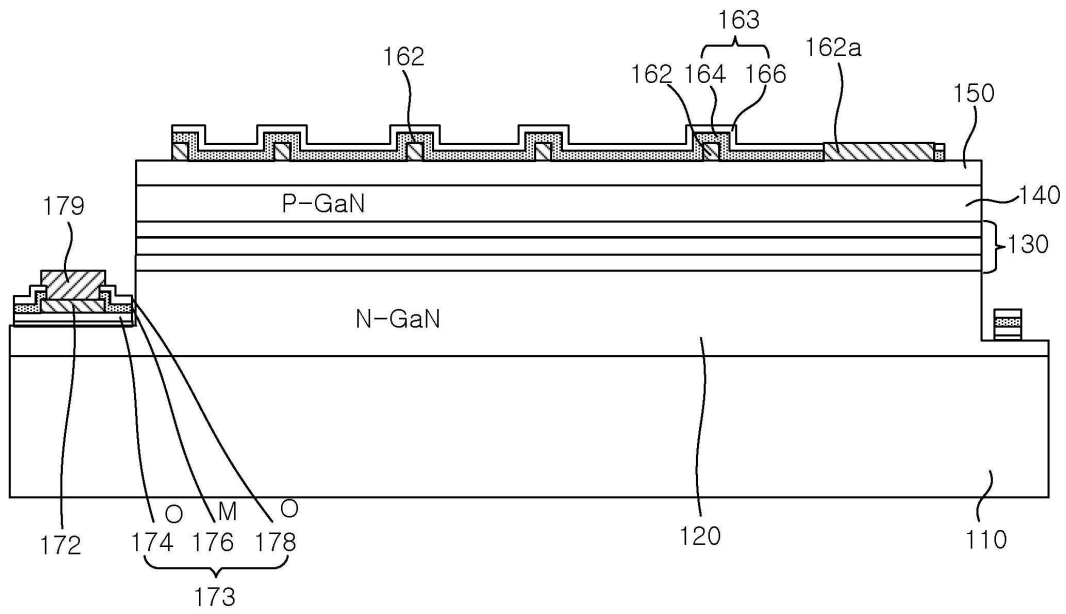


도 2g

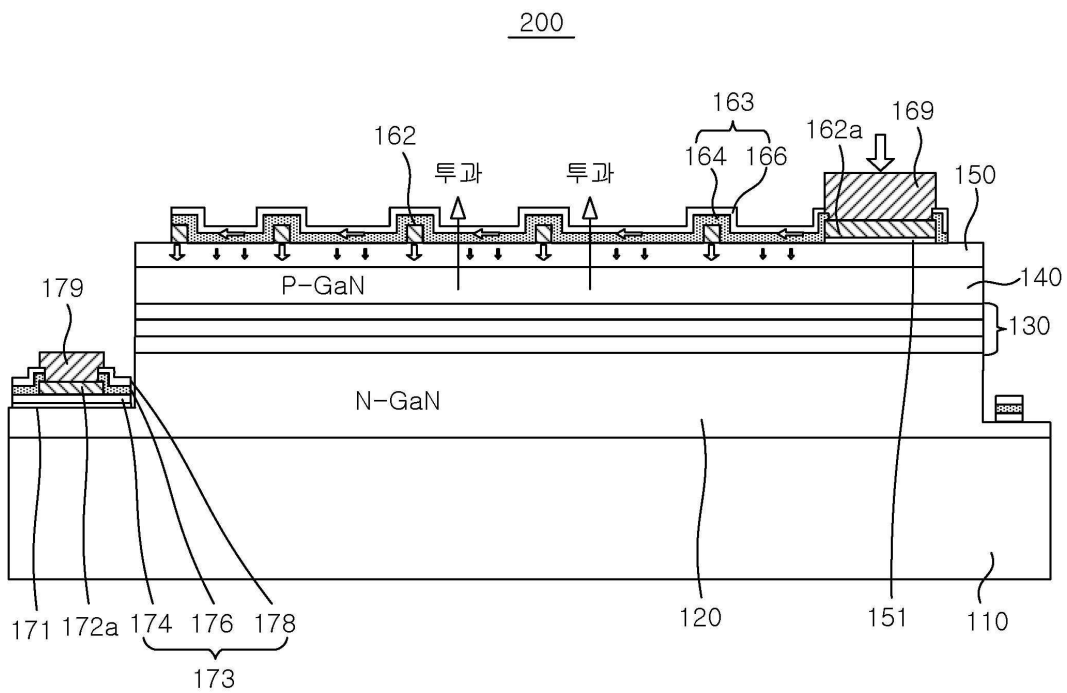
도면2h



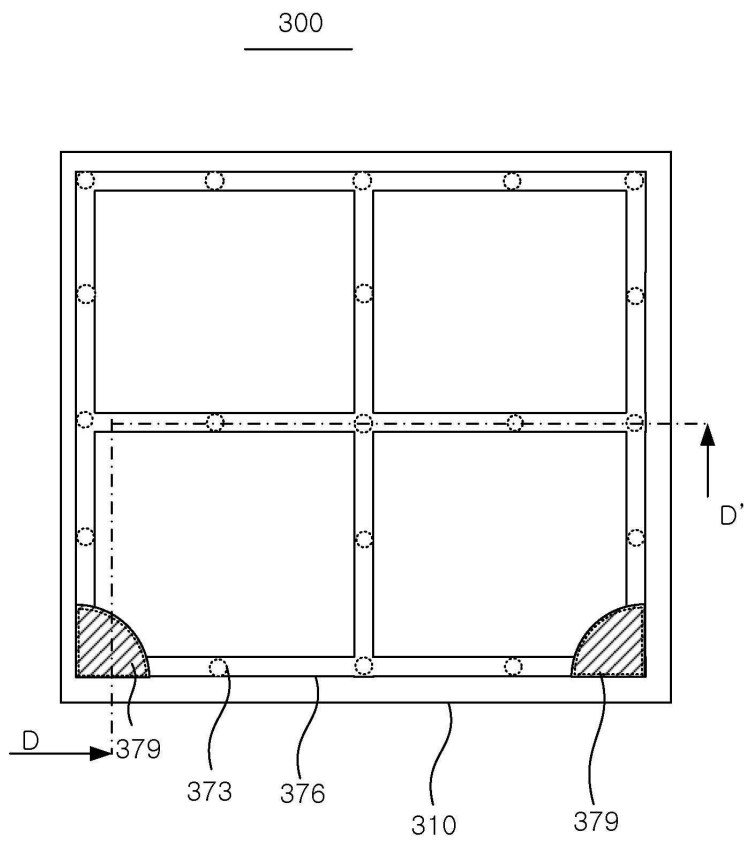
도면2i



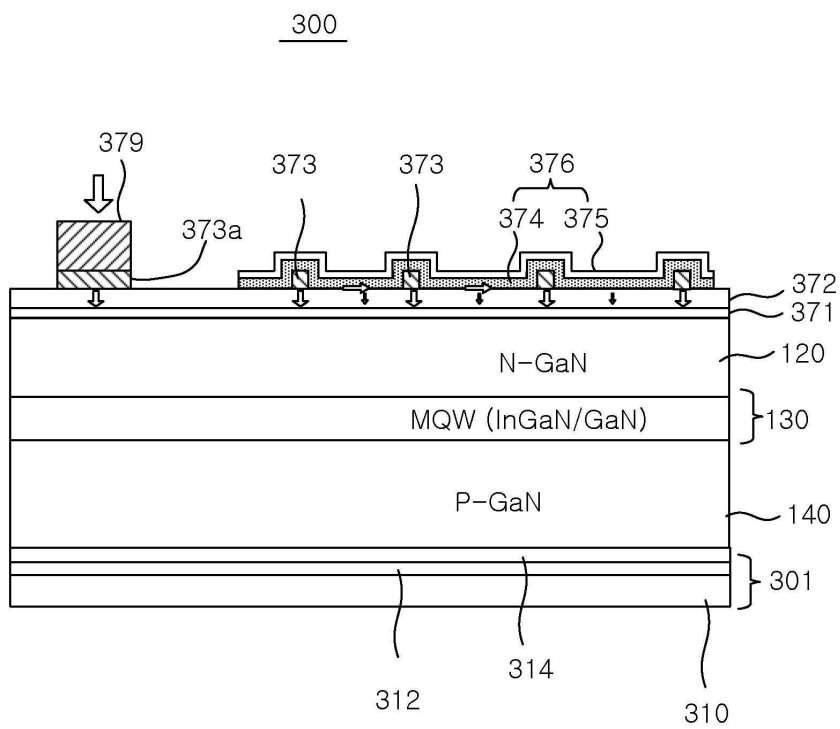
도면3



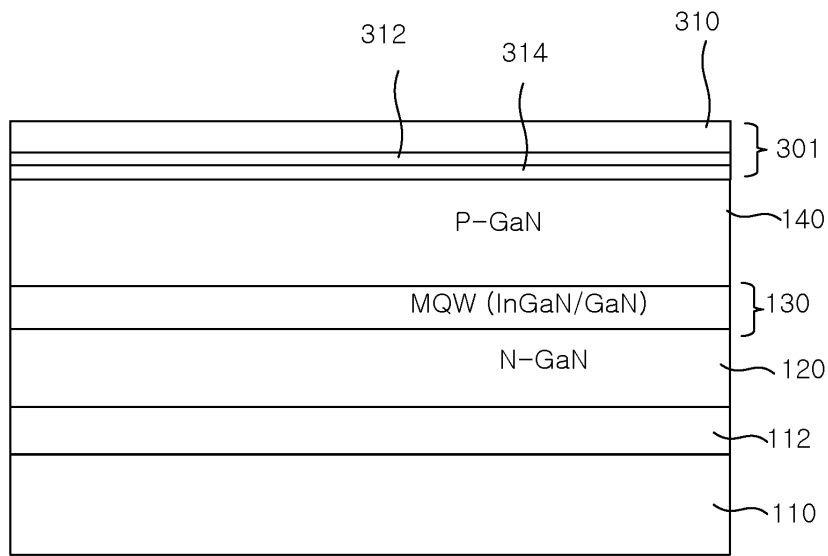
도면4a



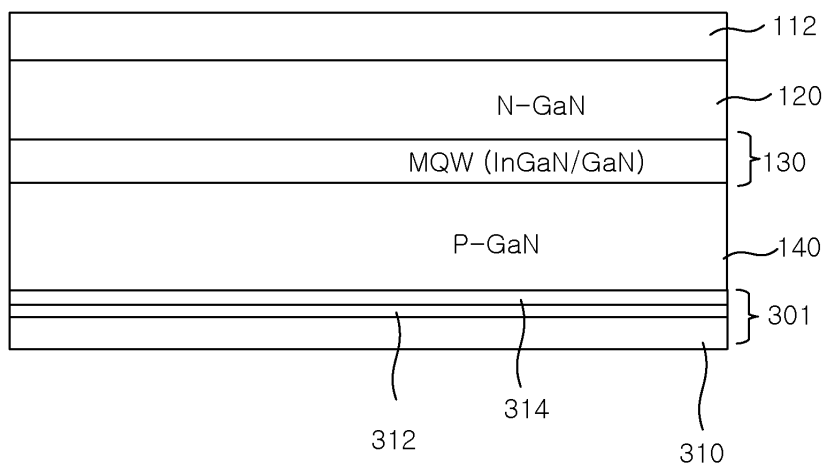
도면4b



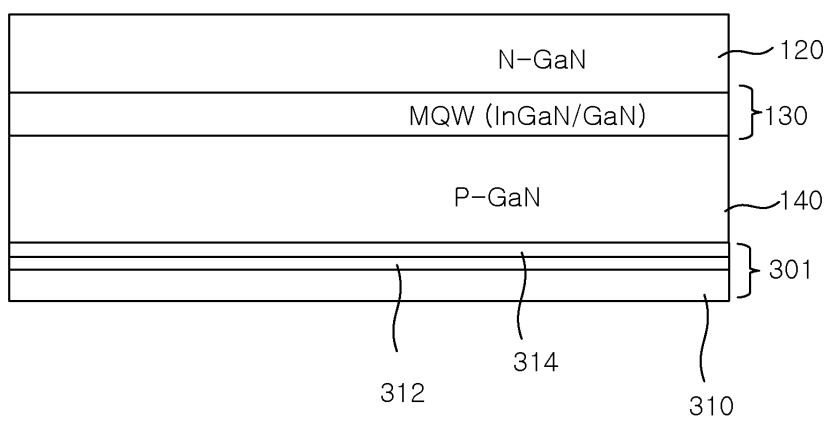
도면5a



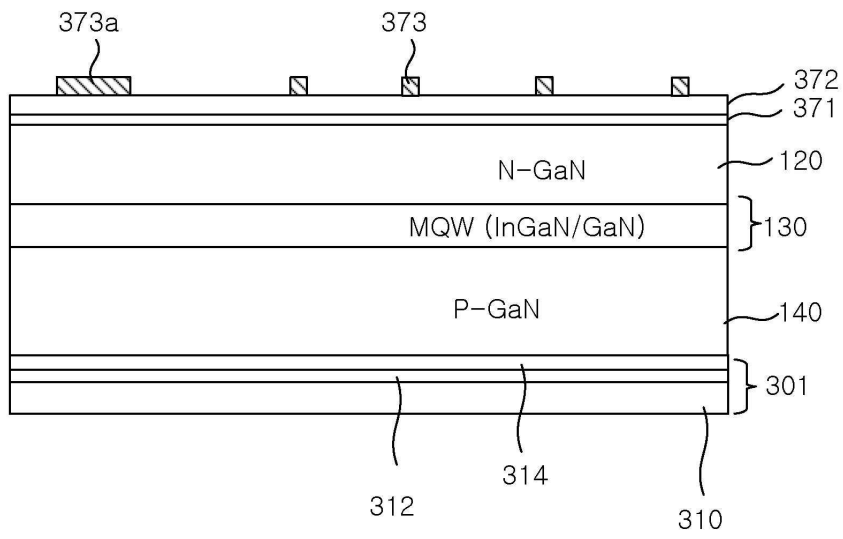
도면5b



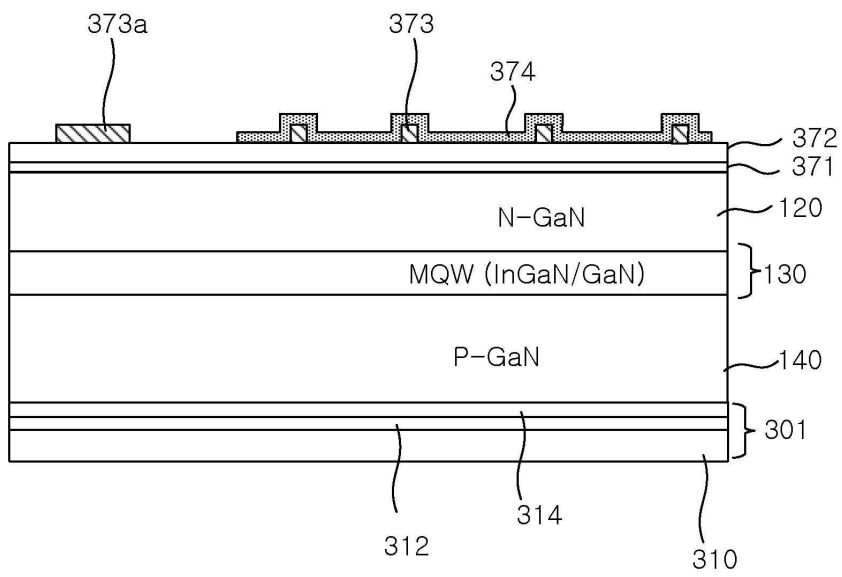
도면5c



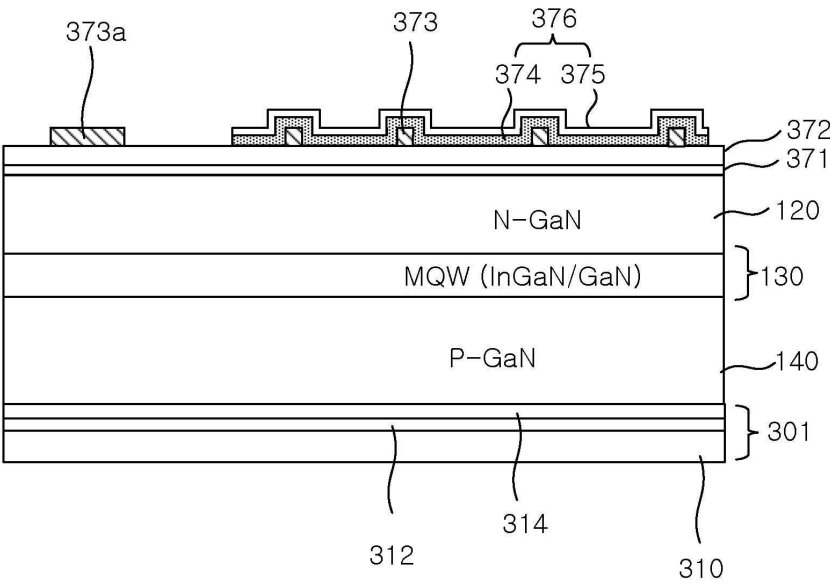
도면5d



도면5e



도면5f



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

제1 항에 있어서,

【변경후】

제7 항에 있어서,