



(12) 发明专利

(10) 授权公告号 CN 1581358 B

(45) 授权公告日 2010.04.14

(21) 申请号 200410056603.X

US 2003090951 A1, 2003.05.15, 参见摘要、

(22) 申请日 2004.08.11

说明书第7页142-148段、附图7-8.

(30) 优先权数据

审查员 刘欢

291811/03 2003.08.11 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 盐野入丰 热海知昭 加藤清

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 张雪梅 王勇

(51) Int. Cl.

G11C 17/08(2006.01)

(56) 对比文件

CN 1207582 A, 1999.02.10, 全文.

JP 11045593 A, 1999.02.16, 全文.

JP 2001236795 A, 2001.08.31, 全文.

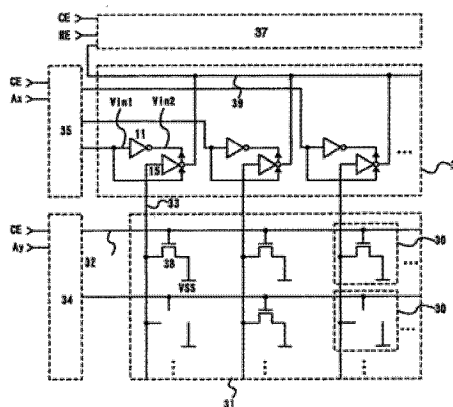
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

存储器

(57) 摘要

根据本发明,通过减少元件数量,使安装区域减少并且产量提高,而且提供外围电路具有较少负荷的存储器及其驱动方法。本发明包含存储单元、列解码器和包含时钟控制反相器的选择器,其中存储单元在位线和字线与介于二者之间的绝缘体相交的区域包含存储元件。时钟控制反相器的输入节点连接到位线,而输出节点连接到数据线。在形成时钟控制反相器的多个串联的晶体管中,其源极或漏极连接到高电位端VDD上的电源的P-型晶体管的栅极和其源极或漏极连接到低电位端VSS上的电源的N-型晶体管的栅极连接到列解码器。



1. 一种存储器,包含:

位线;

与所述位线交叉的字线;

电连接到所述位线并电连接到所述字线的存储单元,所述存储单元包含存储元件;

列解码器;以及

包含时钟控制反相器与反相器的选择器,所述时钟控制反相器具有串联电连接在第一电源和第二电源之间的第一 P 型晶体管、第二 P 型晶体管、第一 N 型晶体管与第二 N 型晶体管,

其中:

所述时钟控制反相器的输入节点直接连接到所述位线,

所述时钟控制反相器的输出节点电连接到数据线,

所述第一 P- 型晶体管的栅电极和所述第一 N- 型晶体管的栅电极电连接到所述列解码器,

所述第二 P- 型晶体管的栅电极和所述第二 N- 型晶体管的栅电极直接连接到所述位线,

所述第二 P- 型晶体管的源极与漏极之一和所述第二 N- 型晶体管的源极与漏极之一电连接到所述数据线,以及

不在所述位线和所述时钟控制反相器的所述输入节点之间插入读出放大器。

2. 根据权利要求 1 的存储器,其中,所述存储器为只读存储器。

3. 根据权利要求 1 的存储器,其中,所述第一 P 型晶体管、所述第二 P 型晶体管、所述第一 N 型晶体管与所述第二 N 型晶体管中的每个为薄膜晶体管。

4. 一种存储器,包含:

位线;

与所述位线交叉的字线;

电连接到所述位线并电连接到所述字线的存储单元,所述存储单元包含存储元件;

列解码器;

包含第一开关、时钟控制反相器与反相器的选择器,所述时钟控制反相器具有串联电连接在第一电源和第二电源之间的第一 P 型晶体管、第二 P 型晶体管、第一 N 型晶体管与第二 N 型晶体管;以及

包含第二开关和第三开关的读/写电路,

其中:

所述时钟控制反相器的输入节点直接连接到所述位线,

所述时钟控制反相器的输出节点通过所述反相器与所述第二开关电连接到数据线,

所述第一 P- 型晶体管的栅电极和所述第一 N- 型晶体管的栅电极电连接到所述列解码器,

所述第二 P- 型晶体管的栅电极和所述第二 N- 型晶体管的栅电极直接连接到所述位线,并通过所述第一开关与所述第三开关电连接到所述数据线,

所述第二 P- 型晶体管的源极与漏极之一和所述第二 N- 型晶体管的源极与漏极之一通过所述反相器与所述第二开关电连接到所述数据线,

包含在所述第一开关中的第一晶体管的栅电极电连接到所述列解码器，
包含在所述第二开关中的第二晶体管的栅电极电连接到读使能信号线，以及
包含在所述第三开关中的第三晶体管的栅电极电连接到写使能信号线。

5. 根据权利要求 4 的存储器，其中，所述第一到第三开关是模拟开关。

6. 根据权利要求 4 的存储器，其中，所述存储器是随机存取存储器。

7. 一种存储器，包含：

位线；

与所述位线交叉的字线；

电连接到所述位线并电连接到所述字线的存储单元，所述存储单元包含存储元件；

列解码器；

包含第一开关、时钟控制反相器与反相器的选择器，所述时钟控制反相器具有串联电连接在第一电源和第二电源之间的第一 P 型晶体管、第二 P 型晶体管、第一 N 型晶体管与第二 N 型晶体管；以及

包含第二开关、第三开关、第一逻辑电路和第二逻辑电路的读 / 写电路，

其中：

所述时钟控制反相器的输入节点直接连接到所述位线，

所述时钟控制反相器的输出节点通过所述反相器与所述第二开关电连接到数据线，

所述第一 P- 型晶体管的栅电极和所述第一 N- 型晶体管的栅电极电连接到所述列解码器，

所述第二 P- 型晶体管的栅电极和所述第二 N- 型晶体管的栅电极直接连接到所述位线，并通过所述第一开关与所述第三开关电连接到所述数据线，

所述第二 P- 型晶体管的源极与漏极之一和所述第二 N- 型晶体管的源极与漏极之一通过所述反相器与所述第二开关电连接到所述数据线，

包含在所述第一开关中的第一晶体管的栅电极电连接到所述列解码器，

包含在所述第二开关中的第二晶体管的栅电极电连接到所述第一逻辑电路的输出节点，

包含在所述第三开关中的第三晶体管的栅电极电连接到所述第二逻辑电路的输出节点，

所述第一逻辑电路的第一输入节点电连接到读使能信号线，

所述第一逻辑电路的第二输入节点电连接到芯片使能信号线，

所述第二逻辑电路的第一输入节点电连接到写使能信号线，并且

所述第二逻辑电路的第二输入节点电连接到所述芯片使能信号线。

8. 根据权利要求 7 的存储器，其中，所述第一到第三开关是模拟开关。

9. 根据权利要求 7 的存储器，其中，所述第一和第二逻辑电路是 NOR。

10. 根据权利要求 7 的存储器，其中，所述存储器是随机存取存储器。

存储器

技术领域

[0001] 本发明涉及到一种存储器及其驱动方法。更具体地,本发明涉及到一种配备包含时钟控制反相器的选择器的存储器及其驱动方法。

背景技术

[0002] 最近几年,存储器应用到各个领域,如计算机、便携式终端、IC 卡,并且正在积极进行进一步的发展。存储器包含多个以矩阵排列的存储单元和包括输出电路的外围电路。

[0003] 一些存储器包含时钟控制反相器和晶体管,晶体管通过使时钟控制反相器的输入节点和输出节点短路而使这两个节点的电势平衡在中间电势,并在数据传输开始时释放短路(例如,参考专利文件 1)。另外,时钟控制反相器包含其它电路,该其它电路作为放大从每个存储器单元输出的信号的电路(例如,参考专利文件 2)。

[0004] [专利文件 1] 日本专利特开平第 5-166381 号(第一和第四页,图 1 和 2)

[0005] [专利文件 2] 日本专利特开平第 7-65594 号(第一页和图 4)

发明内容

[0006] 通过阅读下列详细描述及附图,本发明的这些和其它目的、特征和优点将变得更清楚。

[0007] 在专利文件 1 中,在存储器单元和时钟控制反相器之间提供存储器单元读出放大器和用于释放时钟控制反相器的输入节点和输出节点的短路的晶体管。因此,当元件数量增加时,安装区扩大并且可靠性下降。

[0008] 在专利文件 2 中,用作读出放大器的时钟控制反相器被外部提供的输入选择信号所控制。因而,更多的负荷施加到外围电路。

[0009] 根据本发明,通过减少元件数量而减少安装区域并提高产量,并且提供外围电路负荷较小的存储器及其驱动方法。

[0010] 本发明的存储器(ROM)包含存储单元,该存储单元包括位于位线和字线与介于二者之间的绝缘体相交的区域中的存储元件、列解码器和包括时钟控制反相器的选择器。时钟控制反相器的输入节点连接到位线,输出节点连接到数据线。在形成时钟控制反相器的多个串联的晶体管中,其源极或漏极连接到高电位端 VDD 上的电源的 P-型晶体管的栅极和其源极或漏极连接到低电位端 VSS 的电源的 N-型晶体管的栅极连接到列解码器。

[0011] 存储元件由一个或多个晶体管和一个或多个电容器中的其中之一或由两者形成。即,存储元件由一个或多个元件形成。在本发明中,布置在存储单元中的元件统称为存储元件。存储元件的具体结构取决于存储器的种类。

[0012] 时钟控制反相器包含串联的两个 N-型晶体管和两个 P-型晶体管。参考图 1C 和 1D 描述时钟控制反相器的结构。

[0013] 图 1C 是包含四个节点,具体地三个输入节点和一个输出节点,的时钟控制反相器的逻辑符号。此处,信号 Va、Vb 和 Vc 输入到三个输入节点,并且从输出节点输出信号 Vout。

[0014] 图 1D 是时钟控制反相器的等效电路示意图,其中,其源极或漏极连接到高电位端 VDD 上的电源的 P- 型晶体管 16 布置在一端,而其源极或漏极连接到低电位端 VSS 的电源的 N- 型晶体管 19 布置在另一端。这样,布置在一端的 P- 型晶体管 16 的栅极和布置在另一端的 N- 型晶体管 19 的栅极对应于分别输入信号 Vb 和 Vc 的输入节点。

[0015] 既不直接和高电位端电源相连也不直接和低电位端电源相连的 P- 型晶体管 17 和 N- 型晶体管 18 的各个栅极彼此连接。这些彼此连接的栅极对应于输入节点,被输入信号 Va。P- 型晶体管 17 和 N- 型晶体管 18 的各个漏极彼此相连。这些彼此连接的漏极对应于输出节点,输出信号 Vout。

[0016] 前面提到的存储器可以在选择器中包含反相器。那样, P- 型晶体管和 N- 型晶体管的栅极中的一个直接连接到列解码器,而另一个通过反相器连接到列解码器。

[0017] 本发明的存储器 (RAM) 包含存储单元,该存储单元包括位于位线和字线与介于二者之间的绝缘体相交的区域中的存储元件、列解码器和包括第一开关 (优选模拟开关) 和时钟控制反相器的选择器,以及包括第二和第三开关 (优选模拟开关) 的读 / 写电路。

[0018] 位线通过时钟控制反相器和第二开关或通过第一和第三开关连接到数据线。

[0019] 第一开关的一个或多个晶体管的每一个栅极连接到列解码器,第二开关的一个或多个晶体管的每一个栅极电连接到读使能信号线,而第三开关的一个或多个晶体管的每一个栅极电连接到写使能信号线。

[0020] 读 / 写电路控制数据的输入和输出 (写 / 读)。读使能 (RE) 信号线对应于传输读使能信号 (RE 信号) 的布线,并控制数据的输出 (读)。写使能 (WE) 信号线对应于传输写使能信号 (WE 信号) 的布线并控制数据的输入 (写)。

[0021] 在前述结构中,读 / 写电路可以包括第一和第二逻辑电路 (优选 NOR)。第一逻辑电路的两个输入节点中的一个连接到读使能信号线,另一个连接到芯片使能 (CE) 信号线,输出节点连接到第二开关。此外,第二逻辑电路的两个输入节点中的一个连接到写使能信号线,另一个连接到芯片使能信号线,并且输出节点连接到第三开关。芯片使能信号线对应于传输芯片使能信号 (CE 信号) 的布线并控制存储器的选择 / 非选择 (操作 / 非操作)。

[0022] 根据具有前述结构的本发明,在外围电路如选择器和读 / 写电路中包含时钟控制反相器,并且时钟控制反相器的输入节点连接到位线。此外,布置在时钟控制反相器的一端和另一端的晶体管的栅极连接到列解码器。换言之,在构成时钟控制反相器的多个晶体管中,其源极或漏极连接到高电位端上的电源的晶体管的栅极和其源极或漏极连接到低电位端上的电源的晶体管的栅极连接到列解码器。

[0023] 本发明的存储器 (ROM) 的驱动方法是通过从列解码器输入信号到 P- 型晶体管和 N- 型晶体管的每个栅极而使时钟控制反相器进入操作状态,数据信号从存储单元通过位线输入到时钟控制反相器的输入节点,并且被放大的数据信号从时钟控制反相器的输出节点输出。

[0024] 本发明的存储器 (RAM) 的驱动方法是通过从列解码器输入信号到第一开关,在构成反相器的多个晶体管中的其源极或漏极连接到高电位端上的电源的 P- 型晶体管的栅极和其源极或漏极连接到低电位端上的电源的 N- 型晶体管的栅极连接到列解码器,从而使时钟控制反相器进入操作状态以导通第一开关。在这种状态下,可以对所选择的存储单元进行读或写。

[0025] 当读存储单元时,输入读使能信号以使第二开关导通,并且输入写使能信号使第三开关非导通。通过位线从存储单元向时钟控制反相器的输入节点输入数据信号并且从时钟控制反相器的输出节点输出放大的数据信号。

[0026] 当向存储单元写入时,输入写使能信号以使第二开关非导通并输入写使能信号以使第三开关导通。通过第一和第三开关以及位线从数据线向存储单元输入数据信号。

[0027] 根据具有前述结构的本发明,时钟控制反相器的状态由列解码器提供的信号控制。当时钟控制反相器从非操作状态(高阻抗状态、不稳定状态或浮置状态)转变成操作状态时,连接到时钟控制反相器的输入节点的位线被选择。此外,从存储单元输出的信号被时钟控制反相器放大。因此,位线的选择和存储单元提供的信号的放大可以由时钟控制反相器同时完成。

[0028] 根据本发明,其中位线的选择和存储单元提供的信号的放大可以同时完成,存储器的读速度显著增加。与在许多情况下用作存储器的放大器电路的读出放大器相比,使用具有少量元件的时钟控制反相器的本发明可以提高产量。而且,由于元件数量少可以减少安装区域,这可以进一步小型化和减少重量。另外,当与使用要求两个输入端的读出放大器的情形相比时,使用具有一个输入端的时钟控制反相器的本发明因为要控制的信号减少而可以减少施加在外围电路上的负荷,例如,这可以减少引线的数量。

附图说明

[0029] 图 1A ~ 1D 是表示本发明的存储器(只读存储器)及其驱动方法的示意图(实施方式 1)。

[0030] 图 2 是表示本发明的存储器(读/写存储器)及其驱动方法的示意图(实施方式 2)。

[0031] 图 3A 和 3B 是表示本发明的存储器(读/写存储器)及其驱动方法的示意图(实施方式 2)。

[0032] 图 4A ~ 4C 是应用本发明的微处理器和显示面板的视图。

[0033] 图 5A ~ 5E 是应用本发明的电子装置的视图,图 5F 是应用本发明的 IC 卡的视图。

具体实施方式

[0034] [实施方式 1]

[0035] 参考图 1A 描述作为本发明的存储器的只读存储器(典型地为 ROM)的结构。

[0036] 本发明的存储器配备有存储单元阵列 31,其中存储单元 30 以(行和列)矩阵排列。此外,提供行解码器 34、列解码器 35、选择器 36 和输出电路 37,它们控制存储单元 30 的操作。

[0037] 行解码器 34 被输入芯片使能信号(下文中称为 CE 信号或 CE)和 Ay 信号。列解码器 35 被输入 CE 信号和 Ax 信号。注意虽然未表示出,但是读使能信号(下文中称为 RE 信号或 RE)可以输入到两种解码器。

[0038] 选择器 36 配备有反相器 11 和时钟控制反相器 15。在对应于每个位线 33 的每一列中提供反相器 11 和时钟控制反相器 15。

[0039] 时钟控制反相器 15 由串联的两个 N- 型晶体管 and 两个 P- 型晶体管形成。布置在

一端的 N- 型晶体管的栅极连接到反相器 11 的输入节点, 而其源极或漏极连接到低电位端 VSS 上的电源 (未表示出)。布置在另一端的 P- 型晶体管的栅极连接到反相器 11 的输出节点, 而其源极或漏极连接到高电位端 VDD 上的电源 (未表示出)。时钟控制反相器 15 的输入节点连接到位线 33, 而其输出节点连接到数据线 39。时钟控制反相器 15 的具体结构如图 1C 和 1D 所示, 它可以斟酌参考。

[0040] 输出电路 37 被输入 CE 信号和 RE 信号, 并且通过数据线输入数据信号。

[0041] 每个存储器单元 30 在字线 32 和位线 33 相交的区域包含存储元件。存储元件对应于一个或多个晶体管和一个或多个电容器其中之一或对应于两者。存储器单元 30 包含多种结构。在 ROM 的情况下, 每个存储单元 30 具有一个晶体管 38 作为存储元件。在使用掩模 (mask) ROM 的情况下, 其中存储内容在制造阶段存储在存储器, 根据单元中存在晶体管与否区分“0”和“1”, 因此, 一些存储单元没有晶体管。在那种情况下, 位线 33 需要预充电到高于 VDD/2 的电位。

[0042] 在使用掩模 ROM 的情况下, 作为一种不同于前述的在制造阶段将存储内容存储在存储器的方法的方法, 可以通过将晶体管连接到低电位端 VSS 上的电源或高电位端 VDD 上的电源来区分“0”和“1”。存储器的结构不限于前面所描述的, 但是也可以提供用于预先设定布线电位的预充电电路、用于放大信号间电位差的电平转移电路、用于放大输入信号之间的电位差的输入缓冲器等。

[0043] 根据本发明的存储器, 其源极或漏极连接到高电位端上的电源的 P- 型晶体管的栅极和其源极或漏极连接到低电位端上的电源的 N- 型晶体管的栅极直接或通过反相器 11 连接到列解码器 35, 位线 33 连接到时钟控制反相器 15 的输入节点。这两个特征确保通过一个时钟控制反相器进行位线的选择和从存储单元输出的信号的放大。

[0044] 下面, 描述读取具有前述结构的存储器的数据时的操作。此处, 描述读取布置在坐标 (x, y) 处的存储单元 30 时的操作, 此处 x 和 y 是自然数。

[0045] 应该注意, 在图 1A 中, 对应于第 x 列的列解码器 35 的输出节点的电位是 A_x , 而对应于第 y 行的行解码器 34 的输出节点的电位是 A_y 。列解码器 35 的输出节点、反相器 11 的输入节点和 N- 型晶体管的输入节点彼此连接, 并且它们的电位为 V_{in1} , 其中, N- 型晶体管布置在时钟控制反相器 15 的一端而且它的源极或漏极连接到高电位端上的电源。

[0046] 反相器 11 的输出节点和布置在时钟控制反相器 15 的另一端而且它的源极或漏极连接到高电位端上的电源的 P- 型晶体管的输入节点彼此连接, 并且它们的电位为 V_{in2} 。数据线 39 的电位是 Data。图 1B 是表示前述 A_x 、 A_y 、CE、RE、 V_{in1} 、 V_{in2} 和 Data 随时间变化的时间图。下面描述的是在从存储单元 30 读数据的 T2 阶段和其它阶段 T1 的操作。

[0047] 在 T1 阶段, 将 L- 电平信号从列解码器 35 提供到第 x 列的反相器 11 的输入节点。将 L- 电平信号从行解码器 34 提供到第 Y 行的字线 32。

[0048] 当 L- 电平的信号输入到反相器 11 的输入节点时, 从反相器 11 的输出节点 (V_{in2}) 输出 H- 电平信号。

[0049] 由于 V_{in1} 是 L- 电平而 V_{in2} 是 H- 电平, 布置在时钟控制反相器 15 一端的 P- 型晶体管和布置在其另一端的 N- 型晶体管都截止, 并且时钟控制反相器 15 进入高阻抗状态 (不稳定状态, 浮置状态)。这样, 不能从布置在时钟控制反相器 15 处于高阻抗状态的列中的存储单元 30 读信号。

[0050] 在 T2 阶段, H- 电平的信号从列解码器 35 提供到第 x 列的反相器 11 的输入节点。H- 电平的信号从行解码器 34 提供到第 y 行的字线 32。然后, 布置在第 y 列的字线 32 被选择。

[0051] 当 H- 电平的信号输入到反相器 11 的输入节点时, 从反相器 11 的输出节点 (Vin2) 输出 L- 电平的信号。

[0052] 由于 Vin1 是 H- 电平而 Vin2 是 L- 电平, 布置在时钟控制反相器 15 一端的 P- 型晶体管 and 布置在其另一端的 N- 型晶体管都导通, 并且时钟控制反相器 15 进入操作状态。在与高阻抗状态相反的操作状态中, 当信号输入到输入节点时, 从输出节点输出信号。在这种状态下, 从布置在坐标 (x, y) 处的存储单元读信号。

[0053] 在从存储单元 30 读出的数据信号是 H- 电平的情况下 (“1”), L- 电平的信号输出到数据线 39。在从存储单元 30 读出的数据信号是 L- 电平的情况下 (“0”), H- 电平的信号输出到数据线 39。这样处于操作状态的时钟控制反相器只作为反相器, 因此精确完成 H- 电平和 L- 电平之间的转变。即, 晶体管特性的改变对输出的影响不大。

[0054] 从时钟控制反相器 15 输出的信号具有和在高电位端 VDD 上的电源或低电位端 VSS 上的电源相同的电位。即, 从存储单元 30 提供的数据信号通过时钟控制反相器 15 被放大, 并且放大的数据信号输出到输出电路 37。

[0055] 根据本发明, 时钟控制反相器 15 的状态 (不稳定状态或操作状态) 由从列解码器 35 提供的信号控制。当时钟控制反相器 15 从不稳定状态改变到操作状态时, 连接到时钟控制反相器 15 的输入节点的位线 33 被选择。此外, 从存储单元 33 输出的信号被时钟控制反相器 15 放大并输出到输出电路 37。

[0056] 即, 本发明的一个特点是位线的选择和存储单元提供的信号的放大可以由一个时钟控制反相器 15 完成。在许多情况下, 只为了选择位线而提供列解码器, 并且读出放大器作为放大器电路提供。因此, 根据本发明, 其中, 位线的选择和存储单元提供的信号的放大可以由一个时钟控制反相器同时完成, 存储器的读速度急剧增加。

[0057] 在许多方面, 与用作存储器的放大器电路的读出放大器相比, 使用具有少量元件的时钟控制反相器的本发明可以提高产量。而且, 由于元件数量少可以减少安装区域。

[0058] 另外, 当与使用要求两个输入端的读出放大器的情形相比, 使用具有一个输入端的时钟控制反相器的本发明因为要控制的信号减少而可以减少施加在外围电路上的负荷, 例如, 这可以减少引线的数量, 并且提高了可靠性。

[0059] 应该注意, 在图 1B 的时间图中, 与时钟控制反相器 15 从不稳定状态转变到操作状态相一致, 数据线 39 的电位从 H- 电平降到 L- 电平或从 L- 电平上升到 H- 电平。但是, 在实际中, 从列解码器 35 提供的信号存在延迟, 并且当构成输出电路 37 的电路从不稳定转变成操作状态时, 发生延迟。

[0060] 从存储单元 30 输出的信号通过时钟控制反相器 15 而被反相。所述被反相的信号通过配备在输出电路 37 中的反相器 (未表示出) 来调节逻辑电路。

[0061] [实施方式 2]

[0062] 作为本发明的存储器, 参考图 2 简明描述能够读和写的存储器 (典型地为 RAM) 的结构。

[0063] 本发明的存储器包含存储单元阵列 31, 其中存储单元 30 以矩阵排列, 包含行解码

器 34、列解码器 35、选择器 36 和读 / 写电路 (下文中称为 R/W 电路)40。选择器 36 配备有时钟控制反相器 41 和开关 42。在对应于每个位线 33 的每一列中提供时钟控制反相器 41 和开关 42。即,假定时钟控制反相器 41 和开关 42 是一个单元电路,一个对应于每个位线提供的单元电路。因此,在每列中提供两个位线 (一个是位线,另一个是位条线 (bit bar line)) 的情况下,每列中提供两个单元电路。

[0064] 行解码器 34 输入写使能信号 (下文中称为 WE 信号或 WE)、读使能信号 (下文中称为 RE 信号或 RE)、芯片使能信号 (下文中称为 CE 信号或 CE) 以及 A_y 信号。列解码器 35 输入 WE 信号、RE 信号、CE 信号和 A_x 信号。

[0065] R/W 电路 40 包含逻辑电路 43 和 46,以及开关 44 和 47。此外,在 R/W 电路 40 中布置数据线 51、写使能信号线 (下文中称为 WE 信号线)52、读使能信号线 (下文中称为 RE 信号线)53、芯片使能信号线 (下文中称为 CE 信号线)54。数据线 51 是用于传输写入每个存储单元 30 的数据信号和从每个存储单元 30 读出的数据信号的布线。WE 信号线 52 是用于传输 WE 信号的布线,RE 信号线 53 是用于传输 RE 信号的布线,以及 CE 信号线是用于传输 CE 信号的布线。前述 WE 信号、RE 信号和 CE 信号也输入到列解码器 35 和行解码器 34。

[0066] 对于逻辑电路 43 和 46 的两个输入节点中的每一个,一个连接到 CE 信号线 54,而另一个连接到 WE 信号线 52 或 RE 信号线 53。开关 44 和 47 由从逻辑电路 43 和 46 输出的信号控制,从而一个变成导通,而另一个变成非导通。

[0067] 在字线 32 和位线 33 相交的区域,每个存储单元 30 包含一个或多个存储元件。例如,DRAM 包含使用氧化物膜的电容器 50 和控制电容器 50 的数据的读或写的晶体管 49。图 2 表示存储单元 30 构成 DRAM 的情形。

[0068] 作为一种不同于前述的结构,每个存储单元 30 包含具有两个栅极的晶体管,在闪存器的情况下,两个栅极是浮置栅极和栅极。在 FRAM 的情况下,每个存储单元 30 包含使用铁电物质的晶体管和电容器。在 SRAM 的情况下,每个存储单元 30 包含五个晶体管或四个晶体管和一个电阻器。但是,在 SRAM 的每列中布置两个位线 (一个是位线,另一个是位条线) 的情况下,每个存储单元 30 包含六个晶体管或四个晶体管和两个电阻器。应该注意在每列中布置两个位线的情况下,在选择器 36 中对应于每个位线 33 提供时钟控制反相器 41 和开关 42。

[0069] 存储器的结构不限于前面提到的结构,而是也可以提供预充电电路、电平转移电路、输入缓冲器等。

[0070] 本发明的存储器的特征包括:开关 42 由列解码器 35 提供的信号控制;时钟控制反相器 41 的输入节点连接到位线 33,以及开关 44 和 47 由 RE 信号、WE 信号和 CE 信号控制。这些特征确保位线的选择和从存储单元输出信号的放大由一个时钟控制反相器完成。

[0071] 下面,参考图 3A 和 3B 描述具有前述结构的存储器在读数据和写数据时的操作。此处,描述布置在坐标 (x, y) 处的存储单元 30 在读数据和写数据时的操作。

[0072] 注意图 3A 表示用模拟开关作为开关 42、44 和 47 的情况,并且与它们一起另外提供反相器 45 和 48。而且,NOR 被用作逻辑电路 43 和 46。此外,为了调节数据信号的逻辑另外配置反相器 55。

[0073] 在图 3A 中,对应于第 x 列的列解码器 35 的输出节点的电势是 A_y ,而对应于第 y 行的行解码器 34 的输出节点的电势是 A_y 。将被输入到构成时钟控制反相器 41 的预定晶体管

和模拟开关 42 的信号的电位分别为 Vin1 和 Vin2。Vin1 和 Vin2 具有彼此相反的电位。数据线 51 的电位是 Data。图 3B 表示出表示前述 Ax、Ay、CE、WE、RE、Vin1、Vin2 和 Data 随时间变化的时间图。下文描述的是在数据写入存储单元 30 的 T1 阶段和从存储单元 30 读出数据的 T2 阶段的操作。

[0074] 在 T1 阶段, H- 电平的信号提供到 Vin1, 而 L- 电平的信号提供到 Vin2, 它们被输入到构成时钟控制反相器 41 和模拟开关 42 的预定晶体管。此时, 模拟开关 42 变成导通, 而时钟控制反相器 41 变成操作状态。

[0075] 输入 L- 电平的 CE 信号和 L- 电平的 WE 信号的 NOR46 输出 H- 电平信号。该 H- 电平信号输入到反相器 48 和模拟开关 47 的预定晶体管, 这使得模拟开关 47 导通。

[0076] 另一方面, 输入 L- 电平的 CE 信号和 H- 电平的 RE 信号的 NOR43 输出 L- 电平信号。该 L- 电平信号输入到反相器 45 和模拟开关 44 的预定晶体管, 这使得模拟开关 44 非导通。

[0077] 此外, H- 电平信号从行解码器 34 输入到布置在第 y 行的字线 32, 且第 y 行的字线 32 被选择。这样, 布置在坐标 (x, y) 处的存储单元 30 被选择。

[0078] 布置在坐标 (x, y) 处的存储单元 30 中的晶体管 49 通过字线 32 的电位导通, 并且通过模拟开关 47 和 42 以及位线 33 从数据线 51 写入对应于电容器 50 的数据。此处表示的例子是写数据“1”的情况, 因此, 数据线 51 的电位为 H- 电平。

[0079] 在 T2 阶段, 如同 T1 阶段一样, H- 电平信号提供到 Vin1 而 L- 电平信号提供到 Vin2, 它们被输入到构成时钟控制反相器 41 和模拟开关 42 的预定晶体管。此时, 模拟开关 42 变成导通, 而时钟控制反相器 41 变成操作状态。

[0080] 输入 L- 电平 CE 信号和 H- 电平 WE 信号的 NOR 46 输出 L- 电平的信号。该 L- 电平的信号输入到反相器 48 和模拟开关 47 的预定晶体管, 这使得模拟开关 47 非导通。

[0081] 另一方面, 输入 L- 电平的 CE 信号和 H- 电平的 RE 信号的 NOR43 输出 H- 电平信号。该 H- 电平信号输入到反相器 45 和模拟开关 44 的预定晶体管, 这使得模拟开关 44 导通。

[0082] H- 电平信号从行解码器 34 输入到布置在第 y 行的字线 32, 且第 y 行的字线 32 被选择。这样, 布置在坐标 (x, y) 处的存储单元被选择。

[0083] 布置在坐标 (x, y) 处的存储单元 30 中的晶体管 49 通过字线 32 的电位导通, 并且通过位线 33、时钟控制反相器 41、反相器 55 和模拟开关 44 将从电容器 50 读出的数据传输到数据线 51。此处表示的例子是读数据“1”的情况, 因此, 数据线 51 的电位为 H- 电平。

[0084] 具有前述结构的本发明的一个特征是位线的选择和从存储单元提供的信号的放大由一个时钟控制反相器 15 完成。这个特征有助于显著提高存储器的读速度。此外, 使用具有少量元件的时钟控制反相器的本发明有助于提高产量。而且, 由于元件数量减少可以减少安装区域。此外, 使用具有一个输入端的时钟控制反相器的本发明由于要控制的信号减少, 因此可以减少施加在外围电路上的负荷, 例如, 这可以减少引线数量并提高可靠性。

[0085] [实施例 1]

[0086] 参考图 4A 描述应用本发明的微处理器 (MPU) 的结构实例。图 4A 所示的 MPU 在衬底 300 上包含 CPU301、主存储器 303、时钟控制器 304、高速缓存控制器 305、串行接口 306、I/O 端口 307、接线端 308、接口 309、高速缓冲存储器 310 等。本发明应用到主存储器 303 和高速缓冲存储器 310 的结构及其驱动方法中。

[0087] 根据前述结构, 衬底 300 可以由硅晶片、石英衬底、玻璃衬底、金属衬底、不锈钢衬

底、塑料衬底等形成。当使用石英、玻璃、金属、不锈钢材料等形成衬底时,优选使用包含多晶半导体的元件形成每个电路,多晶半导体通过在衬底上形成非晶半导体(a-Si)后的预定结晶化工艺形成。通过在结晶化工艺中使用连续谐振激光器,可以获得晶粒尺寸大晶体缺陷少的多晶半导体。由这种多晶半导体形成的元件能够进行高速驱动,这是因为有良好的迁移率和响应速度。因而,元件的操作频率可以比以前提高,并且可以获得高可靠性,这是因为特性变化更小。因此,通过使用包含多晶半导体的元件,多晶半导体通过在便宜的玻璃衬底上形成非晶半导体后使用连续波谐振激光器形成,可以提供便宜且能够高速操作的优质 MPU。此外,在使用由呈现低热阻的材料如塑料形成的衬底的情况下,优选通过剥离法连接元件。塑料衬底由于重量轻和柔韧的优点而可以有各种应用。

[0088] 可以有多个 CPU301。通过使用多个 CPU301 并行处理,可以提高操作速度。那样,当 CPU301 的处理速度不均匀时,整个处理过程可能发生问题。因此,优选使用主 CPU 均衡每个从属 CPU301 的处理速度。

[0089] 优选使用成本低和容量大的存储器(优选 DRAM)作主存储器 303,并用能够高速操作的存储器(优选 SRAM)作高速缓冲存储器 310。如同前述结构一样,通过将高速缓冲存储器 310 介于 CPU301 和主存储器 303 之间,CPU301 访问高速缓冲存储器 310,并且无论主存储器 303 的速度大小都可以高速操作。

[0090] 本发明不限于作为 MPU 中的存储器的应用,但还是优选将本发明应用到视频 RAM,视频 RAM 用于显示器件的驱动器电路,以及应用到用于图象处理电路中所要求的大容量存储器。此外,本发明也可以应用到大容量存储器或各种系统 LSI 中压缩用的存储器。

[0091] [实施例 2]

[0092] 在该实施例中,参考图 4B 和 4C 描述面板,在该面板上,像素部分、用于控制像素部分的驱动器电路、存储器和 CPU 安装在相同表面上。图 4B 是面板的顶视图,图 4C 是沿图 4B 的 A-A' 线截取的横截面视图。

[0093] 图 4B 是包含像素部分 401 的面板的外部视图,在玻璃衬底 400 上,像素部分中多个像素以矩阵排列并且在像素部分 401 的周围提供信号线驱动器电路 402 和扫描线驱动器电路 403。此外,在玻璃衬底 400 上提供 CPU406 和对应于 VRAM(用于显示图象目的的存储器)、RAM、和 ROM 的存储器 405。此外,在玻璃衬底 400 上提供用于提供信号以控制信号线驱动器电路 402 和扫描线驱动器电路 403、存储器 405 和 CPU406 的输入接线部分 411。信号如视频信号从外部电路通过 FPC412 提供到输入接线端 411。本发明应用到存储器 405 的结构及其驱动方法中。

[0094] 通过提供密封件(未表示出)以包围像素部分 401,信号线驱动器电路 402 和扫描线驱动器电路 403、玻璃衬底 400 和反衬底 409 彼此连接在一起。可以只在像素部分 401、信号线驱动器电路 402 和扫描线驱动器电路 403 上,或在玻璃衬底 400 的整个表面上提供反衬底 409。但是,使用 CPU406 时会产生热量,优选提供冷却板与之接触。

[0095] 图 4C 是面板的横截面视图。在玻璃衬底 400 上提供像素部分 401、信号线驱动器电路 402 和存储器 405。像素部分 401 包含晶体管 430 和电容器 429,信号线驱动器电路 402 包含由 CMOS 电路等形成的一组元件 431,存储器 405 包含构成外围电路的 CMOS 电路 440 和包含在存储单元中的晶体管 441。

[0096] 在玻璃衬底 400 和反衬底 409 之间提供衬垫 422。在像素部分 401 上提供磨面定

位膜 435、液晶膜 423、定位膜 424、反电极 425 和滤色器 426。在玻璃衬底 400 和反衬底 409 上提供偏振板 428 和 429。

[0097] 构成玻璃衬底 400 上的电路的元件由多晶半导体（多晶硅）形成，与非晶半导体相比它具有优良的特性如迁移率，由此可以获得相同表面上的单片结构。特别地，优选使用其沟道部分由多晶半导体形成的薄膜晶体管。

[0098] 此外，功能电路，如 CPU 和存储器，以及像素部分和驱动器电路一起在相同的玻璃衬底 400 上形成。这样的面板称为板上系统，通过它可以实现系统的多功能。

[0099] 具有前述结构的面板体积小、重量轻且薄，这是由于被连接的外部 IC 的数量减少了。将这种面板应用到最近几年迅速发展的便携式终端是非常有效的。

[0100] 注意，该实例中描述了使用液晶元件作为显示元件的面板，但本发明不限于此。本发明也可以应用到使用其它的显示元件如发光元件的面板中。

[0101] [实施例 3]

[0102] 应用本发明的电子装置的实例包括数码相机、音频再现装置如汽车音频系统、个人计算机、游戏机、便携式信息终端、配备记录介质的图象再现装置如家用游戏机等。参考图 5A ~ 5E 描述这些电子装置的具体实例。

[0103] 图 5A 表示包含主机体 9101、显示部分 9102 等的便携式终端。图 5C 表示包含主机体 9201、显示部分 9202 等的 PDA（个人数字助理）。图 5D 表示包含主体 9301、显示部分 9302 等的护目镜型显示器。图 5E 包含表示主机体 9401、显示部分 9402 等的便携式游戏机。

[0104] 包含显示部分 9102、9202、9302 和 9402 的每个面板包含驱动器电路 9104 和如 CPU 和存储器的功能电路 9103，如图 5B 所示。本发明应用到功能电路 9103 的存储器的结构及其驱动方法中。这样，具有面板的电子装置，其中功能电路及驱动电路整体在面板上形成，可以是体积小、重量轻而薄，这是由于被连接到外部 IC 数量减少，因此它对于便携式终端是有很有效的。

[0105] 用自发光发光元件作为在前述电子装置中的显示部分 9102、9202、9302 和 9402 中提供的显示元件是有效的，因为不需要背光等。因此，与使用液晶元件的情况相比，就体积小、重量轻和薄而言它是优选的。

[0106] 下面，参考图 5F 描述 IC 卡的具体例子。图 5F 表示接触型 IC 卡，它包含主体 9601、IC 芯片 9602 以及模块终端 9603。IC 芯片 9602 包含 RAM9604、ROM9605、CPU9606、EEPROM9607 等。本发明应用到 IC 芯片 9602 的结构及其驱动方法中。

[0107] 本发明以 2003 年 8 月 11 日在日本专利局提出的日本专利申请序列号第 2003-291811 为基础，此处引用其内容作为参考。

[0108] 虽然参考附图通过实例充分地描述了本发明，应该明白各种变动和修改对本领域技术人员而言是很清楚的。因此除非这些变动和修改脱离了下面规定的本发明的范围，否则应当认为其包含在本发明的范围内。

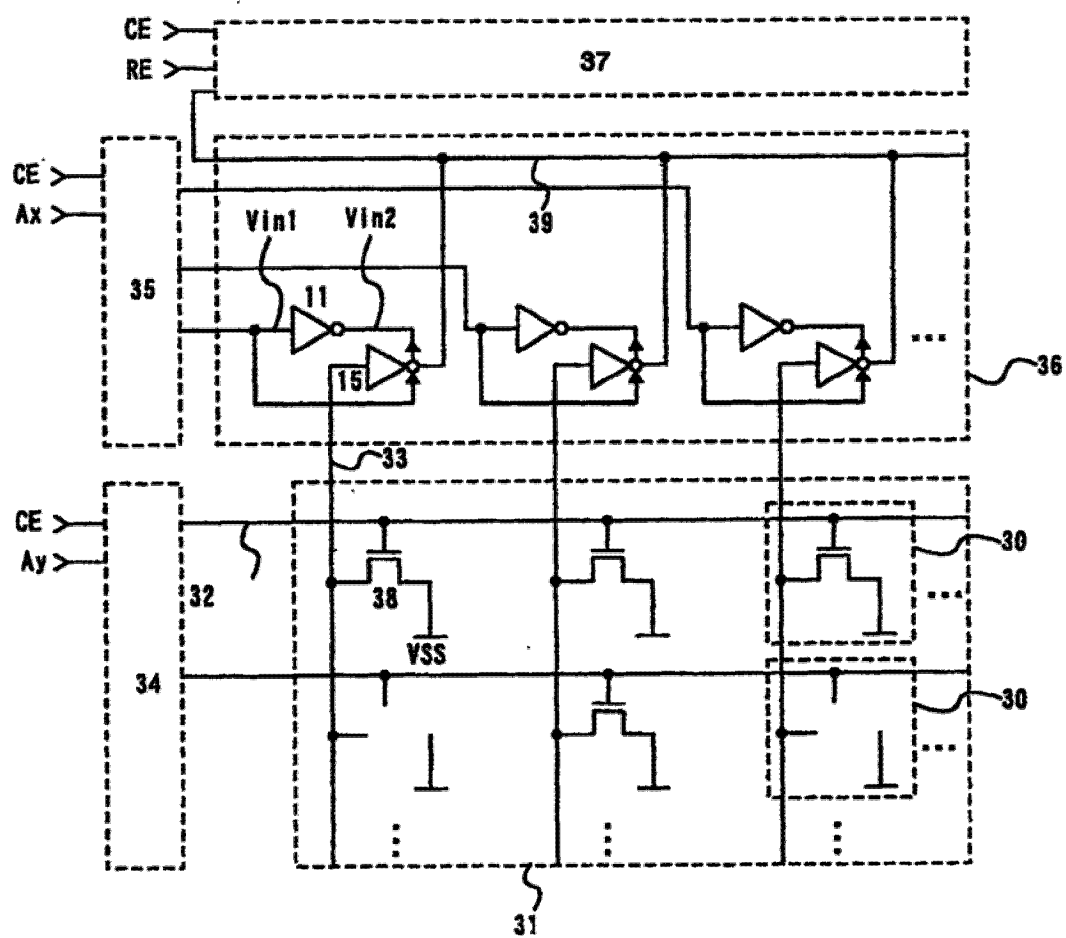


图 1A

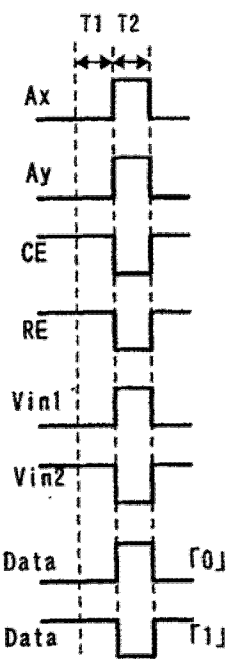


图 1B

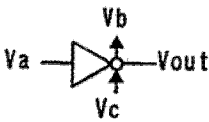


图 1C

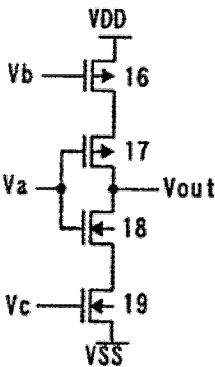


图 1D

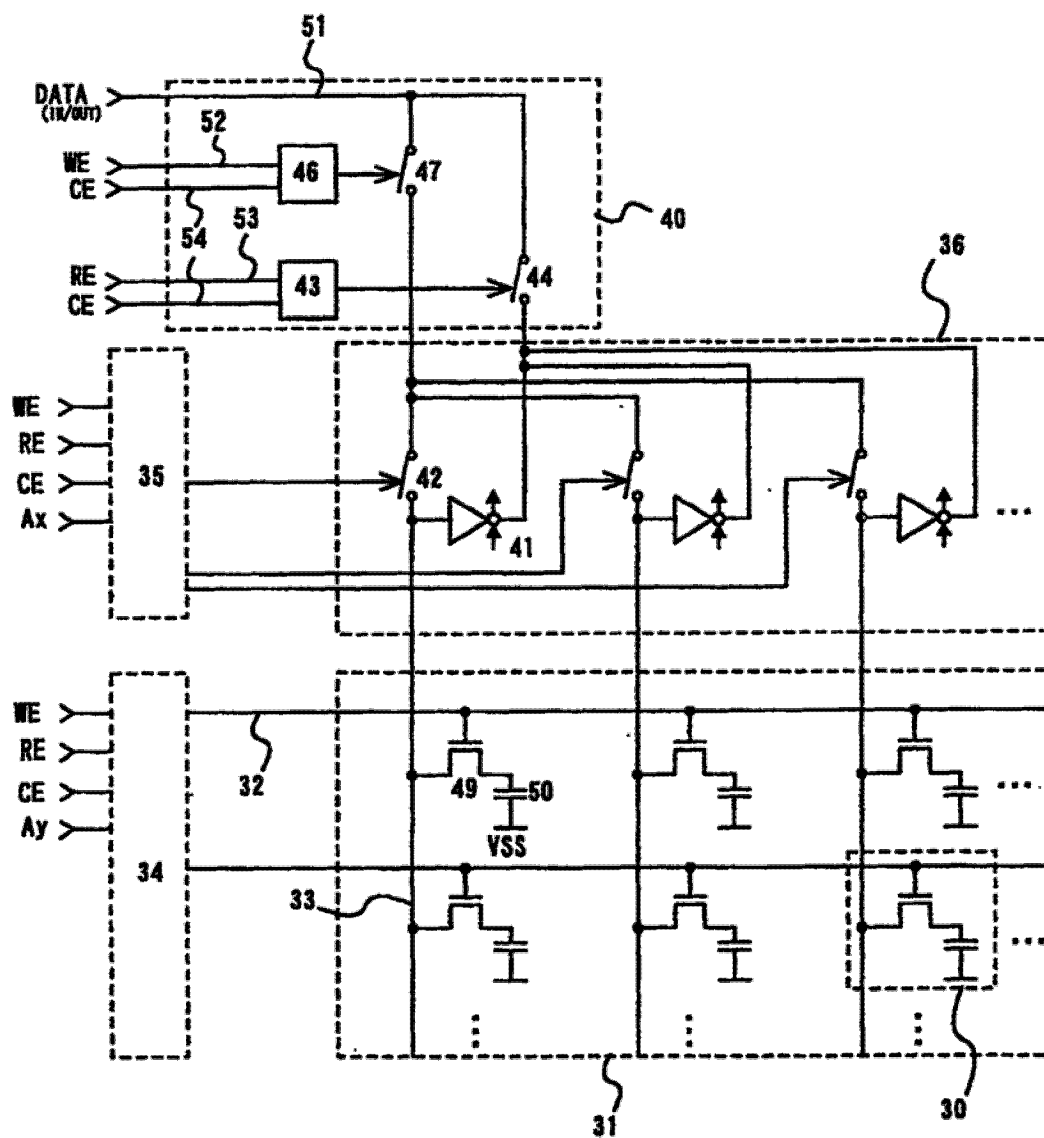


图 2

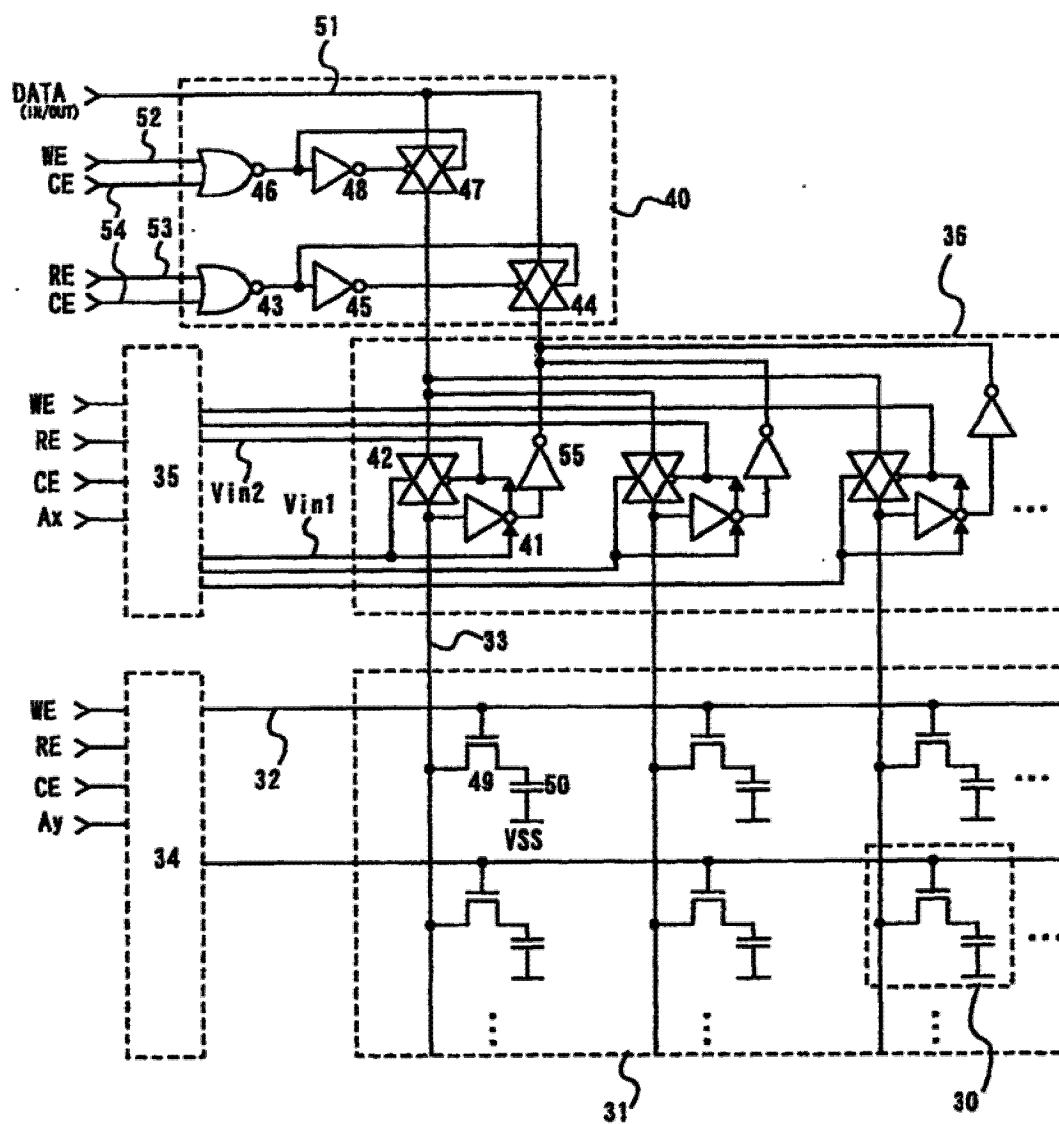


图 3A

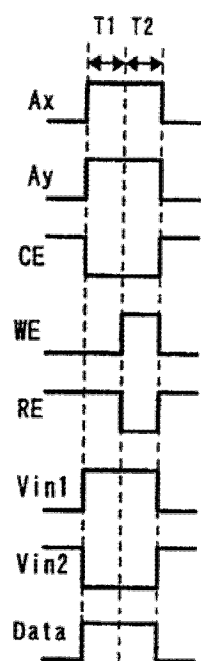


图 3B

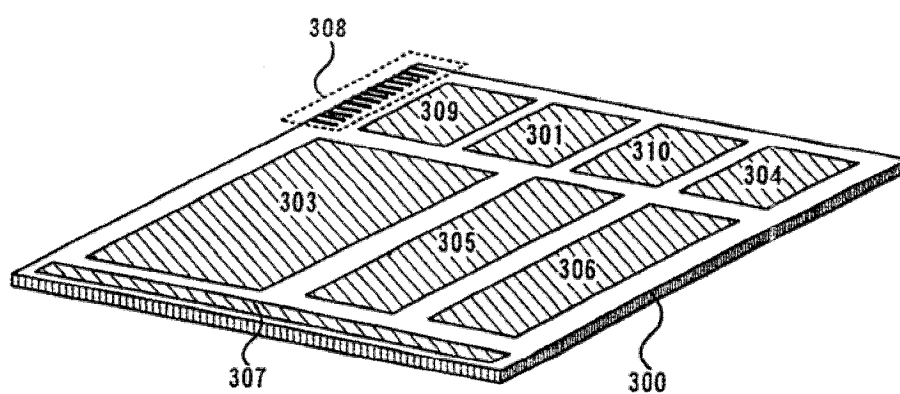


图 4A

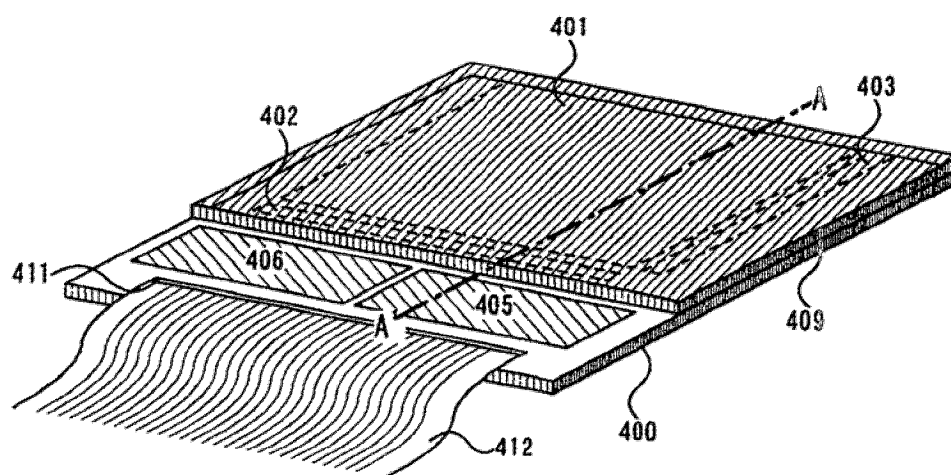


图 4B

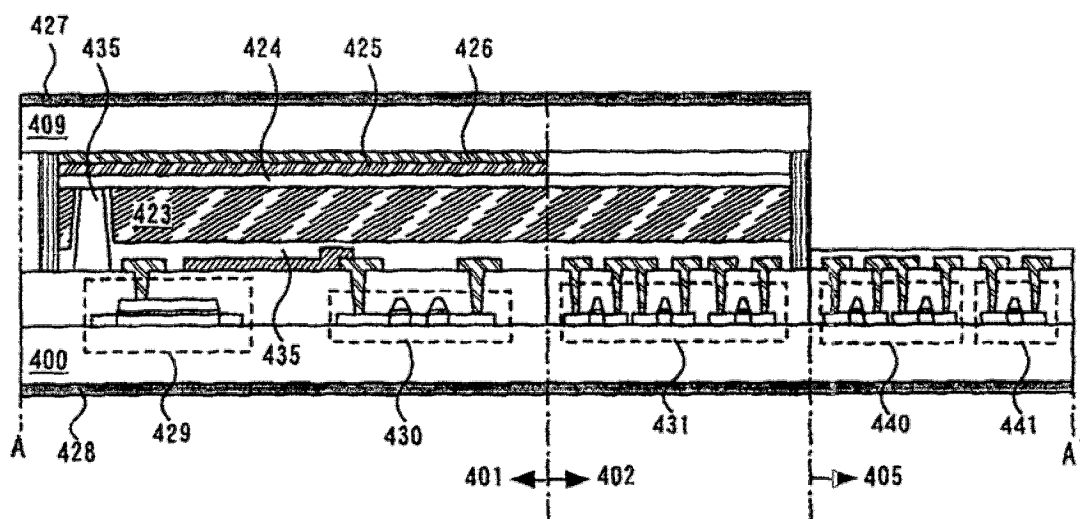


图 4C

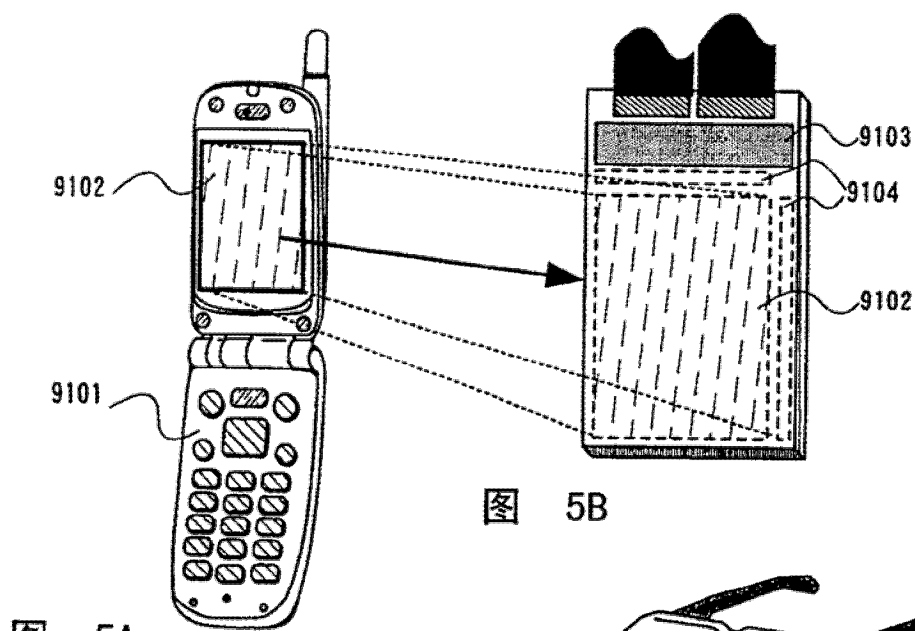


图 5B

图 5A

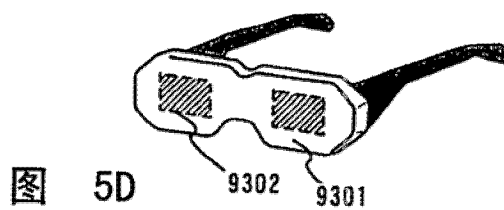


图 5D

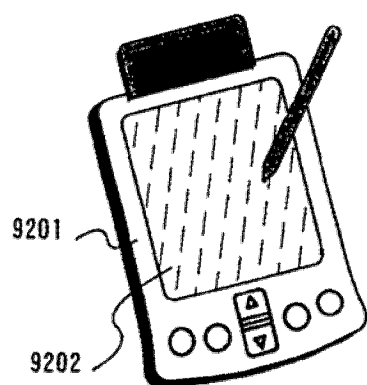


图 5C

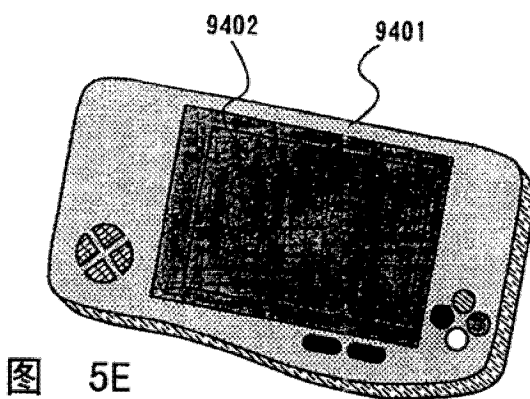


图 5E

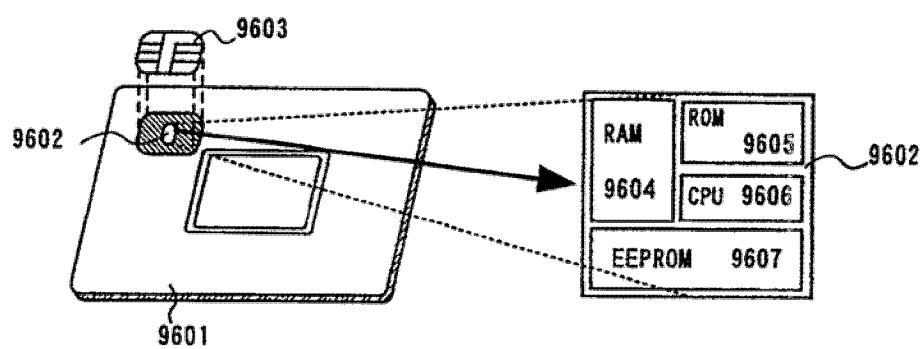


图 5F