(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 12 월 8 일 (08.12.2016)

WIPO | PCT

(10) 국제공개번호
WO 2016/195226 A1

(51) 국제특허분류:
H01L 31/09 (2006.01) *H01L 31/101* (2006.01)
H01L 31/04 (2006.01) *H01L 31/0224* (2006.01)

(21) 국제출원번호: PCT/KR2016/003520

(22) 국제출원일: 2016 년 4 월 5 일 (05.04.2016)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2015-0076396 2015 년 5 월 29 일 (29.05.2015) KR

(71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR).

(72) 발명자: **천홍구 (CHUN, Honggu)**; 05507 서울시 송파구 올림픽로 435, 214 동 502 호, Seoul (KR).

(74) 대리인: **특허법인 충현 (CHUNG HYUN PATENT & LAW FIRM)**; 06779 서울시 서초구 동산로 23 베델회관 8 층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

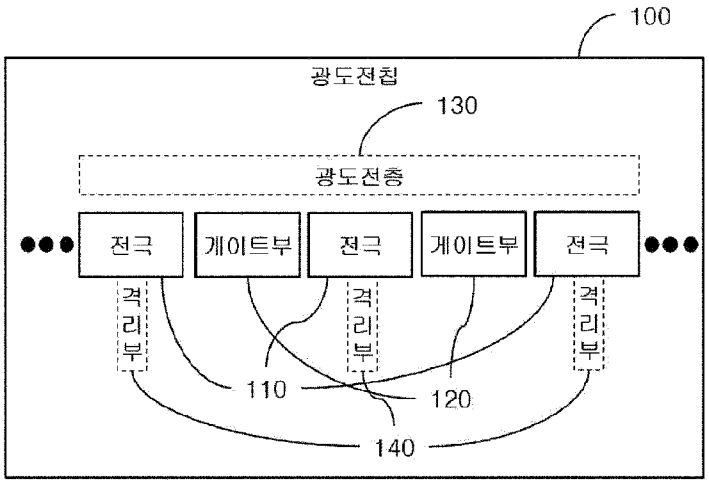
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) **Title**: RECONFIGURABLE PHOTOTRANSISTOR ARRAY

(54) **발명의 명칭** : 재구성 가능한 광트랜지스터 어레이



100 ... Photoconductive chip
110 ... Electrode
120 ... Gate part
130 ... Photoconductive layer
140 ... Isolation part

(57) **Abstract**: The present invention relates to a photoconductive chip comprising: a plurality of electrodes which are arranged in the form of an array; and a gate part which is disposed between the electrodes and is activated by light, wherein, when an area of the gate part is selectively activated by light, the electrodes placed on both sides of the activated gate part become electrically conductive. Accordingly, the present invention can provide a chip which can be reconfigured by patterning incident light.

(57) **요약서**: 본 발명은 광도전칩에 관한 것으로, 어레이(arrary) 형태로 배치되는 복수의 전극, 및 상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고, 상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 함으로써, 입사되는 빛의 패터닝을 통해 재구성이 가능한 칩을 제공할 수 있다.

WO 2016/195226 A1

명세서

발명의 명칭: 재구성 가능한 광트랜지스터 어레이

기술분야

[1] 본 발명은 광트랜지스터 어레이에 관한 것으로서, 보다 구체적으로, 입사되는 빛에 따라 재구성이 가능한 광도전칩에 관한 것이다.

배경기술

[2] 종래의 미세전극 배열은 보통 마이크로 사이즈로 위치가 정해진 전극을 적용하는 패터닝 방법을 이용한다. 이러한 배열은 30 μm의 전극 직경과 200 μm의 전극 간격이 사용될 수 있고, 단층 칩은 보통 64개의 전극을 가질 수 있다. 특정 세포의 활동전위를 측정하거나 자극하기 위하여, 미세전극 배열의 표면에 배양된다. 세포를 배양하고 유지하기 위해선 배양액이 필수적이고, 배양액은 전도성을 가진다. 반면, 세포가 세포의 전기신호를 잘 측정할 수 있을 정도로 전극을 잘 덮고 있을 필요가 있는데, 미리 고정된 전극형태를 이용하는 경우 세포가 필요한 정도로 전극을 잘 덮지 않을 수 있다. 전극이 세포로 잘 덮히지 않고 노출된 부분이 있으면, 전도성이 높은 배양액과 닿아 세포로부터의 신호크기를 감소시키는 문제가 발생할 수 있다. 결과적으로, 해상도를 높이거나, 더 나은 세포전극 커플링이 되는 미세전극 배열의 성능을 향상시키는 노력이 계속되고 있다.

[3] 광도전성은 1세기 전부터 지금까지 알려져왔고, 다양한 분야와 산업에 이용되고 있다. 이러한 특성을 가지는 물질의 전도성은 전자기 스펙트럼의 적절한 파장을 흡수함으로써 극적으로 증가한다. 이러한 국지적인 전도성의 증가는 가상 전도성 선, 예를 들어 가상 전극에 매우 유용하게 사용될 수 있다.

발명의 상세한 설명

기술적 과제

[4] 본 발명이 해결하고자 하는 과제는 재구성이 가능한 광도전 칩을 제공하는 것이다.

과제 해결 수단

[5] 본 발명은 상기 과제를 해결하기 위하여, 어레이(array) 형태로 배치되는 복수의 전극; 및 상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고, 상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 광도전칩을 제공한다.

[6] 본 발명의 다른 실시예에 의하면, 기판; 상기 기판 상에 형성되는 제 1 p형 반도체층; 및 상기 전극 하부와 상기 제 1 p형 반도체층 상부 사이에 위치하는 제 1 n형 반도체층을 더 포함하고, 상기 게이트부는, 상기 제 1 p형 반도체층 상부에 위치하고, 광도전성을 갖는 제 2 n형 반도체층; 상기 제 2 n형 반도체층 상부에

위치하는 절연층; 및 상기 절연층 상에 위치하는 게이트 전극을 포함하며, 빛에 의해 제 2 n형 반도체층이 광도전성을 띄면 상기 게이트부 양측에 위치한 전극들 사이에 채널이 형성되어 전기적으로 도통되는 것을 특징으로 하는 광도전칩일 수 있다.

[7] 본 발명의 다른 실시예에 의하면, 상기 게이트부는, 전극 어레이 사이에 격자 형태로 연결되어 형성되고, 상기 격자 형태를 형성하는 교차지점의 게이트부 영역은, 상기 제 2 n형 반도체층 대신 p형 반도체층 또는 필드 산화층(field oxide)이 위치하는 것을 특징으로 하는 광도전칩일 수 있다.

[8] 본 발명의 다른 실시예에 의하면, 상기 전극과 접하는 각 게이트부들의 활성화에 의해 형성되는 전기적인 도통 영역을 서로 전기적으로 격리시키는 격리부를 더 포함하는 것을 특징으로 하는 광도전칩일 수 있다.

[9] 본 발명의 다른 실시예에 의하면, 상기 격리부는, 상기 전극 하부에서 상기 기판 방향으로 수직적인 형태로 형성되는 것을 특징으로 하는 광도전칩일 수 있다.

[10] 본 발명의 다른 실시예에 의하면, 상기 격리부는, 에칭을 통해 형성하거나, 옥사이드(oxide)를 삽입하여 형성하는 것을 특징으로 하는 광도전칩일 수 있다.

[11] 본 발명의 다른 실시예에 의하면, 기판; 상기 기판 상에 형성되는 제 1 p형 반도체층; 및 상기 전극 하부와 상기 제 1 p형 반도체층 상부 사이에 위치하는 제 1 n형 반도체층을 더 포함하고, 상기 게이트부는, 상기 제 1 p형 반도체층 상부에 위치하는 절연층; 상기 절연층 상부에 위치하고, 광도전성을 갖는 광다이오드층; 및 상기 광다이오드층 상에 위치하는 게이트 전극을 포함하며, 빛에 의해 상기 광다이오드층이 광도전성을 띄면 상기 게이트부 양측에 위치한 전극들 사이에 채널이 형성되어 전기적으로 도통되는 것을 특징으로 하는 광도전칩일 수 있다.

[12] 본 발명의 다른 실시예에 의하면, 상기 광다이오드층은, 제 2 p형 반도체층; 및 상기 제 2 p형 반도체층 상부에 위치하는 제 3 n형 반도체층을 포함하는 것을 특징으로 하는 광도전칩일 수 있다.

[13] 본 발명의 다른 실시예에 의하면, 상기 게이트부는, 전극 어레이 사이에 격자 형태로 연결되어 형성되고, 게이트 전압이 연결되어 있는 것을 특징으로 하는 광도전칩일 수 있다.

[14] 본 발명의 다른 실시예에 의하면, 상기 전극과 게이트부의 상부에 위치하는 광도전층을 포함하고, 상기 게이트부와 상기 광도전층은 서로 다른 파장을 가지는 빛에 의해 활성화되는 것을 특징으로 하는 광도전칩일 수 있다.

[15] 본 발명의 다른 실시예에 의하면, 상기 게이트부 또는 광도전층의 영역이 선택적으로 활성화 되도록 패터닝된 빛을 발생시키는 광원부를 더 포함하는 광도전칩일 수 있다.

[16] 본 발명의 다른 실시예에 의하면, 상기 게이트부를 활성화시키는 파장의 영역과 상기 광도전층을 활성화시키는 파장의 영역은 서로 일치하지 않는 것을 특징으로 하는 광도전칩일 수 있다.

[17] 본 발명의 다른 실시예에 의하면, 제 1 파장을 가지는 빛에 의해 활성화되는

게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은, 외부로부터 신호를 받아 활성화된 광도전층 영역으로 전달하거나, 활성화된 광도전층 영역으로부터 신호를 수신하여 외부로 신호를 전달하고, 상기 광도전층은, 제 2 파장을 가지는 빛에 의해 활성화된 영역을 통해 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로부터 수신한 신호를 상기 광도전층의 상부방향으로 방출하거나 광도전층의 상부로부터 신호를 수신하여 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로 전달하는 것을 특징으로 하는 광도전칩일 수 있다.

[18] 본 발명의 다른 실시예에 의하면, 상기 광도전층은, 상부로 신호를 송신하거나 상부로부터 신호를 수신하도록 전극의 형태로 소정의 영역이 활성화되고, 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은, 상기 광도전층에 신호를 전달하려는 신호전달장치와 연결된 전극 또는 광도전층이 수신한 신호를 수신할 신호수신장치와 연결된 전극을 상기 활성화된 광도전층의 영역과 연결하도록 선로의 형태를 갖는 것을 특징으로 하는 광도전칩일 수 있다.

발명의 효과

[19] 본 발명에 따르면, 광도전칩에 입사되는 빛을 패터닝을 통해 재구성이 가능한 칩을 제공할 수 있다. 이를 통해 전극의 모양, 크기, 위치 등을 실시간으로 제어할 수 있다. 상층부에 전기신호를 전달하거나 상층부로부터 전기신호를 수신하는데 이용할 수 있고, 세포의 위치를 감지할 수 있고, 더 나은 세포-전극 커플링을 가능하도록 하는 정보에 기초하여 전극을 설정할 수 있다. 나아가, 재구성 가능한 와이어 패턴의 생성에 있어 저항을 획기적으로 줄일 수 있다.

도면의 간단한 설명

[20] 도 1은 본 발명의 일 실시예에 따른 광도전칩이다.

[21] 도 2a 및 2b는 본 발명의 실시예에 따른 게이트부와 양측 전극의 구성을 구체적으로 나타낸 것이다.

[22] 도 3은 전극이 어레이 형태를 갖는 광도전칩의 일부 영역을 활성화 시킨 예를 나타낸 것이다.

[23] 도 4 내지 5는 본 발명의 실시예에 따른 광도전칩이다.

[24] 도 6은 본 발명의 실시예에 따른 격리부를 포함하는 광도전칩이다.

[25] 도 7 내지 13은 본 발명의 실시예에 따른 격리부를 포함하는 광도전칩의 도전되는 형태를 나타낸 것이다

[26] 도 11 내지 12는 본 발명의 실시예에 따른 광도전층을 포함하는 광도전 칩의 구동원리를 나타낸 것이다.

[27] 도 13 내지 16은 본 발명의 실시예에 따른 광도전층을 포함하는 광도전 칩이 적용되는 예들을 나타낸 것이다.

발명의 실시를 위한 최선의 형태

[28] 본 발명의 일 실시예에 따른 광도전칩은, 어레이(array) 형태로 배치되는 복수의 전극, 및 상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고, 상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 한다.

발명의 실시를 위한 형태

[29] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[30] 본 발명의 일 실시예에 따른 광도전칩은, 어레이(array) 형태로 배치되는 복수의 전극, 및 상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고, 상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 한다.

[31] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[32] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[33]

[34] 도 1은 본 발명의 일 실시예에 따른 광도전칩이다.

[35] 본 발명의 일 실시예에 따른 광도전칩(100)은 복수의 전극(110)과 게이트부(120)로 구성된다. 광도전층(130), 격리부(140), 또는 광원부를 더 포함할 수 있다.

[36] 복수의 전극(110)은 어레이 형태로 배치되며, 전극 사이에 위치하는 게이트부(120)가 활성화되면 게이트부(120) 양측에 위치한 전극들이 전기적으로 도통된다.

[37] 게이트부(120)는 빛에 의해 활성화된다.

[38] 보다 구체적으로, 게이트부(120)는 광도전성을 갖는 층을 포함하고 있고, 해당

층에 빛이 입사되어 광도전성을 띄면 게이트부에 인가된 게이트 전압이 커져 활성화된다.

[39] 도 2a 및 2b는 본 발명의 실시예에 따른 게이트부와 양측 전극의 구성을 구체적으로 나타낸 것이다. 게이트부의 형태에 따라 도 2a와 도 2b의 두 가지의 형태로 형성될 수 있다. 구체적인 구성을 설명하기 위하여, 2 개의 전극과 그 사이에 위치하는 게이트부를 중심으로 먼저 도 2a를 참조하여 설명하도록 한다.

[40] 본 발명의 실시예에 따른 광도전칩은 기판(210), 제 1 p형 반도체층(220), 제 1 n형 반도체층(230), 전극(240), 및 게이트부로 구성되고, 게이트부는 제 2 n형 반도체층(250), 절연층(260), 및 게이트 전극(270)으로 구성될 수 있다.

[41] 도 2a와 같이, 두 개의 전극(240)과 하나의 게이트부는 FET의 형태를 형성하게 된다. 기판상에 제 1 p형 반도체층(220)이 위치하고, 양측에 제 1 n형 반도체층(230)을 포함하는 전극(240)이 위치하여 하나의 전극은 소스(source), 다른 하나의 전극은 드레인(drain)의 역할을 한다. 전기적으로 도통되는 전극이 다수인 경우, 하나의 전극은 소스와 드레인의 역할을 모두 할 수 있다. 그리고, 상기 두 전극(240) 사이에 게이트 전극(270)이 위치하고, 게이트 전극(270) 하부에는 제 1 p형 반도체층(220)상에 상기 두 제 1 n형 반도체층(230)와 접촉되고, 광도전성을 갖는 제 2 n형 반도체층(250) 및 상기 제 2 n형 반도체층(250) 상부에 위치하는 절연층(260)이 형성된다.

[42] 게이트 전극(270)에는 두 전극(240)이 전기적으로 도통되지 않도록 하는 전압이 걸려있을 수 있다. 빛을 입사하기 전에 전극들이 서로 전기적으로 도통되는 것을 방지하기 위하여, 게이트 전극(270)에 일정한 전압을 인가한다. 게이트 전극(270)은 양측 전극(240)과 전기적으로 차단된다. 게이트 전극(270)은 빛이 통과할 수 있는 투명 전극일 수 있다.

[43] 제 1 p형 반도체층(220)과 제 2 n형 반도체층(250)이 PN 다이오드를 형성하며, 게이트부(120)를 활성화시키는 빛이 입사되면, 게이트부의 제 2 n형 반도체층(250)이 광도전성을 띄어, 전자들은 기판(210)으로 밀려나고, 정공(hole)들이 게이트 전극(270)쪽으로 모이게 되고, 게이트 전압을 상승하게 된다. 게이트 전압이 상승함으로써 두 전극(240) 사이에 채널이 형성되어 두 전극(240)은 전기적으로 도통하게 된다.도 2a와 다른 형태로, 게이트부는 도 2b와 같이, 상부로부터 게이트 전극, 제 1 p형광다이오드층, 절연체의 순서로 형성될 수도 있다.

[44] 이때, 본 발명의 실시예에 따른 광도전칩은 기판(210), 제 1 p형 반도체층(220), 제 1 n형 반도체층(230), 전극(240), 및 게이트부로 구성되고, 게이트부는 절연층(260), 광다이오드층(280 및 290), 및 게이트 전극(270)으로 구성될 수 있다.

[45] 광다이오드층은 제 2 p형 반도체층(280) 및 제 2 p형 반도체층 상부에 위치하는 제 3 n형 반도체층(290)으로 구성된다. 제 2 p형 반도체층(280)과 제 3 n형 반도체층(290)이 PN 다이오드를 형성하며, 빛에 의해 광도전성을 띄면, 게이트

전압이 상승하게 된다. 게이트 전압이 상승함으로써 두 전극(240) 사이에 채널이 형성되어 두 전극(240)은 전기적으로 도통하게 된다.

[46] 도 3a 내지 3b는 전극이 어레이 형태를 갖는 광도전칩의 일부 영역을 활성화 시킨 예를 나타낸 것이다.

[47] 도 3a과 같이, 전극(110)들이 어레이의 형태로 배치되고, 게이트부(120)는 전극 어레이 사이에 격자 형태로 연결되어 형성된다. 전극 어레이의 형태는 다양하게 형성될 수 있고, 전극 어레이로 구현하고자 하는 해상도(resolution)은 다양하게 구현될 수 있다. 전극의 크기와 전극 사이의 거리는 다양하게 구현할 수 있다. 전극의 크기와 전극 사이의 거리는 μm 단위일 수 있다. 게이트부(120)의 영역 중 일부에 빛을 입사하여 게이트부(120) 영역이 활성화되면, 활성화된 게이트부(120)들 양측에 위치하는 전극들이 전기적으로 도통하게 되고, 일정한 영역의 게이트부가 활성화되면, 활성화된 게이트부 양측에 위치하는 전극들이 서로 전기적으로 도통하게 된다. 즉, 게이트부(120)를 활성화하는 패턴을 제어하여 전기적으로 도통하는 전극(110)들을 제어함으로써 칩의 재구성이 가능하다. 전기적으로 도통되는 전극들은 와이어(wire)의 형태로 구현될 수 있다. 하나의 전극 어레이에 구현되는 전극 와이어는 하나 이상일 수 있으며, 서로 겹치지 않도록 구현할 수 있다. 구현되는 전극 와이어의 수와 형태는 다양할 수 있다. 게이트부(120)에는 빛의 입사가 없는 경우, 전극 사이가 도통되지 않도록 게이트 전압 V_G가 인가될 수 있다.

[48] 게이트부를 활성화하여 전극들을 전기적으로 도통하는 경우, 저항이 매우 작은바, 신호를 전달함에 있어서 빠르고 정확하게 전달이 가능하다.

[49] 도 3a와 같이, 전극 310과 전극 320 사이를 잇는 영역에 빛을 입사하여 게이트부를 활성화시킴으로써 전극 310과 전극 320이 전기적으로 도통하도록 할 수 있다. 이를 통해 전극 310으로 인가된 신호가 전극 320까지 전달될 수 있다. 전기적으로 도통된 전극들의 경로의 단면을 보면 도 3b와 같다.

[50] 도 4는 본 발명의 실시예에 따른 광도전칩이다. 도 4와 같이, 제 1 n형 반도체층은 강하게 도핑된 n^+ 반도체층이고, 제 2 n형 반도체층은 강하게 도핑된 n^- 반도체층일 수 있다. 절연층(insulation)은 oxide 층일 수 있고, 절연층과 제 2 n형 반도체층 사이에 누설전류를 방지하기 위하여 p형 반도체층이 더 포함될 수 있다.

[51] 도 5는 본 발명의 실시예에 따른 광도전칩이다. 게이트부(120)는 전극 어레이 사이에 격자 형태로 연결되어 형성되고, 상기 격자 형태를 형성하는 교차지점의 게이트부 영역은, 상기 제 2 n 타입 반도체층 대신 p 타입 반도체층 또는 필드 산화층(field oxide)이 위치할 수 있다. 전극 510과 전극 520을 연결하기 위하여 게이트부가 위치하는 530 영역을 활성화시키는 경우, 채널이 530을 넘어 주변의 게이트부 540 또는 550에도 생성될 수 있어, 의도하지 않은 다른 전극과 전기적으로 도통될 수 있다. 이를 방지하기 위하여, 격자 형태를 형성하는 교차지점의 게이트부 영역에 있어서, 제 2 n 타입 반도체층 대신 p 타입 반도체층

또는 필드 산화층(field oxide)이 위치하도록 하여 의도된 경로 이외에 채널이 생성되는 것을 방지할 수 있다. p 타입 반도체층 또는 필드 산화층(field oxide)이 위치함으로써 빛을 입사하더라도 광도전성을 띄지 않고, 전자들이 교차지점으로 흘러나가는 것을 방지할 수 있다.

[52] 격리부(140)는 상기 전극과 접하는 각 게이트부들의 활성화에 의해 형성되는 전기적인 도통 영역을 서로 전기적으로 격리시킨다.

[53] 보다 구체적으로, 게이트부를 활성화하여 전극들이 전기적으로 도통되는 경우, 근접한 게이트부를 활성화하지 않은 경우에도, 근접한 전극들까지 전기적으로 도통되는 것을 방지하기 위하여, 각 게이트부들의 활성화에 의해 형성되는 전기적인 도통 영역을 서로 전기적으로 격리시키는 격리부(140)를 형성할 수 있다. 제어하고자 하는 각 전기적으로 도통되는 영역이 내부적으로 반도체영역 등이 연결되어 있는 경우, 근접한 영역의 활성화에 따른 영향으로 같이 활성화되어 채널을 형성하여 원하지 않은 영역이 전기적으로 도통되는 경우가 발생할 수 있다. 이러한 에러가 발생하는 경우, 정밀한 제어가 어려울 수 있는바, 이를 해결하기 위하여, 격리부를 형성할 수 있다.

[54] 격리부(140)는 도 6과 같이, 상기 전극 하부에서 상기 기판 방향으로 수직적인 형태로 형성될 수 있다. 도 6의 게이트부(671)가 활성화되는 경우, 양측에 위치한 전극(641, 642)만이 전기적으로 도통되어야 하는데, 격리부(610)가 없는 경우, 하부의 반도체층이 활성화되어 다른 전극(643)까지 전기적으로 도통이 될 수 있다. 이를 방지하기 위하여, 전극 하부에 격리부(610)를 형성한다. 격리부의 깊이(높이)는 도핑 농도가 높은 영역을 다 커버할 수 있는 충분한 깊이이어야 한다. 즉, 전기적으로 도통될 수 있는 영역을 모두 격리시킬 수 있는 깊이까지 형성될 수 있으며, 기판까지 형성될 수 있다.

[55] 격리부(140)는 에칭을 통해 형성하거나, 옥사이드(oxide)를 삽입하여 형성될 수 있다. 전기적인 도통을 막을 수 있는 다른 형태로 구현될 수도 있다.

[56] 게이트부(110)는 전극(120)의 최대 4측면에 위치할 수 있는바, 격리부(140)는 모든 게이트부들의 활성화에 의해 형성되는 전기적인 도통 영역을 서로 전기적으로 격리시키기 위하여, 십자 형태로 형성될 수 있다. 전극에 접하는 게이트부들의 형태에 따라 격리부의 형태는 달라질 수 있다.

[57] 격리부의 구체적인 형태는 도 7과 같이 형성되고, 도 8a와 같이, 게이트1만 활성화되는 경우, 전극1과 전극2만 전기적으로 도통되고, 도 8b와 같이, 게이트0 내지 게이트2가 활성화되면, 소스전극부터 전극3까지 전기적으로 도통된다. 도 8c와 같이, 소스전극부터 드레인전극 사이의 모든 게이트가 활성화되면 소스전극과 드레인전극이 전기적으로 도통된다. 도 9 내지 10은 격리부가 형성되었을 때, 빛이 입사되지 않은 경우, 게이트2에만 빛이 입사된 경우, 게이트123에만 빛이 입사된 경우, 모든 게이트에 빛이 입사한 경우를 비교한 것으로, 격리부에 의해 각 영역에 대한 제어가 가능한 것을 확인할 수 있다. 이와 같이, 격리부를 형성하면 정밀한 제어가 가능하다.

[58] 도 11 내지 12는 본 발명의 실시예에 따른 광도전층을 포함하는 광도전 칩의 구동원리를 나타낸 것이다.

[59] 본 발명의 실시예에 따른 광도전칩은 상기 전극과 게이트부의 상부에 위치하는 광도전층(130)을 더 포함할 수 있다.

[60] 보다 구체적으로, 전극과 게이트부 상부에 광도전층을 더 포함할 수 있다. 광도전층은 TiO_2 등일 수 있다. 게이트부와 광도전층은 서로 다른 파장을 가지는 빛에 의해 활성화되어 게이트부와 광도전층을 별도로 제어할 수 있다. 게이트부를 활성화시키는 파장과 다른 파장을 가지는 빛에 의해 활성화되는 광도전층을 위치시킴으로써 두 개의 층을 이용하여 칩을 재구성할 수 있다. 이를 위하여, 서로 다른 밴드갭을 가지는 광도전성 물질을 이용할 수 있다. 광도전성을 띄는 영역에서의 광도전성이 임계치 이하가 되는 광도전물질을 이용할 수 있다. 서로 겹치는 파장 영역이 있더라도 오차 범위(임계치) 내라면 이용이 가능하다. 상기 광도전물질을 선택하는데 이용되는 임계치는 미리 설정되어 있거나, 적용되는 환경이나 대상에 따라 달라질 수 있으며, 실험에 의해 적절한 수치로 설정될 수 있다. 게이트부는 가시광선으로 활성화되고, 광도전층은 UV 등으로 활성화될 수 있다.

[61] 도 11과 같이, 게이트부는 488 nm의 파장을 가지는 빛에 의해 활성화되고, 광도전층은 365 nm의 파장을 가지는 빛에 의해 활성화되는 물질을 이용할 수 있다. 각각의 빛에 의해 활성화되는 위치와 형태가 달라진다. 광도전층은 2 층 이상의 다층 구조를 가질 수도 있다. 전극 및 게이트부 하부에 위치하는 투명 기판을 더 포함할 수 있다.

[62] 광원부는 게이트부 또는 광도전층의 영역이 선택적으로 활성화 되도록 패터닝된 빛을 발생시킨다.

[63] 보다 구체적으로, 광원부는 패터닝부를 포함하는 광원, 및 광원의 빛을 집광하는 집광렌즈를 포함할 수 있다. 광원부는 광도전칩 상부 또는 하부 등 여러방향에서 빛을 입사할 수 있다. 광원(710, 720)에서 각 광도전층이 광도전성을 띄도록 하는 빛을 발생시키고, 이를 패터닝부에서 패터닝된 빛으로 형성할 수 있다. 패터닝부는 DMD(Digital Micromirror Device, 730,740)또는 LCD 등으로 구현될 수 있다. DMD는 아주 작은 모양의 거울을 반도체 위에 넣은 반사식 표시기이다. 약 200만 개의 미소 거울은 대각선 방향을 축으로 ± 10° 기울기로 조절할 수 있고, 입사광의 반사 방향을 변화시켜 각 픽셀을 점멸, 제어하게 되는데 원리적으로는 2치 표시기이지만 점멸 시간율을 변화시켜 256계조 표시를 실현할 수 있다. 제조 회사마다 약간의 차이는 있으나 대체로 광의 이용 효율은 65%, 콘트라스트는 110:1, 거울의 응답 속도는 20μsec, 거울의 크기는 17× 17μm^2이고 픽셀 수는 768× 576이다. 이와 같은 DMD(730, 740)는 원하는 영역 및 형태로 명암을 형성시킬 수 있으며, 광도전층의 원하는 영역으로 DMD(730, 740)가 비추는 패터닝된 빛이 입사되도록 구비된다.

[64] 패터닝부를 거친 빛은 다이크로익 미러(dichroic mirror, 550, 560)에 의해

반사되어 집광렌즈(770)를 통해 광도전칩으로 입사될 수 있다. 다이크로익 미러는 굴절률이 다른 물질의 많은 박층으로 이루어지는 반사경으로, 어떤 색의 빛을 반사하고, 다른 색의 빛을 모두 투과하는 성질을 가지고 있다. 보통의 색 필터에 비해서 흡수에 의한 손실이 매우 적고, 선택 반사하는 빛의 파장 범위를 재료의 두께나 구조에 의해 가감할 수 있는 특징이 있다. 집광렌즈(770)를 사용하면 빛 패턴의 크기를 광원의 파장에 따라 회절 한계까지로 줄일 수 있기 때문에 최고 해상도는 1㎛ 미만까지 가능해진다.

[65] 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은, 외부로부터 신호를 받아 활성화된 광도전층 영역으로 전달하거나, 활성화된 광도전층 영역으로부터 신호를 수신하여 외부로 신호를 전달하고, 상기 광도전층은, 제 2 파장을 가지는 빛에 의해 활성화된 영역을 통해 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로부터 수신한 신호를 상기 광도전층의 상부방향으로 방출하거나 광도전층의 상부로부터 신호를 수신하여 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로 전달할 수 있다. 전극에 인가되는 신호를 광도전층 상부로 방출하거나, 광도전층 상부로부터 신호를 받아 전극에 연결된 신호측정장치로 신호를 전달하는 역할을 할 수 있다. 상기 신호는 전압 또는 전류일 수 있으며, 마이크로파 등의 신호일 수 있다.

[66] 이를 위하여, 상기 광도전층은 상부로 신호를 송신하거나 상부로부터 신호를 수신하도록 전극(electrode)의 형태로 소정의 영역이 활성화되고, 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은, 상기 광도전층에 신호를 전달하려는 신호전달장치와 연결된 전극 또는 광도전층이 수신한 신호를 수신할 신호수신장치와 연결된 전극을 상기 활성화된 광도전층의 영역과 연결하도록 선로(wire)의 형태를 가질 수 있다.

[67] 광도전층과 전기적으로 도통되는 전극들 중 가장자리에서 외부와 연결되는 지점은 각 노드로 볼 수 있고, 전기적으로 도통되는 전극들이 형성하는 영역은 상기 각 노드를 연결하는 선으로 볼 수 있다. 광도전층을 통해 구현되는 광도전층 전극은 정확한 위치에 구현이 가능하고, 광도전층 전극을 구현해야할 위치가 실기간으로 변경되더라도 바로 광도전층 전극의 위치 및 그에 따른 선로를 조절할 수 있다. 이를 통해 신호가 이동하는 경로를 다양하게 재구성할 수 있다. 상기 턴-온 되는 영역은 패터닝된 빛을 형성하여 입사하는 것으로 제어가 가능한바, 쉽고 효율적으로 조절이 가능하다.

[68] 전기적으로 도통되는 전극들이 형성하는 영역과 광도전층이 띄는 형태는 다양할 수 있다. 광도전층으로 다양한 전극의 형태를 구성할 수 있다. 광도전층으로 구현되는 광도전층 전극의 형태는 숫자, 크기, 위치, 또는 형상이 다를 수 있다. 또한, 전기적으로 도통되는 전극들이 형성하는 영역으로 다양한 선로의 형태를 구성할 수 있다. 선로의 숫자, 경로, 폭, 또는 형상이 다를 수 있다.

[69] 광도전층은 소정의 경우에만 광도전성을 띄어, 전기적으로 도통되는 전극들이 형성하는 영역과 광도전층의 상부를 전기적으로 연결시키는 스위치의 역할을 수행할 수도 있다. 광도전층이 턴-온 되기 전에는 전기적으로 도통되는 전극들이 형성하는 영역과 광도전층 상부는 서로 전기적으로 연결되어 있지 않다가 광도전층이 턴-온 되면 전기적으로 도통되는 전극들이 형성하는 영역과 광도전층 상부는 서로 전기적으로 연결되는바, 이를 이용하여 광도전층을 스위치와 같이 사용할 수 있다.

[70] 전기적으로 도통되는 전극들이 형성하는 영역은 복수개가 형성될 수 있고, 그 경로들은 서로 겹치지 않도록 할 수 있다. 신호를 광도전층 상부로 방출하고자 하는 경우, 전기적으로 도통되는 전극들이 형성하는 영역은 해당 신호를 발생시키는 하나 이상의 신호전달장치로부터 신호를 전달할 수 있고, 전기적으로 도통되는 전극들이 형성하는 영역에 의해 형성되는 선로와 연결되는 광도전층에 형성되는 광도전층 전극 또한 하나 이상일 수 있으며, 동일한 신호를 방출하는 광도전층 전극이 복수 인 경우, 하나의 전기적으로 도통되는 전극들이 형성하는 영역이 형성하는 선로에 복수의 광도전층 전극이 연결될 수 있다.

[71] 전기 자극을 가하거나 전기 신호를 측정하고자 하는 세포가 상기 광도전층 상에 위치할 때, 상기 세포가 위치하는 광도전층의 영역에 제 2 파장을 가지는 빛을 비추어 광도전성을 띄도록 하고, 상기 세포와 신호전달장치 또는 신호수신장치를 연결하기 위하여, 상기 광도전성을 띄는 광도전층 전극과 상기 신호전달장치 또는 신호수신장치를 연결하는 영역에 제 1 파장을 가지는 빛으로 비추어 해당 영역의 게이트부들을 활성화시켜 전극들이 서로 전기적으로 도통되도록 하며, 상기 전기적으로 도통되는 전극들이 형성하는 영역 및 상기 광도전층의 연결을 통해 상기 광도전층 전극에 인가된 전압이 상기 세포에 전기 자극으로 가해지거나, 상기 세포의 전기 신호를 측정할 수 있다.

[72] 도 13과 같이, 세포에 전기 자극을 가하거나 세포의 전기 신호를 측정하기 위해 세포가 광도전층상에 위치하도록 할 수 있다. 세포에 전기 자극을 가하거나 세포의 전기 신호를 측정하고자 하는 위치에 해당하는 광도전층의 영역에 제 2 파장의 빛을 입사하여 턴-온 시키고, 광도전층의 광도전성을 띈 영역을 전기 자극을 가할 신호전달장치와 연결하기 위한 경로에 해당하는 전기적으로 도통되는 전극들이 형성하는 영역에 제 1 파장의 빛을 입사하여 턴-온 시킴으로써 신호전달장치와 연결된 전극이 세포와 전기적으로 연결되어 세포에 전기 자극을 가할 수 있도록 한다. 세포를 광도전층 상에 위치시킬 수 있도록 상기 광도전층 상에 유전층을 더 포함할 수 있고, 상기 유전층 상에 세포를 포함하는 배양액이 담기도록 하는 세포설치부를 더 포함할 수 있다. 상기 유전층으로 SiO_2 또는 Si_3N_4 등이 이용될 수 있다.

[73] 전기적으로 도통되는 전극들이 형성하는 영역과 광도전층의 턴-온되는 영역을 잘 배열하여 세포에 전기 자극(Stimulation1,2)을 주는 경로와 세포의 전기 신호를

측정(Recording1,2)을 구현할 수 있다. 전기 자극을 주기 위해선 광도전층의 선로에 신호전달장치와 연결된 전극이 연결되고, 전기 신호를 측정하기 위해선 신호수신장치와 연결될 수 있다.

[74] 상기 신호전달장치와 연결되는 전극에는 전원이 연결될 수 있다. 전원은 상기 전극에 직류(DC) 또는 교류(AC) 전압이 인가되도록 구비되어 원하는 전위를 형성하도록 이루어지는데, AC 전압이 인가될 경우, 상기 전원의 주파수는 세포의 크기 및 종류에 따라 조절가능하다. 그리고, AC 전압이 인가될 경우, 상기 전극 중 최소한 하나의 전극이 접지(GND)의 역할을 수행하도록 변경될 수 있다. 직류(DC) 전압이 인가될 경우 빛 자극을 빠르게 온/오프(on/off)함으로써 용량성 커플링을 통해 유전층 위에 위치하는 세포에 전압 전달이 가능하다. 세포 자극을 위해 교류를 가해주는 것이 작동에 수월하기는 하나 광도전층 및 유전층을 통하여 용량성 커플링에 의한 누설전류가 미세하게 흐를 수 있다. 그러나 직류를 가하고 빛을 점멸하면 다른 부분은 누설전류가 발생하지 않고 빛을 받은 부분만 전압이 전달되므로 누설전류없이 효과적으로 빛 자극을 가할 수 있다.

[75] 전원에 의해 전극에 전압이 인가되는 상태에서 빛이 비추어지지 않으면 광도전층이 부도체이기 때문에 그 위로 전압이 전달되지 않고 따라서, 세포에 자극이 가해지지 않는다. 그러나 특정 빛 패턴을 DMD를 통해 투사(projection)하면 광도전층에 빛이 조사된 영역에만 전기가 도통하게 되어 전극에 걸린 전압이 광도전층 및 유전층을 통하여 세포에 전기 자극으로 가해지게 된다. 즉, 빛에 의해 세포에 전기 자극을 가할 수 있다는 것인데, 광원부로부터 조사된 빛이 광도전층으로 입사된 영역에만 전극에 걸린 전기 전압이 전달되고 이것은 세포에 전기 자극으로 가해지는 원리이다.

[76] 빛으로 세포를 전기자극할 수 있고, 특히 빛의 패턴으로 신경망의 특정 부위를 전기 자극할 수 있다는 데에 큰 특징이 있다. 즉, 빛 자극 패턴의 크기만큼 해상도를 높일 수 있다. 즉, 회절한계 수준으로 세포 자극을 고해상도로 시행할 수 있다. 빛 자극을 풀 에이치디 DMD를 이용해서 할 경우 이론적으로 200만 스폿을 독립적으로 자극할 수 있다. 따라서, 기존의 수십 ~ 수백 채널에 그쳤던 MEA의 해상도를 백만 채널 이상으로 높이는 효과가 발생한다. 이를 통해 분석하고자 하는 신경망의 각 세포뿐만 아니라 축색돌기 수준으로도 고해상도 자극이 가능하다. 따라서, 신경망의 전체 연결고리의 정확한 신호 분석이 가능해지며, 신경세포의 기억, 연산에 관한 연구에 이용될 수 있다.

[77] 세포에 대한 전기 자극 또는 전기 신호를 감지하는 경우뿐만 아니라 도 14a 내지 14b와 같이, 물질의 선택적인 합성 또는 DNA 연구 등 다양한 분야에 적용할 수 있다. 도 14c와 같이, 기판 위에 microdroplet을 위치시키고 확대 그림과 같이 전기화학의 기본이 되는 reference 전극, working 전극, counter 전극의 패턴을 만들어 각각 isolation된 reaction 및 analysis를 수행할 수도 있다.

[78] 또한, 도 15과 같이, 제 1 광도전층에 연결되는 전극들을 하나 이상 연결하고, 각기 다른 위치에 적절한 신호를 인가하거나 신호를 측정할 수 있다. 보다

구체적으로, 도 16과 같이, 필요에 따라 각기 다른 전압(+5V, +3V, -4V)를 가할 수 있고, 서로 다른 유형의 신호(사인파형, 펄스형)를 가할 수도 있다.

[79] 신경세포의 흥분과 관련된 신호는 세포에 전압 민감성 염료(voltage sensitive dye) 또는 이온 민감성 염료를 염색하여 카메라부를 이용한 이미지 촬영을 통해 실시간으로 분석할 수 있다. 카메라부는 현미경과 광학필터와 CCD 카메라 등을 포함하여 구성할 수 있다. 전압 민감성 염료는 분자량이 약 500Da, 길이가 20Å 이하인 유기 분자로서 세포막에 결합하여 막 전위의 변화에 의해 발생하는 신호를 검출하기 위해 사용하는 염료이다. 이온 민감성 염료는 Na^+, K^+, Ca^{2+} 등의 이온을 추적할 수 있는 염료이며 특히 Ca^{2+} 민감성 염료를 많이 사용한다. 염료 분자는 세포막의 외벽에 붙어 일종의 변환기로 작용하여 막 전위의 변화를 광신호로 변환시킨다. 이것은 아주 빠른 시간 상수를 가진 막 전위를 잘 반영하며 신호의 크기는 막 전위 변화의 크기와 직접적인 관계가 있다. 전압 민감성 염료(merocyanine계, hemicyanine계)의 대표적인 예는 Di-4-ANEPPS(JPW-211)이며 이것은 체외(in vitro)용으로 빠르게 세포 내에 염색이 되며, 전기장에 대한 민감도가 100mV당 10% 정도이다. 카메라부(580)는 도 12에서와 같이 광원부 아래쪽에 놓일 수도 있지만, 광도전층 위에 놓일 수도 있다. 또한, 전압 민감성 염료 또는 이온 민감성 염료의 형광 여기(excitation)를 위한 추가의 여기광원(미도시)이 필요할 수도 있다. 염료가 발광(photoluminescence) 형태인 경우에는 여기광원(excitation light source) 없이 촬영이 가능하나, 염료가 형광(fluorescence) 형태인 경우는 여기광원이 필요하기 때문이다. 여기광원으로 빛을 비추고 반사된 빛은 밴드패스 필터 등의 광학필터를 사용하여 노이즈를 제거한 다음 현미경에 부착된 CCD 카메라로 영상을 얻을 수 있다.

[80] 이 때, 여기광원의 빛이 세포에 의도하지 않은 전기 자극으로 가해지지 않도록 해야 한다. 광도전층이 반응하는 흡수 스펙트럼을 참고하여 광원부의 파장은 가장 흡수율이 높은 쪽을 택하고 여기광원의 파장은 흡수율이 미미한 곳을 택할 수 있으면, 여기광원의 빛과 광원부 및 전원을 이용한 빛 전기 자극(광전자 자극)이 동시에 적용되어도 무방하다. 그렇지 않고 여기광원의 빛에 의해 전기 자극이 켜질 우려가 있다면 여기광원 조사와 빛 전기 자극 사이에 시차를 두는 것이 바람직하다. 여기광원 조사가 되는 동안은 광원부의 빛을 끄거나 전원을 끄는 것으로 이러한 시차를 구현할 수 있으며, 전원을 끄는 것이 조절이 더 쉽기 때문에 예컨대 스위치와 같은 시분할 장치가 유용할 수 있다. 따라서, 여기광원에서 발생된 형광 여기를 위한 빛에 의하여 광도전층이 턴-온(turn-on)되어 전원의 V 자극이 가해지는 것을 방지하기 위하여, 여기광원을 비추고 촬영을 할 때에는 V의 전압 자극기 전원을 꺼주는 방식으로 시차를 둘 수 있다. 이러한 시차 대신에 여기광원 조사와 빛 전기 자극이 중첩되지 않도록 격리 시키는 것도 가능하다. 광도전층과 유전층 사이에 광학필터층(주로 notch filter)을 더 포함시킬 수 있다. 그리고, 광원부는 광도전층의 아래에서,

여기광원은 광도전층의 위에서 비추게 하면, 광학필터층이 여기광원을 차단하여 광도전층이 턴-온되는 것을 방지할 수 있다. 여기서 카메라부는 광도전층 위에 놓일 수 있다.

[81] 세포의 활동도를 빛 신호로 읽으므로, 카메라부에 포함되는 카메라의 해상도만큼의 픽셀(pixel)들을 동시에 분석 가능하다. 또한, 사용되는 카메라의 프레임 속도(frame rate)만큼 고속의 분석이 가능하다. 따라서, 매우 높은 시간적 해상도를 가지고 신경세포의 빠른 전기적 활동을 영상화할 수 있다. 세포의 활동도를 빛 신호로 읽으면서, 공초점 현미경(confocal microscope)을 이용한다면, 세포 배양을 2차원이 아니라 3차원으로 해도 정확한 분석이 가능하다. 일반 광학 현미경으로 세포를 관찰하게 되면 세포핵의 영상이 이를 둘러싸고 있는 물질들의 영상과 중첩되어 마치 짙은 안개를 통해 사물을 바라보는 것과 같이 흐릿하게 관측할 수밖에 없다. 하지만 공초점 현미경은 공간상의 한 평면에서의 영상만을 볼 수 있으므로, 초점면의 위치를 세포핵의 위치에 맞추면 세포핵을 둘러싸고 있는 물질들에 의한 영상신호가 차단되어 오직 세포핵의 영상만을 얻을 수 있어 선명도가 높은 영상을 얻게 된다. 이와 같은 원리로, 세포배양을 3차원으로 하고 세포의 활동도를 빛 신호로 얻는 것에 공초점 현미경을 사용하면 각 층에 있는 세포의 활동도를 독립적으로 구분해낼 수 있다. 이는 전극을 통해 전기신호를 얻어들이는 MEA가 신호 근원지의 높이를 구분해낼 수 없어 세포배양을 2차원으로만 하는 것과 대조적이다.

[82] 전체 2차원적인 신경망의 활동도 분석이 아니라 한 세포의 활동전위만 분석하는 것이 목적인 경우, 해당 부위에 빛 자극을 주어 광도전층을 턴-온시키고 전압을 읽어들일 수 있다. 신경세포가 활동할 때에는 활동전위가 발생한다. 이 활동전위는, 신경세포의 이온투과성의 변화에 따라서 세포막내외의 이온농도가 변화하고, 이에 따라서 세포막전위가 변화함으로써 발생하는 것이다. 그러므로 용량성 커플링에 의해 신경세포의 활동전위를 검출할 수 있다.

[83] 한편, 상기와 같은 세포의 측정은, 세포가 살아있는 상태에서 행할 필요가 있으므로, 통상적으로, 배양세포가 사용되고, 세포설치부는 유전층 상에 설치되며 배지, 예컨대 배양액을 구비할 수 있다. 세포설치부는 탈자재이며, 세포배양수단을 추가로 구비시켜 세포를 배양하면서 측정하는 경우에는 장시간에 걸친 측정도 가능하도록 구성할 수 있다. 이 세포배양 수단은, 온도를 일정하게 유지하는 온도조절수단과, 배양액을 순환시키는 수단과, 공기와 이산화탄소의 혼합기체(예를 들면 CO2 5%)를 공급하는 수단으로 구성될 수 있다.

[84] 뿐만 아니라, 광도전칩을 통해 세포를 자극한 후 다른 랩 온어 칩(lab on a chip) 구조의 분석 장치로 유동시켜 인라인(in line) 형으로 세포 분석하기 위한 다른 장치와 구조물들이 광도전칩에 더 연결이 되도록 집적화하여 다양한 목적 및 용도에 맞게 응용할 수도 있다.

[85]

[86] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[87] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

산업상 이용가능성

[88] 어레이(array) 형태로 배치되는 복수의 전극, 및 상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고, 상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 함으로써, 입사되는 빛의 패터닝을 통해 재구성이 가능한 칩을 제공할 수 있다.

서열목록 Free Text

[89] 110: 전극

[90] 120: 게이트부

[91] 130: 광원부

[92] 140: 광도전층

[93] 210: 기판

[94] 220: 제 1 p형 반도체층

[95] 230: 제 1 n형 반도체층

[96] 240: 전극

[97] 250: 제 2 n형 반도체층

[98] 260: 절연층

[99] 270: 게이트 전극

[100] 710, 720: 광원

[101] 750, 760: Dichroic mirror

[102] 770: 집광렌즈

[103] 780: 카메라부

청구범위

[청구항 1] 어레이(array) 형태로 배치되는 복수의 전극; 및
상기 전극 사이에 위치하고, 빛에 의해 활성화되는 게이트부를 포함하고,
상기 게이트부의 영역이 선택적으로 빛에 의해 활성화되면, 상기 활성화된 게이트부 양측에 위치한 전극들이 전기적으로 도통되는 것을 특징으로 광도전칩.

[청구항 2] 제 1 항에 있어서,
기판;
상기 기판 상에 형성되는 제 1 p형 반도체층; 및
상기 전극 하부와 상기 제 1 p형 반도체층 상부 사이에 위치하는 제 1 n형 반도체층을 더 포함하고,
상기 게이트부는,
상기 제 1 p형 반도체층 상부에 위치하고, 광도전성을 갖는 제 2 n형 반도체층;
상기 제 2 n형 반도체층 상부에 위치하는 절연층; 및
상기 절연층 상에 위치하는 게이트 전극을 포함하며,
빛에 의해 상기 제 2 n형 반도체층이 광도전성을 띄면 상기 게이트부 양측에 위치한 전극들 사이에 채널이 형성되어 전기적으로 도통되는 것을 특징으로 하는 광도전칩.

[청구항 3] 제 2 항에 있어서,
상기 게이트부는,
전극 어레이 사이에 격자 형태로 연결되어 형성되고,
상기 격자 형태를 형성하는 교차지점의 게이트부 영역은,
상기 제 2 n형 반도체층 대신 p형 반도체층 또는 필드 산화층(field oxide)이 위치하는 것을 특징으로 하는 광도전칩.

[청구항 4] 제 2 항에 있어서,
상기 전극과 접하는 각 게이트부들의 활성화에 의해 형성되는 전기적인 도통 영역을 서로 전기적으로 격리시키는 격리부를 더 포함하는 것을 특징으로 하는 광도전칩.

[청구항 5] 제 4 항에 있어서,
상기 격리부는,
상기 전극 하부에서 상기 기판 방향으로 수직적인 형태로 형성되는 것을 특징으로 하는 광도전칩.

[청구항 6] 제 4 항에 있어서,
상기 격리부는,
에칭을 통해 형성하거나, 옥사이드(oxide)를 삽입하여 형성하는 것을 특징으로 하는 광도전칩.

[청구항 7] 제 1 항에 있어서,
기판;
상기 기판 상에 형성되는 제 1 p형 반도체층; 및
상기 전극 하부와 상기 제 1 p형 반도체층 상부 사이에 위치하는 제 1 n형 반도체층을 더 포함하고,
상기 게이트부는,
상기 제 1 p형 반도체층 상부에 위치하는 절연층;
상기 절연층 상부에 위치하고, 광도전성을 갖는 광다이오드층; 및
상기 광다이오드층 상에 위치하는 게이트 전극을 포함하며,
빛에 의해 상기 광다이오드층이 광도전성을 띄면 상기 게이트부 양측에 위치한 전극들 사이에 채널이 형성되어 전기적으로 도통되는 것을 특징으로 하는 광도전칩.

[청구항 8] 제 7 항에 있어서,
상기 광다이오드층은,
제 2 p형 반도체층; 및
상기 제 2 p형 반도체층 상부에 위치하는 제 3 n형 반도체층을 포함하는 것을 특징으로 하는 광도전칩.

[청구항 9] 제 1 항에 있어서,
상기 게이트부는,
전극 어레이 사이에 격자 형태로 연결되어 형성되고, 게이트 전압이 연결되어 있는 것을 특징으로 하는 광도전칩.

[청구항 10] 제 1 항에 있어서,
상기 전극과 게이트부의 상부에 위치하는 광도전층을 더 포함하고,
상기 게이트부와 상기 광도전층은 서로 다른 파장을 가지는 빛에 의해 활성화되는 것을 특징으로 하는 광도전칩.

[청구항 11] 제 10 항에 있어서,
상기 게이트부 또는 광도전층의 영역이 선택적으로 활성화 되도록 패터닝된 빛을 발생시키는 광원부를 더 포함하는 광도전칩.

[청구항 12] 제 10 항에 있어서,
상기 게이트부를 활성화시키는 파장의 영역과 상기 광도전층을 활성화시키는 파장의 영역은 서로 일치하지 않는 것을 특징으로 하는 광도전칩.

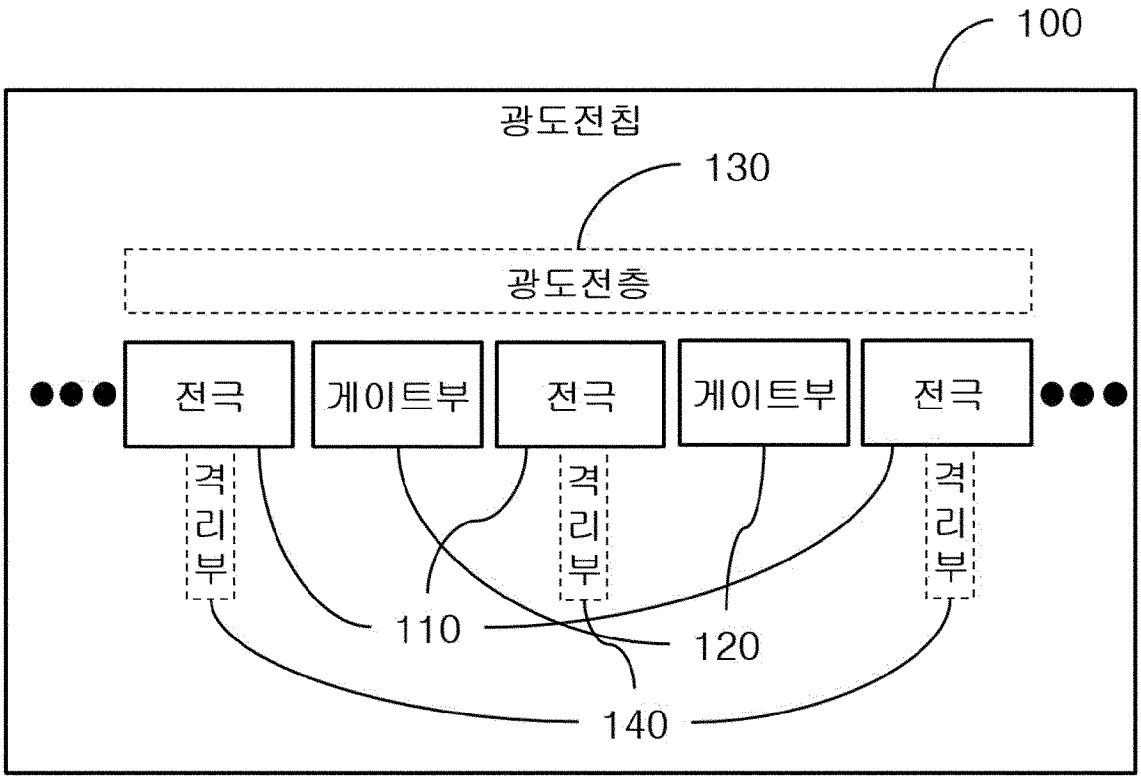
[청구항 13] 제 10 항에 있어서,
제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은,
외부로부터 신호를 받아 활성화된 광도전층 영역으로 전달하거나,
활성화된 광도전층 영역으로부터 신호를 수신하여 외부로 신호를 전달하고,

상기 광도전층은,
제 2 파장을 가지는 빛에 의해 활성화된 영역을 통해 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로부터 수신한 신호를 광도전층의 상부방향으로 방출하거나 광도전층의 상부로부터 신호를 수신하여 상기 제 1 파장을 가지는 빛에 의해 활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역으로 전달하는 것을 특징으로 하는 광도전칩.

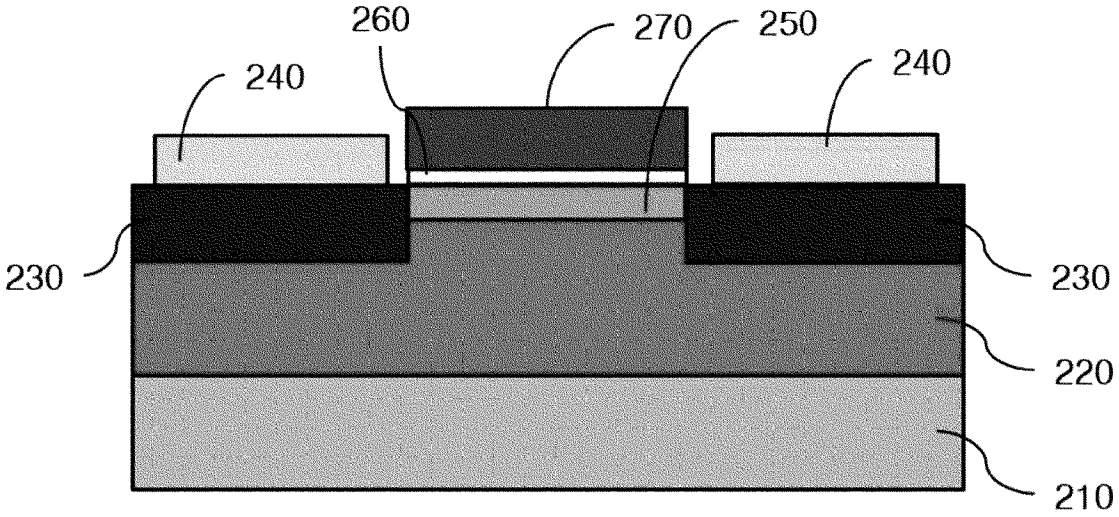
[청구항 14] 제 10 항에 있어서,
상기 광도전층은,
상부로 신호를 송신하거나 상부로부터 신호를 수신하도록 전극의 형태로 소정의 영역이 활성화되고,
활성화되는 게이트부에 의해 전기적으로 도통하는 전극들로 형성되는 영역은,
상기 광도전층에 신호를 전달하려는 신호전달장치와 연결된 전극 또는 광도전층이 수신한 신호를 수신할 신호수신장치와 연결된 전극을 상기 활성화된 광도전층의 영역과 연결하도록 선로의 형태를 갖는 것을 특징으로 하는 광도전칩.

WO 2016/195226 PCT/KR2016/003520

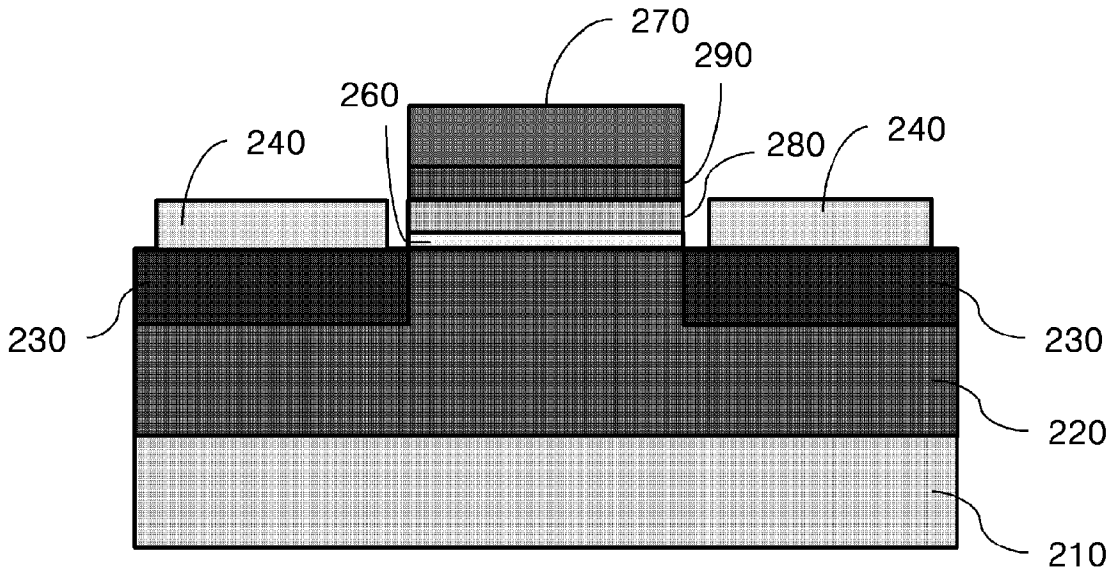
[도1]



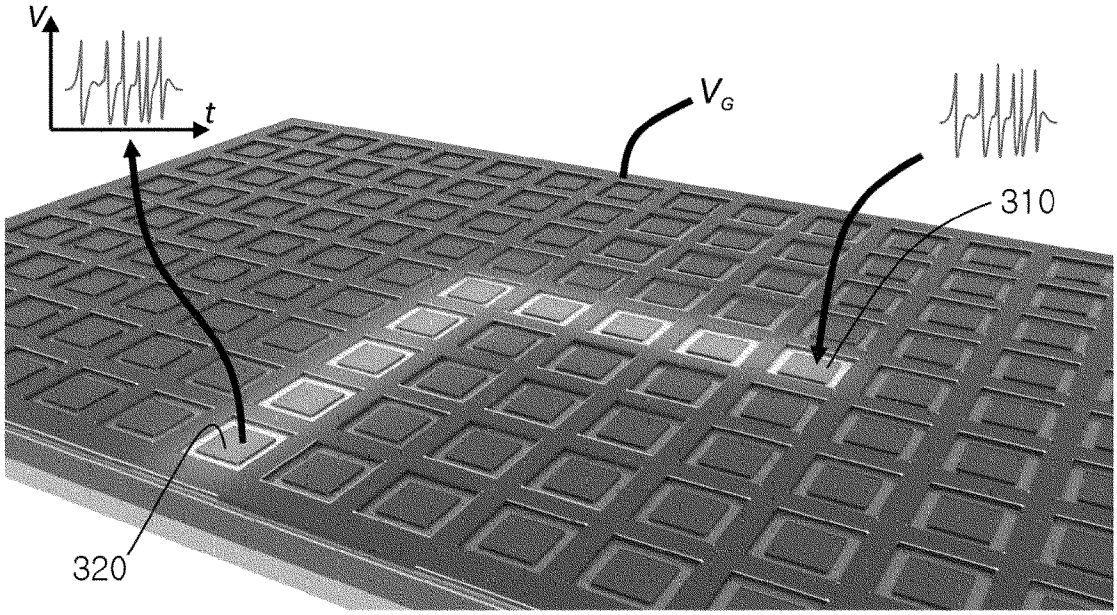
[도2a]



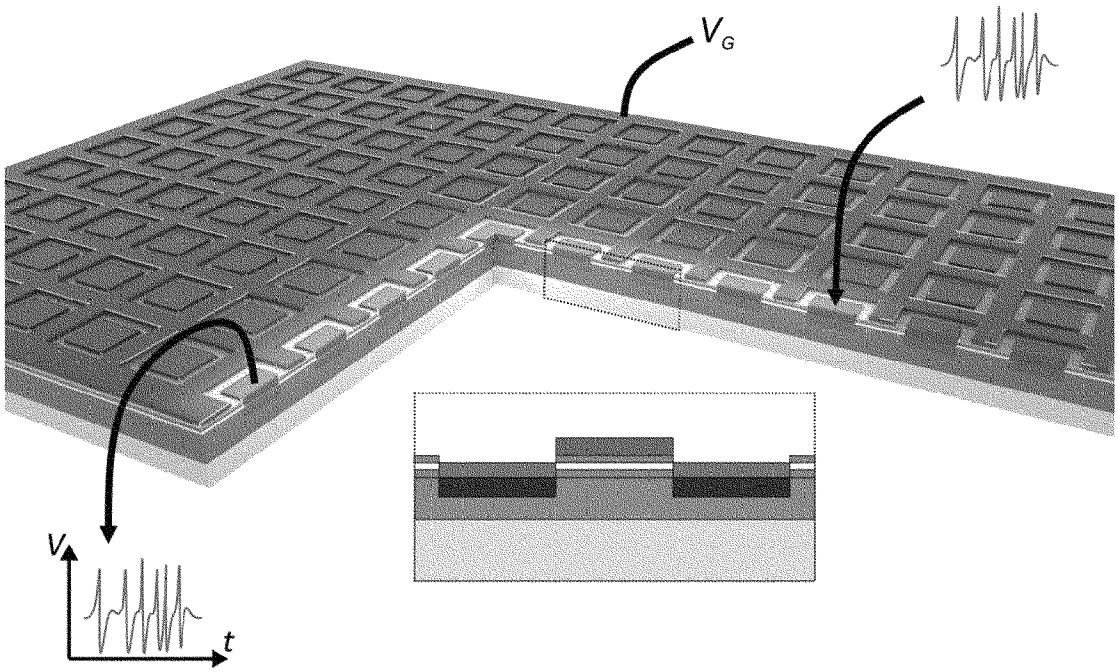
[도2b]



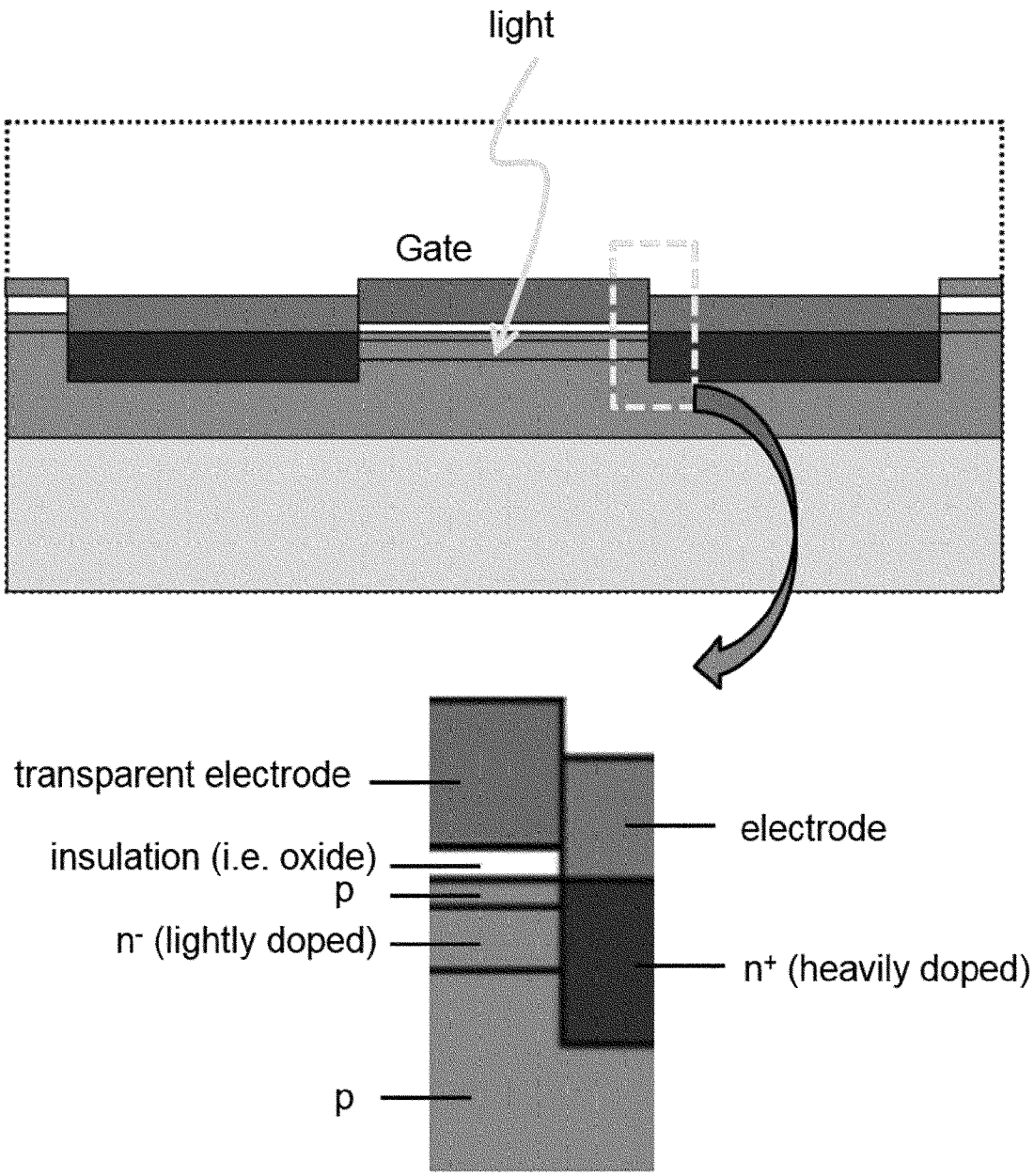
[도3a]



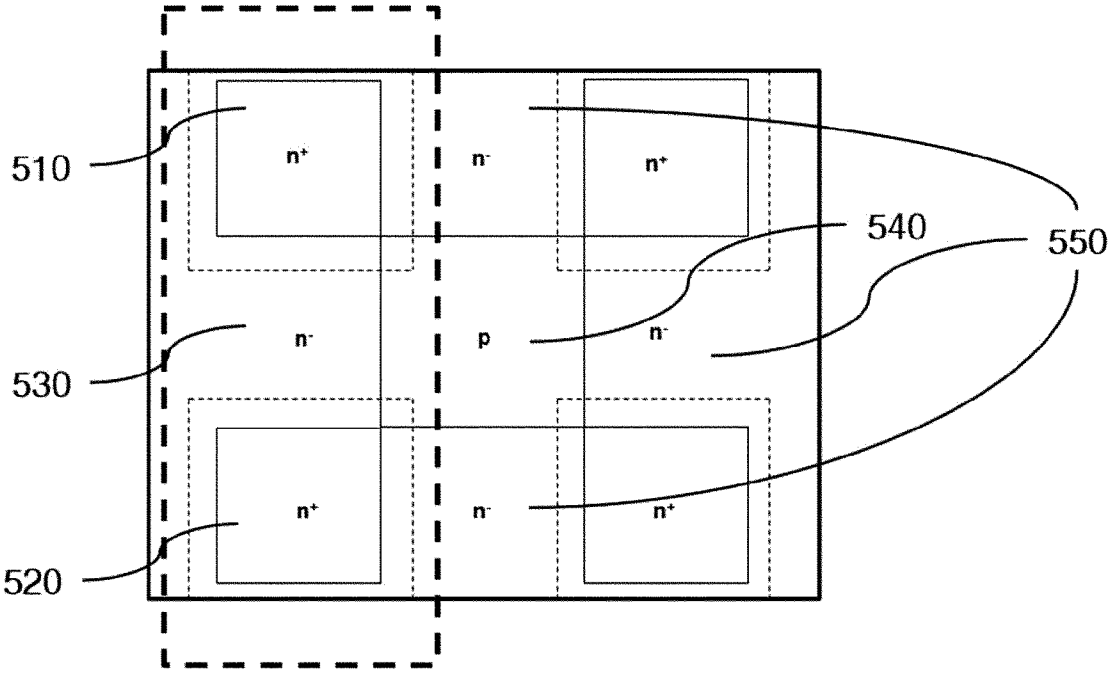
[도3b]



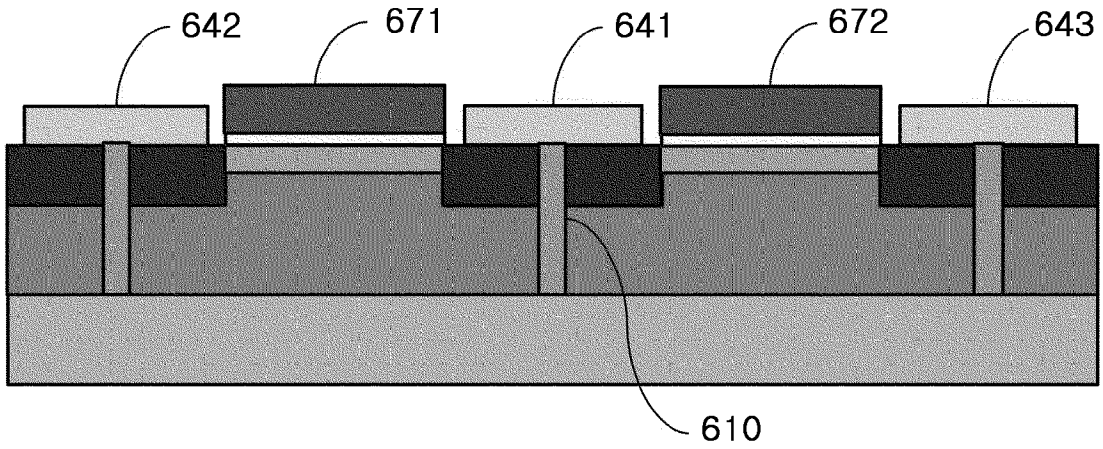
[도4]


light
Gate
transparent electrode
insulation (i.e. oxide)
p
n- (lightly doped)
p
electrode
n+ (heavily doped)

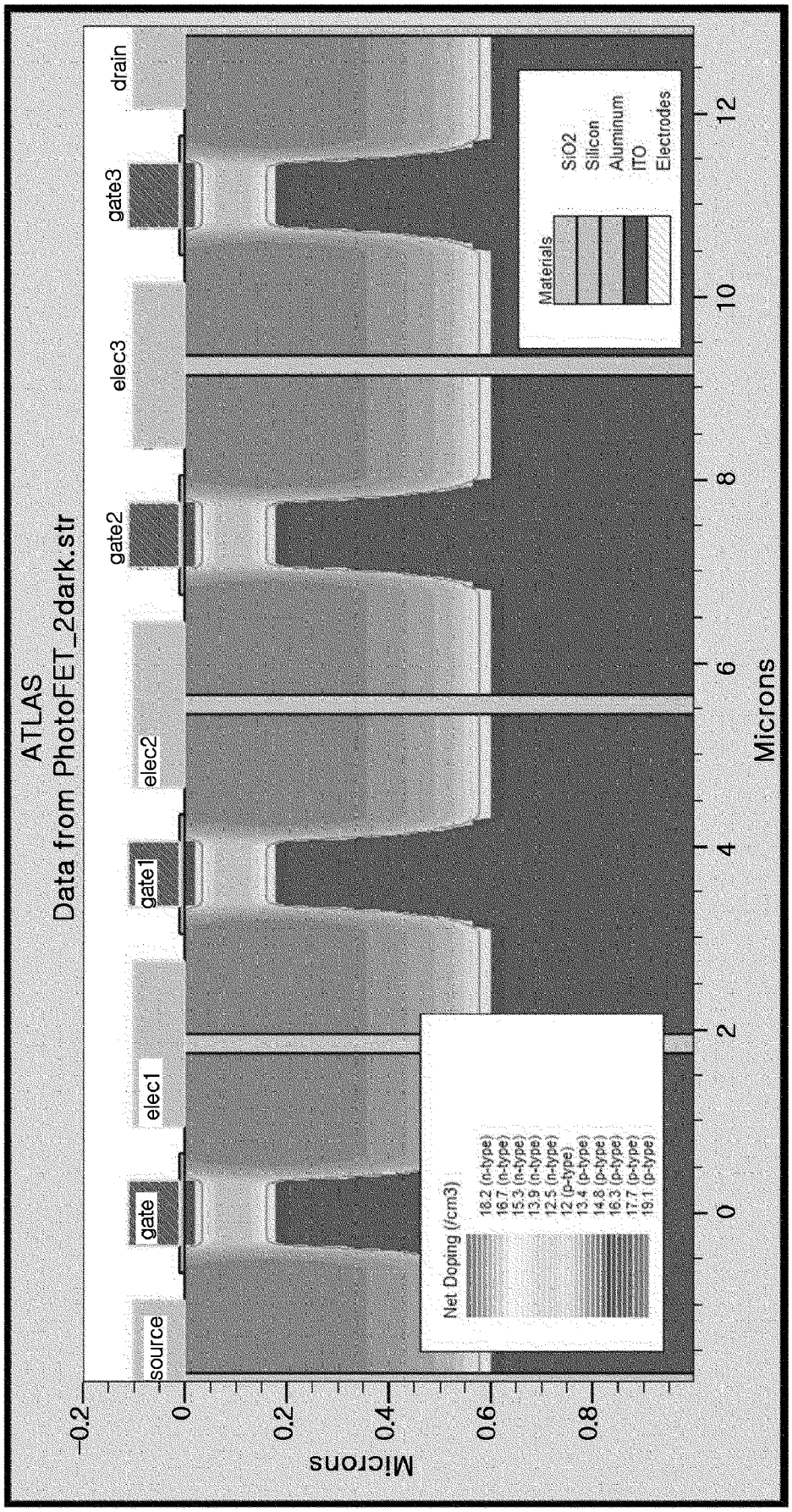
[도5]



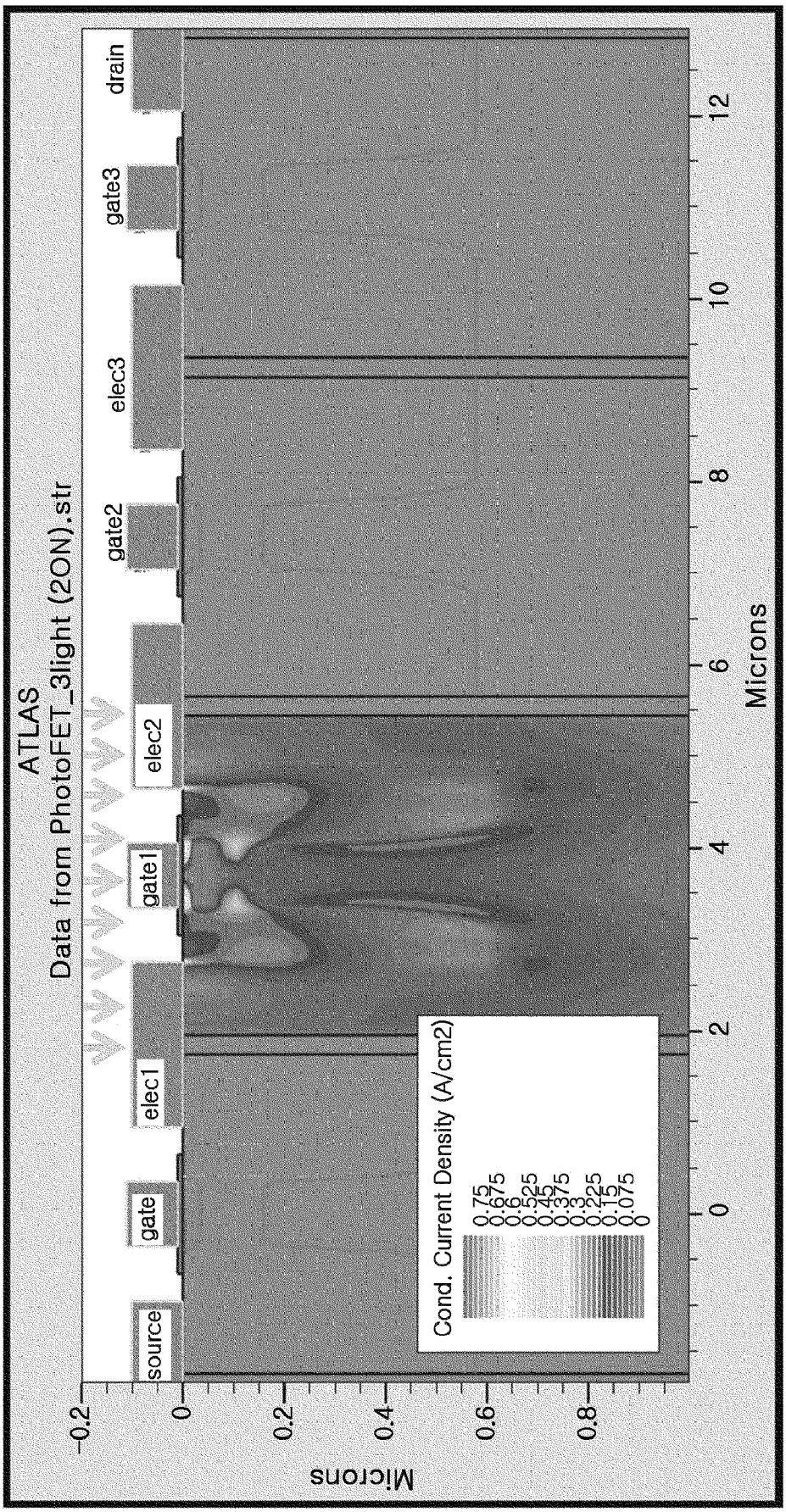
[도6]



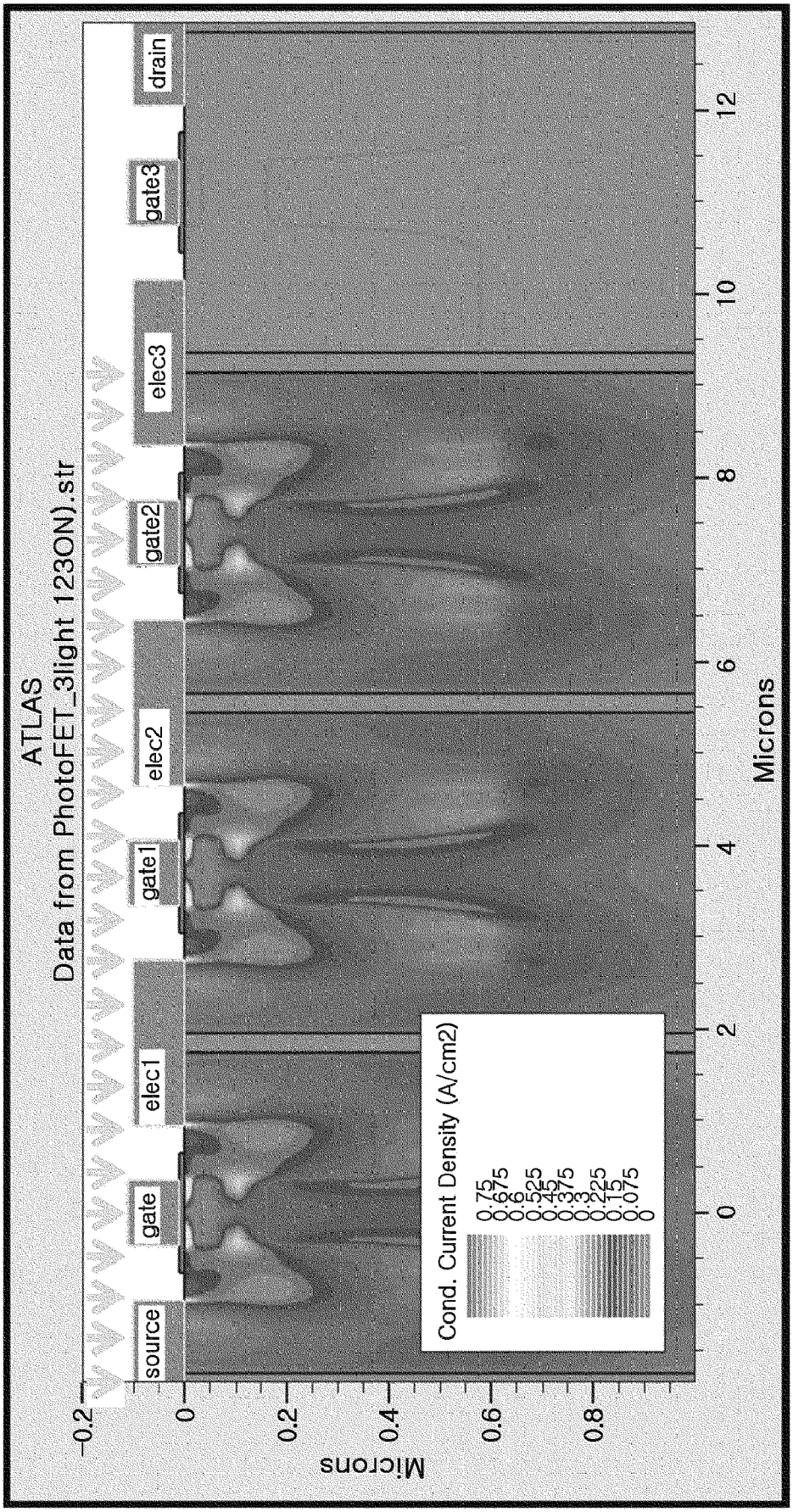
[도7]


ATLAS
Data from PhotoFET_2dark.str
source
gate
elec1
gate1
elec2
gate2
elec3
gate3
drain
Net Doping (/cm3)
18.2 (n-type)
16.7 (n-type)
15.3 (n-type)
13.9 (n-type)
12.5 (n-type)
12 (p-type)
13.4 (p-type)
14.8 (p-type)
16.3 (p-type)
17.7 (p-type)
19.1 (p-type)
Materials
SiO2
Silicon
Aluminum
ITO
Electrodes
Microns
Microns
−0.2
0
0.2
0.4
0.6
0.8
0
2
4
6
8
10
12

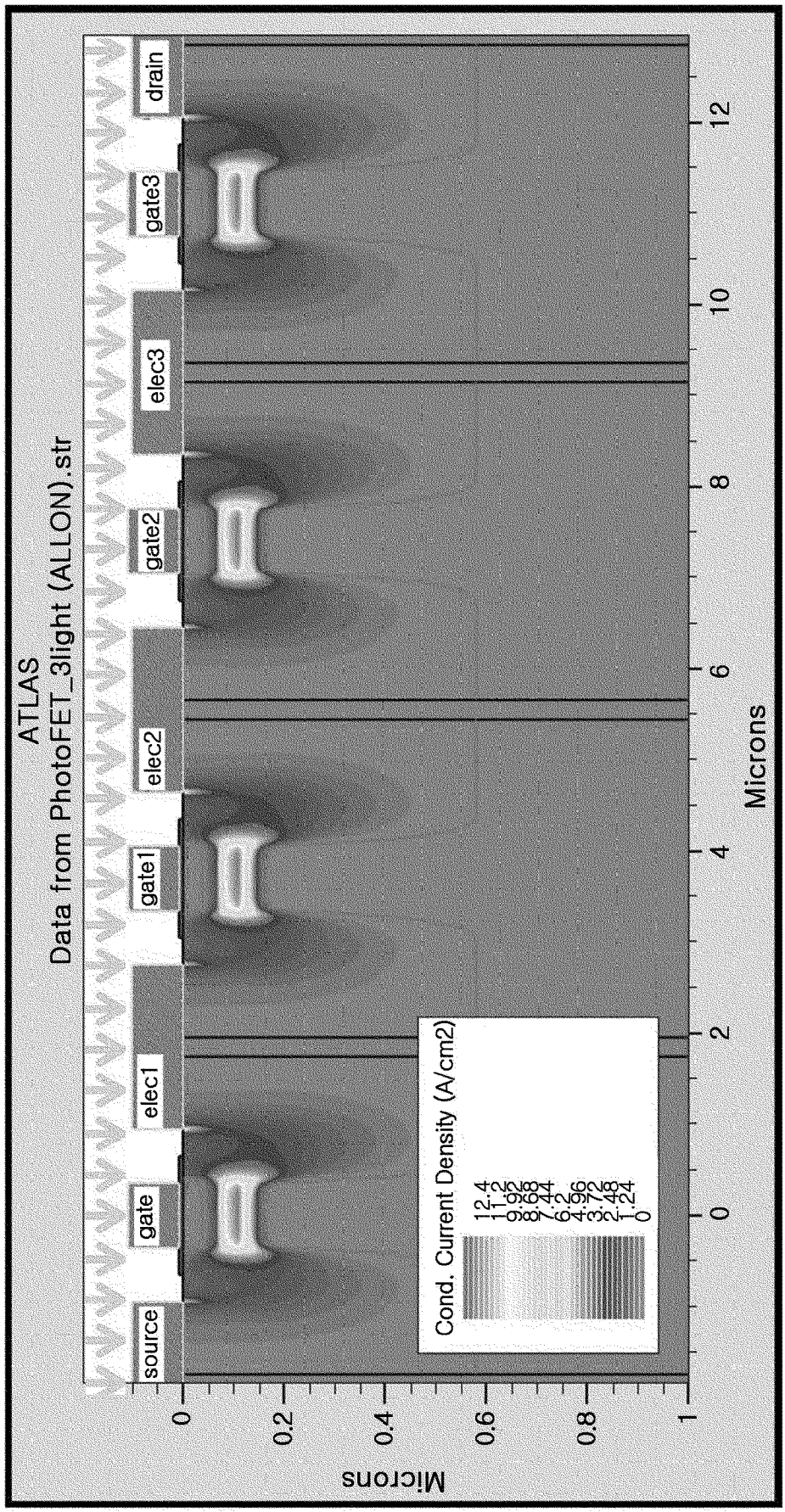
[도8a]


ATLAS
Data from PhotoFET_3light (2ON).str
source
gate
elec1
gate1
elec2
gate2
elec3
gate3
drain
Cond. Current Density (A/cm2)
0.75
0.675
0.6
0.525
0.45
0.375
0.3
0.225
0.15
0.075
0
Microns
-0.2
0
0.2
0.4
0.6
0.8
0
2
4
6
8
10
12
Microns

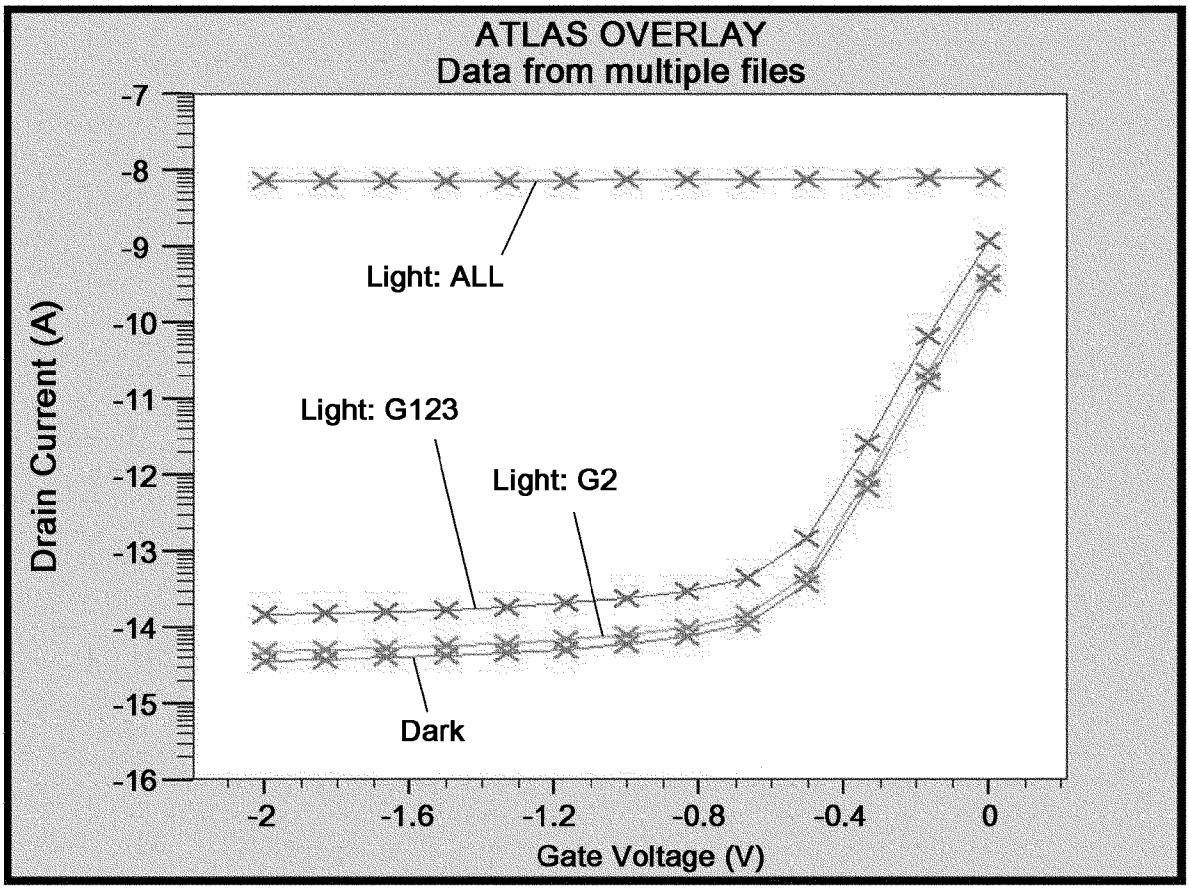
[도8b]


ATLAS
Data from PhotoFET_3light 123ON).str
source
gate
elec1
gate1
elec2
gate2
elec3
gate3
drain
Cond. Current Density (A/cm2)
0.75
0.675
0.6
0.525
0.45
0.375
0.3
0.225
0.15
0.075
0
Microns
−0.2
0
0.2
0.4
0.6
0.8
0
2
4
6
8
10
12
Microns

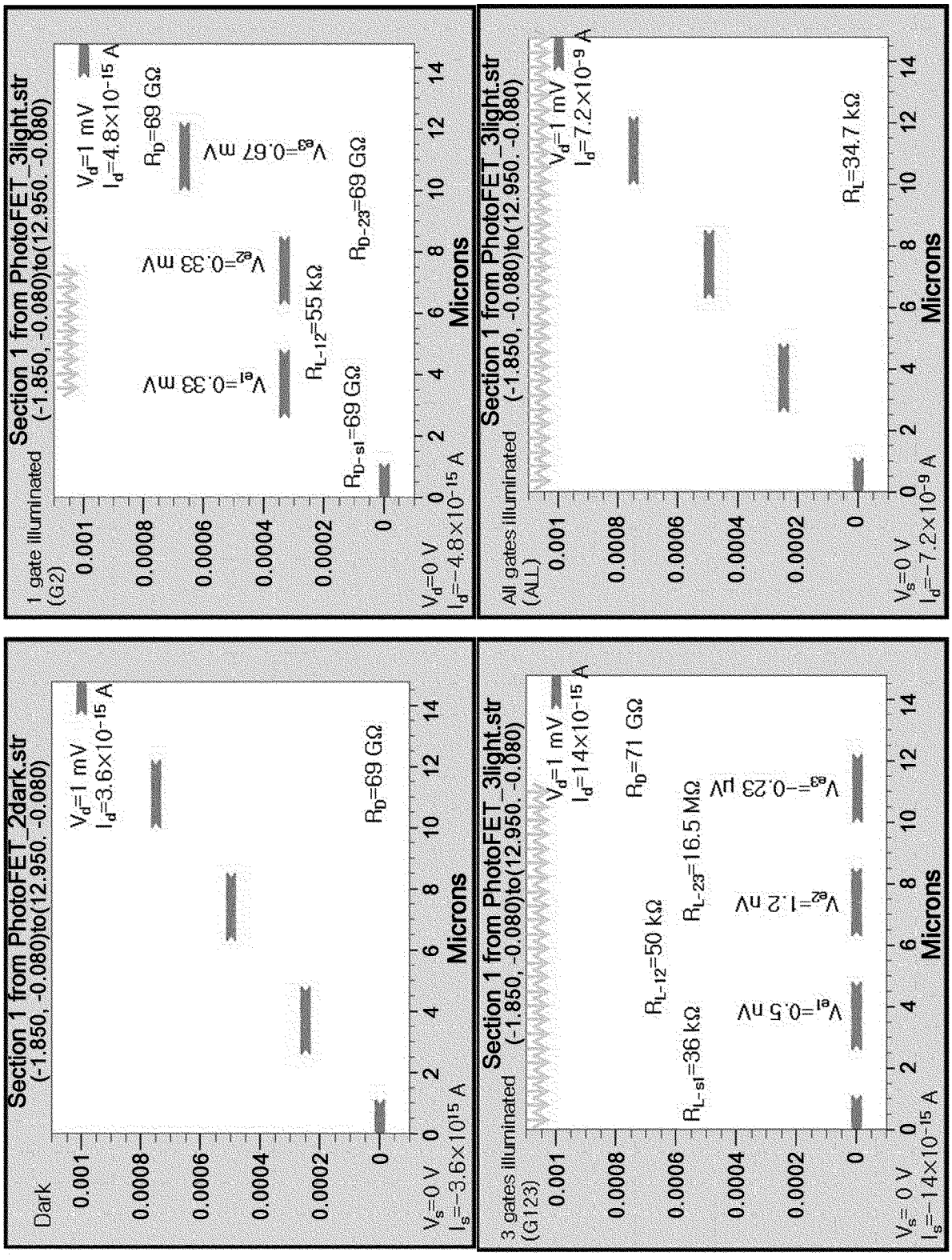
[도8c]


ATLAS
Data from PhotoFET_3light (ALLON).str
source
gate
elec1
gate1
elec2
gate2
elec3
gate3
drain
Cond. Current Density (A/cm2)
12.4
11.2
9.92
8.68
7.44
6.2
4.96
3.72
2.48
1.24
0
Microns
0
0.2
0.4
0.6
0.8
1
Microns
0
2
4
6
8
10
12

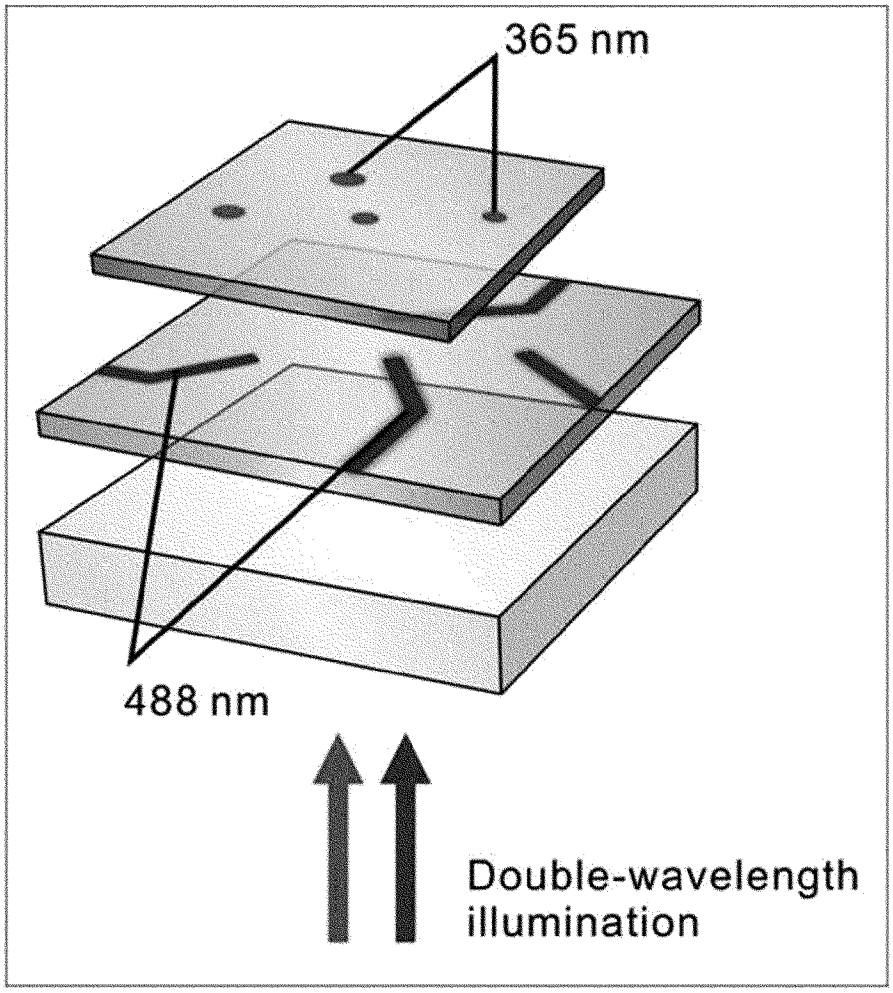
[도9]


ATLAS OVERLAY
Data from multiple files
Drain Current (A)
-7
-8
-9
-10
-11
-12
-13
-14
-15
-16
Light: ALL
Light: G123
Light: G2
Dark
-2
-1.6
-1.2
-0.8
-0.4
0
Gate Voltage (V)

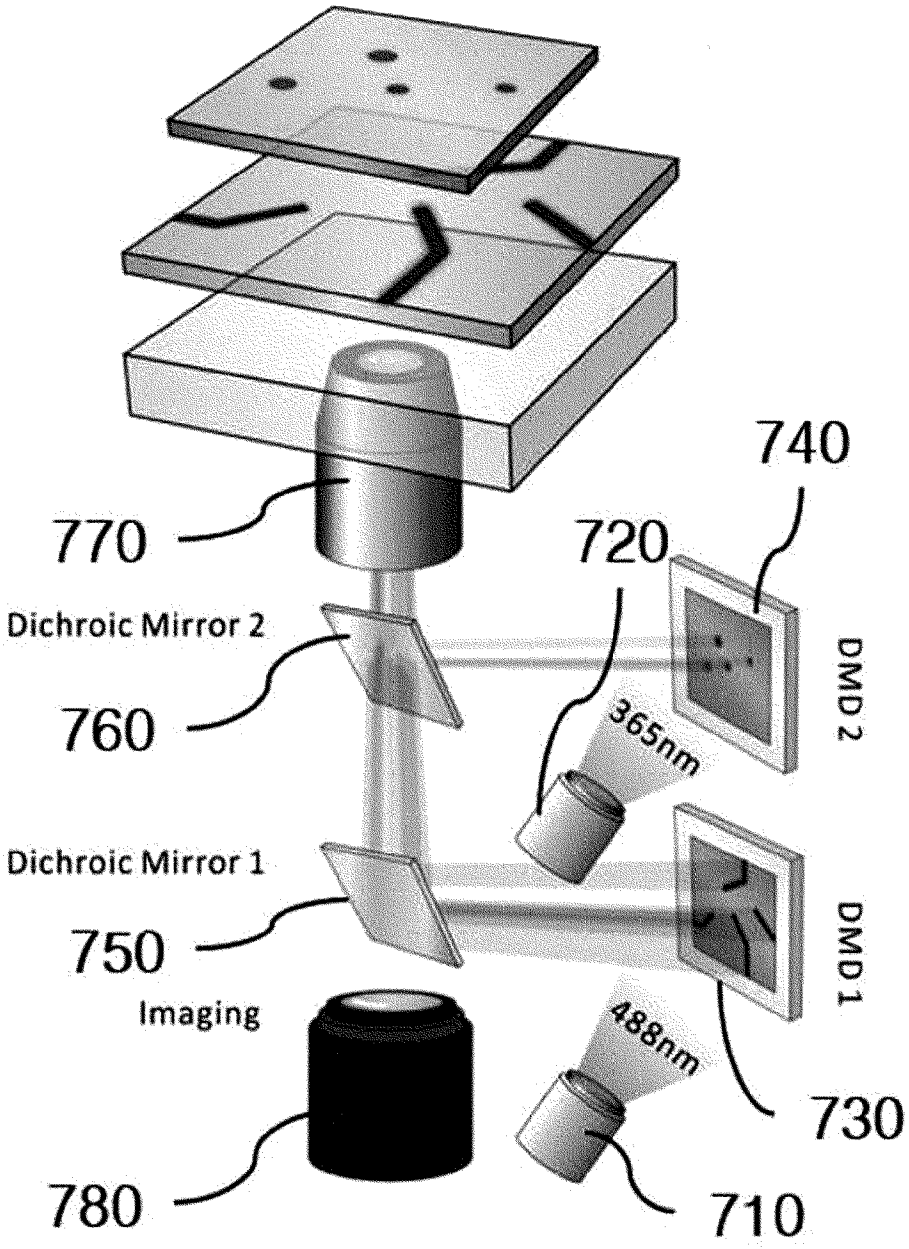
[도10]


Section 1 from PhotoFET_2dark.str
(-1.850, -0.080)to(12.950, -0.080)
Dark
V_d=1 mV
I_d=3.6×10⁻¹⁵ A
R_D=69 GΩ
V_s=0 V
I_s=−3.6×10¹⁵ A
Microns
Section 1 from PhotoFET_3light.str
(-1.850, -0.080)to(12.950, -0.080)
3 gates illuminated
(G123)
V_d=1 mV
I_d=14×10⁻¹⁵ A
R_D=71 GΩ
R_{L-12}=50 kΩ
R_{L-23}=16.5 MΩ
R_{L-s1}=36 kΩ
V_{e1}=0.5 nV
V_{e2}=1.2 nV
V_{e3}=−0.23 μV
V_s= 0 V
I_s=14×10⁻¹⁵ A
Microns
Section 1 from PhotoFET_3light.str
(-1.850, -0.080)to(12.950, -0.080)
1 gate illuminated
(G2)
V_d=1 mV
I_d=4.8×10⁻¹⁵ A
R_D=69 GΩ
V_{e1}=0.33 mV
V_{e2}=0.33 mV
V_{e3}=0.67 mV
R_{L-12}=55 kΩ
R_{D-s1}=69 GΩ
R_{D-23}=69 GΩ
V_d=0 V
I_d=−4.8×10⁻¹⁵ A
Microns
Section 1 from PhotoFET_3light.str
(-1.850, -0.080)to(12.950, -0.080)
All gates illuminated
(ALL)
V_d=1 mV
I_d=7.2×10⁻⁹ A
R_L=34.7 kΩ
V_s=0 V
I_d=−7.2×10⁻⁹ A
Microns

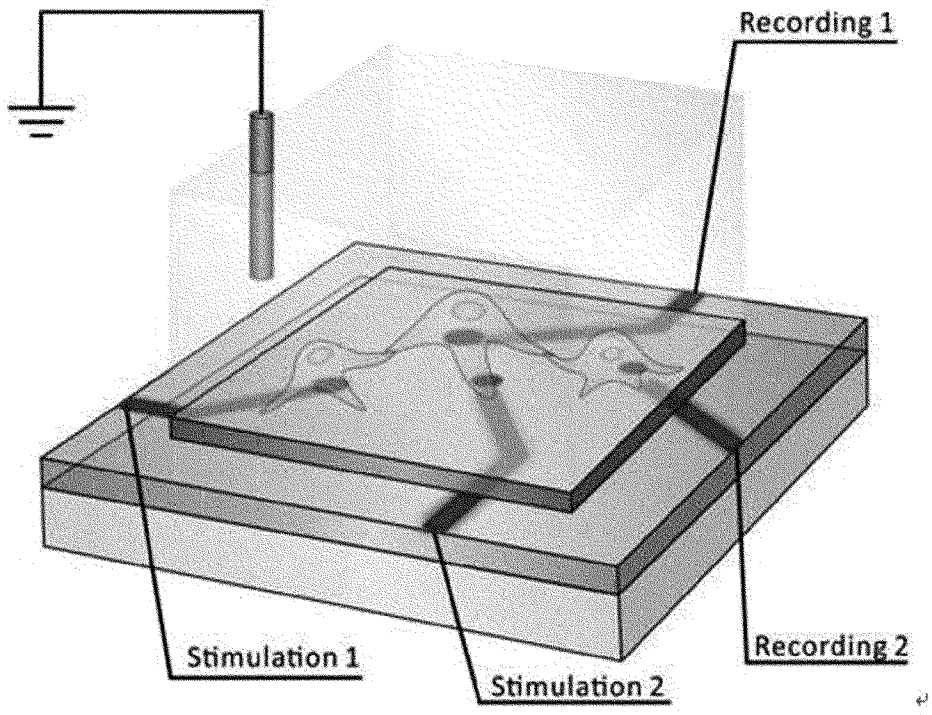
[도11]



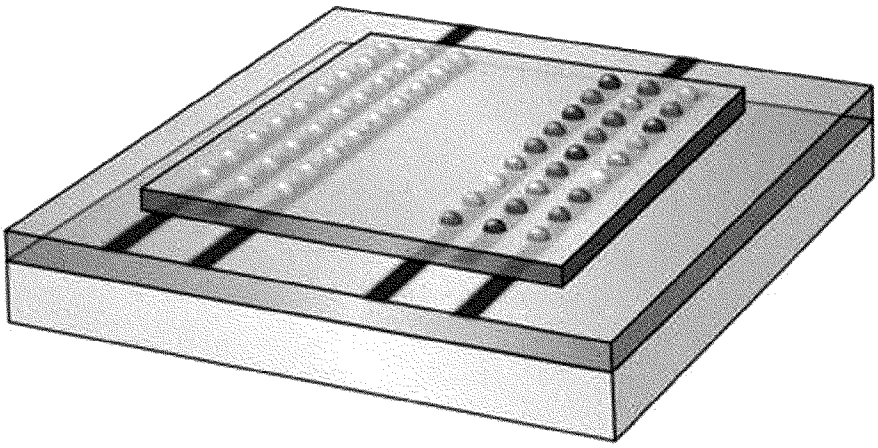
[도12]


740
770
720
Dichroic Mirror 2
760
365nm
DMD 2
Dichroic Mirror 1
750
DMD 1
Imaging
488nm
730
780
710

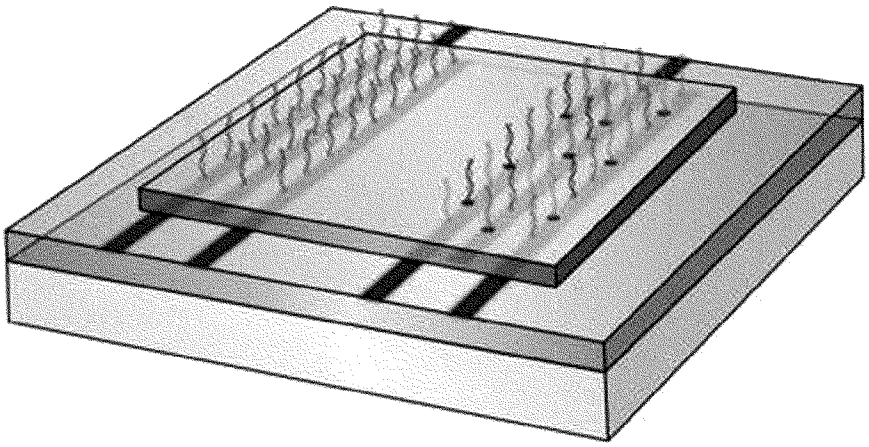
[도13]



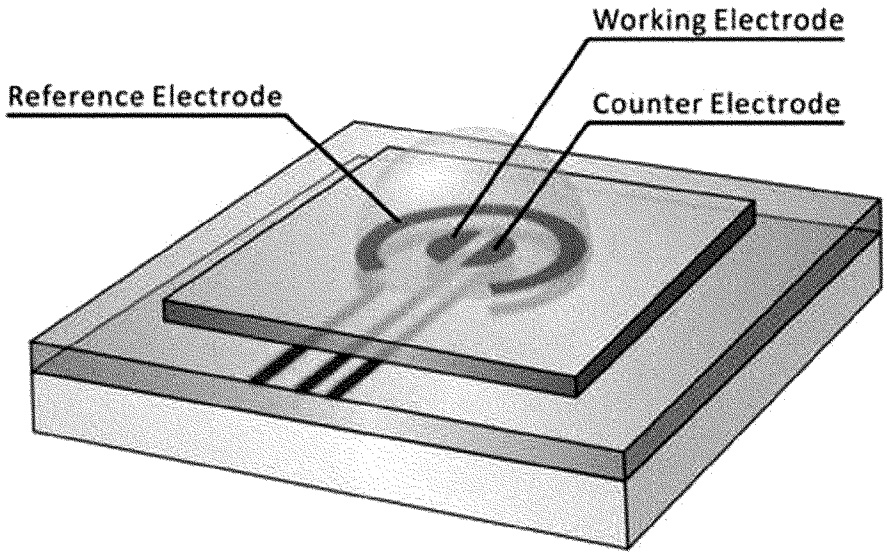
[도14a]



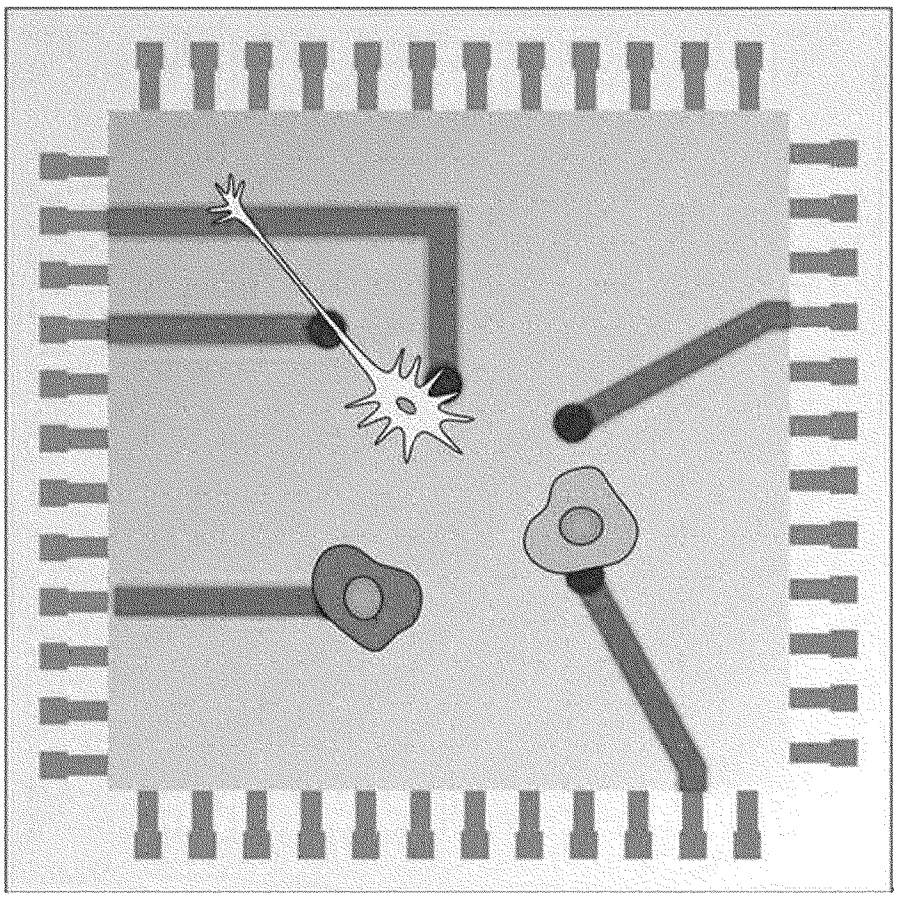
[도14b]



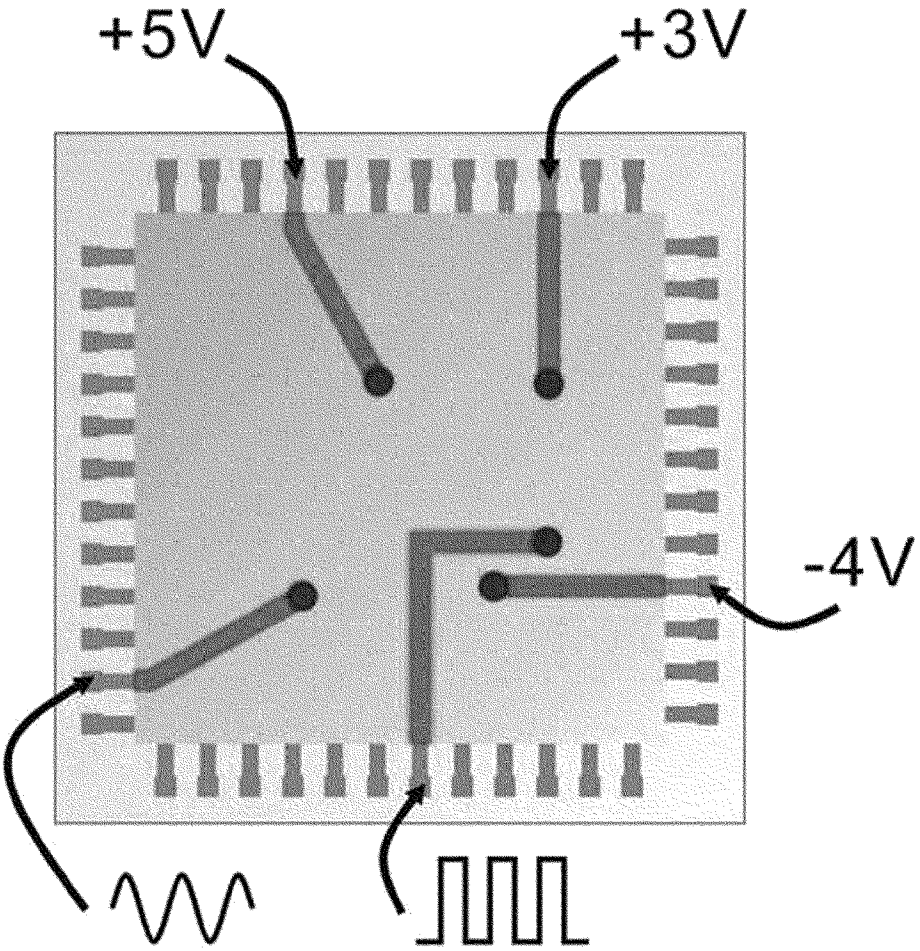
[도14c]


Working Electrode
Reference Electrode
Counter Electrode

[도15]



[도16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2016/003520

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/09(2006.01)i, H01L 31/04(2006.01)i, H01L 31/101(2006.01)i, H01L 31/0224(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 31/09; G01R 31/28; G01R 31/316; H01L 21/336; H01L 29/772; H01L 29/786; G01N 15/00; H01L 31/0232; H01B 3/44; C12M 1/42; H01L 31/04; H01L 31/101; H01L 31/0224

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: gate part, activation, photoconductive chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012-0119072 A1 (LEAN, Meng H. et al.) 17 May 2012 See paragraphs [0022]-[0037] and figures 1-5.	1-9
A		10-14
A	KR 10-2009-0045247 A (SCANIMETRICS INC.) 07 May 2009 See paragraph [0062] and figure 8.	1-14
A	JP 2010-199459 A (DAINIPPON PRINTING CO., LTD.) 09 September 2010 See paragraphs [0017]-[0020] and figure 1.	1-14
A	KR 10-2006-0027103 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 27 March 2006 See paragraphs [0059]-[0070] and figure 1.	1-14
A	JP 2012-522518 A (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 27 September 2012 See paragraphs [0042]-[0059] and figures 1, 3.	1-14

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 JULY 2016 (12.07.2016)	**12 JULY 2016 (12.07.2016)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2016/003520

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2012-0119072 A1	17/05/2012	US 8581167 B2	12/11/2013
KR 10-2009-0045247 A	07/05/2009	CN 101495880 A	29/07/2009
		GB 2452684 A	11/03/2009
		JP 05380286 B2	08/01/2014
		JP 2009-544053 A	10/12/2009
		KR 10-1425846 B1	05/08/2014
		US 2009-0201042 A1	13/08/2009
		US 8125237 B2	28/02/2012
		WO 2008-009105 A1	24/01/2008
JP 2010-199459 A	09/09/2010	NONE	
KR 10-2006-0027103 A	27/03/2006	KR 10-0606655 B1	01/08/2006
		US 2006-0060841 A1	23/03/2006
		US 7564053 B2	21/07/2009
JP 2012-522518 A	27/09/2012	CN 102449163 A	09/05/2012
		EP 2414539 A2	08/02/2012
		US 2012-118740 A1	17/05/2012
		US 2015-360236 A1	17/12/2015
		US 9079189 B2	14/07/2015
		WO 2010-115167 A2	07/10/2010
		WO 2010-115167 A3	31/03/2011

국 제 조 사 보 고 서

국제출원번호
PCT/KR2016/003520

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 31/09(2006.01)i, H01L 31/04(2006.01)i, H01L 31/101(2006.01)i, H01L 31/0224(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 31/09; G01R 31/28; G01R 31/316; H01L 21/336; H01L 29/772; H01L 29/786; G01N 15/00; H01L 31/0232; H01B 3/44; C12M 1/42; H01L 31/04; H01L 31/101; H01L 31/0224

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 게이트부, 활성화, 광도전칩

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2012-0119072 A1 (MENG H. LEAN 등) 2012.05.17 단락 [0022]-[0037] 및 도면 1-5 참조.	1-9
A		10-14
A	KR 10-2009-0045247 A (스캐니매트릭스 인크.) 2009.05.07 단락 [0062] 및 도면 8 참조.	1-14
A	JP 2010-199459 A (DAINIPPON PRINTING CO., LTD.) 2010.09.09 단락 [0017]-[0020] 및 도면 1 참조.	1-14
A	KR 10-2006-0027103 A (한국전자통신연구원) 2006.03.27 단락 [0059]-[0070] 및 도면 1 참조.	1-14
A	JP 2012-522518 A (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 2012.09.27 단락 [0042]-[0059] 및 도면 1, 3 참조.	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2016년 07월 12일 (12.07.2016)	2016년 07월 12일 (12.07.2016)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
김도원
전화번호 +82-42-481-5560

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2016/003520

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2012-0119072 A1	2012/05/17	US 8581167 B2	2013/11/12
KR 10-2009-0045247 A	2009/05/07	CN 101495880 A	2009/07/29
		GB 2452684 A	2009/03/11
		JP 05380286 B2	2014/01/08
		JP 2009-544053 A	2009/12/10
		KR 10-1425846 B1	2014/08/05
		US 2009-0201042 A1	2009/08/13
		US 8125237 B2	2012/02/28
		WO 2008-009105 A1	2008/01/24
JP 2010-199459 A	2010/09/09	없음	
KR 10-2006-0027103 A	2006/03/27	KR 10-0606655 B1	2006/08/01
		US 2006-0060841 A1	2006/03/23
		US 7564053 B2	2009/07/21
JP 2012-522518 A	2012/09/27	CN 102449163 A	2012/05/09
		EP 2414539 A2	2012/02/08
		US 2012-118740 A1	2012/05/17
		US 2015-360236 A1	2015/12/17
		US 9079189 B2	2015/07/14
		WO 2010-115167 A2	2010/10/07
		WO 2010-115167 A3	2011/03/31