



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2009년02월26일
 (11) 등록번호 10-0885335
 (24) 등록일자 2009년02월17일

(51) Int. Cl.

H03L 7/00 (2006.01)

(21) 출원번호 10-2007-7017259(분할)
 (22) 출원일자 2007년07월26일
 심사청구일자 2007년07월26일
 번역문제출일자 2007년07월26일
 (65) 공개번호 10-2007-0087224
 (43) 공개일자 2007년08월27일
 (62) 원출원 특허 10-2001-7009186
 원출원일자 2001년07월21일
 심사청구일자 2005년01월24일
 (86) 국제출원번호 PCT/GB2000/000175
 국제출원일자 2000년01월24일
 (87) 국제공개번호 WO 2000/44093
 국제공개일자 2000년07월27일

(30) 우선권주장

9901359.1 1999년01월22일 영국(GB)

(뒷면에 계속)

(56) 선행기술조사문헌

EP0633662 A

EP0583839 A

US4686407 A

US5652549 A

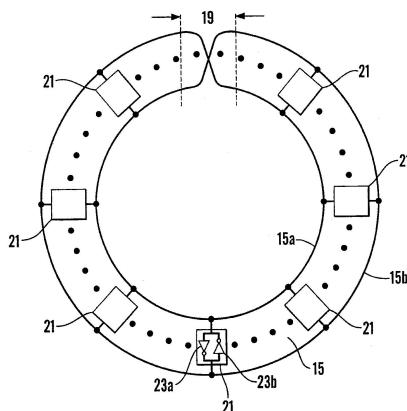
전체 청구항 수 : 총 26 항

심사관 : 장완호

(54) 전자 회로 소자

(57) 요 약

신호 위상 반전을 제공하며 관련 재생성 수단(21)을 구비한 무한의 전자기적 연속성을 가지는 신호 경로(15)의 동작에서 타이밍 신호 생성 및 분배가 조합된다. 실질적으로 사각파인 바이폴라 신호의 둘 이상의 위상은 CMOS를 포함한 반도체 제조와 호환되는 진행과 전송 라인 실시예에서 직접 발생한다. 그러한 복수개의 진동하는 신호 경로에 대한 위상 코히어런스를 갖는 달성할 수 있는 주파수 동기화에 의한 일치는 양방향 동시 데이터 전송뿐만 아니라, 인트라-IC, 인터-IC 및 PCB 임팩트를 갖는다.

대 표 도 - 도3

(81) 지정국

국내특허 : 아랍에미리트, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그라나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬랜드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 탄자니아, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 남아프리카, 짐바브웨

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 니제르, 세네갈, 차드, 토고

(30) 우선권주장

9901618.0 1999년01월25일 영국(GB)

9902001.8 1999년01월30일 영국(GB)

특허청구의 범위

청구항 1

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 능동 재생성 회로는, 2개의 전원 전압 레벨에 관한 스위칭 동작을 제공하는 것을 특징으로 하는 전자 회로 소자.

청구항 2

제 1 항에 있어서,

상기 능동 재생성 회로는, 상기 스위칭 동작 중에 증폭 동작을 제공하는 것을 특징으로 하는 전자 회로 소자.

청구항 3

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 능동 재생성 회로는, 상기 신호 경로 내에서 상기 타이밍 신호에 관한 반전 동작을 제공하는 것을 특징으로 하는 전자 회로 소자.

청구항 4

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 능동 재생성 회로는 능동 양방향 회로를 포함하며, 이로써 상기 타이밍 신호는 180° 위상차에서 상기 신호 경로를 따라 어느 곳에서든 얻을 수 있는 쌍극의 차동 성분을 가지는 것을 특징으로 하는 전자 회로 소자.

청구항 5

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 능동 재생성 회로는, 상기 타이밍 신호가 정상과 특성을 가지도록, 상기 신호 경로의 길이를 따라 하나의 위치에서 물리적으로 국부화되어 있는 것을 특징으로 하는 전자 회로 소자.

청구항 6

타이밍 신호를 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 능동적인 스위칭 동작 회로에 대한 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 능동 재생성 회로는 능동 양방향 회로를 포함하고, 상기 능동 양방향 회로는, 상기 타이밍 신호가 재순환하는 진행파 타이밍 신호로 되도록, 상기 신호 경로의 길이를 따라서 물리적으로 분산되어 있는 것을 특징으로 하는 타이밍 회로 소자.

청구항 7

제 6 항에 있어서,

상기 능동 양방향 회로는, 상기 신호 경로를 따라 이격된 복수의 반전 증폭기를 더 구비하는 것을 특징으로 하는 타이밍 회로 소자.

청구항 8

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 신호 경로는 횡방향(Transverse) 혹은 준횡방향(Quasi-transverse) 전자기 신호에 대한 전송선으로서 동작하는 것을 특징으로 하는 전자 회로 소자.

청구항 9

타이밍 신호를 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 능동적인 스위칭 동작 회로에 대한 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 신호 경로는, 전송선의 특성으로 동작하며, 상기 신호 위상 반전을 제공하는 전송선 트랜스포머(Transformer) 수단을 포함하는 것을 특징으로 하는 타이밍 회로 소자.

청구항 10

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로; 및

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 신호 경로는, 기판상에서 전체적으로 평행하게 이격된 컨덕터들을 갖는 전송선 신호 경로 및 컨덕터들의 교차(Cross-over) 접속을 형성하도록, 트위스트(Twist)를 갖는 단일의 도전형 경로로 구성되고,

상기 전송선 신호 경로는 동일 평면상의 마이크로스트립(Microstrip) 구조로 구현되며,

상기 전송선 신호 경로는, 차동 모드의 타이밍 신호를 수용하도록 유전총 사이에 샌드위치되는 이격된 도전형 트레이스(Trace)를 포함하는 것을 특징으로 하는 전자 회로 소자.

청구항 11

제 10 항에 있어서,

상기 전송선 신호 경로의 용량성 리액턴스나 유도성 리액턴스 혹은 양자는, 상기 도전형 트레이스들의 특정 구조와 길이 방향의 간격에 의해 결정되며,

상기 구조는, 상기 트레이스에 대한 접속의 리액턴스를 수용하기 위해 필요한 만큼 국부적으로 변화되는 것을 특징으로 하는 전자 회로 소자.

청구항 12

제 9 항에 있어서,

상기 신호 경로는 180° 나 그 근방의 전기적 길이를 가지며, 능동 재생성 회로는 양방향 반전 스위칭 및 증폭 수단이고,

상기 능동 재생성 회로는 한쌍의 인버터를 포함하며, 상기 한쌍의 인버터는 각각 타방의 입력에 접속된 출력을 갖는 것을 특징으로 하는 타이밍 회로 소자.

청구항 13

제 12 항에 있어서,

상기 인버터는 P-채널 및 N-채널 MOSFET 회로인 것을 특징으로 하는 타이밍 회로 소자.

청구항 14

제 13 항에 있어서,

상기 인버터는, 상기 타이밍 신호가 상기 신호 경로를 가로지를 때 상기 신호 경로를 둘러서 한 방향으로 순차적으로 스위칭하며, 상기 신호 경로의 재순환 트래버설(Traversal)을 강화하기 위해, 다음 인버터 스위칭으로부터 수신된 에너지의 통로를 위한 전원 전압 라인에 접속되는 것을 특징으로 하는 타이밍 회로 소자.

청구항 15

타이밍 신호를 필요로 하는 능동적인 스위칭 동작 회로;

상기 타이밍 신호를 상기 동작 회로에 분배하는 도전형 분배 수단; 및

상기 동작 회로에 대한 신호 공급을 위한 신호 경로로의 전기적인 접속을 포함하고,

상기 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하며,

상기 신호 경로는, 상기 동작 회로에 대한 짧은 주파 시간을 제공하는 접속성과 상기 동작 회로에 대한 물리적인 인접성을 제공하는 범위를 갖는 것을 특징으로 하는 전자 회로 소자.

청구항 16

제 15 항에 있어서,

상기 전기적인 접속은, 전송선 신호 경로인 상기 신호 경로로부터 용량성 스탍브(Stub)를 경유하는 것을 특징으

로 하는 전자 회로 소자.

청구항 17

제 16 항에 있어서,

상기 용량성 스터브는 상기 전송선 신호 경로를 따라 균일하게 이격된 것을 특징으로 하는 전자 회로 소자.

청구항 18

제 15 항에 있어서,

상기 접속은 MOSFET 인버터에 의해 이루어지는 것을 특징으로 하는 전자 회로 소자.

청구항 19

타이밍 신호를 동작 회로에 분배하는 복수의 도전형 분배 수단을 포함하고,

상기 각각의 도전형 분배 수단은, 전기적으로나 자기적으로 혹은 전자기적으로 연속적이고, 그 신호 경로를 따라 한 바퀴를 진행하는 상기 타이밍 신호의 위상 반전을 그 경로상의 위치에서 제공하도록 구성된 폐쇄형 신호 경로를 포함하고,

상기 신호 경로는, 그 신호 경로상에서 상기 타이밍 신호를 생성하고 유지하며 동작 회로에 대한 상기 타이밍 신호의 소스로서 기능하기 위한 능동 재생성 회로를 포함하는 것을 특징으로 하는 타이밍 회로 소자.

청구항 20

제 19 항에 있어서,

적어도 2개의 상기 도전형 분배 수단의 신호 경로는, 동기해서 동작하도록 상호 접속되어 있는 것을 특징으로 하는 타이밍 회로 소자.

청구항 21

제 20 항에 있어서,

기수 고조파 관계를 가지는 다양한 주파수에서 동작하도록 의도된 상기 신호 경로들 간의 자기-동기화 상호 접속은, 고주파수가 저주파수에 영향을 미치지 않도록, 고주파 극을 갖는 인버터 수단을 경유하여 제공되는 것을 특징으로 하는 타이밍 회로 소자.

청구항 22

제 20 항에 있어서,

상기 신호 경로는, 상기 신호 위상 반전의 위치에 대하여 그 루프의 전기적 길이를 따른 정합 위치에서 상호 접속 혹은 상호 결합되어 있는 루프들 내에서 이격된 컨덕터들을 가지는 것을 특징으로 하는 타이밍 회로 소자.

청구항 23

제 20 항에 있어서,

상기 복수의 신호 경로는, 45° 정합 배수의 상호적인 전기적 길이에서 직접 상호 접속되어 있는 것을 특징으로 하는 타이밍 회로 소자.

청구항 24

2 이상의 반도체 접착 회로(IC)를 구비하고,

각 IC는 타이밍 신호를 필요로 하는 능동적인 스위칭 특성의 동작 회로와 상기 타이밍 신호를 상기 동작 회로로 분배하는 도전형 분배 수단을 포함하며,

상기 도전형 분배 수단의 일부는, 전기적, 자기적 혹은 전자기적인 연속성을 나타내고, 신호 위상 반전을 제공하며, 상기 타이밍 신호의 소스로서 기능하도록 관련된 능동 재생성 회로를 가지는 신호 경로이며,

각 IC는 상기 IC의 주파수 및 위상 코히어런스(Coherence)를 조정하고 통합된 타이밍 신호를 얻기 위해, 상기 신호 경로의 위치들에서 전기적 길이에 걸쳐서 상기 IC의 신호 경로들 간 IC 상호 접속을 가지는 것을 특징으로 하는 전자 회로 소자.

청구항 25

제 24 항에 있어서,

상기 IC 상호 접속의 상기 위치들에서의 위상차는 그 신호 경로의 전기적 길이에 대응하는 것을 특징으로 하는 전자 회로 소자.

청구항 26

제 24 항에 있어서,

신호 경로를 따라 상기 타이밍 신호의 방향을 정의하도록 추가적으로 기능하는 제 2의 다른 IC 상호 접속을 더 포함하는 것을 특징으로 하는 전자 회로 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <38> 본 발명은 타이밍 신호와 이들의 생성 및 분배, 그러한 타이밍 신호의 소스로서의 오실레이터 및 타이밍 신호에 따른 통신에 관련된 전자 회로에 관한 것이다.
- <39> 디지털 데이터 처리 회로 및 시스템은 데이터 처리 활동을 동기화하기 위하여 타이밍 신호를 요구한다. 일반적으로, 그러한 타이밍 신호는 다른 타이밍 신호를 얻을 수 있는 마스터 타이밍 신호를 포함한다. 그러한 마스터 타이밍 신호는 일반적으로 "클럭" 신호라고 불린다. 종종, 하나 이상의 위상에서 이용 가능한 클럭 신호를 가지는 것이 바람직하다.
- <40> 2-위상 클록 신호의 예는, 다이나믹 로직과 시프트 레지스터 회로에 종종 사용되는 바와 같이 이용 가능한 클록 신호가 180° 의 위상차를 갖는 경우이다. 4-위상 클록 신호의 예는, 이용 가능한 클록 신호가 90° 의 연속적인 위상차를 갖는 경우이다. 반도체 집적 회로(IC 또는 칩)는 일반적인 호스트 환경인데, 마이크로프로세서 또는 메모리용으로서는 VLSI 칩이 종종 사용된다.
- <41> 역사적으로, 약 50MHz 까지의 크지 않은 동작 클럭 주파수는, 단순한 포인트-투-포인트(Point-to-point) 온칩(On-chip) 클럭 신호 분배를 갖는 오프칩(Off-chip) 수정 진동자 클럭 오실레이터(Quartz Crystal Clock Oscillator)로서의 사용에 의해 만족되었다. 최근에는, 통상적으로 300MHz 내지 1GHz 를 겨냥한 훨씬 더 높은 동작주파수에서, 클럭 신호 반사 및 스케우(skew)와 관련된 고유의 온칩 분배 문제가 매우 중요하게 되었는데, 이는 이진 신호의 폭/길이가 더 이상 클럭 신호 폴스보다 훨씬 더 짧지 않기 때문이다. IC 디자인의 자연적인 발전은 칩을 물리적으로 더 크게 하고 기능적으로 더 복잡하게 하는 것이며, 이는 이러한 문제들을 악화시킨다.
- <42> 클럭 신호 생성은, 유용한 칩 영역을 차지하고 상당한 전력을 소모하며 최대 동작 주파수를 효과적으로 제한하는 전력 소모와 용량성 부하 및 신호 반사에 관한 문제를 일으키는 온칩 위상 잠금 루프(PLL: Phase Locked Loop) 제어 회로를 이용하여 오프칩 수정 진동자 오실레이터로부터의 주파수 승산에 의한다. 관련된 클럭 신호 분배는 보통 일정한 간격으로 클럭 신호 부스트 버퍼를 갖는 동작 회로의 트리거 구성을 포함한다. 그렇다고 하더라도, 버퍼 내부에 포함하는, 반도체 공정 파라미터의 가변성은 칩 상의 다양한 위치에서 원하지 않는 예측 불가능한 위상 지연(skew)을 일으켜서, 동일한 칩의 인접하는 영역에 대해서 조차 신뢰성이 있는 동기화 동작 및 통신에 좋지 않은 영향을 미친다. 그 결과, IC는 종종 디자인된 최대 클럭 속도보다 더 낮은 속도에서 평가되고 구동되어야 한다. 사실, IC 제조사는 최근의 IC에 대해 더 작은 칩 크기를 사용함으로써 오랫동안의 흐름을 뒤집기까지 한다.
- <43> 큰 영역의 고밀도 칩을 신뢰성있게 클럭킹하기 위한 발전적인 준비의 부족으로 인해, 훨씬 더 포괄적인 '시스템-온-실리콘(System-on-silicon)' 칩의 개발이 방해받고 있다. 25GHz 이상에서 스위칭할 수 있는 MOSFET IC 트

랜지스터 기능에도 불구하고 클럭 속도는 약 1GHz 미만으로 제한되는 경향이 있다는 점은 주목할 만 하다.

발명이 이루고자 하는 기술적 과제

<44> 기본적으로, 본 발명은 적어도 온칩 PLL 제공에 있어서의 면적 및/또는 전력 요구를 줄이는 어떤 선택적인 대안을 찾아보는데서부터 발생하며, 가능하다면 클럭 신호 분배 문제를 다루고 어느 정도까지 해결한다.

발명의 구성 및 작용

<45> 본 발명의 일 측면에 대한 개략적인 관점은, 반복적인 펠스 또는 주기적인 신호의 분배를 이러한 신호를 생성 및 유지하는 능동적인 수단에 효과적으로 통합하거나 또는 상조적으로 결합하기 위한 방법 및 수단의 사상과 구현에 있다. 복합적인 전자기적/반도체 구조는 마스터 클럭을 포함한 타이밍 신호를 동시에 생성 및 분배하는 것을 용이하게 한다. 적절한 상기 신호 경로는, 경로-관련 재생성 수단을 구비하여, 전자기파 탑재 신호의 신호 위상 반전을 제공하는 무한 전자기 연속성을 나타낸다.

<46> 반복적인 펠스나 주기적인 신호에 대한 시상수가 신호 분배 수단 내의 상기 신호 경로의 전기적 길이와 관련되고 이것에 의해 효과적으로 정의되는 그 성공적인 발명적 이론 측면은 진화해 왔다. 신호 경로의 전달 시간이 상기 시상수를 결정하는 경우, 무한히 전자기적으로 연속적인 상기 신호 경로를 재순환하는 진행 전자기파가 바람직하다.

<47> 재미있고 아주 놀랍게도, 이것은, 지금까지 종래에서와 같이 내재적 및 실질적으로 정현적인 기본 신호에 '구형화(Squaring)' 동작을 하는 것을 요구하기보다는, 내재적으로 빠른 상승 및 하강 특성을 갖는 펠스형 주기 신호, 즉, 생성 시에 이미 '구형' 인 것의 특히 발명적인 직접 생성에 전도성이 있는 것으로 판명되었다. 사실, 그러한 창의적인 전기적 길이/신호 전달 시상수 정의 이론은, 용이하고 유용하게 먼저 하나의 단일 극성 반주기 신호 진폭을 효과적으로 정의하거나, 다음으로 다음의 상기 신호 전달에서 2 개의 반대되는 반주기 진폭으로 이루어진 풀 바이폴라 주기의 정의를 효과적으로 완료하는 하나의 상기 신호 전달 또는 상기 전기 길이를 편리하고 유리하게 생성한다. 따라서, 상기 전기적인 길이는 그러한 풀 바이폴라 주기에 대한 2 개의 연속적인 펠스 진폭 각각에 대해 180° 에 대응한다.

<48> 그러한 원리를 달성하기 위한 구체적인 발명적인 측면은 관련된 신호 분배 경로가 적절하게 전달되는 특성을 가지며 따라서 무한의 전송 라인 형태, 또한 원하는 신호의 재순환과 관련된 교차 효과 및 반전 동작을 수행하는 진행과 특성의 신호와 관련되는 것으로 보여진다.

<49> 본 발명의 구체적인 일면은, 원하는 반복적인 주기적 신호는 효과적으로 원하는 진행파에 의한 회전을 제공하며 각 신호 진폭의 지속 시간을 세팅하고 에너지 요건을 제공하며 각 신호 진폭의 마지막에 상대적으로 짧은 상승 및 하강을 세팅하는 적절하게는 양방향 반전 증폭기인, 스위칭 및 증폭 특성을 가지는 능동 재생성 수단을 구비하는 재순환 진행파 전달 수단에 관련되는 것이다.

<50> 이동하는 진행파에 의해 도시된, 능동 반전 수단에 상대적인 바람직한 교대 효과를 가지는 적절한 진행파 전달 수단이, 예를 들면 뢰비우스의 띠 또는 리본과 같이, 반전 수단의 입력 및 출력의 반대쪽에 접속하기 위해 길이를 따라 꼬인 물리적 너비에 의해 예시되어 있다. 사실상, 유연성있는 기판에 제조되어진 접착 회로는, 한면 또는 양면에 기능적 회로 블록이 존재한다 하더라도, 상기 경로가 길이를 따르고 종단은 뢰비우스의 띠 또는 리본과 같이 상호 접속된 연장 형태일 수 있다. 최소한 본 발명에 의한 주기적인 신호 수단의 반전 및 진행파 전달 기능의 접적은, 최소한 CMOS 기술을 이용하는 경우, 연속적인 반도체 인버터 특성의 모든 길이까지 미칠 수 있다.

<51> 그러나, 진행파 전달 수단의 평면적인 구현에 있어서, 통상적인 전송 라인 형태는 경로를 따르는 일정한 간격의 도전 기능을 이용한다. 상기 언급한 뢰비우스의 꼬임 효과는 단지 상호 절연된 일정한 간격의 도전 기능의 크로스오버에 의해 제공된다. 다른 예는 전송 라인 반전 트랜스포머를 다른 전송 라인 내 또는 관련된 진행 전달 수단의 전송 라인 형태에 사용하는 것이다.

<52> 본 발명의 구현에는 실질적으로 동일한 길이를 가지며 접속된 하나 이상의 인버터 기능의 입력 및 출력 사이에 교차된 트레이스의 형태로 일정한 간격의 도전 기능을 사용한다. 실제로는, 인버터 기능이 적어도 도전 기능을 따라 약 1% 미만의 정도인 경우, 본 발명이 정상과 오실레이터로 동작하도록 응용되는 경우를 제외하고는, 도전 기능 또는 트레이스를 따라 일정한 간격의 복수개의 인버터 기능이 있는 것이 바람직하다.

<53> 바람직한 인버터 수단은, 한 쌍의 반대 방향의 인버터가 사이드-바이-사이드 또는 백-투-백인, 양방향 특성을

가지는 것이다; 그리고 그러한 것을 제공하는 것은 유사한 또는 실질적으로 동일한 반-위상 주기 신호 성분(anti-phase cyclic signal component)의 직접적인 동시 생성을 용이하게 한다.

<54> 본 발명에 의한 특히 흥미롭고 유리한 결과는 전송 라인 및 인버터 동작 손실, 즉 인버터의 공급을 통한 거의 무시할 수 있는 타핑-업(topping-up)에 효과적으로 제한될 수 있는 극히 낮은 전력 소모를 가지는 타이밍 신호 제공을 포함하며, 예를 들면 수동 저항성 및/또는 용량성 및/또는 유도성 또는 전송 라인 특성, 또는 예를 들면 다이오드 또는 인버터를 사용한 단방향의 특성의 라이트 양방향 접속 경로를 통한 동작회로로의 테이크-오프(take-off)를 용이하게 할 수 있다.

<55> 다른 그러한 이용가능한 결과는, 적어도 원리상 및 공정상 결함이 없는 경우, 둘 중의 하나는 그러한 정해진 간격 또는 인버터 수단 사이 또는 내부의 다른 차이에 의해 미리 정해진다 하더라도, 본 발명에 의한 주기적 신호의 제공은 진행과 전달의 어느 한 방향 또는 회전 대한 고유의 우선성(preference)이 없다는 것이다.

<56> 펠스 생성기 및 오실레이터에 대한 본 발명의 일면은 도전 금속 및 절연 유전층을 그러한 전송 라인과 관련된 재생성 회로와 함께 일반적으로 및 특정하게 IC 생산과 호환되는 방식으로 이용하는 통상적으로 그리고 용이하게 하부에 형성되고 바이어스(vias)에 의해 접속되는 전송 라인 구조를 포함한다; 요구되는 절연 크로스오버 또는 일정한 간격의 전송 라인 트랜스포머 부분들은 마찬가지로 크로스오버에 대한 점프 접속 등을 포함하도록 용이하게 형성된다; 그리고 재생성 수단으로서의 양방향 인버터와 같은 것의 터미널의 DC 불안정 접속을 초래하게 한다; 바람직한 양방향 인버터의 동기 감지 및 브리지 정류기 동작; 전원에 관련된 전기적 에너지의 리사이클링을 포함한 그러한 양방향 인버터의 연속적인 동작의 강화;

<57> 또한, 직접 접속 또는 자기 및/또는 전기 필드를 공유하는지 여부에 관계없이, 본 발명에 의한 타이밍 신호 생성 및 분배 회로의 상호접속/상호커플링에 특징이 있다; 그리고 특히 기수-고조파(odd-harmonics) 관계의 다른 주파수까지 연장되는 자기-동기화 기초에 근거하여 그렇게 한다. 그러한 IC 상의 인터커플링 및 배열, 그리고 데이터 전송은 중요한 진보적 및 창조적인 장점이다.

<58> 본 발명의 다른 면과 기능은 본 명세서에 개시되며, 여기에 첨부된 독립항 또는 종속항에 개시된다.

<59> 본 발명의 구체적인 실시예는 이하에서 첨부된 도면을 참조하여 개시 및 도시된다.

<60> 공지의 전송 라인은 크게는 일부 또는 전체적으로 종단이 개방된 전송 라인 또는 완전히 터미네이트된 전송 라인의 두 개의 범주로 구분된다. 본 발명에 의한 전송 라인은 터미네이트되지도 않은 점에서 다르다. 지금까지 이해되었던 용어인 "터미네이트되지 않은"도 아니다; 그리고, 본 명세서에서 터미네이트되지 않았다는 것은 무한 전자기적 연속성을 가지는 신호 경로를 제공하는 것을 포함하는 본 발명의 구조적 면을 구성한다.

<61> 도 1은 구체적으로는 도전체(17)의 국부적 전기 접속을 필요로 하지 않는 (19)에서의 크로스오버를 구비한 루프(15a, 15b)로써 두 개의 적절한 간격의 일반적으로 병렬인 트레이스를 형성하도록 도시된 하나의 연속적인 '오리지네이팅' 도전체 형태(17)를 포함하는 그러한 전송 라인(15)을 물리적으로 무한으로 보이는 구조로서 도시하고 있다. 본 명세서에 오리지네이팅 도전체(17)의 길이는 S라 하며, 일정한 간격의 루프 트레이스(15a), (15b) 및 크로스-오버(19) 전체 사이에 한정된 바와 같이 전송 라인(15)의 두 개의 랙에 해당한다.

<62> 전송 라인(15)의 이 구조는, 도 2를 참조하면, 180° 꼬인 무한 스트립이 두 개의 면 및 두 개의 에지를 가지며 꼬인 상태로 종단이 결합된 오리지네이팅 스트립을 하나의 면 및 하나의 에지를 갖도록 효과적으로 변환하는 주목할만한 토폴로지(topology)를 가지는 뢀비우스의 띠와 평면적으로 등가이다(스트립의 중앙 라인을 무한히 추적하는 화살표 참조). 스트립을 따른 임의의 지점으로부터, 반환은 원래 좌측 및 우측 에지가 역전, 반전 또는 교차되는 것에 의한다. 스트립의 길이를 따른 그려한 꼬임의 임의의 기수에 대해서도 성립한다. 도전 물질로 된 그러한 스트립은 본 발명의 실시예의 신호 경로에 요구되는 것을 수행하며, 본 발명의 다른 구조를 구성한다. 유연성있는 기판은 진정한 뢰비우스의 띠 전송 라인 구조, 즉 평면적인 등가의 크로스오버(19)에 비해 장점을 가지는 점진적 꼬임을 구현하는 것을 허용한다. IC가 장착된 유연성있도록 형성된 PCB는 구현 가능한 제안으로 볼 수 있다.

<63> 도 3은 실제로는 오실레이터인 도 1의 전송 라인(15)을 이용한 펠스 생성기의 회로도로서, 구체적으로는 도전 루프 트레이스(15a, 15b) 사이에 접속된 양방향 반전 스위칭/증폭 회로로써 복수개의 일정한 간격으로 배치된 재생성적인 능동 수단을 더 구비한다. 회로(21)는 백-투-백으로 접속된 두 개의 인버터(23a, 23b)를 포함하는 특정 실시예로서 추가적으로 도시되어 있다. 네거티브 저항, 네거티브 캐패시턴스에 의존하는 다른 재생성 수단(예를 들면 건 다이오드)은 적절히 비선형 및 재생성적 또는 전송 라인의 특성을 갖는다. 회로(21)는 복수개이며 전송 라인(15)을 따라 분포되는 것이 바람직하며, 예를 들면 100 이상인 것도 바람직하며, 최대한 다수개 및

최대한 작은 것이 바람직하다.

- <64> 각 스위칭 증폭기(21)의 인버터(23a, 23b)는 통상적으로는 각각 V+ 및 GND인 상대적으로 양극 및 음극 공급 레일에 통상적인 접속을 한다. 회로(21)의 각 입/출력 단자는 효과적인 단일 도전체(17)를 따라 실질적으로 최대의 간격을 두고 루프(15a, 15b) 사이에서 전송 라인(15)에 접속된 것이 도시되어 있다. 따라서 각각은 다른 것에 상대적으로 전송 라인(15)의 반대쪽에 위치한다.
- <65> 도 4는 본 발명에 의한 전송 라인 구조를 이용한 세 개의 크로스오버(19a, 19b, 19c)를 구비한 오실레이터의 다른 회로도이다. 따라서 도 3에서 적용된 피비우스의 띠와 유사한 역전된/반전된/전치된 특성이 있다.
- <66> 전송 라인(15)으로 도시된 사각형 및 원형 형태는 도시의 용이함을 위한 것이다. 증폭기(21)에서 출력된 신호가 전송 라인(15)을 한바퀴, 즉 동작 주파수의 펄스 너비 또는 반-주기 오실레이션 시간을 효과적으로 정의하는 시간 Tp동안 전달하는 루프(15a, 15b) 사이의 간격에 크로스오버(19)가 추가된 길이를 둘고 오도록 전송 라인(15)은 원하는 동작 주파수에 적합한 반전되어 돌아오는 길이를 갖는 한 기하학적으로 불규칙적인 형상을 포함하는 임의의 모양일 수 있다.
- <67> 전송 라인(15)을 따라 증폭기(21)를 균일하게 분포시키는 것의 장점은 두 가지이다. 우선, 관련 증폭기(21)에서 효과적으로 럼프된 스트레이 캐패시턴스(stray capacitance)를 분포시키는 것은 전송 라인 특성 임피던스 Z_0 에 더 양호하고 효과적으로 흡수되게 하기 위한 것이며, 따라서 신호 반사 효과를 감소시키며 열등한 과정 해상도를 향상시킨다. 두 번째로, 전원 전압 V+ 및 GND에 의해 결정되는 신호의 진폭이 전체 전송 라인(15)에 대해 실질적으로 일정한 값을 가지게 되어 전송 라인의 유전체 및 도전체와 관련된 손실을 보상하기에 적합하다. 실질적으로 균일하게 분포되고 접속된 재생성 스위칭 수단(21)을 구비한 연속적인 페루프 전송 라인(15)은 임의의 점에서 동일하게 나타나는 실질적으로 균일한 구조와 상당히 유사할 수 있다. 각 재생성 스위칭 수단과 관련되고 공명 센트 탱크 LC 회로를 형성하는 소자 캐패시턴스 및 인덕턴스(Ce 및 Le)가 전송 라인(15)의 자기 유지 진동 주파수(self-sustaining oscillating frequency) F보다 큰 $1/2\pi\sqrt{Le \cdot Ce}$ 의 공명 주파수를 갖는 것은 바람직한 기준이다.
- <68> 도 5a는 본 발명에 의한 전송 라인(15)의 일부의 분배 전기적 등가 회로 또는 모델이다. 직렬로 연결된 다른 분배 저항성(R) 및 유도성(L) 소자, 즉 루프(15a)의 부분에 대해 R_0 은 L_1 과 직렬로 접속되며, 또 R_2 와 직렬로 접속되며, L_0 은 루프(15b)의 인접하는 부분에 대해 L_0 은 R_1 과 직렬로 접속되며, 또 L_2 와 직렬로 접속되는 것이 도시되어 있다; 그리고 전송 라인(15)을 가로질러 병렬로 접속되어 있는 것으로 도시된 분배된 용량성 소자 C_0 및 C_1 은 따라서 각각 C_0 을 위한 저항성/유도성 소자 R_0/L_1 사이 및 유도성/저항성 소자 L_0/R_1 사이에 C_0 및 루프(15a, 15b)로, 각각 C_1 을 위한 유도성/저항성 소자 L_1/R_2 사이 및 저항성/유도성 소자 R_1/L_2 사이에 C_1 및 루프(15a, 15b)로이다; 등식 $R_0=R_1=R_2$, $L_1=L_{12}=L_3$ 및 $C_0=C_1$ 이 실질적으로 성립하며, 도시된 분배 RLC 모델은 전송 라인(15)의 전체 길이까지 연장된다. 도시되지는 않았으나, 각 용량성 소자 C마다 병렬로 기생 저항성 소자(parasitic resistive element), 구체적으로는 유전 물질이 실제로 존재할 것이다.
- <69> 도 5b는 저항을 무시한 단순화된 분배 전기적 등가 회로 또는 모델이다. 도 5a의 값(L)의 절반인 $L/2$ 값을 가지는 직렬로 접속된 유도성 소자로 대체된다. 이 모델은 본 발명의 실시예인 전송 라인의 동작의 기본 원리를 이해하는데 유용하다.
- <70> 시작 단계, 즉 증폭기(21)에 전원이 최초로 인가된 후에 증폭기(21) 내부의 고유 잡음의 증폭으로부터 시작되며, 따라서 통상적으로 수 나노 초 내에 기본 주파수 F에서의 진동으로 신속하게 정상화하더라도 실질적으로 무질서하게 시작된다. 각 증폭기(21)에 있어서, 인버터(23a, 23b)로부터의 각 신호는 전송 라인(15)에서 전달 지연 Tp 후에 반전되어 돌아온다. 이 전달 지연 Tp는 전송 라인(15)의 유도성 및 용량성 파라미터의 함수이다; 이것은 전송 라인의 모든 용량성 부하를 포함하기 위해 $H/m(L)$ 및 $F/m(C)$ 로 표시되며, 특성 임피던스 $Z_0 = SQR(L/C)$ 및 진행 전달 또는 위상 속도 $Pv=1/SQR(L/C)$ 가 된다. 강화, 즉 지연 Tp가 반주기 시간의 정수 제수인 주파수의 선택적 증폭은 제수 조건이 만족되는 도미넌트 최저 주파수, 즉 기본 주파수 $F = 1/(2*T_p)$ 를 얻게 된다. 이 주파수의 다른 정수배수는 또한 이 제수 조건을 만족시키거나 높은 주파수에 대해서는 증폭기(21)의 이득이 감소한다. 따라서 전송 라인(15)은 주파수 F에서 기본 진동에 신속하게 세를하게 된다.
- <71> 전송 라인(15)은 무한의 전자기 연속성을 가지며, 이것은 인버터(23a, 23b) 내의 바람직한 트랜지스터의 빠른 스위칭 시간과 함께 효과적으로 강화된 진동에서의 기본 주파수 F의 기수 고조파를 포함하는 사각 과정이 된다. 기수 고조파 주파수(odd harmonics frequency)를 포함하는 기본 진동 주파수 F에서는, 증폭기(21)의 터미널은

전송 라인(15)이 어떤 형태의 터미네이션도 없는 '폐루프'이므로 부하가 없는 것으로 나타나고, 이것은 매우 바람직한 저전력 소비 및 저구동 조건의 결과로 된다. 전송 라인(15)의 단위 길이당 인덕턴스 및 캐패시턴스는 매우 바람직하고 유익하게 독립적으로 변경될 수 있다.

<72> 도 6a는 인버터(23a, 23b)를 가지는 스위칭 증폭기(21)의 이상적인 과형을 도시한 도면이다. 컴포넌트 진동 과형 PHI 1, ~ PHI 2는 '시작' 단계 직후에 증폭기(21)의 입/출력 터미널에 나타나게 되며, 정상적인 동작 동안에 계속되게 된다. 이 과형 PHI 1, ~ PHI 2는 사각이며 차동, 즉 180° 의 위상차가 나는 이중 위상 반전이다. 이 차동 과형 PHI 1, ~ PHI 2은 실질적으로 최대 신호 진폭(V+)의 중앙점(V+/2)을 지나간다. 이 중앙점(V+/2)은 과형 PHI 1, ~ PHI 2이 동일한 폐텐셜을 가지게 되는 순간 도전 루프 트레이스(15a, 15b)사이에 디스플레이스먼트 전류 흐름 또는 차동 전압이 존재하지 않으므로 "널" 포인트로 간주될 수 있다. 본 발명의 바람직한 재순환 진행파(recirculating travelling wave)에 있어서, 이 널 포인트는 전송 라인(15)을 매우 빠른 상승 시간 및 하강 시간과 매우 "깨끗한" 사각과형으로 효과적으로 스윕(sweep)한다. 이 널 포인트는 또한 전 주기 바이폴라 클럭 신호의 반대 진폭의 효과적인 기준 전압이다.

<73> 전송 라인(15)에 대해, 진행파에 의해 완료된 랩 및 오리지네이팅 도전 트레이스(17)의 전체 길이 S는 '전기적 길이'로 가정하는 것이 용이하다. 도 6b는 전달 지연 또는 랩 완료 시간(Tp), 각도를 단위로 하는 전기적 길이 및 오리지네이팅 도전 라인/트레이스(17)의 물리적 길이의 관계를 도시하고 있다. 위상 차이가 있는 각 과형 PHI 1, ~ PHI 2에 대해, 전송 라인(15)을 반복적으로 이동하는 진행파에 의해, 실질적인 각 사각과 진폭은 하나의 완전한 랩, 즉 일회의 전달 시간 Tp에 해당하며, 연속적인 반대 과 진폭은 두 번의 연속적인 랩, 즉 2회의 전달 시간(2xTp)에 해당한다. 전송 라인(15)의 하나의 랩은 따라서 180° 의 전기적 길이를 가지며, 두 개의 랩에 대해서는 $0^\circ - 360^\circ$ 바이폴라 신호 주기, 즉 오리지네이팅 도전체(17)의 전체 길이에 해당하는 바이폴라 신호 주기를 요구한다.

<74> 예를 들면, 하나의 랩에 해당하는 180° 의 전기적 길이 및 1GHz에서의 $1/2$ 파장은 빛의 속도(c)의 30%인 위상속도, 즉 $Pv=0.3*c$ 또는 $Pv=0.03*c$ 에서는 5mm, $Pv=1*c$ 인 자유 공간에서는 166mm인 위상 속도(Pv)를 가지는 50mm 전송 라인로부터 형성될 수 있다.

<75> 도 7(i) 내지 도 7(ix)는 과형 PHI 1 및 PHI 2를 다음 주기의 시작, 구체적으로는, 도전체 라인 또는 트레이스(17)를 따른 샘플 위치 사이의 8개의 동일한 전기적 길이의 간격인 45° 까지의 전체 주기를 통해 도시하고 있다. 위상 레이블링은 트레이스(17)를 따른 임의의 위치, 즉 전송 라인(15)을 두바퀴 도는 위치일 수 있는 도 7(i)에 상대적이며, PHI 1 및 PHI 2 과형(15)의 상승/하강에 대한 $0/360^\circ$ 는 임의로 표시되어 있다. 도 7(i)를 시간 t0라 하면, 도 7(ii)는 라인(17)의 전체 길이(S)의 $1/8(0.125S)$ 전달후의 시간 $t0+(0.25Tp)$ 에서의 과형 PHI 1 및 PHI 2를 도시하고 있으며, 따라서 전송 라인(15)의 $1/4$ 의 전달은 및 전기적 길이 45° 이다. 시간 $t0+(0.5Tp)$, $t0+(0.75Tp)$, $t0+(0.75Tp) \dots \dots t0+(2Tp)$; 전달 $0.25S$, $0.375S$, $0.5S$, ..., $1.0S$ 및 90° , 135° , $180^\circ \dots 360^\circ$ 은 도 7(iii) 내지 도 7(ix)에 명백하게 적용된다.

<76> 도 8a 및 도 8b는 지폭 극설(excursion polarity)(원으로 표시됨) 디스플레이스먼트 전류 흐름(화살표로 도시됨) 및 두 개의 랩(따라서 연속적인 오리지네이팅 도전체(17)의 전체 길이)을 포함하는 전자기적으로 무한한 전송 라인(15) 상의 임의의 $0/360^\circ$ 위치로부터의 순간 위상을 도시하고 있다. 도 7에는 하나의 차동 진행 전자기(EM) 과형(예를 들면 PHI 1)이 도시되어 있으나, 반대 방향, 즉 시계 또는 반시계 방향의 전송 라인(15) 주위의 회전 진행만이 도시되어 있다. 다른 과형(PHI 2)은 당연히 도시된 과형(PHI 1)과 180° 의 위상차가 난다. EM파의 실제 회전 방향은 포인팅 벡터, 즉 전기 및 자기 벡터의 외적에 의해 주어진다. 크로스오버 영역(19)은 EM파가 영역(19)에서 전달함에 따라 신호 PHI 1 또는 PHI 2의 중요한 혼란을 발생시키지 않는다. 실질적으로, 빠른 상승/하강 변이는 이동은 전송 라인 주위에서 위상 속도 Pv로 이동하며, 스위칭 증폭기(21)는 전원 전압 레벨 사이의 제1 스위칭 동안 이 변위를 증폭하는 기능을 수행한다.

<77> 과형 PHI 1 및 PHI 2의 위상은, 본 발명에 의한 전송 라인(15)에 대해, 전송 라인(15) 상의 임의의 기준점으로부터 정확하게 결정될 수 있으며, 따라서 위상의 통일성 및 안정성을 가진다.

<78> 양방향 동작을 위한 적절한(현재의 IC 제조 기술 및 구현에 관하여 바람직한) 스위칭 증폭기(21)는 백-투-백 MOSFET 인버터(23a, 23b)에 기초하며, 최대 1000개 이상의 스위칭 반전 증폭기 쌍이 본 발명에 의한 전송 라인 구조의 통상적인 길이를 따라 제공될 수 있다.

<79> 스위칭 증폭기(21)의 양방향 반전 동작은 동기 정류(synchronous rectification)의 특성을 갖는다. 과형 PHI 1 및 PHI 2의 상승 및 하강 시간은 인버터(23a, 23b)의 바람직한 MOSFET 트랜지스터의 전자-변이-시간

(electron-transit-time)에 기초한 종래의 타이밍 신호와 비교할 때 실제로 매우 빠르다. 또한, 강화는, 병렬로 접속된 전체는 같은 차수라도, 바람직한 양방향 증폭기(21)의 인버터 내의 온된 어떤 트랜지스터보다 더 낮은 임피던스를 가지는 전송 라인(15)과 관련된다. 그러한 인버터의 스위칭은 각 증폭기(21)는 양방향으로 대칭적으로 진행되어야 하는 작은 에너지 펄스를 통한 결과 과정의 극성에 기여한다는 것을 의미하며, 순방향을 향한 EM파 펄스는 원하는 대로 기여한다. 전에 스위칭된 증폭기(21)로 돌아가는 역방향 EM파는 이미 존재하는 것과 같이 동일한 극성이며, 따라서 이미 존재하는 스위칭된 상태를 강화한다. 증폭기(21)의 바람직한 인버터의 온된 트랜지스터를 통해 전원 장치 레일과 전송 라인(15) 사이의 오직 경로는 그러한 역방향 EM파 펄스의 에너지가 전원장치 레일 V+, GND로 흡수되도록 보장하며, 따라서 유용한 에너지 보존이 성립한다.

- <80> 구현은 CMOS외의 다른 소자, 즉 N-채널 풀-업, P-채널 풀-다운 바이폴라 트랜지스터, 건 다이오드(Gunn diode) 와 같은 네거티브 저항 소자, MESFET 등에 의해 이루어 질 수 있다는 사실을 이해하여야 한다.
- <81> 전송 라인(15)에 관해서, IC 및 PCB 및 상호 접속(interconnect)에 즉시 적용 가능한 적절한 매체는 일반적으로 마이크로스트립 또는 공면 도파관(coplanar waveguide) 또는 스트립라인으로 불리며, 리쏘그래피적으로, 즉 레지스트의 패터닝 및 식각에 의해 형성할 수 있는 것으로 알려져 있다. 온-IC 전송 라인을 위한 실용적인 유전체는 필드 산화막이라 불리는 이산화 실리콘(SiO_2), 인터-금속 유전체 및 기판 유전체(이것은 적어도 반절연 구조, 즉 실리콘-온-절연체로 사용될 수 있음)를 포함한다.
- <82> 도 9는 세 개의 금속층(56, 58, 60)과 두 개의 유전층(62, 64)을 포함하는 온-IC 전송 라인 형성 예의 부분의 단면도이다. 중간 금속층(58)은 적어도 외관상으로는 병렬로 접속된 두 개의 전송 라인 루프 도전 트레이스(15a, 15b)를 포함하는 것으로 도시되어 있다. 상부 금속층(60)은 AC '접지' 평면으로 사용될 수 있으며, 양극 전원 전압 V+에 접속될 수 있다. '접지' 평면인 하부 금속층(56)은 음극 전원 전압 GND에 접속될 수 있다. (58) 및 접지 평면(56, 58)에서 금속 전송 라인 트레이스 사이의 유전층(62, 64)은 통상적으로 이산화 실리콘(SiO_2)을 이용하여 형성된다. 실제로는 반드시 필요한 것은 아니지만, '접지' 평면 및 유전층(62, 64) 중 하나 또는 전부에 대해 바람직한 전체 구조가 도시되어 있다. 도전 트레이스(15a, 15b) 사이의 물리적 스페이싱(66)은 신호 전달의 차동 및 공통 모드에 영향을 미치며, 이것은 스페이싱(66)으로부터 전자기 필드의 분산을 최소화하기 위해 동일 또는 실질적으로 동일한 속도를 갖는 것이 바람직하다. 스크리닝 특성은 도전 트레이스(15a, 15b)에 인가된 비대칭, 즉 언밸런스된 부하를 구동하는 구조의 능력을 향상시키는 것과 같이, '접지' 평면을 사용함으로써 향상된다.
- <83> 통상적인 IC CMOS 공정의 인터-금속 유전층은 통상 $0.7\mu\text{m}$ 의 얇은 공정이므로 저신호 손실의 마이크로스트립 전송 라인 기능은 낮은 특성 임피던스 Z_0 (지금까지는 처리 가능한 레벨까지 신호 반사를 감소시킬도록 동작하는 터미네이트되지 않거나 부분적으로 터미네이트되거나 또는 직렬로 터미네이트된 라인)를 가져야 한다. 본 발명에 의한 자기-유지되며 터미네이트되지 않은 폐루프 전송 라인(15)은 극복해야 하는 유전체 및 도전체 손실이 통상적으로 낮기 때문에 유지된 진행 EM파 진동은 본래 전력 소비가 매우 낮다. 도 5b로부터, 전송 라인(15) 및 증폭기(21)에 관련된 저항에 의한 손실이 없는 경우, 전송 라인(15)은 전송 라인의 유도성 L_e 및 용량성 C_e 소자를 초기에 '차지-업'하는데 요구되는 에너지 이상의 에너지를 요구하지 않는다. EM파는 전송 라인의 에너지가 단지 전송되거나 또는 전기 및 자기 필드 따라서 용량성 C_e 및 유도성 L_e 소자 사이에서 리사이클링되면서 모든 에너지가 전송 라인 내에서 계속적으로 이동한다. 전송 라인(15) 및 증폭기(21)와 관련된 저항에 의한 손실이 있는 반면, 도 5a의 전송 라인 저항 소자 R_0-R_2 를 참조하면, 통상적으로 저항은 낮으며 관련 저항에 의한 손실은 또한 낮다. 저임피던스 전송 라인(15)을 사용하는 것에 의한 불이익은 없을 뿐만 아니라, 용량성 부하에 의해 영향을 적게 받음으로써 장점이 있고, 따라서 로직 게이트에 대한 더 강한 구동의 결과를 낳게 된다.
- <84> 크로스오버(19)는 금속층 사이에 '바이어(vias)'를 사용함에 의해 IC 상에 구현될 수 있으며, 바람직하게는 각 바이어는 전송 라인(15)의 전체 길이 S의 작은 부분만을 차지한다.
- <85> 도 10a의 단일 증폭기(21) 및 도 10b의 차동 과정을 참조하면, 본 발명에 의한 전송 라인(15)이 전송 라인에 하나의 증폭기(21)만 접속되고 EM파는 전송 라인(15)에서 이동하지 않아서 정상파(standing wave) 진동이 발생하는 변형이 이용가능하다. 그러한 증폭기는 전송 라인(15)의 전기적 길이의 약 5° 이상 연장되어서는 안 된다. 단일 증폭기(21)가 완전히 '온' 또는 '오프'가 되지 않으면, 전송 라인(15)에는 정지 정현파 진동은 발생하게 되며, 이것은 두 개의 정지된 두 개의 '널' 영역을 포함하는 동일한 위치에서 동일한 위상의 가변 진폭을 가지게 된다.
- <86> 복수개의 작은 인버터는 더 부드럽고 빠른 결과를 생성하더라도, 진행파 동작은 수 개의 일정한 간격의 또는 단

지 하나의 CMOS 양방향 인버터 구조를 사용하여 이용가능하다. 증폭기(21)의 구조를 보상하는 것은, 단지 입/출력 터미널일 뿐이라 하더라도, 다른 위치에서 제1 및 잠시 후에 제2 펄스를 전송 라인에 강제로 입력하거나 알려진 마이크로파 방향 커플러의 결합에 기초한 구체적인 초기 회로가 하는 것처럼 진행 EM파를 전송 라인 전달(traversal)의 한 방향으로 만들 수 있다.

<87> 도 11의 21T의 상세도를 참조하면, 크로스오버(19) 대신 반전 전송 라인 트랜스포머가 이용될 수 있으며, 무한 전자기 연속성을 가지는 전송 라인을 생성할 수 있다.

<88> 도 12는 공급 라인 커넥터를 가지는 한 쌍의 백-투-백 인버터(23a, 23b)와 도 5b와 같이 전송 라인의 분배 유도성(L/2) 및 용량성(C) 소자의 표시를 도시하고 있다. 도 13a는 백-투-백 인버터(14a, 14b)를 N-채널 및 P-채널 MOSFET으로 구현한 것을 도시하고 있다.

<89> 도 13b는 기생 용량을 포함한 NMOS(N1, N2) 및 PMOS(P1, P2) 트랜지스터에 대한 등가회로도를 도시하고 있다. 트랜지스터 P1 및 N1의 게이트는 도전 트레이스(15a) 및 트랜지스터 P2 및 N2의 드레인에 접속된다. 유사하게, 트랜지스터 P2 및 N2의 게이트는 도전 트레이스(15b) 및 트랜지스터 P2 및 N2의 드레인에 접속된다. PMOS 게이트-소오스 캐패시턴스 C_{gsP1} 및 C_{gsP2} , PMOS 게이트-드레인 캐패시턴스 C_{gdP1} 및 C_{gdP2} , 및 PMOS 드레인-소오스 및 기판 캐패시턴스 C_{dbP1} 및 C_{dbP2} , NMOS 게이트-소오스 캐패시턴스 C_{gsN1} 및 C_{gsN2} , NMOS 게이트-드레인 캐패시턴스 C_{gdN1} 및 C_{gdN2} , 및 NMOS 드레인-소오스 및 기판 캐패시턴스 C_{dbN1} 및 C_{dbN2} 는 전송 라인의 특성 임피던스 Z_0 에 효과적으로 흡수되므로, 개별적인 NMOS 및 PMOS 트랜지스터의 변이 시간(transit time)에 영향을 적게 미친다. 과형 PHI 1 및 PHI 2의 상승 및 하강 시간은 따라서 종래의 회로보다 훨씬 바르다.

<90> 도 12 내지 도 14는 명백함을 위해, 관련된 저항(R) 소자를 생략하고 있다. 도 23a는 전송 라인(15)의 용량성 소자(도 12 및 13에 도시된 바와 같이)만을 N/PMOS 트랜지스터의 용량성 소자와 함께 도시하고 있다. 도 14b는 전송 라인 분배 유도성(L/2) 소자 및 아래와 같은 실효 캐패시턴스 C_{eff} 를 포함하는 도 14a에 대한 다른 등가회로도를 도시하고 있다.

<91> $C_{eff} \sim C + C_{gdN} + C_{gdP} + [(C_{gsN} + C_{dbN} + C_{gsP} + C_{dbP})/4];$

<92> 단,

$$\begin{aligned} & C_{gdN} = C_{gdN1} + C_{gdN2}, \\ & C_{gdP} = C_{gdP1} + C_{gdP2}, \\ & C_{gsN} = C_{gsN1} + C_{gsN2}, \\ & C_{dbN} = C_{dbN1} + C_{dbN2}, \\ & C_{gsP} = C_{gsP1} + C_{gsP2}, \\ & C_{dbP} = C_{dbP1} + C_{dbP2}; \end{aligned} \quad </\text{FONIID}>$$

<93>

<94> 게이트, 드레인, 소오스 및 기판 정선 캐패시턴스에 의한 캐패시턴스 부하는 바람직하게는 상기 설명한 바와 같이 분포된다.

<95> 차동 및 공통 모드 전송 라인을 구비하는 것의 장점은, 도 14a 및 도 14b에 도시된 바와 같이, MOSFET 트랜지스터 내의 고유의 '기생' 캐패시턴스가 전송 라인 특성 임피던스 Z_0 에 흡수될 수 있다는 것이며, 따라서 에너지 전달 및 저장에 사용될 수 있다는 것이다. NMOS 및 PMOS 트랜지스터의 게이트-소오스 캐패시턴스(C_{gs})는 신호 도전체 트레이스(15a, 15b) 및 각각의 전원 전압 레일 사이에 나타나며, 각 캐패시턴스의 적절한 양을 전원 전압 레일에 접속된 전송 라인(15)으로부터 제거, 예를 들면 도전체 트레이스(15a, 15b)를 적절한 양만큼 얇게 함으로써 보상할 수 있다. NMOS 및 PMOS 트랜지스터의 게이트-드레인 캐패시턴스(C_{gd})는 신호 도전체 트레이스(15a, 15b) 및 각각의 전원 전압 레일 사이에 나타나며, 인버터(23a, 23b)의 NMOS 및 PMOS 트랜지스터의 접속에서 도전체 트레이스(15a, 15b) 사이의 간격(66)을 비례적으로 증가시킴으로써 보상할 수 있다.

<96> 한정되지 않은 실시예로써, 0.65 미크론 CMOS 공정에서, 사용 가능한 5GHz 오버래핑되지 않는 클럭 신호는, 용량성 션트 부하 분배 및 유전상수에 의해 결정되는 바와 같이, 광속의 30%인 위상 속도를 가지는 9mm의 전송 라인 로프 길이(S/2)가 되며, 따라서 도전체(17)의 전체 길이(s)는 18mm가 된다.

<97> *NMOS 및 PMOS 트랜지스터의 기판 정선 캐패시턴스(C_{db})는 반절연 또는 실리콘-온 절연체식 공정 기술을 사용함에 의해 매우 효과적으로 감소될 수 있다.

- <98> 각 증폭기(21)의 터미널, 즉 각각 및 모든 인버터(23a, 23b)의 각각의 입/출력 터미널을 직접 접속시키는 연속적인 DC 경로가 있으나, 이 경로는 안정적인 DC 동작점을 가지지 않는 특징이 있다. 이 DC 순간성을 각 증폭기 (21₁) 내지 (21₄)의 재생성 동작 및 이들의 포지티브 피드백 동작에 대해 장점이 있다.
- <99> 본 발명에 의한 전송 라인(15)은 기능적인 로직 블록의 주위에 '국부(local)' 클럭 신호를 추출하기 위해 접속되는 페루프로 라우팅될 수 있다. CMOS 인버터는 전송 라인(15)에 대한 용량성 '스터브(stub)'에서 '탭 증폭기'로 사용될 수 있으며, 이것은 전송 라인으로부터 '국부적' 캐패시턴스의 등가량을 제거함에 의해, 예를 들면 상기와 같이 도전체 트레이스(15a, 15b)를 얇게 함에 의해 공진을 제거할 수 있다. 용량성 '클럭 탭'은 실질적으로 균일하게 간격에 대한 디자인의 문제에 관련을 가지는 본 발명에 의한 전송 라인(15)을 따라 분포될 수 있으며, 이것은, 진동 신호의 파장보다 작은 경우, EM파의 전달을 느리게 하고 전송 라인(15)의 특정 임피던스 Z_0 를 감소시키나 좋은 신호 전달 특성을 가지게 한다.
- <100> 클럭 신호의 파장에 비해 상대적으로 작은 기능 로직 블록 내에서는, 도 15를 참조하면, 터미네이션되지 않은 상호접속은 위상이 일치하는 국부적 클럭킹에 대해 적절히 작동한다. 명확성을 위해, 전송 라인(15)에 접속된 쌍들은, 실제로는 통상적으로 서로 반대 위치에 있지만, 약간 벗어난 것으로 도시되어 있다. 다른 탭-오프 공급은 전송 라인(15) 자신을 상호 접속에 대해 상술하는 것을 포함하는 것은 물론, 수동 저항성, 유도성 또는 전송 라인 특성의 가벼운 양방향 또는 단방향 또는 반전 접속을 포함한다.
- <101> 복수개의 오실레이터 및 전송 라인(15)은, 공칭 주파수 부정합(nominal frequency mismatch)이 너무 크지 않는 한, 위상 및 주파수 모두에 대한 동기화를 포함하는 새로운 방식으로 동작하도록 접속되거나 커플링될 수 있다. 저항성, 용량성, 유도성 또는 정확한 길이의 직접적인 전송 라인 접속/커플링, 또는 이들의 조합은 양호한 양방향 신호 상호접속을 제공할 수 있다. 전송 라인 사이의 신호 접속 또는 커플링은 일반적으로 인접하는 전송 라인 사이의 자기적 및/또는 전기적 플렉스의 공유를 이용하는 마이크로파 마이크로-스트립 회로에 사용되는 알려진 커플링 기술을 이용함으로써 달성될 수 있다. 단방향 접속은 또한 장점을 가지고 있다. 본 발명에 의한 커넥터 및 커플링은 PCB 상의 IC 내 또는 IC 간을 불문하고, 커다란 시스템 전체에 대한 복수개의 전송 라인 오실레이터의 동기성(synchronicity) 및 일관성(coherency)을 유지할 수 있다.
- <102> 둘 이상의 전송 라인의 접속/커플링 및 크로스-접속 규칙은 키르히호프의 전류 법칙과 유사하나, 동일한 정선으로부터 배출되는 에너지와 동일한 값-즉 정선에 축적되는 에너지가 없음-을 가지는 임의의 숫자의 전송 라인의 정선, 즉 접속 또는 커플링으로 유입되는 에너지에 기초하고 있다.
- <103> 전원 전압 V+가 일정하면, 당연히 규칙은 키르히호프의 전류 법칙이다. 실제의 실시예를 보면, 세 개의 전송 라인에 공통인 정선이 있으면, 가장 간단하지만 유일하지 않은 해는 그 중 하나의 전송 라인이 다른 두 개의 전송 라인의 특성 임피던스의 절반의 특성 임피던스 값을 갖는 것이다. 커플링된 전송 라인이 짹수개 있는 경우, 각각의 특성 임피던스는 동일할 수 있다. 그러나, 키르히호프의 전류법칙을 만족하는 임피던스의 조합은 무한개 존재한다. 전송 라인 내의 크로스-접속 규칙은 상기 설명된 둘 이상의 전송 라인의 커플링 규칙과 동일하다.
- <104> 아래의 조건이 만족되면 전송 라인 네트워크(15)의 모든 점에서 위상 및 진폭에 대해 매우 우수한 차동 신호 패형 PHI 1 및 PHI 2이 존재하게 된다.
- <105> (i) 전송 라인은 실질적으로 일치하는 전기적 길이를 가진다
- <106> (ii) 상기 키르히호프의 법칙을 만족한다.
- <107> *(iii) 위상 반전이 존재한다.
- <108> 상기 세 가지 조건을 만족시키는 무한개의 커플링된 네트워크 디자인 및 전원 전압이 당연히 존재한다. 예를 들면; 길고 빠른 고 임피던스 전송 라인에 접속된 느린 저임피던스 전송 라인의 얇은 부분; 및 일차원 및/또는 삼차원 구조 등. 그러나, 가장 좋은 패형 및 가장 낮은 기생 전력 손실을 위해서는, 공통 모드 및 차동 모드, 즉 짹수 및 홀수 모드의 위상 속도는 실질적으로 동일하여야 한다. 동일 도는 실질적으로 동일한 위상 속도는 전송 라인의 캐패시턴스를 변화시킴에 의해 시스템에 디자인될 수 있다.
- <109> 상기 키르히호프-유사 전력/임피던스 관계가 유지되고, 인버터(23a, 23b)의 고유의 동기 정류와 결합되는 경우 시스템의 다른 부분이 다른 전원 전압에 의해 동작하고 그러한 시스템의 다른 부분 사이에 양방향으로 전력이 전달되는 것이 허용되는 한 전력전원 전압 V+는 시스템 전체에 대하여 일정할 필요는 없다.
- <110> 도 16은 주파수 및 위상에 대하여 실질적으로 자기-동기화하도록 접속된 본 발명에 의한 실질적으로 동일한 전

송 라인을 도시하고 있다. 공통 부분은 두 개의 전송 라인(15_1 , 15_2)의 회전 파형 에너지를 전달하기 때문에, 전송 라인(15_1 , 15_2)은 임피던스가 전송 라인(15_1 , 15_2)의 잔여 부분의 임피던스(20)의 절반이므로 키르히호프의 법칙과 유사한 전력/임피던스 규칙을 만족하는 루프 도전 트레이스의 공통 부분에 쌍으로 접속되어(siamesed) 있다. 상술한 바와 같이, 전송 라인의 오리지네이팅 트레이스 길이 S는 진동 주파수를 결정하는 하나의 요소이므로, 동일한 매체 및 실질적으로 동일한 길이 S인 전송 라인(15_1 , 15_2)은 실질적으로 동일한 진동 주파수 F를 가지며 실질적으로 위상이 코히어런트할 것이다. 도 10에는, 표시된 화살표(1L, 2L)(또는 둘 모두 반대 방향)를 참조하면, 각 EM파가 전송 라인(15_1 , 15_2) 주위에서 물림기어(cog wheel)에 유사한 방식으로 반대 방향으로 진행하고 재순환할 것이다. 전송 라인의 그러한 쌍접속(siamesing connection)은 임의의 숫자의 그러한 물림기어 형태의 전송 라인 오실레이터로 순차적으로 용이하게 확장될 수 있다.

<111> 도 17a는 두 개의 별개의 위치(40, 41)로의 직접 접속에 의해 주파수 및 위상을 실질적으로 자기-동기화하도록 접속된 전송 라인(15_1 , 15_2)을 가지는 두 개의 실질적으로 동일한 전송 라인 오실레이터의 다른 예를 도시하고 있다. 도 17b는 저항성, 용량성 또는 유도성 또는 이들의 조합일 수 있는 수동 소자(44, 46)를 통한 그러한 접속을 도시하고 있다. 도 17c는 두 개의 인버터(50_1 , 50_2)일 수 있는 양방향 수단(48)을 통한 그러한 직접 접속을 도시하고 있다. 양방향 수단(48)은 하나의 전송 라인(15_1)으로부터 다른 전송 라인(15_2)으로, 또는 그 반대 방향으로 커플링 또는 신호 반사가 없도록 하는 것을 보장한다.

<112> 재순환하는 EM파의 진행 방향은 반대 방향(contra-directional)의 진행파를 생성하는 '병렬'-커플링된 전송 라인 쌍에 대한 예상에 따라 전송 라인(15_1)에 대해서는 실선이나 임의적이며 전송 라인(15_1)에 대해서는 점선인 화살표(1L, 2L)에 의해 다시 표시되어 있다.

<113> 도 18은 두 개의 자기-동기화된 도 17a의 전송 라인 오실레이터를 단순하게 표시한 도면이며, 아래에서 유사한 도면이 사용된다.

<114> 도 19a는 도 17a 내지 도 17c와 같이 함께 접속되었으나 네 개의 전송 라인 오실레이터(15)의 표시된 EM파 회전 방향(1L - 4L)에 따른 재순환 진행 EM파를 제공하는 본 발명에 의한 제5 중앙 실효 전송 라인 타이밍 신호 소스를 제공하기 위한 네 개의 자기-동기화된 전송 라인 오실레이터(15_1 - 15_4)를 도시하고 있다. 도시된 바와 같이, 제5 중앙 전송 라인 오실레이터는 다른 네 개 각각의 부분을 물리적으로 포함하며, 네 개의 방향과 반대방향인, 구체적으로는 반시계 방향(1L - 4L)에 대해 시계방향인 회전 방향(5L)을 갖는다. 전송 라인 오실레이터들을 함께 접속하는 이 방법은 원하는 숫자 또는 원하는 어떤 영역도 포함하는 원하는 다양한 전체 패턴으로 확장될 수 있다는 점을 이해하여야 한다.

<115> 도 19b에는 재순환 형태는 아니지만 타이밍 신호의 원하는 위상을 액세스하는데 유용하고 유익한 다른 제5 중앙 전송 라인 오실레이터가 도시되어 있다.

<116> 도 20은 전송 라인(15_1 , 15_2)을 가지며 자기적으로 동작하도록 커플링되고 물리적으로는 접속되지 않은 자기-동기화 오실레이터를 도시하고 있다; 그 목적을 위해 더 양호한 자기 커플링을 달성하기 위해 연장된 전송 라인을 사용하는 것이 유리할 수 있다. 도 21은 일반적으로 도 20과 같은 전송 라인(15_1 , 15_2)을 가지지만 자기적으로 커플링하고자 하는 인접하는 부분 사이에 위치한 강자성 스트립(52)을 강화하는 커플링을 가지는 자기적으로 커플링된 자기-동기화 오실레이터의 다른 예를 도시하고 있다.

<117> 도 22는 전송 라인(15_1 , 15_2) 사이에 위치한 제1 강자성 스트립(52) 및 전송 라인(15_2 , 15_3) 사이에 위치한 제2 강자성 스트립(54)에 의해 자기적으로 커플링되는 전송 라인(15_1 , 15_2 , 15_3)을 가지는 세 개의 자기-동기화 오실레이터를 도시하고 있다. 진동 신호원으로서, 전송 라인(15_2)은 진동을 위한 충분한 에너지가 공급부(provision)(21)와 함께 포함된 다른 전송 라인(15_1) 및 전송 라인(15_3)으로부터 자기적으로 커플링되는 한, 재생성 공급부(21)를 필요로 하지 않는다.

<118> 전송 라인(15_2)이 더 길고 더 큰 영역을 둘러싸는 것이 유용하나 재생성 공급부(21)를 필요로 하거나 구비할 필요가 없으며 크로스오버도 필요로 하지 않는다; 그리고 길이(S)의 홀수배수(3S, 5S, 7S 등) 또는 적어도 하나의 전송 라인(15_1 , 15_3)의 전기적 길이인 것이 바람직하다. 이것은, 당연히, 상당한 거리가 떨어져서 오실레이터의

자기-동기화 주파수- 및 위상-고정(예를 들면 전송 라인(15₁, 15₃)을 이용하여)을 포함한다.

<119> 다른 실시예는 전자기적으로 커플링되는 도전 트레이스의 부분의 상부 및/또는 하부까지 미치는 유전 물질(미도시)을 사용하는 것을 포함한다. 다른 주파수에서 동작하는 전송 라인 오실레이터를 동기화하는 것이 실현 가능하다. 도 24를 참조하면, 두 개의 자기-동기 오실레이터의 전송 라인은 전기적인 길이가 다르다. 구체적으로는, 동일한 전송 라인 구조/물질을 사용하여, 제1 전송 라인(15₁)은 기본 진동 주파수 F=F1에 대한 전체 도전 길이 S를 가지며, 제1 전송 라인(15₁)의 도전 길이의 1/3의 길이를 가지는, 즉 도전 길이가 S/3이며 따라서 진동 주파수가 3F인, 제2 전송 라인(15₂)에 접속되고 동기화된다. 점선으로 된 화살표는 EM파의 회전 방향을 표시한다. 다른 기술이 이용될 수도 있지만, 접속은 도 17a 내지 도 17c에 도시된 바와 같다. 자기-동기화는 상술한 강한 제3 고조파(3F)의 제1 전송 라인 사각과 신호의 존재에 의한 것이다. 더 높은 고조파, 즉 5F, 7F의 주파수에 대한 유사한 결과도 이용가능하다.

<120> 그러한 다른 기수 고조파에 관련된 주파수에서 동작하는 오실레이터의 전송 라인 사이의 바람직한 커플링은 양 방향이므로 자연적으로 더 낮은 주파수 라인(15₁)을 자연적으로 더 높은 주파수 라인(15₂)에 동기화를 시도하는 것은 권장되지 않는다. 도 24에 도시된 바와 같이, 어떤 숫자의 다른 기수-고조파 관련 주파수의 전송 라인 오실레이터라도 함께 커플링 및 동기화될 수 있다.

<121> 본 발명에 의한 재순환 시스템 전송 라인 오실레이터는 반도체 접적 회로 내부 및 반도체 접적 회로의 기준 타이밍 신호의 생성 및 분배, 즉 클럭으로 사용될 수 있으며, PCB, 예를 들면 타이밍 신호를 필요로 하는 복수개의 IC 또는 다른 적절한 장치/시스템을 포함하는 회로를 장착 또는 접속하는 기능을 수행하는 PCB에 적용 가능하다.

<122> 그러한 IC를 위해, 업계 표준인 SPICE 기술을 이용한 시뮬레이션은 이용된 IC 제조공정 및 그들의 개발 계획에 따라 최대 수십 GHz의 매우 높은 주파수의 클럭 신호를 공급하는 가능성을 증명한다.

<123> 생성 및 분배는 동일 또는 다른 주파수를 가질 수 있는 다중 클럭 신호를 포함하는 그러한 부분 사이에서 예상 가능한 위상 및 위상 관계를 가지는 IC의 모든 부분에서 존재할 수 있다. 또한, 본 발명에 의한 전송 라인 오실레이터의 동작의 원리 및 자기-동기 상호 커플링은 특정 IC 내부 및 IC 사이의 동작 회로에 타이밍 신호를 신뢰할 수 있도록 제공하는 것뿐만 아니라, IC 사이의 데이터 전송까지 더 확장된다.

<124> 재생성 회로(21)와 관련된 전체 전송 라인(15) 구조 및 네트워크는 진동한다. 전송 라인(15)은 터미네이트되지 않고, 즉 전송 라인은 폐루프를 형성하여 동작한다. 전송 라인의 특성 임피던스 Zo는 낮으며 진동을 유지하기 위해 '탑-업' 에너지만을 필요로 한다.

<125> 두 개의 도전체 트레이스(15a, 15b) 사이의 임피던스는 바람직하게는 균일하게 분포하며, 따라서 양호하게 밸런스되어 있으며, 이것은 잘 한정된 차동 신호 파형(PHI 1, PHI 2)을 달성하는 것을 보조한다. 전송 라인(15) 상의 신호 PHI 1, PHI 2가 전송 라인(15)에 접속된 모든 반전 증폭기(21)에 대해 180° 또는 실질적으로 180° 위상 시프트 조건을 만족하는 경우, 즉 모든 증폭기(21)가 전송 라인(15)을 따른 모든 점 사이에서 알려진 위상 관계를 가지고 통합된 방식으로 동작하는 경우 코히어런트 진동이 발생한다. 신호 에너지는 차동 모드에서 신호 도전체(15a, 15b) 사이에서 유도성 및 용량성, 즉 자기적 및 전기적으로 전송되며, 또한 두 개의 별개의 공통-모드(상부 및 하부 '접지' 평면이 없거나 설립되지 않은 꼬임 쌍 케이블(twisted pair cable)을 통한 접속인 경우 존재하지 않음)에서 각 신호 도전체와 기준 접지사이에서 전송 라인(15)으로 전송된다.

<126> 비선형, 스위칭 및 증폭 회로 소자인 CMOS 인버터는 정상적으로는 순실있는 트랜지스터 게이트 '입력' 및 드레인 '출력' 캐패시턴스가 트랜지스터 기판 캐패시턴스와 함께 전송 라인(15)의 특성 임피던스 Zo에 흡수되므로 크로스-컨덕션으로부터의 손실이 적고, 따라서 전력 소비는 통상의 $1/2CV^2$ 공식을 따르지 않는다.

<127> 예를 들면, MOS 트랜지스터 게이트의 용량성 충전 및 방전에 의한 전력 소모는 불가피한 것이 당연한 것으로 간주된다. 그러나 전송 라인(15)의 자기 유지 진동 특성은 트랜지스터 게이트 터미널을 낮은 전력 순실로도 '구동' 할 수 있다. 이것은 필요로 하는 '구동' 에너지는 정전계(electrostatic field), 즉 MOS 게이트 캐패시턴스의 용량성 필드 및 자기 필드, 즉 전송 라인(15)의 유도성 필드 소자 사이에서 변화하기 때문이다. 따라서, 전송 라인(15) 내에 포함된 에너지는 완전히 소모되지 않으며 사실상 재활용된다. 에너지 절약은 접속된 전송 라인(15)의 모든 트랜지스터 게이트에 적용된다.

<128> 본 발명에 의한 전송 라인 오실레이터의 저손실 효율은 클럭 왜곡, 클럭 분배, 전력 소모 등의 문제로 인하여

이용가능하지 않은 옵션으로 포기되었던 많은 종래의 로직 시스템을 위한 '클럭' IC에 사용될 수 있다는 것을 고찰할 수 있다. 그러한 로직 배열의 비소모성 예는 다중-위상 로직 및 충전 회복 또는 단열 스위칭 로직을 포함하며, 이러한 로직 배열은 당업자에게 알려져 있다.

<129> 도 24는 모놀리틱 IC(68)(다른 도면과 같이 스케일링 안됨)에 적용된 바와 같은 가능한 본 발명에 따른 클럭 분배 네트워크를 도시하고 있다. IC(68)는 루프(1L - 13L)로 도시된 본 발명에 의한 복수개의 전송 라인을 구비하고 있으며, 루프(1L - 10L, 13L)는 동일한 실효 길이(effective length)(예를 들면 S)를 가지고 있으며, 주파수 F에서 진동하고, 루프(11L, 12L)는 각각 더 짧은 루프 길이(예를 들면 S/3)를 가지고 있으며 주파수 3F에서 진동한다. 루프(1L - 8L, 11L - 13L)는 재생성 수단을 완전히 구비한 전송 라인 오실레이터이며, 루프(9L, 10L)는 전 전송 라인의 일부, 즉 각각 1L, 3L, 4L 및 5L; 4:, 5L, 6L, 8L이 된다.

<130> 상술한 바와 같이, 루프(13L)의 전송 라인(15)은 긴 측면이 IC(68)의 에지(즉, 스크라이브 라인(scribe line))에 가깝도록 연장되어, 그러한 자기 커플링에 의해 주파수 및 위상 고정을 위한 플립-플롭 기술에 의한 상호-커플링을 위한 유사하게 셋업된 별개의 모놀리틱 IC에 커플링되는 것이 가능하다. 별개의 모놀리틱 IC의 위상 및 주파수 고정은 그러한 하이브리드 시스템에서 매우 유용할 수 있다.

<131> 도 25는 전기적 길이, 임피던스 정합, 데이터 전송을 위한 어떠한 위상 조건에 관한 상호 접속 규칙을 만족하는 한 아무리 복잡하더라도 다른 어떤 구조도 원하는 대로 제공될 수 있으나, 본 발명에 의한 신호 분배를 위한 상호 접속된 전송 라인 오실레이터의 삼차원 네트워크, 구체적으로는 피라미드 형태의 배열의 구현 가능성을 도시하고 있다.

<132> 본 발명에 의한 IC는 그러한 IC와 관련된 모든 다양한 로직 및 처리 블록에서 또는 사이에서 동기 제어 및 데이터 처리 활동을 이용하기 위해 둘 이상의 자기-유지 전송 라인 오실레이터를 위한 또는 사이를 포함하는 전체 주파수 및 위상 고정, 또한 위상 일치를 원하는 대로 갖도록 설계할 수 있다.

<133> 도 26a는 로직 블록(72₁) 주위에 국부적 클럭을 분배하거나 분배되기 위해 각각 전송 라인 도전 트레이스(15a, 15b)에 접속된 한 쌍의 CMOS 인버터(70₁, 70₂)를 이용하는 이중 탭-오프(tap-off)의 예를 도시하고 있다. 로직 블록(72₁)이 전송 라인(15) 내에 인클로즈되어 있는 것으로 도시된 반면, 다른 예는 로직 블록(72₁)이 전송 라인(15)에 의해 인클로즈된 영역의 외부에 위치하는 것을 포함하며, 로직 블록(72₂)과 관련 인버터(72₃, 72₄)에 대해서는, 및/또는 전송 라인(15)의 도전 트레이스(15a, 15b)가 놓여진다. 원하는 경우, 예를 들면 큰 로직 블록(72₁) 및/또는 로직 블록(72₂)에 있어서는 로직 블록(72)(접선 참조) 내에서 국부적으로 필요로 하는 원하는 위상을 포함하는 복수개의 인버터(70) 쌍이 전송 라인(15)에 '탭'될 수 있다. 진동 클럭 신호(PHI 1, PHI 2)의 위상을 정확하게 선택할 수 있는 능력은 복잡한 파이프라인 로직 및 다중-위상 로직(아래의 도 9 참조)을 동작하도록 디자인하고 제어할 수 있게 한다.

<134> 도 26b는 더 많이 존재하는 것도 가능하지만, 하나 이상의 전송 라인이 하나 이상의 처리 소자를 클럭킹하기 위해 이용될 수 있지만, 로직 블록(72₁, 72₂)이 각각 처리 소자(73₁, 73₂)에 의해 대체된다는 점에서 차이가 있다. 둘 이상의 더 많은 복수개의 처리 소자는 독립적 및/또는 함께, 즉 매우 빠르고 강력한 데이터 처리 IC/시스템을 달성하기 위해 병렬로 동작할 수 있다.

<135> 도 27a는 점진적으로 물리적 길이가 짧은 동심원의 전송 라인(15₁ - 15₃)을 도시하고 있다. 그러나, 각각의 전송 라인(15₁ - 15₃)은 구조 또는 단위 길이던 인덕턴스 및/또는 캐패시턴스를 증가시킴에 의해 적절히 지연된 더 짧은 전송 라인(15₂, 15₃) 각각의 주위를 회전하는 EM파의 상대 속도에 관계없이, 동일한 주파수에서 진동하도록 제조할 수 있다. 또한, 전송 라인(15₁ - 15₃)은 삼차원 전송 라인(15₁ - 15₃)을 동기화시키는 기능을 수행하는 하나 이상의 동작 접속(70, 72)을 선택적으로 구비할 수 있다. 동기화를 제외한 접속(70, 72)을 가지는 장점은, 전송 라인(15₁ - 15₃)은

<136> (i) 단일 다중-필라멘트 전송 라인으로 동작하며;

<137> (ii) 작은 도전 트레이스(15a, 15b)를 가지며;

<138> (iii) 더 큰 클럭킹 영역을 포함하며;

<139> (iv) 더 낮은 스킨 효과 손실을 제공하며; 및

<140> (v) 더 낮은 크로스토크 및 커플링을 제공

<141> 하거나 할 수 있다.

<142> 도 28a는, 이 특정 예에서, 위치(A, B) 및 (C, D)의 간격을 일치시키기 위해 90° 의 전기적 길이를 갖는 전송 라인(15c, 15d)을 더 포함하는 위치(A, B, C) 및 (D) 사이의 폐루프 접속을 가지는 전송 라인을 도시하고 있다. 다른 교차-접속 전기적 길이가 선택될 수 있고, 위치(A, B) 및 (C, D)의 해당 다른 간격으로 접속될 수 있다. 폐루프 접속은 전송 라인(15)에 의해 인클로즈된 영역 내에서 다른 텁-오프 위치를 허용한다. 전송 라인(15d)이 포인트(A, C) 사이에 병렬로 접속된 것이 도시되어 있으며, 전송 라인(15)의 일부는 선(74)에 의해 표시된다. 마찬가지로, 전송 라인(15c)이 포인트(B, D) 사이에 병렬로 접속된 것이 도시되어 있으며, 전송 라인(15)의 일부는 선(76)에 의해 표시된다. 전송 라인(15c, 15d, 74, 76)은 각각이 상술한 바와 같이 전송 라인(15)의 잔여 부분과 관련된 임피던스의 절반의 임피던스를 가지면 만족할 것이다. 전송 라인(15, 15c, 15d)은 증폭기(21)에 접속된다. 도 28b는 폐루프 접속(15c, 15d) 및 전송 라인(15)의 부분(78, 80)에, 즉 각각 부분(74, 76) 대신에, 상대적으로 셋업된 위치(A, B, C, D)를 도시하고 있다. 그러나 키르히호프 법칙이 다시 적용되어 전송 라인(15)의 잔여 부분과 관련된 임피던스의 절반의 임피던스를 각각 가지는 부분(15c, 15d, 78, 80)이 된다. 전송 라인(15)을 가로지르는 복수의 추가적인 전송 라인(15c, 15d)의 도입은 필요에 따라 구현될 수 있다.

<143> 도 29a는 사중-위상 클럭 신호를 생성하는 방법의 하나를 도시하고 있다. 효과적으로, 전송 라인(15)은, 사각형으로 도시된 바와 같이, 신호 전달 경계의 이중으로 이동하게 되며, 더 반복된 전달이 더 많은 위상을 생성할 수 있다. 도시된 실시예에서, 위치(A1 A2, B1, B2)는 위치(C1, C2, D1, D2)와 같이 국부화된 사중-위상 클럭 신호를 생성한다. 반복된 경계 이동은 커플링을 방지하기 위해 전송 라인(15)의 상호 스페이싱/분리에 적합할 것이다. 도 29b는 위치(A1, A2, B1, B2) 및 위치(C1, C2, D1, D2)에서의 이상적인 사중-위상 신호 패형을 도시하고 있다.

<144> 도 30은 폐루프 전송 라인(15)에 접속되며 개방-회로 진동 스터브로 동작하므로 텁 포인트에서 악영향을 미치지 않는 180° 의 전기적 길이를 가지는 개방단(open-ended) 수동 전송 라인(15e, 15f)을 도시하고 있다. 증폭기(21)는 개방단 전송 라인(15e, 15f)을 따라 존재하지는 않으나, 인버터(23)는 가진동(spurious oscillation)의 위험을 감소시키기 위하여 트레이스(15c, 15d)의 양단에 위치할 수 있다. 사실상, 그러한 스터브(15e, 15f)에서의 진동은 전송 라인(15)에 유용한 재생성 효과를 가질 수 있으며, 따라서 강화 및/또는 안정도 목적으로 기능 할 수 있다.

<145> 상호 접속된 네트워크 내에서 동일한 상대 위상을 가지는 접속 위치에서 두 개의 시스템 사이에서 충분한 상호-접속이 성립하기만 하면, 임피던스 정합에 대한 특정 조건이 없는 수동 전송 라인 접속은 동일한 또는 실질적으로 동일한 주파수의 진동 전송 라인을 접속하는데 이용될 수 있다. 비클럭 신호(즉, IC/시스템 데이터 라인)가 클럭 접속과 같이 동일한 라우팅(예를 들면 리본 케이블, 꼬임 쌍, 전송 라인)으로 병합된다면, 그러한 접속은 IC 및 시스템간의 고속 디지털 신호를 동기화하는데 도움을 줄 수 있으며, 따라서 시스템 사이의 데이터 및 클럭킹을 코히어런트하게 한다.

<146> 도 31은 각각 본 발명에 의한 클럭 생성 및 분배와 IC 상호간 접속(E, F) 및 (G, H)을 가지는 두 개의 모놀리딕 IC(68_1 , 68_2)의 두 개의 클럭 분배 네트워크의 코히어런트 주파수 및 위상 동작의 일 실시예를 도시하고 있다. 관련된 두 개의 IC는 코히어런트하게, 즉 동일한 주파수에서 동일한 위상 관계로 동작하며 각 접속은 실질적으로 180° 의 길이이거나 또는 $360^\circ *n+180^\circ$ (단, n은 0 또는 정수)를 만족하는 배수이다.

<147> 한 쌍의 IC-접속은 (E, F) 또는 (G, H)은 주파수 및 위상 '고정'을 발생시킨다. 도시된 바와 같은 하나 이상의 접속(E, F) 및 (G, H)은 클럭과 방향 또는 회전 고정을 더 발생시킨다.

<148> 도 31에는 또한 둘 중의 하나 또는 각각 더 존재할 수 있으나, 제1 및 제2 '스터브' 접속(82, 83)이 도시되어 있다. 제1 스터브 접속(82)은 안정화 동작을 보조하기 위하여 전체 전기적 길이가 180° 이다. 제2 스터브 접속(83)은 개방단이며 또한 180° 의 전기적 길이이며 안정화를 보조한다. 그러한 스터브(82, 83)는 IC의 정밀도보다 덜 정밀한 도전 트레이스인 본 발명에 따른 비-IC(non-IC)에 응용하는 경우에 특히 유용하다.

<149> 접속(E, F) 및 (G, H) 쌍 및 접속(82, 83)의 임피던스는 정상적인 동작 및 이 접속들이 전압이 인가되는 경우 임의의 값을 가질 수 있다. 적합한 위상을 위해 그 접속으로 순수 전력 흐름은 없다. 그러나, 이러한 접속(E, F) 및 (G, H) 및 (82, 83)의 임피던스가 그것들이 접속된 오실레이터 전송 라인(15)의 임피던스보다 큰 것이 바람직하다. 이러한 접속은 진행 EM파보다 정재 EM파를 지원한다.

- <150> 도 31과 같은 상호-접속은 인터-IC, 인터-IC, IC-to-PCB 및/또는 임의의 비 IC, 즉 PCB-to-PCB 시스템 접속에 동일하게 적용될 수 있다.
- <151> 도 32는 위상 및 회전이 고정되고 복수개의 양방향 데이터 랙치(84)와 그들 사이에서 위상 및 데이터 전송에 관하여 하나의 코히어런트한 구조로 동작하기 위한 별개의 데이터 처리 시스템 접속을 제공하는 링크(86)를 더 가지는 상호 접속된 모듈리티 IC(68₁, 68₂)를 도시하고 있다. 최소 1°의 허용 오차가 있으나, 여기서 실질적으로 관련된 전송 라인(15) 상의 상호 접속 위치는 각 라인 인터-IC 접속의 단(J, K) 사이에서 180°의 위상차를 갖는다. IC(68₁, 68₂) 모두의 해당 전송 라인(15) 사이에 접속된 복수개의 인터-IC 접속(86)은 '꼬임 쌍' 특성을 가질 수 있다. 이 인터-IC 접속(86)의 임피던스는 클럭 생성 전송 라인(15)과 관련된 임피던스보다 높은 것이 바람직하다.
- <152> 동일한 개수의 클럭/위상 및 데이터 접속이 존재할 필요는 없다. 또한, 데이터 및 클럭 전송 매체(86)는 동일한 길이이며 전기적으로 정합이므로, 양자 모두 동일한 전달 지연을 제공하며, 이것은 장점으로 작용한다. 공칭 180° 위상차는 반클럭 주기, 즉 T_p를 표시하므로, 클럭 파형 PHI 1의 에지를 상승시킴에 의해 어느 한 IC로부터 다른 IC로 전송되는 데이터 펄스는 클럭 파형 PHI 2의 에지를 상승시키는 동안 또는 직후에 수신된다.
- <153> 도 32b는 도 32a의 바람직한 데이터 랙치(84)를 블록도를 도시하고 있다. 데이터 랙치(84)는 차동 클럭 신호 전송(TX) 및 수신(RX)을 위한 PHI 1 및 PHI 2에 의해 에지 트리거링되며 차동 양방향 입력/출력 라인, TX 데이터 및 RX 데이터로 표시된 데이터 제어 라인 및 클럭 신호 파형 PHI 1, PHI 2을 가지고 있다.
- <154> 본 발명에 의한 기술은 동일한 상대적인 위상으로 클럭킹되는 다른 IC(68₁, 68₂) 상의 통신 데이터 랙치(84)를 이용한다. 또한, 도 32a는 랙치(84)의 각각의 통신 쌍들은 다른 위상에 의해 트리거링되며, 이것은 전송 라인(86)의 동시 스위칭의 필요성을 제거하는 유용한 다중-위상 데이터 전송을 제공하고, 따라서 '접지 바운스(ground bounce)' 및 양극 전원 전압 강하를 감소시킨다.
- <155> 반이중 데이터 전송(half duplex data transfer)에서는, 각 클럭 주기마다 각 방향으로 하나씩 두 개의 데이터 비트가 전송된다. 하나의 IC로부터 다른 IC로의 데이터 전송(TX)과, PHI 1=1, PHI 2=0 및 로직 1=V+, 로직 0=GND인 국부적 로직 제어에 있어서, 각 IC의 해당 랙치(84)는 모두 PHI 1=1인 시간 동안 하나의 데이터 비트를 전송하되, 각 반주기 동안 IC(68₁)로부터 IC(68₂)로 전송하며, 다른 데이터 비트를 IC(68₂)로부터 IC(68₁)로 전송한다. 데이터 신호는 전송 라인(86) 상에서 서로 통과하며, 전송 라인(86)의 꼬임 쌍 특성에서 간섭하지 않는다. 마지막으로 수신된 데이터 신호는 이 반주기동안 이용가능하다. PHI 1 및 PHI 2이 각각 하이 및 로우로 변하는 것으로부터 180° 인 경우, 데이터가 수신되며 국부 로직 상태는 PHI 1=0, PHI 2=1이다. 각 두 개의 IC에서 동일한 랙치(84) 둘 모두 PHI 2=1인 경우의 전의 반주기동안 전송된 하나의 데이터 비트를 수신한다.
- <156> 도 32c는 데이터 랙치(84)를 구현하기 위한 회로를 도시하고 있다. 트랜지스터(P1, N1, P5, N5)는 차동 출력 신호를 생성하고 PHI 1=1인 경우, 즉 '온' 된 경우에만 활성화되도록 조정되고 제어된다. P1 또는 N5는 (+) 차동 출력 신호인 경우에 온이 되거나 또는 P5 또는 N1은 (-) 차동 출력 신호인 경우에 온이 된다. 트랜지스터(N4, P4, N8, P8)는 PHI 1=1인 경우, 즉 전송 시간 동안에만 트랜지스터(P1, N1, P5, N5)가 '온'되도록 조정되고 제어된다. 트랜지스터(P2, N2, P6, N6)는 PHI 2=1인 경우, 즉 수신 시간 동안에만 출력 트랜지스터(P1, N1, P5, N5)가 '오프'되도록 조정되고 제어된다.
- <157> TX 데이터 제어 신호가 로직 1인 경우 트랜지스터(N3)는 트랜지스터(N4, P1)를 통해 관련 차동 양방향 출력이 양의 값을 가지도록 위한 TX 데이터 제어 신호에 의해 조정되고 제어된다. TX 데이터 제어 신호가 로직 0인 경우 트랜지스터(P3)는 트랜지스터(P4, N1)를 통해 관련 차동 양방향 출력이 음의 값을, 즉 GND를 가지도록 위한 TX 데이터 제어 신호에 의해 조정되고 제어된다. 인버터(I1)는 TX 데이터 제어 신호의 반전 로직 상태를 생성하도록 조정되고 제어된다.
- <158> TX 데이터 제어 신호가 로직 0인 경우 트랜지스터(N7)는 트랜지스터(N8, P5)를 통해 관련 차동 양방향 출력이 양의 값을 가지도록 위한 TX 데이터 제어 신호에 의해 조정되고 제어된다. TX 데이터 제어 신호가 로직 1인 경우 트랜지스터(P7)는 트랜지스터(P8, N5)를 통해 관련 차동 양방향 출력이 음의 값을 가지도록 위한 TX 데이터 제어 신호에 의해 조정되고 제어된다.
- <159> 트랜지스터(N13)는 데이터 신호의 수신(RX) 동안 전송 라인(86)을 적절히 터미네이트하도록 조정되고 제어된다. 트랜지스터(T13)는 전송 라인(86)의 특성 임피던스와 거의 동일한 '온-저항' 값을 갖는다.

- <160> 트랜지스터(N1 ~ N8) 및 (P1 ~ P8)은 인버터(I1)와 함께 양방향 랙치(84)의 전송 회로(TX1)를 구성한다.
- <161> 트랜지스터(N9, N10)는 반주기 동안에 캐패시터(C1)에 데이터 신호의 수신(RX) 동안 차동 신호를 '샘플'하도록 조정되고 제어된다. 트랜지스터(N11, N12)는 캐패시터(C1)의 저장된 전하 샘플을 동작하도록 조정되고 제어되는 차동-to-단일단 변환기(differential-to-single ended converter)로 스위칭하도록 조정되고 제어된다. 이 차동-to-단일단 변환기는 동작하도록 조정되고 제어되는 인버터(I2, I3) 및 캐패시터(C2)에 의해 구성된다. 인버터(I3) 및 캐패시터(C3)는 전압 기준으로써 배열되며, 인버터(I2)는 샘플링되고 수신된(RX'd) 데이터 신호에 대한 단일단 로직 출력 버퍼/증폭기로 동작하도록 조정되고 제어된다.
- <162> 트랜지스터(N9 ~ N11) 및 인버터(I2, I3)는 캐패시터(C1, C2)와 함께 양방향 랙치(84)의 수신 회로(RX1)를 구성한다.
- <163> 데이터 신호의 전송(T) 및 수신(RX) 동안 데이터 랙치(84)의 동작을 요약한 진리표이다.
- <164>
- | TX 데이터 | ϕ_1 | ϕ_2 | +ve 차동 출력 | -ve 차동 출력 |
|--------|----------|----------|-----------|-----------|
| 0 | 0 | 1 | Hi-Z(수신) | Hi-Z(수신) |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | Hi-Z(수신) | Hi-Z(수신) |
| 1 | 1 | 0 | 1 | 0 |
- <165> ($360^\circ * n + 180^\circ$)의 전기적 길이를 갖는 데이터 링크 전송 라인(86)에 대해서 추가적인 n 주기 레이턴시(지연)가 있으나, 후속 데이터는 각 주기에 한번씩 수신된다는 것을 주목하여야 한다. 또한, 타이밍을 향상시켜 데이터 랙치(84) 상에서 '시간을 유지'하고 스위칭 지연을 보상하기 위해 위상은 I/O 데이터 랙치(84) 내의 TX 및 RX 회로에 대한 차동 180° 와 약간 다를 수 있다.
- <166> 도 32c에 도시된 회로도는 실제로는 필요로 하지만 잘 알려진 추가적인 과형형성 회로를 포함하고 있지 않다.
- <167> 깨끗한 과형을 가지는 경우, 반송 전류는 전원 핀을 통해서가 아니라 차동 쌍의 반대 신호를 통하여 GND 및 V_t 팩키지 접속 전류는 전송 라인(86)의 출력 스위칭 동작으로부터 발생하지 않고, 따라서 팩키지 인더티스 문제는 최소화된다. 그러므로 전송 라인(86)에 대한 팩키지 임피던스의 정합은 더 용이하다.
- <168> 도 32d는 복수개의 단방향 수신 및 송신 데이터 랙치(85 및 87 참조)를 구비한 인트라-접속 IC를 도시하고 있다. 단방향 전송 및 수신 랙치(87₁, 85₁)의 제1 쌍은 하나의 전송 라인으로부터 다른 전송 라인으로 데이터를 전송하기 위해 두 개의 다른 전송 라인에 접속되어 있다. 제1 수신 랙치(85₁)는 45° -여기서 45° 는 랙치(87₁, 85₁)로의 각 클럭 신호 접속의 전기적 길이를 표시함-배치를 통해 지연 보정(delay correction)을 가진다.
- <169> 두 쌍의 단방향 전송/수신 랙치(85₂, 87₂) 및 (85₃, 87₃)은 지연 보정이 클럭 신호 접속의 전기적 길이를 표시하는 약 10° 를 통하는 것을 제외하고는 (87₁, 85₁)과 동일한 방식으로 동작한다.
- <170> 도 32e는 각각이 전송 및 수신 회로 TX1 및 RX1을 구비하는 것과 반대로, 이 랙치(87, 85)가 각각 TX1 및 RX1인 두 개의 동일-위상 전송 또는 수신 회로를 각각 포함하는 경우 각 클럭 주기마다 두 비트의 데이터를 전송 및 수신할 수 있는 단방향 전송 및 수신 랙치(87, 85)를 도시하고 있다.
- <171> 도 33은 MOSFET 트랜지스터로 형성되는 디지털적으로 선택가능한 션트 캐패시터를 도시하고 있다.
- <172> 도 33에 도시된 디지털적으로 선택가능한 션트 캐패시터는 EM 진행파를 약간 지연시키기 위해 대하여 전송 라인(15)에 접속되고 제어, 즉 전동 주파수가 제어될 수 있다. 그러한 지연은 전송 라인의 주파수를 세부 튜닝하는데 유용하다. 도시된 바와 같이, 8개의 션트 캐패시터가 MOSFET 트랜지스터를 이용하여 구현되어 있다. MOSFET 트랜지스터(M1, M2, M5, M6)는 PMOS 트랜지스터이며 MOSFET 트랜지스터(M3, M4, M7, M8)는 NMOS 트랜지스터이다.
- <173> 예를 들면, MOSFET(M1, M3, M5, M7)는 드레인 및 소오스 터미널이 예를 들면 '내부' 전송 라인 도전체(15a)에 접속되어 있으며, MOSFET(M2, M4, M6, M8)는 드레인 및 소오스 터미널이 '외부' 전송 라인 도전체(15a)에 접속되어 있다. MOSFET(M1, M2, M5, M6)의 기관 터미널은 양극 전원 레일 V_t에 접속되며, MOSFET(M3, M4, M7, M8)의 기관 터미널은 음극 전원 GND에 접속된다.

<174> MOSFET(M1, M2)의 게이트 터미널은 함께 접속되며 제어 신호 CS0에 의해 제어되며, MOSFET(M3, M4)의 게이트 터미널은 함께 접속되며 제어 신호 CS0의 반전 신호에 의해 제어된다. 마찬가지로, MOSFET(M5, M6)의 게이트 터미널은 함께 접속되며 제어 신호 CS1에 의해 제어되며, MOSFET(M7, M8)의 게이트 터미널은 함께 접속되며 제어 신호 CS1의 반전 신호에 의해 제어된다.

<175> 아래의 진리표는 어느 MOSFET 션트 캐패시터(M1 - M8)가 전송 라인(15)에 캐패시턴스를 제공하는지, 즉 'MOSFET 가 온' 되는지 도시하고 있다.

<176>

CS0	CS1	MOSFET '온'	MOSFET '온'
0	0	M1 - M8	-
0	1	M1 - M4	M5 - M8
1	0	M5 - M8	M1 - M4
1	1	-	M1 - M8

<177> '내부' 및 '외부' 전송 라인 도전 트레이스(15a, 15b)에 접속되는 션트 캐패시터의 각 크기 및 개수는 동일, 즉 밸런스되어 있다. 8개의 MOSFET 션트 캐패시터(M1 - M8)가 도시되어 있는 반면, 도 33과 같이 전송 라인(15)이 밸런스된 경우 적절한 크기 및 캐패시턴스를 가지는 어떠한 숫자의 MOSFET 션트 캐패시터도 사용될 수 있다.

<178>

디지털적으로 제어 가능한 션트 캐패시터를 생성하는 다른 구성이 있으며, 이것은 MOSFET 트랜지스터를 사용할 수도 사용하지 않고 형성할 수 있다. 하나의 알려진 실시예는, MOSFET를 사용하여, 예를 들면 이산 가중치(binary weighted) MOSFET 캐패시터를 사용하는 것일 수 있다. 가변 캐패시턴스를 제공하는 MOS 캐패시터 대신에 사용할 수 있는 것에는 예를 들면 베랙터(varactor) 및 P/N 다이오드를 포함한다.

<179>

임피던스를 분배하기 위해 전송 라인 주변에 '캐패시터 어레이'가 일정한 간격으로 반복되는 것은 바람직하다.

<180>

도 34는 전송 라인(15)에 대해 데이터 및/또는 전력을 라우팅하는 방법을 도시하고 있다. 바람직하게는 도전 트레이스(15a, 15b)의 하부에 일정한 간격으로 배치된 레일웨이 슬리퍼(railway sleeper)와 유사한 형태(88)를 통해 용량성 부하를 변동시킨다. 선택적으로, 형태(88)와 같은 형태는 전송 라인 도전 트레이스(15a, 15b)의 상부 및/또는 하부에 배치될 수 있다. 단면도에 도시된 바와 같이, 트레이스(15a, 15b)는 형태(88)로부터 격리된, 예를 들면 이산화 실리콘층(92)에 의해 격리된 금속층 상부에 위치하는 것이 바람직하다. 이 형태(88)는 전송 라인의 캐패시턴스를 증가시키는 효과가 있으며, 전송 라인의 임피던스를 변경시키고 따라서 진행 EM파의 속도를 변경시키는 효과가 있다. 이 형태(88)는 데이터 및/또는 전력(99)을 라우팅하는데 사용될 수 있다. 데이터 및/또는 전력(99)을 라우팅하는 것의 장점은, 도시된 바와 같이, 전송 라인(15) 상의 클럭 신호 PHI 1, PHI 2는 차동적이므로, 이 클럭 신호 PHI 1, PHI 2는 라우팅된 데이터 및/또는 전력 신호에 영향을 미치지 않는다.

<181>

인버터(23a, 23b)를 사용한 양방향 스위치(21)는 이 인버터로부터의 오직 경로에 의해 최대 음전원 레일로부터 GND 및 최대 양전원 레일로부터 V+를 얻는 클럭 주파수의 동기 정류기로 고유하게 동작한다. 그러므로, 백-투-백 인버터(23a, 23b)(도 22b 참조)를 구성하는 NMOS 및 PMOS 트랜지스터는 전송 라인(15)으로 입사하는 EM파에 의해 두 개의 '온' 트랜지스터(각각 1개의 NMOS 및 PMOS)가 NMOS 트랜지스터에 대하여 최대 음 전송 라인 도전 트레이스를 국부 GND 전원에 접속하며, PMOS 트랜지스터에 대하여 국부 V+ 전원을 접속하는 상태로 항상 스위칭 된다.

<182>

두 개의 NMOS/PMOS 트랜지스터 쌍은 동기적이며 관련된 DC-AC-DC 변환 모드의 양방향성의 예가 되는 브리지 정류기의 방법으로 진동을 위해 입사한 EM파 신호의 극성이 역전될 때 교류한다(alternate). 전송 라인(15)은 따라서 전력을 양방향으로 추출하고 전송(redirect)하여 국부 전원 레일 전압이 전송 라인 전압보다 높은 경우 전송 라인(15)에 전력을 공급하고 국부 전원 레일 전압이 전송 라인 전압보다 높은 경우 전송 라인(15)에 전력을 제거할 수 있으며, 전송 라인(15)은 이 모드에서 전력을 도전체로 동작한다. 아래의 표를 참조하면;

<183>

입력	PMOS '온'	NMOS '온'	P/NMOS '오프'
15a=GND 15b=V+	P1(15b는 국부 V+에 접속됨)	N2(15a는 국부 GND에 접속됨)	N1, P2
15a=V+ 15b=GND	P2(15a는 국부 V+에 접속됨)	N1(15b는 국부 GND에 접속됨)	N2, P1

<184>

이 전력 재활용은 병렬 '온-저항'이 전원 접속의 직렬 DC 저항과 유사한 경우 게이트 길이가 약 0.1 미크론보다

작은 IC 공정 기술에 특히 적합하다. 그러한 동기 정류기는 IC의 특정 영역에 전력 공급 라우팅의 부존재 또는 불능의 경우 전력 분배의 기초로서 동작할 수 있으며, 특히 '전하 펌프' 회로, 즉 DC-to-DC 전력 변환에 이용될 수 있다. DC-to-AC 전력 변환 및 그 반대로 변환하는 고유의 기능이 있다. 선택적으로, 알려진 '온-칩' 트랜스포머가 당연히 사용될 수 있다.

<185> 개발 가능한 반도체 제조 기술을 포함하는 로직 회로의 연결을 끊을 수 있는 스위칭에 합치하는 가능한 가장 높은 동작 주파수를 달성하는 가능성을 도모한다.

<186> 사실은, 전송 라인 형태 그 자체는 IC 공정 기술에 따라 스케일링되며, 따라서 더 작고 더 빠른 트랜지스터 형태는 더 높은 클럭 주파수에 대하여 당연히 더 짧고 더 빠른 전송 라인 오실레이터를 제공한다.

<187> 다른 가능성은 응용분야에 관계없이 저전력 소비를 유지하는 것을 포함하며, 이것은 전송 라인에 대한 용량성 및 유도성 접속의 공진에 관한 것일 수 있으며, 구체적으로는 시프트 레지스터 또는 프리차지/평가 로직에 이용된다.

<188> 크리스탈과 같은 외부 타이밍 기준 또는 PLL 기술을 쓰지 않아도 되는 장점이 있는 반면, 본 발명이 그러한 외부 타이밍 크리스탈과 함께 적용되는 상황이 존재할 수 있다.

<189> 본 명세서에는 현재 주요한 IC의 CMOS 기술에 대해 상세히 기재된 반면, 다른 반도체 기술, 예를 들면 실리콘-게르마늄(Si-Ge), 갈륨-비소(Ga-As) 등에도 본 발명의 원리가 당업자에 의해 적용될 수 있다는 것을 이해하여야 한다.

<190> 마지막으로, 예를 들면 F>1GHz의 고주파수 클럭킹에 관련된 문제를 극복하는데 특히 유용한 것은 타이밍 신호 생성 및 분배가 조합된 응용 가능성, 예를 들면 1GHz 이하의 주파수에서 동작하는 시스템 및 장치는 본 발명의 범위에서 제외되지 않는다.

발명의 효과

<191> 본 발명은 개발 가능한 반도체 제조 기술을 포함하는 로직 회로의 연결을 끊을 수 있는 스위칭에 합치하는 가능한 가장 높은 동작 주파수를 제공하며, 저전력의 시프트 레지스터 또는 프리차지/평가 로직에 이용되고, 크리스탈과 같은 외부 타이밍 기준 또는 PLL 기술을 쓰지 않아도 되는 장점이 있으므로 산업상 이용가능성이 있다.

도면의 간단한 설명

<1> 도 1은 본 발명에 따른 전송 라인 구조를 도시한 개략도.

<2> 도 2는 뢰비우스의 띠를 도시한 도면.

<3> 도 3은 본 발명에 따른 진행파 오실레이터의 개략적인 회로도.

<4> 도 4는 본 발명에 따른 진행파 오실레이터의 다른 개략적인 회로도.

<5> 도 5a 및 도 5b는 본 발명에 따른 전송 라인의 일부의 분배 전기 모델의 등가 회로.

<6> 도 6a는 본 발명에 의한 각각의 차동 출력 파형을 도시한 이상적인 그래프.

<7> 도 6b는 본 발명에 의한 전송 라인의 전달 지연, 전기적인 길이 및 물리적인 길이의 관계를 도시한 도면.

<8> 도 7(i) 내지 도 7(ix)는 본 발명에 의한 신호 파형의 위상을 도시한 이상적인 그래프.

<9> 도 8a 내지 도 8c는 본 발명에 의한 전송 라인 오실레이터 내의 파형의 위상을 도시한 이상적인 그래프.

<10> 도 9는 접적회로에서의 전송 라인 일부의 단면도.

<11> 도 10a 및 도 10b는 각각 개략적인 회로도 및 정상파의 이상적인 그래프.

<12> 도 11은 반전 트랜스포머를 구비한 전송라인의 개략적인 회로도.

<13> 도 12는 전송 라인의 일부를 가로질러 접속되는 한 쌍의 백-투-백(back-to-back) 인버터를 도시하는 도면.

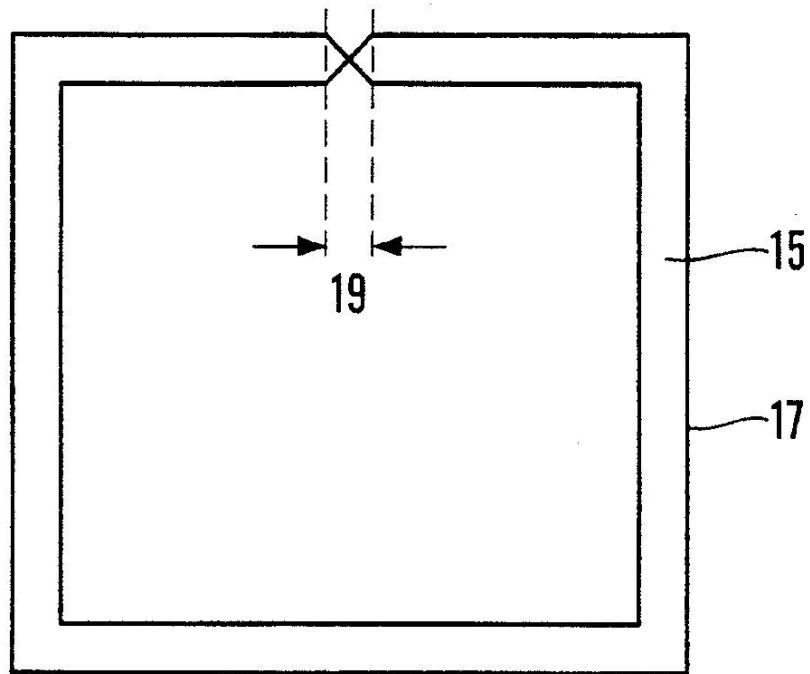
<14> 도 13a 및 도 13b는 CMOS 백-투-백 인버터의 개략도 및 등가회로도.

<15> 도 14a는 CMOS 트랜지스터를 구비한 전송 라인의 용량성 성분의 상세도.

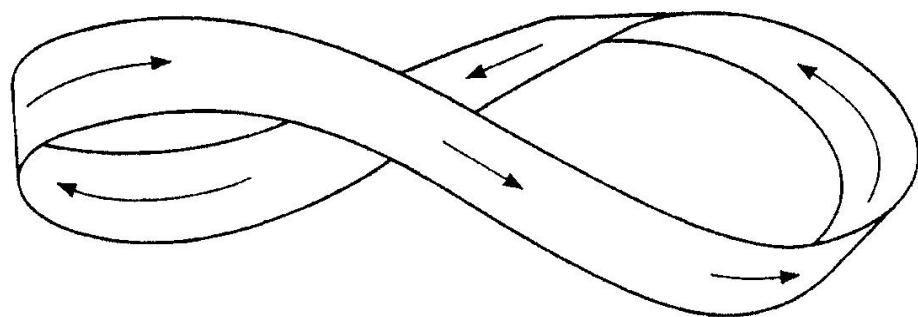
- <16> 도 14b는 도 14a의 등가회로도.
- <17> 도 15는 전송라인에 접속된 용량성 스터브(stub)를 도시한 도면.
- <18> 도 16은 하나의 자기-동기 전송 라인 오실레이터에 대한 하나의 접속을 도시한 도면.
- <19> 도 17a 내지 도 17c는 다른 자기-동기 전송 라인 오실레이터에 대한 하나의 접속을 도시한 도면.
- <20> 도 18은 도 13a를 등가적으로 도시한 도면.
- <21> 도 19a 및 19b는 네 개의 전송 라인 오실레이터의 접속을 도시한 도면.
- <22> 도 20 및 21은 자기적으로 커플링된 자기-동기화 전송 라인 오실레이터를 도시한 도면.
- <23> 도 22는 자기적으로 커플링된 세 개의 자기-동기화 전송 라인 오실레이터를 도시한 도면.
- <24> 도 23은 다른 주파수의 자기-동기화 전송 라인 오실레이터의 접속을 도시한 도면.
- <25> 도 24는 모놀리딕 IC의 클럭 분배 네트워크의 예를 도시한 도면.
- <26> 도 25는 본 발명에 의한 타이밍 시스템의 3차원 구현을 도시한 도면.
- <27> 도 26a 및 도 26b는 이중-위상 텁-오프(tap-off) 오실레이터의 예를 도시한 도면.
- <28> 도 27은 동심적으로 배열된 세 개의 전송 라인 오실레이터를 도시한 도면.
- <29> 도 28a 내지 도 28b는 교차-루프 연결을 가지는 전송 라인을 도시하는 도면.
- <30> 도 29a는 사중-위상 신호를 위한 전송 라인 구성을 도시한 도면.
- <31> 도 29b는 사중-위상 신호 파형의 이상적인 결과를 도시한 도면.
- <32> 도 30은 개방단 전송 라인 접속을 도시한 도면.
- <33> 도 31은 두 개의 IC의 주파수 및 위상의 조정에 관한 도면.
- <34> 도 32a는 주파수 및 위상이 조정된 IC에 대한 데이터 전송에 관한 도면.
- <35> 도 32b 내지 도 32e는 도 32a의 시스템을 위한 데이터 랫치에 관한 도면.
- <36> 도 33은 MOSFET 형태의 디지털적으로 선택가능한 션트 캐패시터를 도시한 도면.
- <37> 도 34는 용량적 부하 및 라우팅 데이터 및/또는 전송 라인 사이의 전력을 도시한 도면.

도면

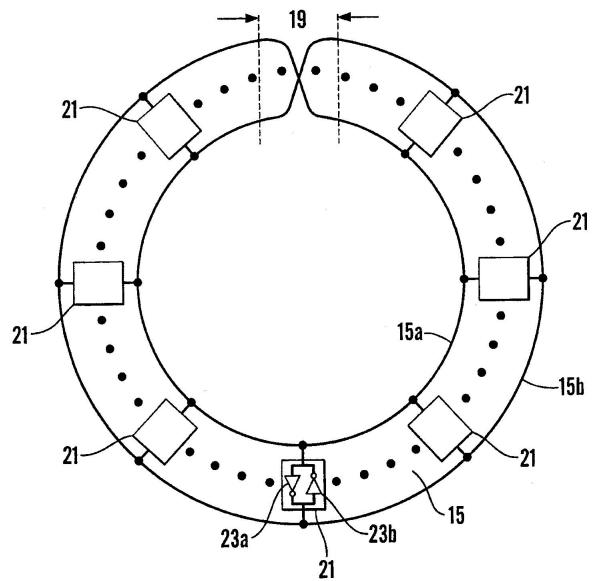
도면1



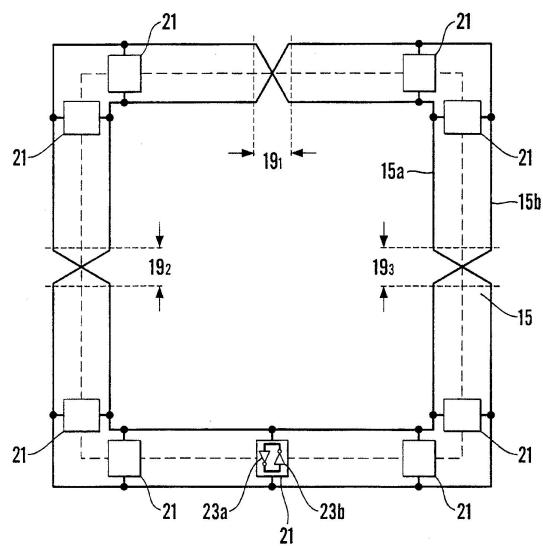
도면2



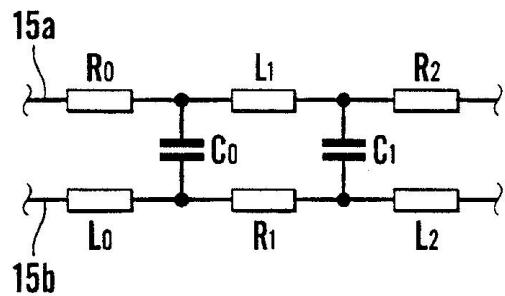
도면3



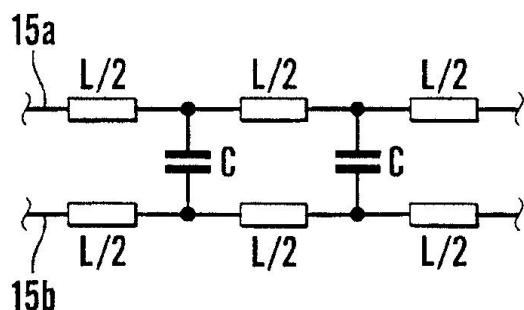
도면4



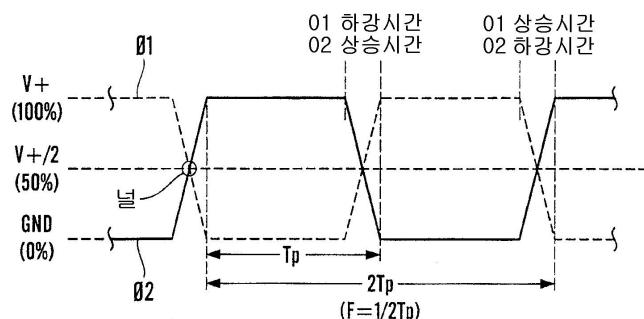
도면5a



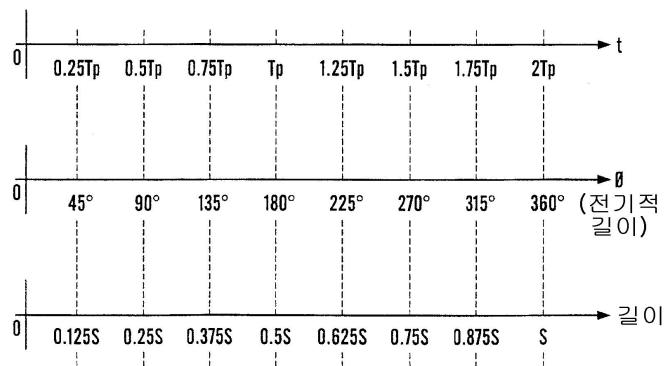
도면5b



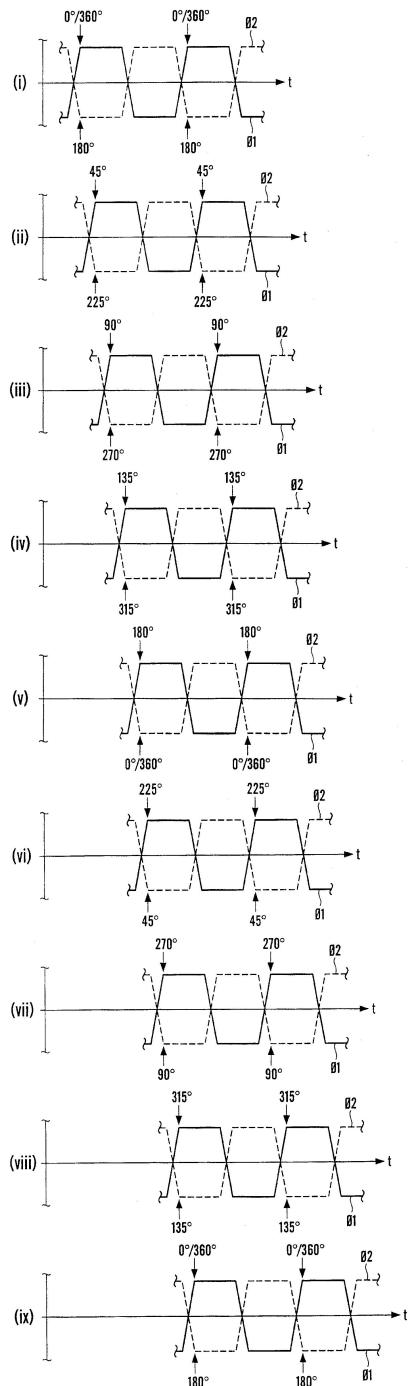
도면6a



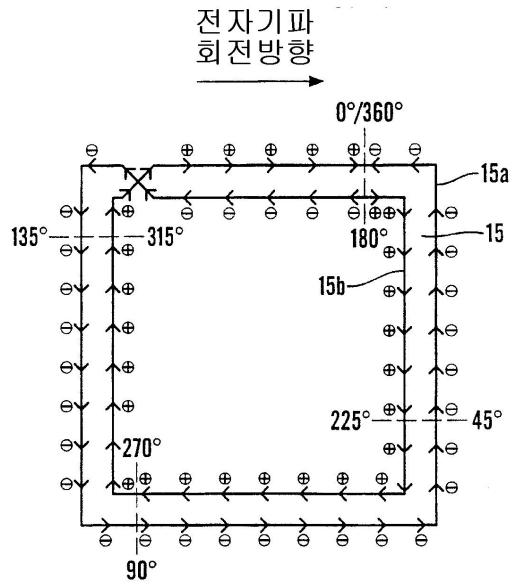
도면6b



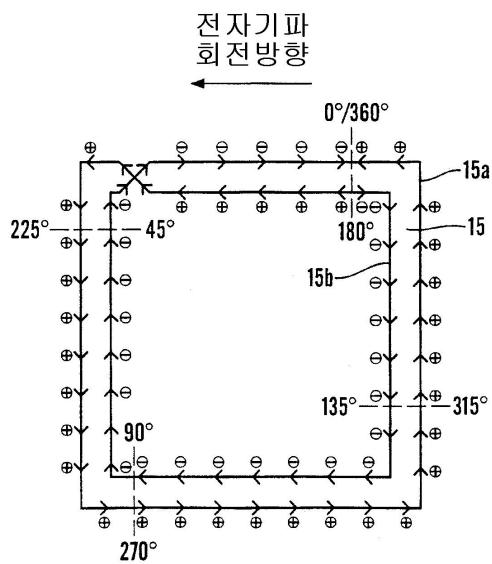
도면7



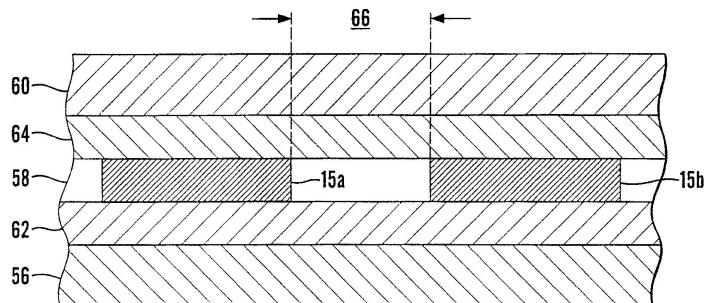
도면8a



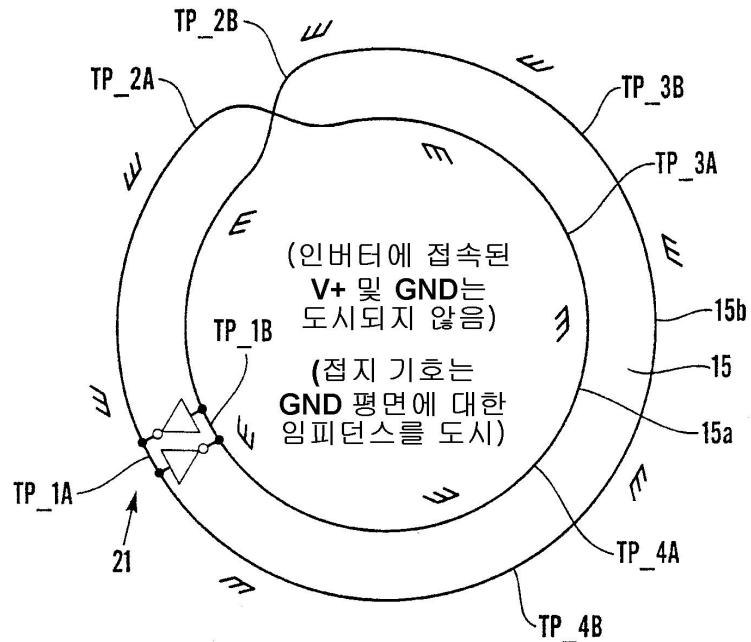
도면8b



도면9

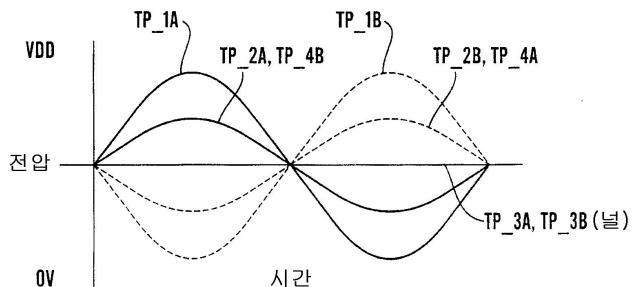


도면10a

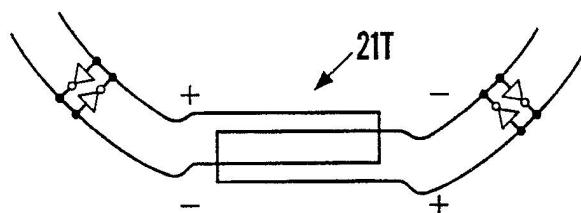


도면10b

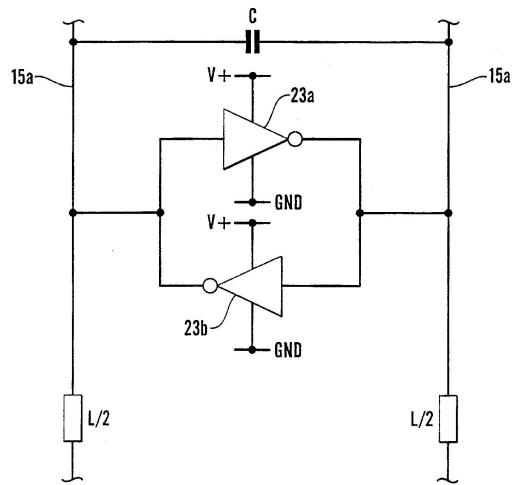
파형(시간 영역)



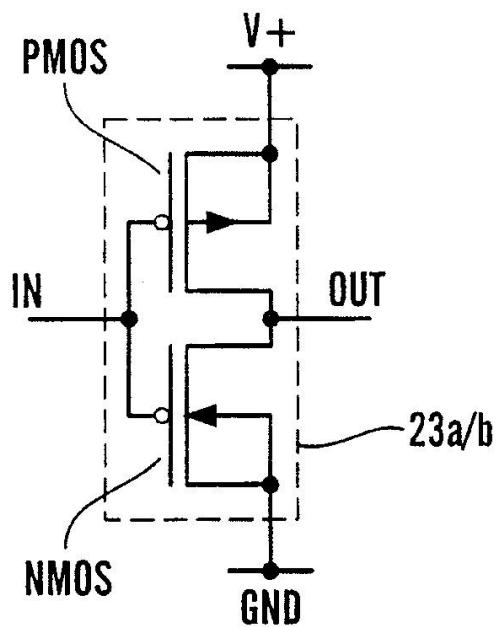
도면11



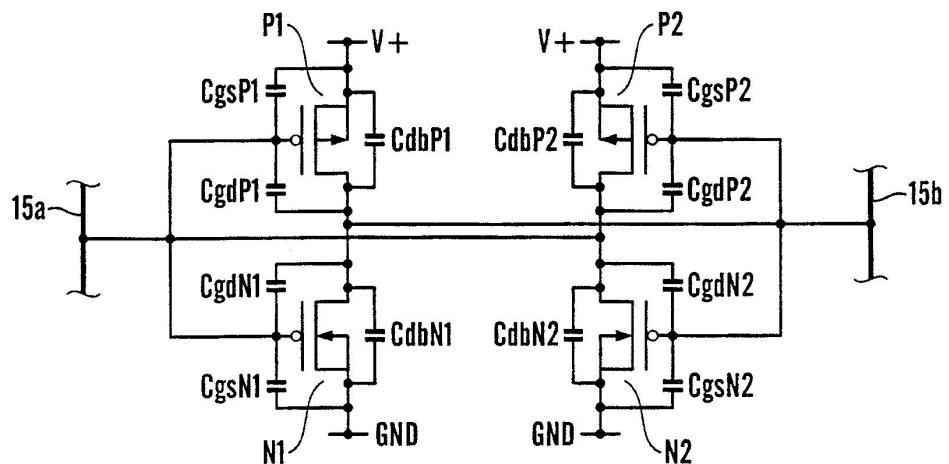
도면12



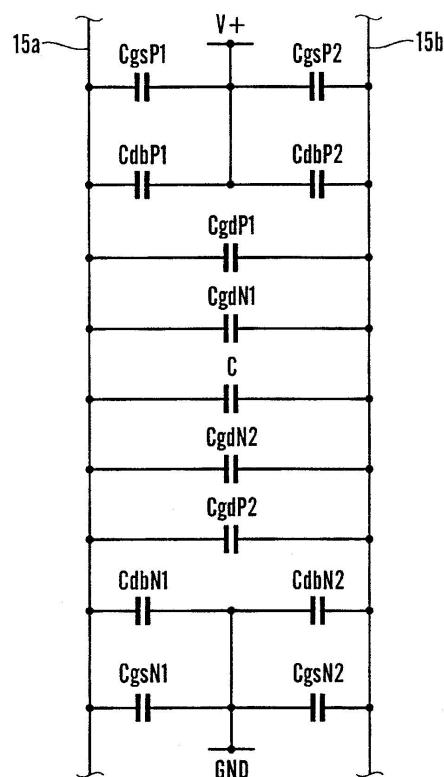
도면13a



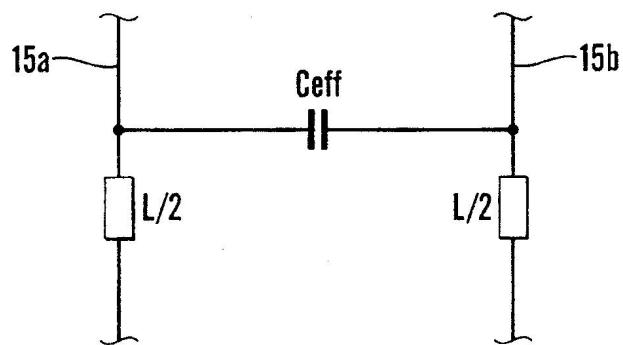
도면13b



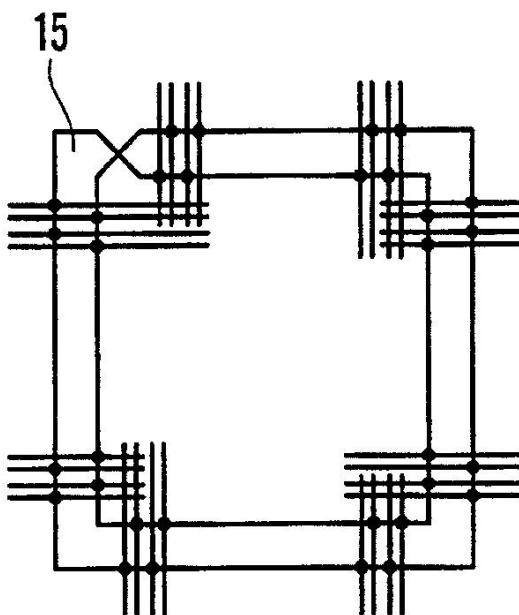
도면14a



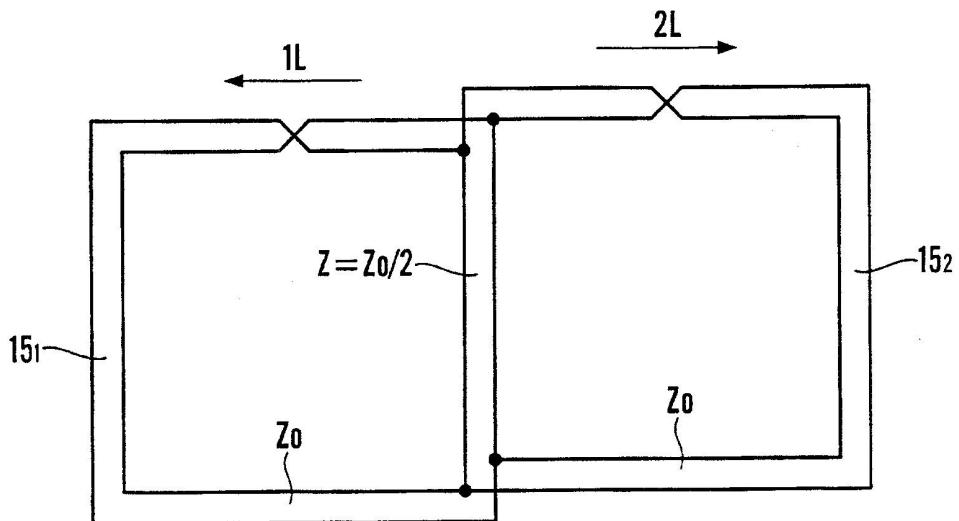
도면14b



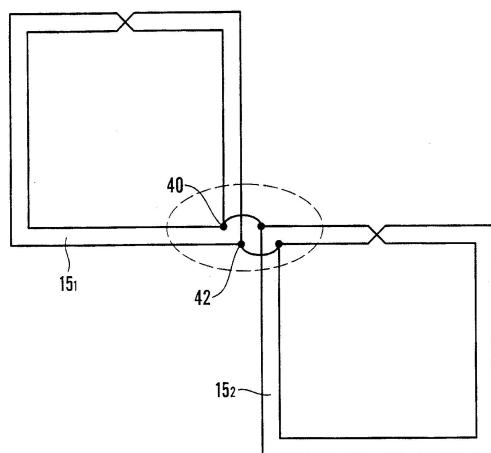
도면15



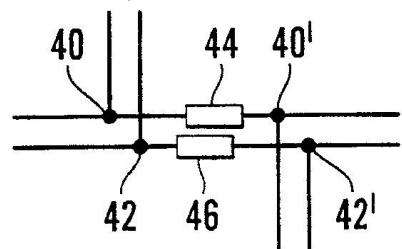
도면16



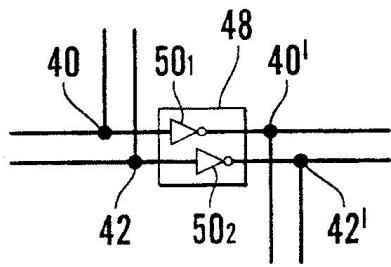
도면17a



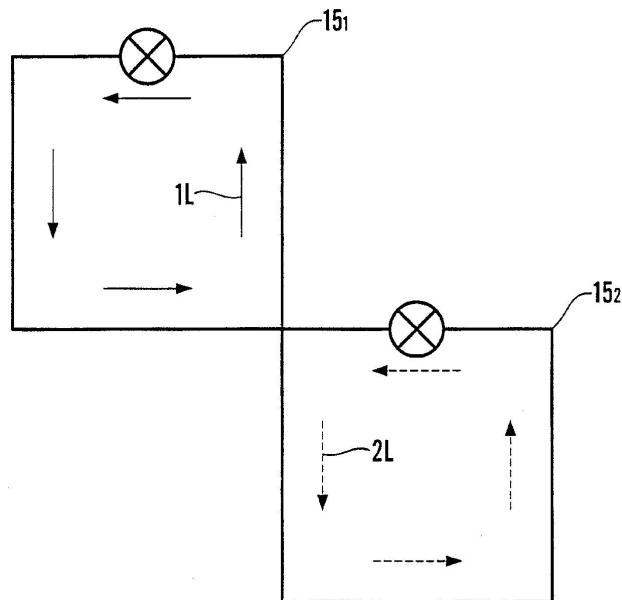
도면17b



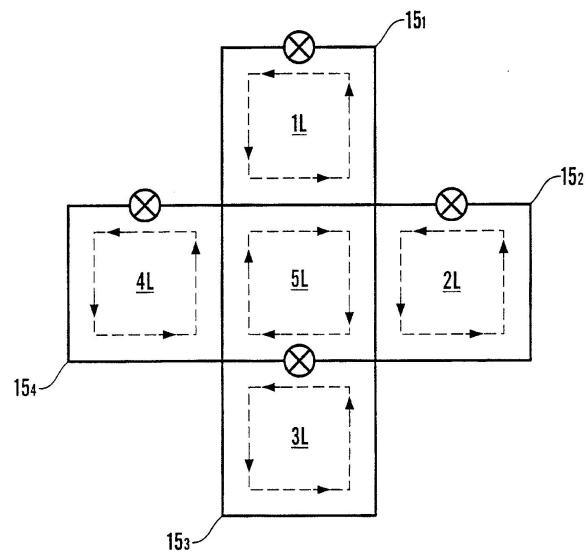
도면17c



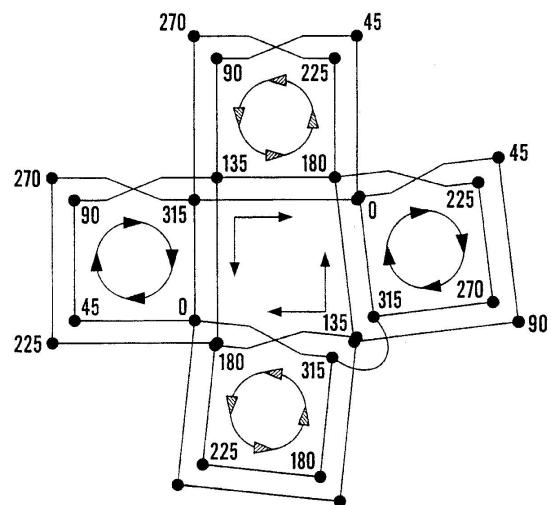
도면18



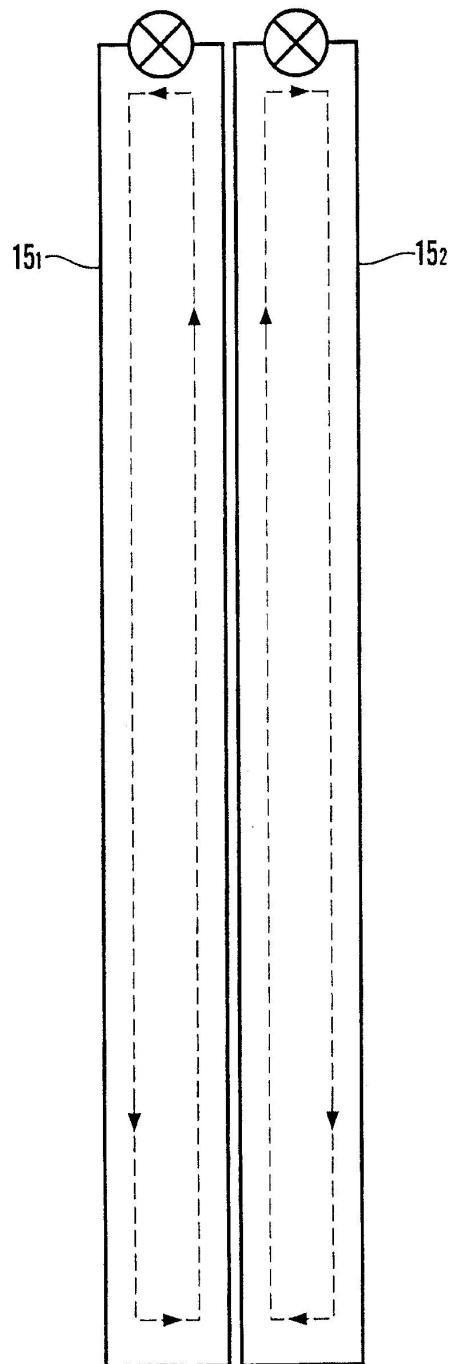
도면19a



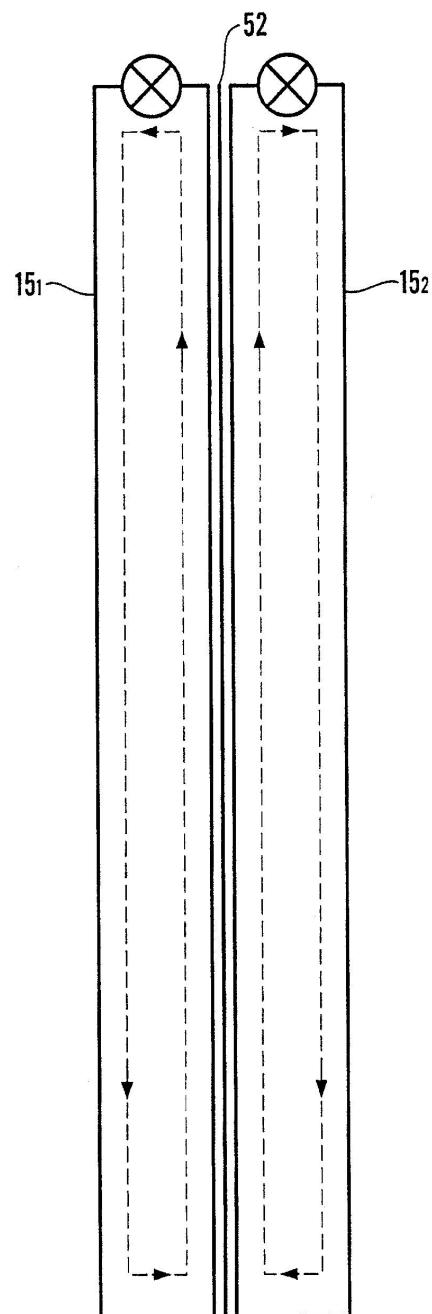
도면19b



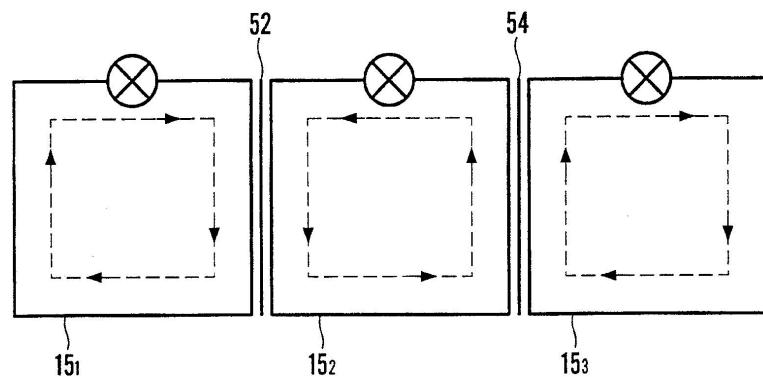
도면20



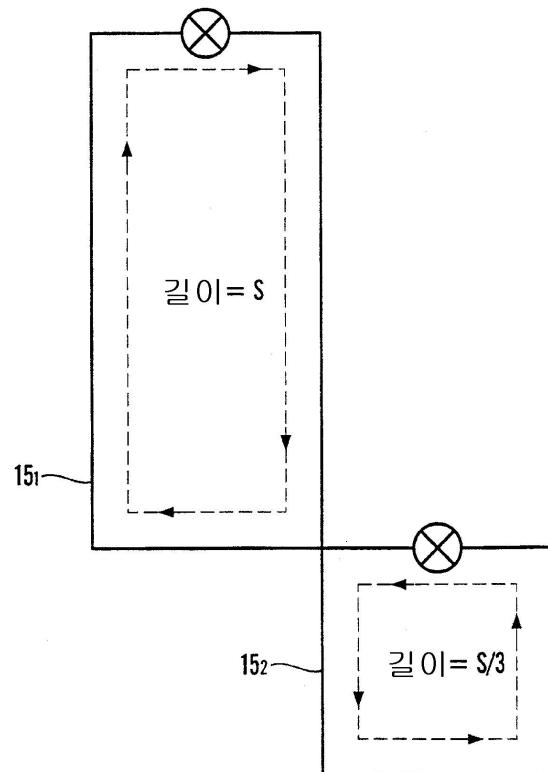
도면21



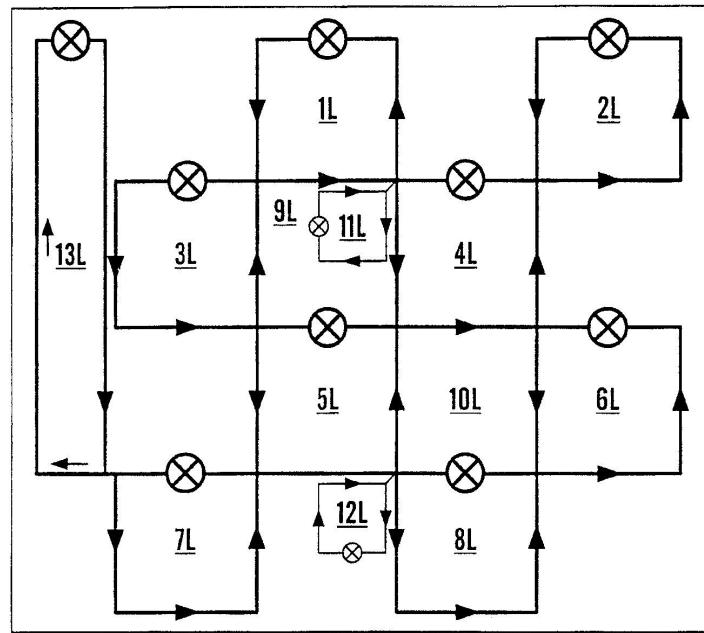
도면22



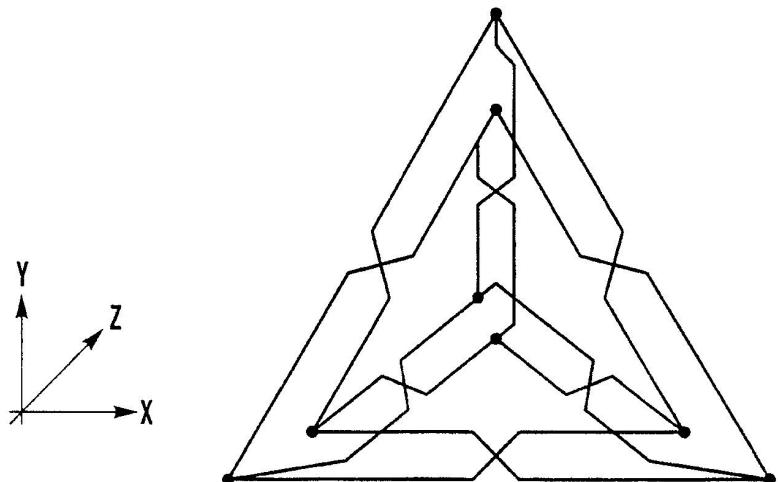
도면23



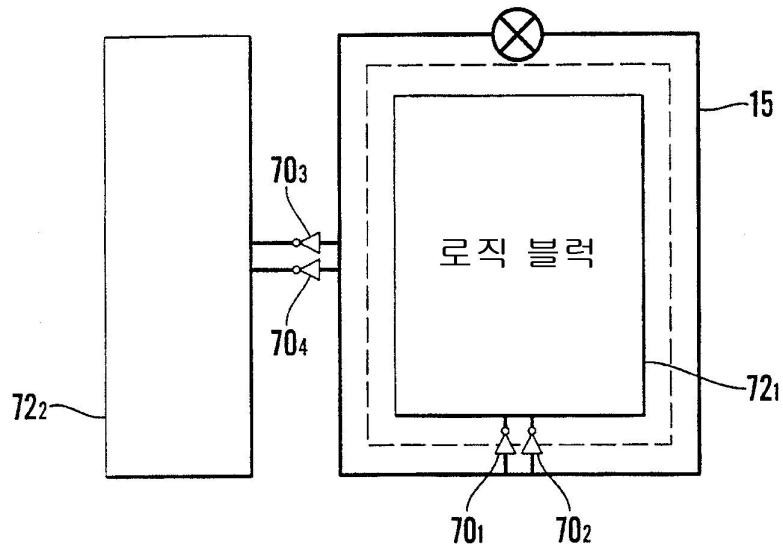
도면24



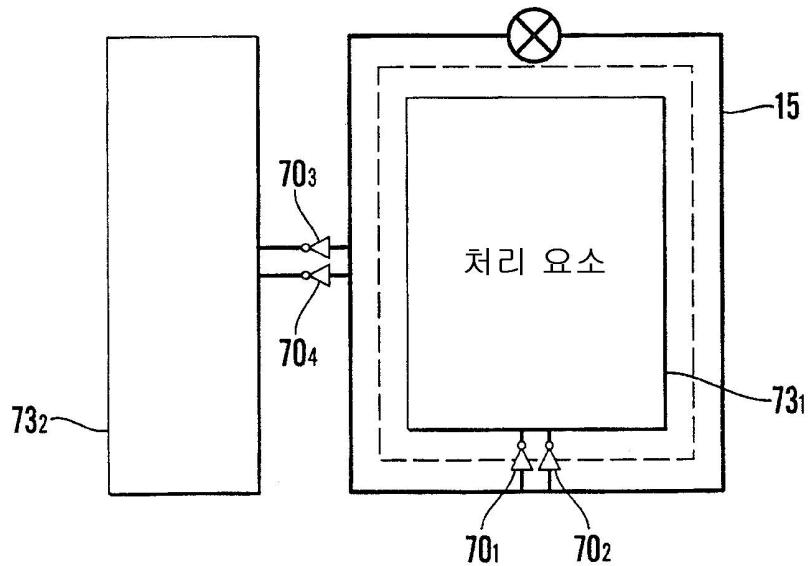
도면25



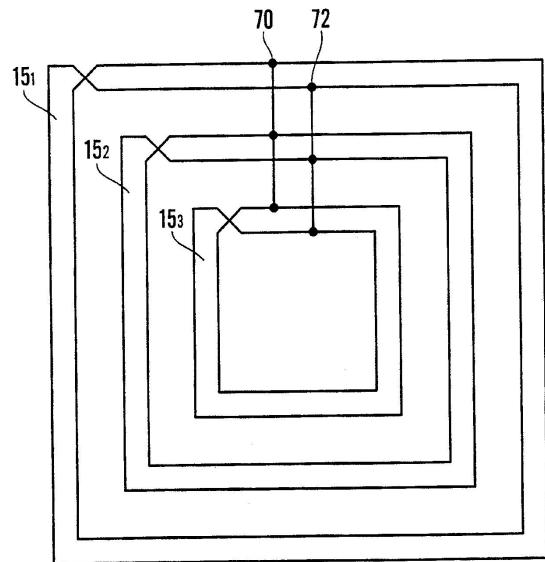
도면26a



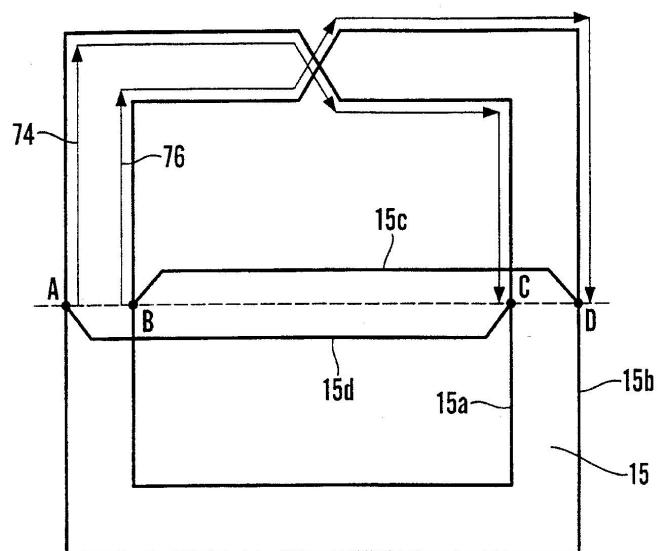
도면26b



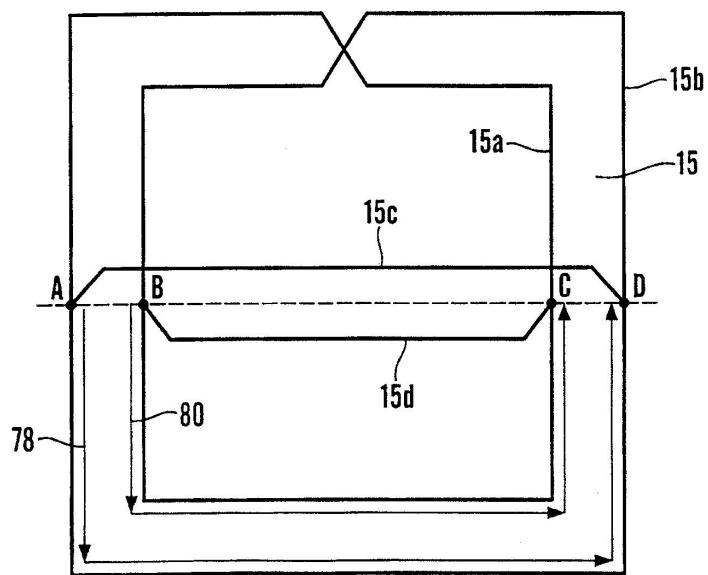
도면27



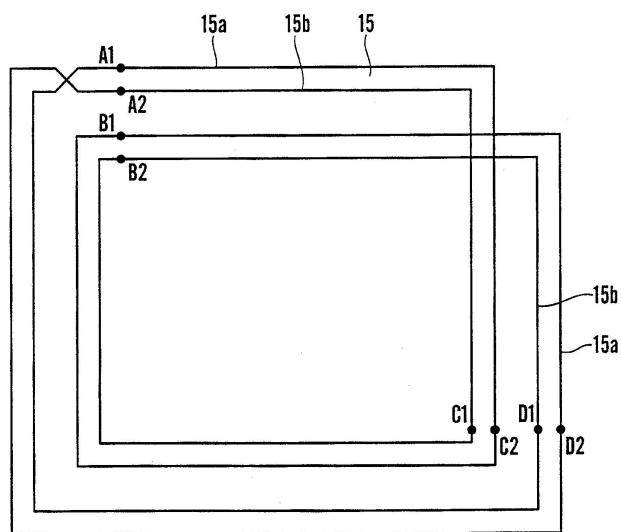
도면28a



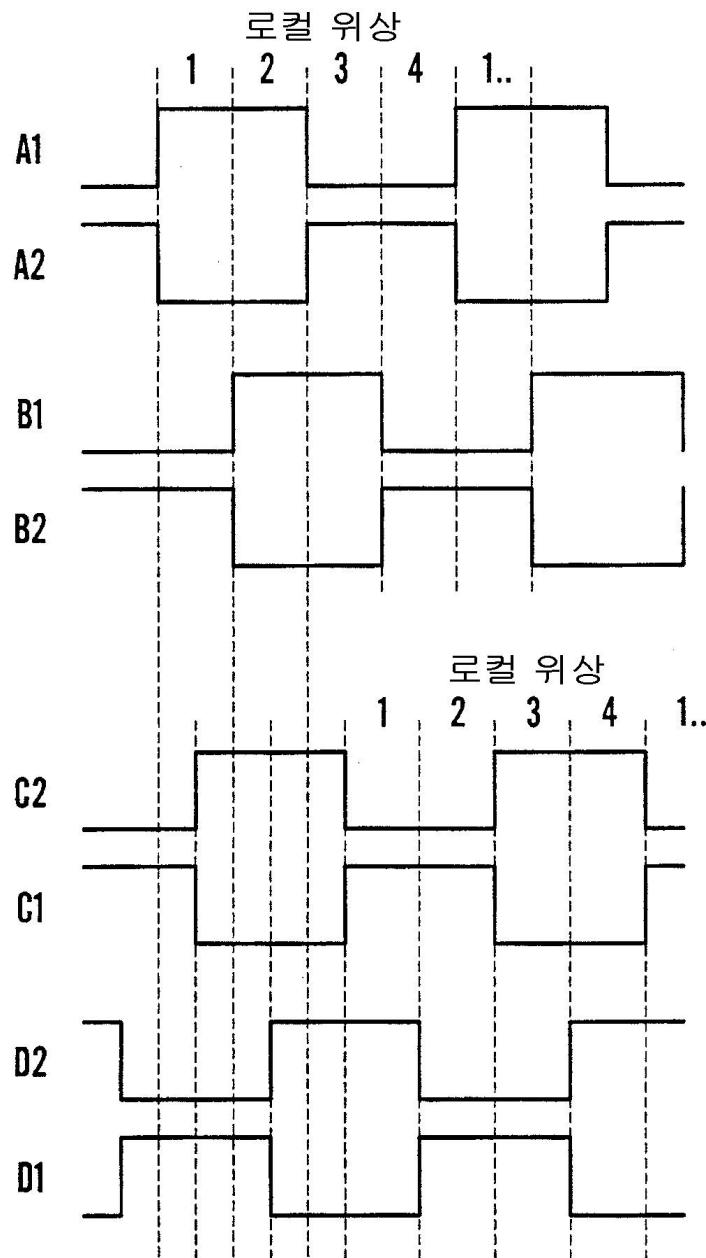
도면28b



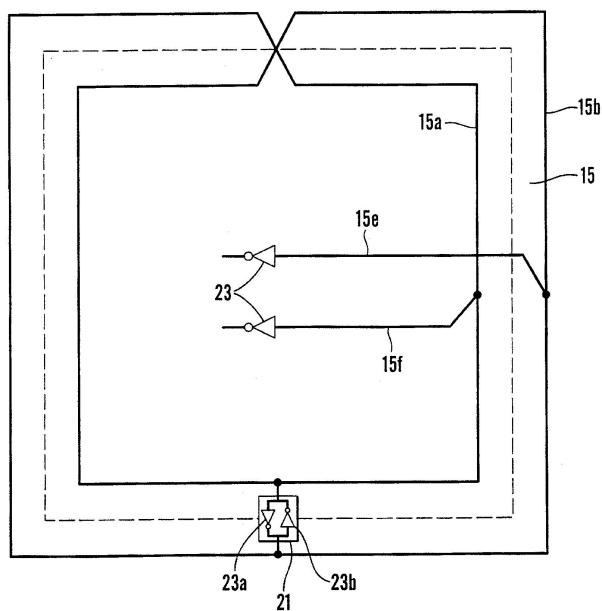
도면29a



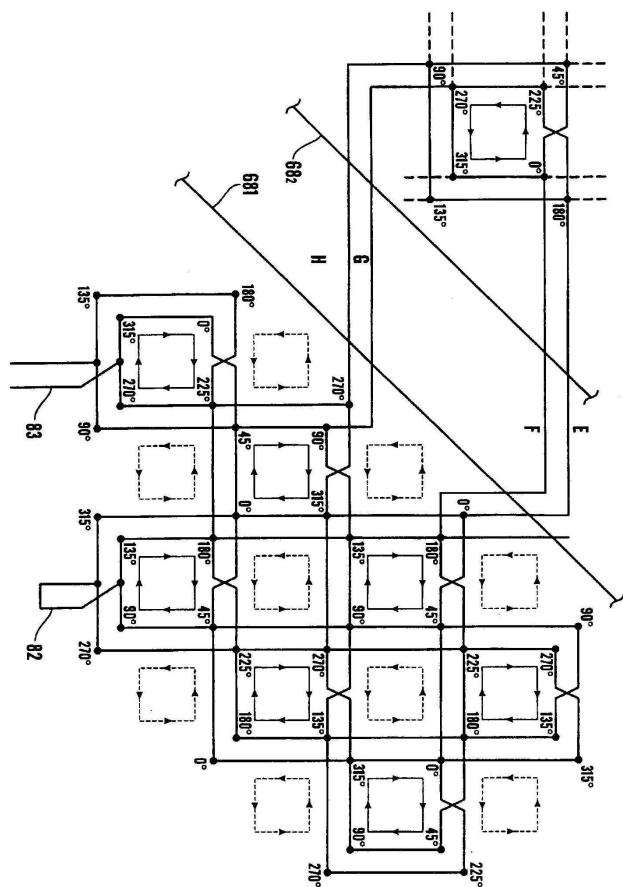
도면29b



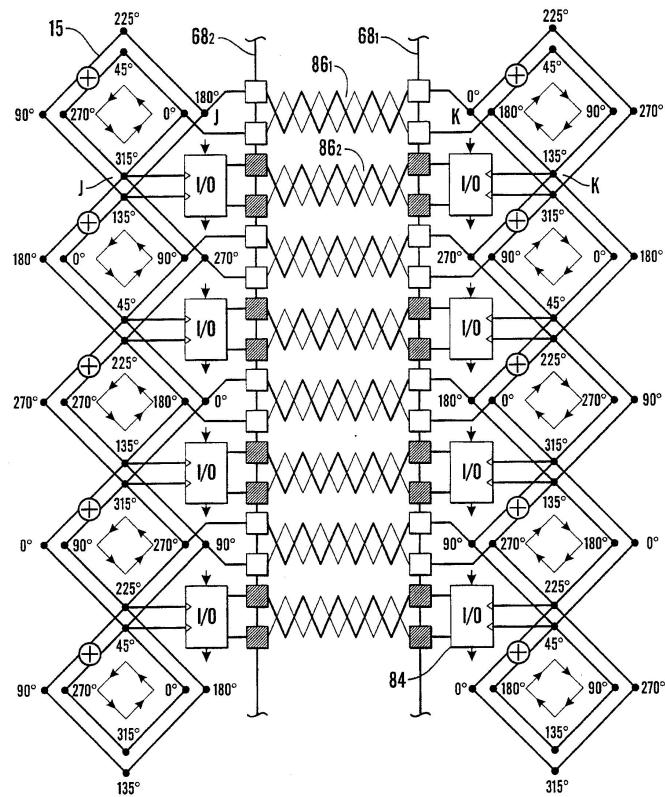
도면30



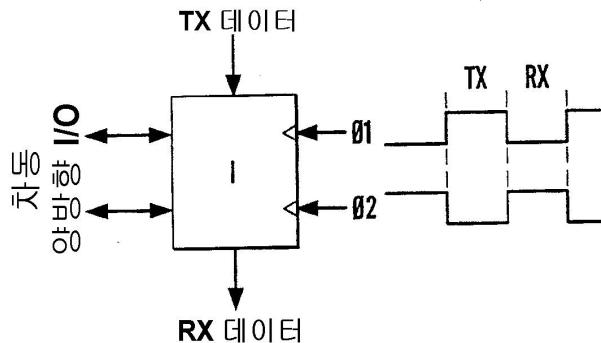
도면31



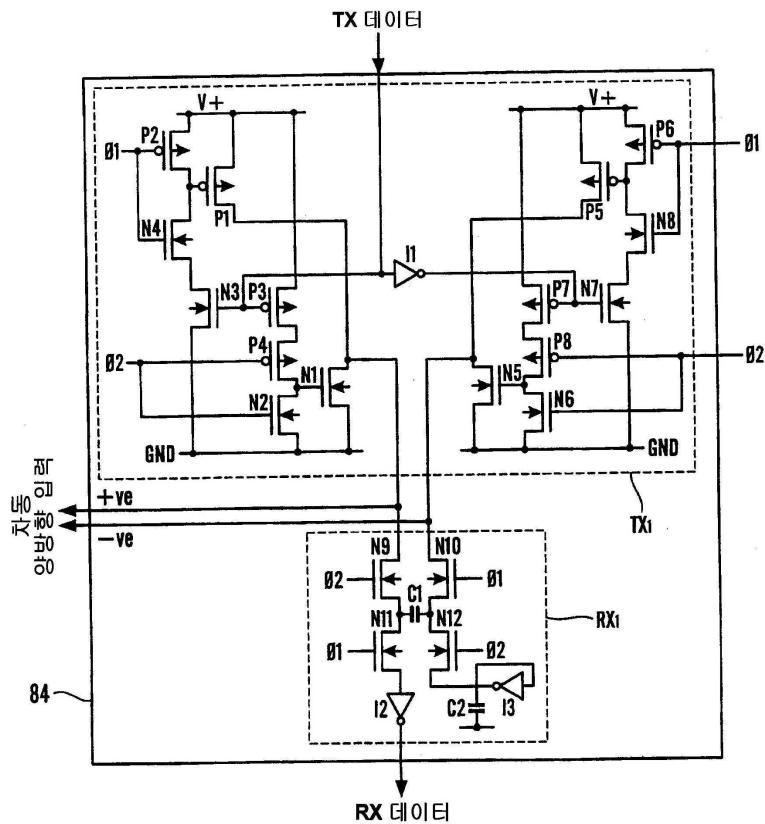
도면32a



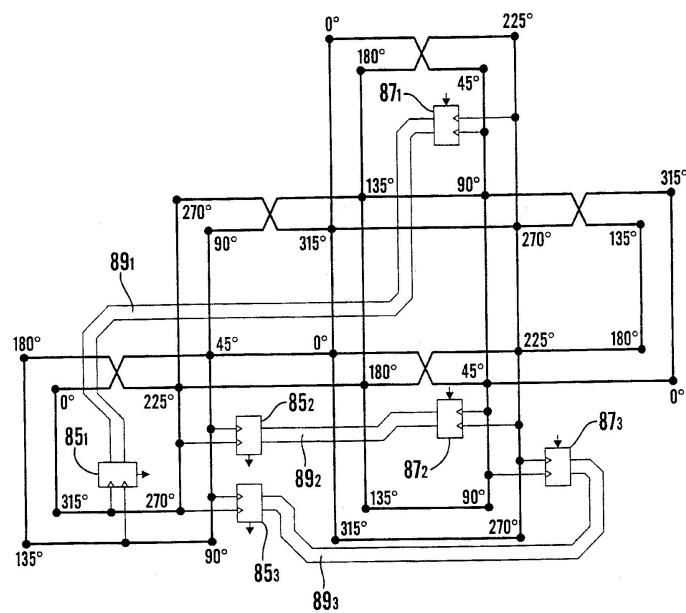
도면32b



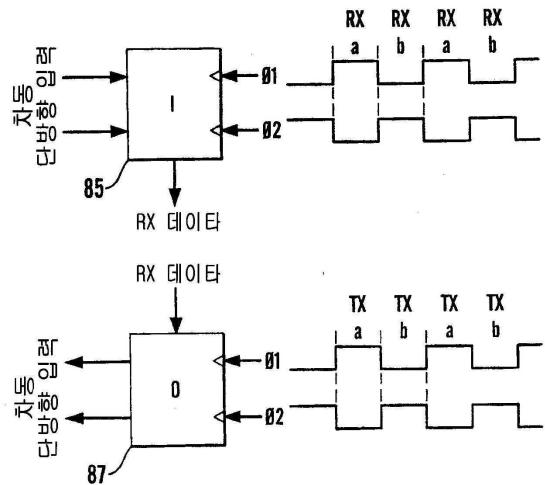
도면32c



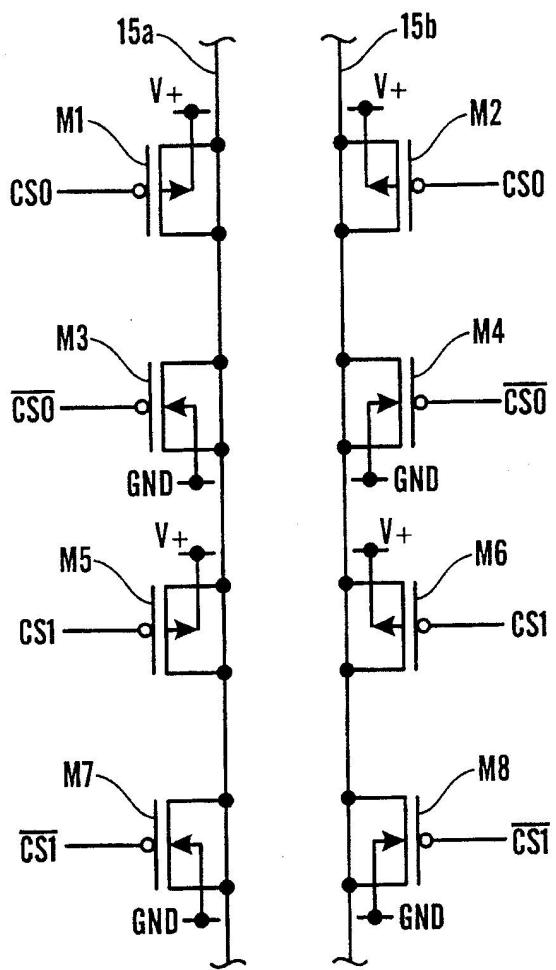
도면32d



도면32e



도면33



도면34

