(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G02F 1/133
G09G 3/36

(45) 공고일자 2000년11월01일
(11) 등록번호 10-0270358
(24) 등록일자 2000년08월01일

(21) 출원번호 10-1997-0049840
(22) 출원일자 1997년09월25일
(65) 공개번호 특1998-0025129
(43) 공개일자 1998년07월06일

(30) 우선권주장 8-253547 1996년09월25일 일본(JP)
9-186151 1997년07월11일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 사사키 미노루
일본 가나가와켄 요코하마시 이소고쿠 신스기타초 8가부시키가이샤 도시바 요코하마 사업소내
(74) 대리인 김명신

심사관 : 고종욱

(54) 어레이기판및액정표시장치

요약

본 발명은 액정표시장치에 관한 것으로서, 복수의 액정화소의 매트릭스 어레이, 이러한 액정화소의 열에 따라 형성되는 복수의 데이터선, 복수의 액정화소에 대응하여 형성되고 복수의 데이터선을 선택행의 액정화소에 각각 전기적으로 접속하는 복수의 박막 트랜지스터, 및 복수의 데이터선을 구동하는 데이터선 드라이버를 구비하며,

데이터선 드라이버는 선택행에 있어서 홀수열 및 짝수열의 한쪽 화소용으로 양극성의 아날로그 화소신호를 전달하는 제 1 비디오 버스, 선택행에 있어서 홀수열 및 짝수열의 다른 쪽의 화소용으로 음극성의 아날로그 화소신호를 전달하는 제 2 비디오 버스, 2인접 데이터선마다 설치되어 각각 제 1 및 제 2 비디오 버스에 의해 전달되는 화소신호를 동시에 샘플 홀드하는 복수의 샘플 홀드부, 및 이러한 샘플 홀드부를 순차적으로 동작시키는 시프트 레지스터회로를 갖고, 특히 각 샘플 홀드부는 제 1 및 제 2 비디오 버스를 2인접 데이터선의 한쪽 및 다른 쪽에 각각 접속하는 제 1 스위치회로 및 제 1 및 제 2 비디오 버스를 2인접 데이터선의 다른 쪽 및 한쪽에 각각 접속하는 제 2 스위치회로를 가지며, 시프트 레지스터회로는 각 샘플 홀드부의 제 1 및 제 2 스위치회로를 주기적으로 전환하는 논리회로를 포함하는 것을 특징으로 한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 관련된 액티브 매트릭스형 액정표시장치의 회로도,

도 2는 도 1에 나타낸 데이터선 드라이버의 주요구조의 변형예를 나타낸 회로도,

도 3은 도 1에 나타낸 데이터선 드라이버의 변형예를 설명하기 위한 회로도,

도 4는 본 발명의 제 2 실시예에 관련된 액티브 매트릭스형 액정표시장치의 회로도,

도 5는 도 4에 나타낸 데이터선 드라이버의 제 1 변형예를 설명하기 위한 회로도,

도 6은 도 4에 나타낸 데이터선 드라이버의 제 2 변형예를 설명하기 위한 회로도,

도 7은 도 4에 나타낸 데이터선 드라이버의 제 3 변형예를 설명하기 위한 회로도,

도 8은 도 7에 나타낸 D/A(디지털/아날로그) 컨버터 및 그 주변회로를 상세하게 나타낸 회로도,

도 9는 도 7에 나타낸 데이터선 드라이버를 컬러표시로 적용한 제 4 변형예를 설명하기 위한 회로도,

도 10은 도 9에 나타낸 2개의 D/A 컨버터에 공급되는 화소데이터열을 나타낸 도면이다.

*도면의 주요부분에 대한 부호의 설명

1: 게이트선 드라이버 2:데이터선 드라이버

31: 액정패널 34: D/A변환회로

59, 60: 래치 104: 액정컨트롤러

106: γ보정회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 컴퓨터 및 텔레비젼 수신기 등의 화상모니터로서 이용되는 평면디스플레이에 관한 것으로서, 특히 주기적으로 극성반전되는 신호전압에 의해 구동되는 액정표시장치에 관한 것이다.

근래, 액정표시장치는 박형, 경량, 저소비전력이라고 하는 이점 때문에 상당히 보급되어 있다. 이 액정표시장치는 액정층이 어레이기판 및 대향기판간에 유지되는 구조를 갖는다. 어레이기판 및 대향기판은 예를 들면 각각 절연성 및 광투과성을 갖고, 액정층은 어레이기판과 대향기판과의 간격에 액정조성물을 충전하는 것에 의해 형성된다. 어레이기판은 복수의 화소전극의 매트릭스 어레이와, 이러한 화소전극의 행을 따라 각각 형성되는 복수의 주사선과, 이러한 화소전극의 열을 따라 각각 형성되는 복수의 신호선과, 복수의 화소전극의 매트릭스 어레이를 전체적으로 덮는 제 1 배향막을 갖는다. 복수의 주사선은 각각 화소전극의 행을 선택하고 복수의 신호선은 각각 선택행의 화소전극에 화소신호 전압을 인가하기 위해 설치된다. 대향기판은 복수의 화소전극의 매트릭스 어레이에 대향하는 대향전극과, 이 대향전극을 전체적으로 덮는 제 2 배향막을 갖는다. 제 1 및 제 2 배향막은 화소전극 및 대향전극간에 전위차가 없을 때에 액정셀 내의 액정분자를 트위스트 네마틱(TN)배향시키기 위해 설치된다. 빛이 편광판을 통해 한쪽 기판측에서 액정층으로 입사하면 이 빛이 액정층의 두께 방향으로 배열되는 액정분자의 비틀림에 따라 선회하고, 다른 쪽 기판으로 인도되며 또한 편광판을 통해 선택적으로 투과된다. 전위차가 화소전극 및 대향전극간에 부여되면 액정분자가 화상이 표시되는 기판표면에 평행한 평면으로부터 이 전위차에 비례한 각도만큼 경사지고, 빛의 투과율을 변화시킨다.

액티브 매트릭스형 액정표시장치는 복수의 박막 트랜지스터(TFT)가 주사선(또는 게이트선) 및 신호선(또는 데이터선)의 교차위치 근방에 각각 형성되고, 각각 대응하는 화소전극을 선택적으로 구동하는 스위칭 소자로서 이용된다. 각 TFT의 게이트는 1주사선에 접속되고, 소스 드레인 패스는 1신호선과 1화소전극간에 접속된다. 이 TFT는 주사선으로부터의 주사펄스의 상승에 따라 도통하고 신호선에서의 화소신호 전압을 화소전극에 공급한다. 화소전극 및 대향전극은 이러한 전극간의 전위차에 대응하여 충전되는 액정용량을 액정층과 협력하여 구성한다. 이 전위차는 TFT가 주사펄스의 하강에 따라 비도통이 된 후에도 액정용량으로 유지된다.

그런데 전계방향이 항상 같은 경우, 액정이외의 물질이 한쪽 전극측에 모여져서 이것이 액정층의 수명을 단축한다. 종래, 이 해결책으로서 대향전극의 전위를 기준으로 하여 화소신호전압의 극성을 예를 들면 1프레임기간마다 반전시키는 기술이 알려져 있다. 여기에서 전체 화소전극에 대해 화소신호전압의 극성반전을 마찬가지로 실행하면 플릭커를 발생하여 화질열화의 원인이 되는 경우가 있다. 이 플릭커를 저감하기 위해 서로 다른 극성의 화소신호전압에 의해 열방향에 있어서 인접하는 화소전극을 구동하는 구동방법이 이용된다. 어느 프레임기간에서는 예를 들면 양극성의 신호전압이 홀수번째의 신호선에 접속된 화소전극에 인가되고 음극성의 화소신호전압이 짝수번째의 신호선에 접속된 화소전극에 인가된다. 다음 프레임기간은 음극성의 화소신호전압이 홀수번째의 신호선에 접속된 화소전극에 인가되고 양극성의 화소신호전압이 짝수번째의 신호선에 접속되는 화소전극에 인가된다.

상기한 구동방법만이 아니라 또한 서로 다른 극성의 화소신호전압에 의해 행방향에 있어서 인접하는 화소전극을 구동하는 구동방법도 알려져 있다. 각 프레임기간은 예를 들면 양극성의 화소신호전압이 홀수번째의 신호선에 접속되는 홀수행의 화소전극 및 짝수번째의 신호선에 접속되는 짝수행의 화소전극에 인가되고, 음극성의 화소신호전압이 짝수번째의 신호선에 접속되는 홀수행의 화소전극 및 홀수번째의 신호선에 접속되는 짝수행의 화소전극에 인가된다.

이와 같은 구동방법을 이용하는 것에 의해 화소신호전압의 극성반전이 액정표시화면에 있어서 2차원적으로 배열된 화소의 각각에 대해 실행되고 플릭커를 보이지 않게 할 수 있다.

그러나, 통상 ±5V정도의 전압이 액정을 제어하기 위해 필요하다. 이 때문에 신호선 드라이버는 10V라는 큰 출력 유동 범위에서 충분한 전압정밀도를 얻을 수 있는 구동능력을 갖지 않으면 안되고, 이것이 액정표시장치의 소비전력을 증대시키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 기술적 배경을 감안하여 양호한 표시품질을 유지하며 소비전력을 절감할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 제 1 관점에 의하면 액정표시장치가 행마다 선택되는 복수 화소의 매트릭스 어레이와, 선택행의 화소에 각각 접속되는 복수의 신호선과, 이러한 신호선에 대응하여 배열되고 선택행의 화소용으로 외부에서 공급되는 디지털 화소신호를 아날로그 화소신호로 각각 변환하는 복수의 D/A변환회로와, 이러한 D/A변환회로로부터 얻을 수 있는 화소신호를 증폭하는 증폭부와, 이러한 증폭부로부터 얻을 수 있는 화소신호를 복수의 신호선에 각각 출력하는 스위치부를 구비한다. 증폭부는 각각 인접하는 2개의 D/A변환회로로부터 얻을 수 있는 화소신호를 서로 역극성으로 증폭하는 복수조의 제 1 및 제 2 증폭회로를 갖는다.

제 1 증폭회로는 화소신호를 양극성으로 증폭하기 위해 양전원으로 접속되고 제 2 증폭회로는 화소신호를 음극성으로 증폭하기 위해 음전원으로 접속된다. 또 스위치부는 각각 이러한 제 1 및 제 2 증폭회로에서 얻을 수 있는 화소신호를 각각 출력하는 2개의 신호선을 전환하는 복수조의 스위치회로를 갖는다.

이 구성에 의하면 각 증폭회로는 단일극성으로 동작하기 때문에 소비전력을 경감할 수 있다. D/A변환회로를 극성변화를 수반하지 않는 디지털-아날로그 변환을 실행하기 때문에 변환정밀도를 향상시킬 수 있다. 또, 각 D/A변환회로 및 각 증폭회로는 인접하는 2개의 신호선에 대해 공용되기 때문에 회로규모를 작게 할 수 있다.

본 발명의 제 2 관점에 의하면 액정표시장치가 행마다 선택되는 복수 화소의 매트릭스 어레이와, 선택행의 화소에 각각 접속되는 복수의 신호선과, 선택행의 화소에 있어서 홀수열 및 짝수열의 한쪽 화소용으로 양극성의 아날로그 화소신호를 전달하는 제 1 비디오 버스와, 선택행의 화소 가운데 홀수열 및 짝수열의 다른 쪽 화소용으로 음극성 아날로그 화소신호를 전달하는 제 2 비디오 버스와, 복수의 신호선에 대응하여 배열되고 제 1 및 제 2 비디오 버스에 의해 전달되는 화소신호를 순차적으로 샘플 홀드하는 복수조의 샘플 홀드회로를 구비한다. 각 조의 샘플 홀드회로는 제 1 및 제 2 비디오 버스를 인접하는 2개의 신호선의 한쪽 및 다른 쪽에 각각 접속하는 제 1 스위치회로 및 제 1 및 제 2 비디오 버스를 인접하는 2개의 신호선의 다른 쪽 및 한쪽에 접속하는 제 2 스위치회로를 갖는다. 이러한 제 1 및 제 2 스위치회로는 제 1 및 제 2 비디오 버스에 의해 전달되는 화소신호를 동시에 샘플 홀드하고, 또한 이러한 화소신호를 각각 출력하는 2개의 신호선을 전환하기 위해 선택적으로 도통한다.

이 구성에 의하면 액정표시장치를 컬러표시에 적용한 경우, 행방향에 있어서 인접하는 색화소(R-G, G-B, B-R)가 제 1 및 제 2 비디오 버스를 공용한다. 각 비디오 버스는 단일극성의 화소신호를 전달하기 때문에 비디오 버스의 기생용량에 의한 전력소비를 경감할 수 있고, 또 인접하는 신호선이 이러한 비디오 버스만으로 구동할 수 있기 때문에 비디오 버스의 수를 줄일 수 있어서 회로규모를 작게 할 수 있다.

이하, 도면을 참조하여 본 발명의 일실시예에 관한 액티브 매트릭스형 액정표시장치를 설명한다.

도 1은 본 발명의 액정표시장치의 회로도이다. 이 액정표시장치는 게이트선 드라이버(1), 데이터선 드라이버(2), 및 액정패널(31)을 구비한다. 액정패널(31)은 광투과성을 갖는 어레이기판 및 대향기판, 및 이러한 어레이기판 및 대향기판간에 유지되고 액정조성물을 충전한 액정층에 의해 구성된다. 어레이기판은 유리기판과, 이 유리기판상에 형성되는 n×m개의 화소전극(11)의 매트릭스 어레이와, 이러한 화소전극(11)의 행을 따라 각각 형성되는 n개의 게이트선(Y1-Yn)과 이러한 화소전극(11)의 열을 따라 각각 형성되는 m개의 데이터선(X1-Xm)과, 게이트선(Y1-Yn) 및 데이터선(X1-Xm)의 교차점 부근에 각각 스위칭소자로서 형성되는 n×m개의 박막트랜지스터(TFT)(12)와, 화소전극(20)의 매트릭스 어레이를 전체적으로 덮는 제 1 배향막을 갖는다. 또, 대향기판은 유리기판과, 화소전극(11)의 주위를 마스크하도록 이 유리기판상에 형성되는 차광막과, 적, 녹, 청 색성분의 빛을 선택적으로 투과하는 컬러필터와, 화소전극(11)의 매트릭스 어레이에 대향하는 대향전극(13)과, 이 대향전극(13)을 전체적으로 덮는 제 2 배향막을 갖는다. 제 1 및 제 2 배향막은 화소전극(11) 및 대향전극(13)간에 전위차가 없을 때에 액정분자를 트위스트 네마틱(TN)배향시키기 위해 설치된다. 각 TFT(12)의 게이트는 게이트선(Y1-Yn) 중의 하나에 접속되고, 소스 드레인 패스는 데이터선(X1-Xm) 중의 하나와 전체 화소전극(11) 가운데 1개와의 사이에 접속된다. 각 화소전극(11)은 대향전극(13) 및 액정층과 협력하여 액정용량(CLC)의 화소를 구성한다. 어레이기판 및 대향기판의 외측표면에는 2장의 편광판이 서로 직교하는 방향으로 부착된다. 게이트선 드라이버(1) 및 데이터선 드라이버(2)는 어레이기판의 유리표면내에 있어서 화소전극(11)의 매트릭스 어레이의 외측에 배치된다.

게이트선 드라이버(1)는 외부액정 컨트롤러로부터 공급되는 제어신호에 의해 제어되고 각 프레임기간에 있어서 순차적으로 게이트선(Y1-Yn)을 구동하는 동작을 실행한다. 게이트선 드라이버(1)용의 제어신호는 1프레임기간마다 발생되는 수직스타트신호(STV) 및 1수평 주사기간마다 발생되는 수직 클럭신호(CPV)를 포함한다. 게이트선 드라이버(1)의 동작은 예를 들면 수직스타트신호(STV)를 수직 클럭신호(CPV)에 동기하여 시프트하는 시프트 레지스터를 이용하여 실행된다.

데이터선 드라이버(2)는 외부액정 컨트롤러로부터 공급되는 제어신호에 의해 제어되고 각 수평주사기간에 있어서 데이선(X1-Xm)을 구동하는 동작을 실행한다. 데이터선드라이버(2)용의 제어신호는 1수평 주사기간마다 발생되는 수평스타트신호(STH), 1수평 주사기간마다 발생되어 직렬인 화소데이터(DATA)로 구성되는 디지털 비디오신호, 각 화소데이터 (DATA)에 대응하여 발생되는 수평클럭신호(CPH), 프레임신호(F1, F2)를 포함한다. 데이터선 드라이버(2)는 시프트 레지스터회로(33), m개의 D/A변환회로(34), m/2개의 제 1 증폭회로(35), m/2개의 제 2 증폭회로(36) 및 m/2개의 아날로그 스위치회로(37)를 구비한다.

시프트 레지스터회로(33)는 수평스타트신호(STH)를 수평클럭신호(CPH)에 동기하여 시프트시키고, 수평스타트신호(STH)의 시프트 타이밍으로 비디오신호의 화소데이터(DATA)를 래치하고, 수평스타트신호(STH)의 시프트위치에 대응하는 D/A변환회로(34)로 출력하는 것에 의해 화소데이터(DATA)의 직병렬 변환을 실행한다. m개의 D/A변환회로(34)는 데이터선(X1-Xm)에 대응하여 배열되고, 시프트 레지스터회로(33)로부터 배급되는 화소데이터(DATA)를 각각 샘플 홀드하여 아날로그 화소신호로 변환한다. m/2개의 증폭회로(35)는 양전원 라인(+V)에 공통으로 접속되고 홀수번째의 D/A변환회로(34)로부터의 화소신호를 각각 양극성으로 증폭한다. m/2개의 제 2 증폭회로(36)는 음전원 라인(-V)에 공통으로 접속되고, 짝수번째의 D/A변환회로(34)로부터의 화소신호를 각각 음극성으로 증폭한다. 즉, 인접하는 2개의 D/A변환회로(34)로부터의 화소신호는 이러한 증폭회로(35, 36)에 의해 서로 역극성으로 증폭된다. m/2개의 아날로그 스위치회로(37)는 각각 m/2조의 증폭회로(35, 36)에 각각 접속된다. 각 아날로그 스위치회로(37)는 외부액정 컨트롤러로부터 공급되는 프레임신호(F1, F2)의 제어에 의해 제어되고 대응조(組)의 증폭회로(35, 36)에서 얻을 수 있는 서로 역극성의 화소신호를 인접하는 2개의 데이터선에 교대로 공급한다.

구체적으로는 프레임신호(F1)는 연속하는 2프레임기간 내의 선행 프레임기간에 있어서 높은 레벨로 설정되고 이러한 2프레임기간 내의 후속 프레임기간에 있어서 낮은 레벨로 설정된다. 프레임신호(F2)는 이러한 2프레임기간 내의 선행 프레임 기간에 있어서 낮은 레벨로 설정되고 이러한 2프레임 기간 내의 후속 프레임기간에 있어서 높은 레벨로 설정된다. 각 아날로그 스위치회로(37)는 제 1 증폭회로(35) 및 홀수번째의 데이터선간에 접속되는 제 1 스위치소자(37A), 제 1 증폭회로(35) 및 짝수번째의 데이터선간에 접

속되는 제 2 스위치소자(37D), 제 2 증폭회로(36) 및 홀수번째의 데이터선간에 접속되는 제 3 스위치소자(37B), 및 제 2 증폭회로(36) 및 짝수번째의 데이터선간에 접속되는 제 4 스위치소자(37C)를 갖는다. 스위치소자(37A, 37C)는 프레임신호(F1)가 높은 레벨일 때 증폭회로(35, 36)를 각각 홀수번째의 데이터선 및 짝수번째의 데이터선에 전기적으로 접속하고 프레임 신호(F1)가 낮은 레벨일 때에 증폭회로(35, 36)를 각각 홀수번째의 데이터선 및 짝수번재의 데이터선에서 전기적으로 떼어낸다. 스위치소자(37B, 37D)는 프레임신호(F2)가 높은 레벨일 때에 증폭회로(36, 35)를 각각 홀수번째의 데이터선 및 짝수번째에 전기적으로 접속하고, 프레임신호(F2)가 낮은 레벨일 때에 증폭회로(36, 35)를 각각 홀수번째의 데이터선 및 짝수번째의 데이터선에서 전기적으로 떼어낸다. 또, 외부액정 컨트롤러는 화소신호를 행방향으로 나열된 화소에 바르게 할당하기 위해 시프트 레지스터(33)에 공급되는 화소데이터열을 일단 메모리로 격납하고, 이러한 화소데이터를 선행 및 후속 프레임기간의 한쪽에 있어서 2개씩 바꿔 나열하도록 구성된다.

선행프레임기간은 양극성의 화소신호가 m/2개의 제 1 증폭회로(35)에서 데이터선(X1, X3, X5…)으로 출력되고, 음극성의 화소신호가 m/2개의 제 2 증폭회로(36)에서 데이터선(X2, X4, X6, X8, …)으로 출력된다. 후속프레임기간에서는 음극성의 화소신호가 제 2 증폭회로(36)에서 데이터선(X1, X3, X5, …)으로 출력되고, 양극성의 화소신호가 제 1 증폭회로(35)에서 데이터선(X2, X4, X6, …)으로 출력된다. 양극성 및 음극성의 화소신호의 출력처는 1프레임기간마다 데이터선쌍(X1 및 X2, X3 및 X4, X5 및 X6, …) 사이에서 전환된다. 즉, 데이터선쌍(X1 및 X2, X3 및 X4, X5 및 X6, …)은 1프레임기간마다 극성반전되는 양극성 및 음극성의 화소신호에 의해 V라인 반전구동된다.

도 2는 도 1에 나타낸 데이터선 드라이버(2)의 주요구조의 변형예를 나타낸다. 입력단자(IN1, IN2)는 인접하는 2개의 D/A변환회로(34)로부터 공급되는 화소신호를 각각 수취하도록 접속된다. 제 1 증폭회로(35)는 차동앰프(38), N채널 트랜지스터(39) 및 정전류회로(40)로 구성된다. 트랜지스터(39)의 드레인은 정전원라인(+V)에 접속되고, 트랜지스터(39)의 소스는 정전류회로(40)를 통해 전원라인(+V′)에 접속된다. 트랜지스터(39)의 소스출력은 차동앰프(38)로 귀환된다. 다른 한편, 제 2 증폭회로(36)는 차동앰프(41), P채널 트랜지스터(42) 및 정전류회로(43)에 의해 구성된다. 제 2 증폭회로(36)는 트랜지스터(42)의 드레인은 음전원라인(-V)에 접속되고, 트랜지스터(42)의 소스는 정전류회로(43)를 통해 전원라인(-V′)에 접속된다. 트랜지스터(42)의 소스출력은 차동앰프(41)로 귀환된다. 여기에서 "+V" 및 "-V"와 같은 전위극성 표시는 접지전위로부터 직접적으로 결정되는 것이 아니고, 예를 들면 이러한 전위의 중간레벨을 기준전위로 하여 상대적으로 결정된 것이다. 실제로는 +V=10V, -V=5V, +V′ =5V, -V′ =0V로 설정된다. 이와 같은 구성에 의해 제 1 증폭회로(35)는 입력단자(IN1)에서 입력된 화소신호를 증폭하고 기준전위에 대해 양극성이 되는 화소신호를 출력한다. 제 2 증폭회로(36)는 입력단자(IN2)에서 입력된 화소신호를 증폭하고 기준전위에 대해 음극성이 되는 화소신호를 출력한다.

아날로그 스위치 회로(37)는 제 1 스위치 소자로서 설치되는 P채널 트랜지스터(44) 및 제 2 스위치 소자로서 설치되는 P채널 트랜지스터(45) 및 제 3 스위치 소자로서 설치되는 N채널 트랜지스터(46) 및 제 4 스위치 소자로서 설치되는 N채널 트랜지스터(47)에 의해 구성된다. 트랜지스터(44)의 게이트는 프레임신호(F1)의 반전신호(또는 F2)를 수취하는 단자(SW1)에 접속되고, 트랜지스터(45)의 게이트는 프레임신호(F2)의 반전신호(또는 F1)를 수취하는 단자(SW2)에 접속되며, 트랜지스터(46)의 게이트는 프레임신호(F2)를 수취하는 단자(SW3)에 접속되고, 트랜지스터(47)의 게이트는 프레임신호(F1)를 수취하는 단자(SW4)에 접속된다.

따라서 프레임신호(F1)가 높은 레벨로 설정되는 동시에 프레임신호(F2)가 낮은 레벨로 설정되는 프레임기간에서는 P채널 트랜지스터(44)와 N채널 트랜지스터(47)가 온되고 P채널 트랜지스터(45)와 N채널 트랜지스터(46)가 오프된다. 이 때 제 1 증폭회로(35)에서의 화소신호는 출력단자(S1)를 통해 홀수번째의 데이터선에 출력된다. 또 제 2 증폭회로(36)의 출력신호는 출력단자(S2)를 통해 짝수번째의 데이터선에 출력된다.

한편, 프레임신호(F1)가 낮은 레벨로 설정되는 동시에 프레임신호(F2)가 높은 레벨로 설정되는 프레임기간에서는 P채널 트랜지스터(45)와 N채널 트랜지스터(46)가 온되고, P채널 트랜지스터(44)와 N채널 트랜지스터(47)가 오프된다. 이 때, 제 1 증폭회로(35)에서의 화소신호는 출력단자(S2)를 통해 짝수번째의 데이터선으로 출력되고, 제 2 증폭회로(36)의 출력은 출력단자(S1)를 통해 홀수번째의 데이터선으로 출력된다.

이 실시예에 의하면 제 1 증폭회로(35)에서 출력된 화소신호는 항상 양극성으로 설정되고, 제 2 증폭회로(36)에서 출력된 화소신호는 항상 음극성으로 설정된다. 이 때문에 이러한 증폭회로(35, 36)의 유동 범위는 전압극성을 반전하는 것을 고려하지 않고, 필요한 액정구동전압에 기초하여 결정할 수 있다. 이 결과, 증폭회로에 있어서 쓸모없이 전력을 소비하는 것을 피할 수 있다. 또 D/A변환회로(34)에 대해서도 증폭회로(35, 36)에서 출력된 화소신호의 전압극성에 합치하도록 양극성 및 음극성의 한쪽 전압을 발생하면 좋기 때문에, 전력소비를 저감하면서 D/A변환정밀도를 향상시킬 수 있다.

또, 이 실시예의 액정표시장치는 데이터선에 인가된 화소신호의 전압극성이 행마다 반전되는 HV반전구동을 실행하도록 구성되어도 좋다. 이 경우, 아날로그 스위치(37)의 전환제어를 위해 프레임신호(F1, F2) 대신에 1수평 주사기간마다 반전하는 신호를 이용하면 좋다. 이 구동형식에서는 인접하는 액정화소에 인가되는 전압의 극성이 행 및 열마다 다르기 때문에 이것이 공간주파수를 증대하고 플릭커와 라인 스크롤 등의 화질열화를 더욱 억제할 수 있다.

또, 도 2에 나타낸 트랜지스터(44-47)는 CMOS트랜지스터로 구성해도 좋다. 또, 아날로그 스위치(37) 및 증폭회로(35, 36)에 포함되는 트랜지스터는 복수의 화소전극(11)에 각각 할당되는 박막트랜지스터(12)와 함께 어레이기판상에 형성되는 박막트랜지스터(TFT)로 구성된다. 이 박막트랜지스터는 주지의 스태거드(staggered)형 TFT여도 좋다. 이 경우, 각 박막트랜지스터는 유리기판상에 소정 형상의 다결정 실리콘층을 형성하고, 상기 유리기판상의 전면을 덮어 실리콘산화막을 적층하여 게이트절연막을 형성하고 이 게이트절연막 위에 게이트선(Y1, Y2, …, Yn)의 하나와 일체의 게이트전극을 형성하고 이 게이트전극상에 층간절연막을 통해 데이터선(X1, X2, …, Xm)의 한 개와 일체의 소스전극 및 이 소스전극과 동일층으로 이루어진 드레인전극을 형성하는 것에 의해 얻을 수 있다. 또 시프트 레지스터회로(33)는 복수의 화소전극(11)에 각각 할당되는 박막트랜지스터(12)와 함께 어레이기판상에 형성되는 TFT소자를 이용한 주지의 플

립플롭회로의 조합에 의해 구성되어도 좋다.

액정표시장치에 설치되는 트랜지스터를 공통의 구조로 한 경우, 제조공정수를 저감할 수 있기 때문에, 보다 저가격으로 액정표시장치를 제조하는 것이 가능하게 된다.

여기에서 도 3을 참조하여 도 1에 나타낸 데이터선 드라이버의 변형예를 설명한다. 제 1 실시예는 연속하는 2프레임기간에 있어서 화소신호를 행방향으로 나열된 화소에 바르게 할당하기 위해 외부 액정컨트롤러의 메모리내에서 화소데이터열을 바꾸어 나열하는 것이 실행된다. 도 3에 나타낸 변형예에서는 시프트레지스터회로(33)가 인접하는 2개의 D/A변환회로(34)에 공급되는 화소데이터의 순서를 1프레임 기간마다 교체하도록 구성된다.

도 3에서는 제 1 번째 및 제 2 번째의 데이터선을 구동하는 데이터선 드라이버(2)의 부분이 상세하게 나타난다. 수평스타트신호(STH)는 프레임신호(F1, F2)에 의해 제어되는 논리게이트(50-55)를 통해 레지스터(48, 49)에 순서대로 또는 역순으로 공급된다.

프레임신호(F1)가 높은 레벨로 설정되고 프레임신호(F2)가 낮은 레벨로 설정되는 선행 프레임기간에서는 AND게이트(50, 53, 56)가 오픈되고 AND게이트(51, 54, 57)가 클로즈된다. 그 결과, 수평 스타트신호(STH)가 AND게이트(50), OR게이트(52)를 통해 레지스터(48)에 공급된다. 레지스터(48)의 출력은 래치(59)에 직접 공급되는 한편 AND게이트(53), OR게이트(55)를 통해 레지스터(49)에 공급된다. 또 레지스터(49)의 출력은 래치(60)에 직접 공급되는 한편, AND게이트(56), OR게이트(58)를 통해 후속레지스터에 공급된다. 이것에 의해 수평스타트신호(STH)가 수평클럭신호(CPH)에 동기하여 레지스터(48, 49, …)의 순서로 전송된다. 래치(59, 60, …)는 수평스타트신호(STH)가 각각 레지스터(48, 49, …)에 유지되어 출력되는 타이밍으로 데이터 버스(D1…Dn)상의 화소데이터(DATA)를 래치하고 대응하는 D/A변환회로(34)에 공급한다.

다른 한편, 프레임신호(F1)가 낮은 레벨로 설정되고, 프레임신호(F2)가 높은 레벨로 설정되는 후속프레임기간에서는 AND게이트(51, 54, 57)가 오픈되고 AND게이트(50, 53, 56)가 클로즈된다. 그 결과, 수평스타트신호(STH)가 AND게이트(54), OR게이트(55)를 통해 레지스터(49)에 공급된다. 레지스터(49)의 출력은 래치(60)에 직접 공급되는 한편, AND게이트(51), OR게이트(52)를 통해 레지스터(48)에 공급된다. 이것에 의해 수평스타트신호(STH)가 레지스터(49, 48, …)의 순서로 전송된다. 즉, 선행프레임기간과 대비하면 홀수번째의 레지스터와 짝수번째의 레지스터의 출력순서가 교체된다.

D/A변환회로(34), 증폭회로(35, 36), 및 스위치회로(37)의 동작은 제 1 실시예와 같다.

이 변형예에 의하면 극성반전구동을 위해 외부에서 화소데이터열을 바꾸어 나열하지 않고 양극성 및 음극성의 화소신호를 행방향으로 나열된 화소에 바르게 할당할 수 있다. 따라서 화소데이터열을 외부에서 바꾸어 나열하기 위해 필요한 회로를 생략할 수 있다.

이하, 본 발명의 제 2 실시예에 관련된 액티브 매트릭스형 액정표시장치를 도 4를 참조하여 설명한다. 이 액정표시장치는 데이터선 드라이버(2)를 빼고 도 1에 나타낸 액정표시장치와 실질적으로 동일하게 구성된다. 도 4에서는 제 1 실시예와 같은 부분을 동일 참조부호로 나타내고 그 설명을 생략한다.

도 4에 나타낸 데이터선 드라이버(2)는 외부 액정컨트롤러로부터 공급되는 아날로그 화소신호를 샘플 홀드회로를 이용하여 직병렬 변환한다. 이 데이터선 드라이버(2)에 있어서 시프트 레지스터회로(63)는 수평스타트신호(STH)를 수평클럭신호(CPH)에 동기하여 시프트하도록 직렬로 접속된 m개의 레지스터를 갖고 이러한 레지스터출력(Q1, Q2, Q3, …, Qm)은 데이터선(X1, X2, X3, …, Xm)에 대응하여 배열된 m개의 샘플 홀드회로(61, 62)에 접속된다. 이러한 m개의 레지스터는 1프레임기간마다 홀수번째의 레지스터와 짝수번째의 레지스터의 출력순을 교체하기 위해 제 1 실시예에서 참조한 도 3에 나타낸 바와 같이 서로 접속된다.

도 4는 "61"이 홀수번째에 배치되는 m/2개의 샘플 홀드회로를 나타내고, "62"가 짝수번째에 배치된 m/2개의 샘플 홀드회로를 나타낸다. 이러한 샘플 홀드회로(61)는 양극성의 RGB아날로그 비디오 신호를 전송하는 비디오 버스(Vin^+)로 접속되고 이 아날로그 비디오 신호를 레지스터 출력단(Q1, Q3, Q5, …, Qm-1)에서의 수평 스타트신호에 응답하여 샘플 홀드하고 화소신호로서 홀수번째의 증폭회로(35)에 각각 공급한다.

이러한 샘플 홀드회로(62)는 음극성의 RGB아날로그 비디오신호를 전송하는 비디오 버스(Vin^-)에 접속되고, 이 아날로그 비디오 신호를 레지스터 출력단(Q2, Q4, Q6, …, Qm)에서의 수평스타트신호(STH)에 응답하여 샘플 홀드하고, 화소신호로서 각각 짝수번째의 증폭회로(36)에 공급된다. 이러한 증폭회로(35)는 양전원라인(+V)에 공통으로 접속되고, 홀수번째의 샘플 홀드회로(61)로부터의 화소신호를 각각 양극성으로 증폭한다. 이러한 제 2 증폭회로(36)는 음전원 라인(-V)에 공통으로 접속되고 짝수번째의 샘플 홀드회로(62)에서의 화소신호를 각각 음극성으로 증폭한다. 즉, 인접하는 2개의 샘플 홀드회로(61, 62)에서의 화소신호는 이러한 증폭회로(35, 36)에 의해 서로 역극성으로 증폭된다. m/2개의 아날로그 스위치회로(37)는 각각 m/2조의 증폭회로(35, 36)에 각각 접속된다. 각 아날로그 스위치회로(37)는 외부 액정컨트롤러에 의해 제 1 실시예와 같이 제어되고 대응조의 증폭회로(35, 36)에서 얻은 서로 역극성의 화소신호를 인접하는 2개의 데이터선에 교대로 공급한다.

상기한 구성에서는 프레임신호(F1)가 높은 레벨로 설정되는 동시에 프레임신호(F2)가 낮은 레벨로 설정되는 프레임기간에서는, 수평스타트신호(STH)가 샘플 홀드동작을 가능하게 하기 때문에 시프트 레지스터회로(63)에서 Q1, Q2, Q3, …, Qm의 순서로 출력된다. 그 결과, 샘플 홀드회로(61, 62)는 비디오 버스(Vin^+, Vin^-)를 전송하는 비디오신호를 배열순으로 샘플 홀드동작한다. 아날로그 스위치(37)의 동작은 실시예 1과 같기 때문에 양극성의 화소신호가 증폭회로(35)를 통해 홀수번째의 데이터선(X1, X3, X5, …)에 공급되고 음극성의 전압이 증폭회로(36)를 통해 짝수번째의 데이터선(X2, X4, X6, …)에 공급된다.

다른 한편, 프레임신호(F1)가 낮은 레벨로 설정되는 동시에 프레임신호(F2)가 높은 레벨로 설정되는 프레임기간에서는, 수평스타트신호(STH)가 샘플 홀드 동작을 가능하게 하기 때문에 시프트 레지스터회로(63)에서 Q2, Q1, Q4, Q3, … 의 순서로 출력된다. 그 결과, 인접하는 2데이터선에 대응하는 샘플 홀드회로

(61, 62)의 동작순서가 이 프레임기간에 있어서 선행프레임기간과 반대가 된다. 아날로그 스위치(37)의 동작은 실시예 1과 같기 때문에 음극성의 전압이 증폭회로(35)를 통해 홀수번째의 데이터선(X1, X3, X5, …)에 공급되고, 증폭회로(36)를 통해 짝수번째의 데이터선(X2, X4, X6, …)에 양극성의 전압이 공급된다.

이 실시예에 의하면 제 1 증폭회로(35)에서 출력되는 화소신호는 항상 양극성으로 설정되고, 제 2 증폭회로(36)에서 출력되는 화소신호는 항상 음극성으로 설정된다. 이 때문에 이러한 증폭회로(35, 36)의 유동범위는 전압극성을 반전하는 것을 고려하지 않고 필요한 액정구동전압에 기초하여 결정할 수 있다. 이 결과, 증폭회로에 있어서 쓸데없이 전력을 소비하는 것을 피할 수 있다.

여기에서 도 5를 참조하여 도 4에 나타낸 데이터선 드라이버(2)의 제 1 변형예를 설명한다. 이 변형예는 각 아날로그 스위치회로(37)가 추가로 출력단(S1) 및 기준전원 라인(Vref)간에 접속되는 스위치소자(64) 및 출력단(S2) 및 기준전원 라인(Vref)간에 접속되는 스위치소자(65)를 갖도록 변경된다. 이 기준전원 라인(Vref)은 양전원라인(+V)의 전위와 음전원라인(-V)의 전위와의 중간레벨로 같은 기준전위로 설정된다. 동작에서는 스위치소자(37A-37D)의 전부가 출력단(S1, S2)을 통해 인접하는 2개의 데이터선에 양극성 및 음극성의 화소신호를 출력하기 직전에 전부 오픈되고 이 사이에 스위치소자(64, 65)가 클로즈된다. 스위치소자(64, 65)는 이러한 2개의 데이터선의 기생용량에 축적한 전하를 방전시키고 이러한 데이터선을 기준전위와 같은 전위로 설정한다. 이 후, 양극성 및 음극성의 화소신호가 제 1 증폭회로(35) 및 제 2 증폭회로(36)에서 출력되면 이러한 데이터선은 이 기준전위로부터 화소신호의 전위까지 충전된다.

이 구성은 증폭회로(35, 36)의 각각이 보다 적은 구동능력으로 데이터선의 충전을 실행할 수 있다. 바꿔 말하면 내전압을 고려하여 증폭회로(35, 36)의 구조를 복잡화하지 않고 양호한 동작신뢰성을 얻을 수 있다. 또, 아날로그 스위치회로(37)를 뺀 회로구성에 대해서는 실시예 1 또는 실시예 3과 같은 구성을 적용할 수 있다.

다음에 도 6을 참조하여 도 4에 나타낸 데이터선 드라이버(2)의 제 2 변형예를 설명한다. 이 변형예에서는 각 아날로그 스위치회로(37)가 추가로 출력단(S1, S2)간에 접속된 스위치소자(70)를 갖도록 변경된다. 이 데이터선 드라이버(2)는 제 1 실시예와 같이 제 1 증폭회로(35)와 제 2 증폭회로(36)의 출력을 전환하는 것에 의해 액정신호전압의 극성반전을 실행한다. 즉, 스위치소자(37A-37D) 전부가 출력단(S1, S2)을 통해 인접한 2개의 데이터선에 양극성 및 음극성의 화소신호를 출력하기 직전에 모두 오픈되고 이 사이에 스위치소자(70)가 클로즈된다. 스위치소자(70)는 이러한 데이터선의 기생용량에 축적한 전하를 방전하고 거의 기준전위(Vref)가 되도록 서로 같은 전위로 설정한다. 이 후, 양극성 및 음극성의 화소신호가 제 1 증폭회로(35) 및 제 2 증폭회로(36)에서 출력되면 이러한 데이터선은 이 기준전위에 가까운 전위로부터 화소신호의 전위까지 충전된다.

이 구성에서 증폭회로(35, 36)의 각각은 제 1 변형예와 같이 보다 적은 구동능력으로 데이터선의 충전을 실행할 수 있다. 바꿔 말하면 내전압을 고려하여 증폭회로(35, 36)의 구조를 복잡화하지 않고 양호한 동작신뢰성을 얻을 수 있다. 또, 인접하는 데이터선의 한쪽에서 다른 쪽으로 이동하는 전하에 의해 전위차를 상쇄하기 때문에 소비전력을 경감할 수 있다.

다음에 도 7을 참조하여 도 4에 나타낸 데이터선 드라이버(2)의 제 3 변형예를 설명한다. 이 변형예에서는 도 4에 나타낸 스위치 회로(37) 및 증폭회로(35, 36)가 설치되지 않는다. m개의 샘플 홀드회로(61, 62)의 각각이 비디오 버스(Vin^+, Vin-)의 양쪽에 접속되고, 스위치 회로의 일부를 겸하고 있다. 즉, 한쌍의 출력단자(S1, S2)에 대응하는 샘플홀드회로(61, 62)로 스위치 회로를 대신한다. 샘플 홀드회로(61)는 비디오 버스(Vin^+) 및 출력단(S1) 간에 접속되는 P채널 트랜지스터(77)와 비디오 버스(Vin^-) 및 출력단(S1)간에 접속되는 N채널 트랜지스터(78)를 갖는다. 샘플 홀드회로(62)는 비디오 버스(Vin^-) 및 출력단(S2)간에 접속된 P채널 트랜지스터(79)와 비디오 버스(Vin^-) 및 출력단(S2)간에 접속된 N채널 트랜지스터(80)를 갖는다. 도 7에 있어서 "81" 및 "82"는 출력단자(S1, S2)에 각각 접속된 데이터선의 기생용량이고, 이러한 출력단자(S1, S2)에서 출력된 화소신호의 전압을 홀드하는 역할을 한다.

비디오 라인(Vin^+)은 D/A컨버터(101)에 의해 구동되고, 또 비디오 라인(Vin^-)은 D/A컨버터(102)에 의해 구동된다. 이러한 DAC(101, 102)는 어레이기판의 외부에 설치되고 동일 구조를 갖도록 형성된다.

P채널 트랜지스터(77)의 게이트는 OR게이트(73)의 출력단자에 접속되고, N채널 트랜지스터(78)의 게이트는 AND게이트(74)의 출력단자에 접속된다. P채널 트랜지스터(79)의 게이트는 NAND게이트(75)의 출력단자에 접속되고, N채널 트랜지스터(80)의 게이트는 NOR게이트(76)의 출력단자에 접속된다.

OR게이트(73), AND게이트(74), NAND게이트(75), NOR게이트(76)는 스위칭신호(SW)를 수취하도록 접속된다. AND게이트(74)는 레지스터(71)의 출력단 단자에 접속되고 NAND게이트(75)는 레지스터(72)의 출력단 단자에 접속된다. OR게이트(73)는 레지스터(71)의 출력단자에 인버터(83)를 통해 접속되고 NOR게이트(76)는 레지스터(72)의 출력단에 인버터(84)를 통해 접속된다. 레지스터(71, 72)는 직렬로 접속되고 수평클럭(CPH)에 동기하여 수평스타트신호(STH)를 순차적으로 시프트하는 시프트 레지스터회로를 구성한다.

상기한 바와 같이 구성된 데이터선 드라이버(2)는 다음과 같이 동작한다.

스위칭신호(SW)가 낮은 레벨인 경우, OR게이트(73)는 신호를 통과시키는 상태, AND게이트(74)의 출력은 낮은 레벨, NAND게이트(75)의 출력은 높은 레벨, NOR게이트(76)는 신호를 반전하여 통과시키는 상태가 된다. 따라서, P채널 트랜지스터(77)는 레지스터(71)의 출력에 의해 도통상태가 되고 N채널 트랜지스터(78) 및 P채널 트랜지스터(79)는 오프된다. N채널 트랜지스터(80)는 레지스터(72)의 출력에 의해 도통상태가 된다. 그 결과, 양극성의 비디오신호(Vin^+)가 출력단자(S1)에 레지스터(71)의 출력에 기초하여 출력되고 음극성의 비디오신호(Vin^-)가 출력단자(S2)에 레지스터(72)의 출력에 기초하여 출력된다.

스위칭신호(SW)가 높은 레벨인 경우, OR게이트(73)의 출력은 높은 레벨, AND게이트(74)는 신호를 통과시

키는 상태, NAND게이트(75)는 신호를 반전하여 통과시킨 상태, NOR게이트(76)의 출력은 낮은 레벨이 된다. 따라서, P채널 트랜지스터(77)는 오프, N채널 트랜지스터(78)는 레지스터(71)의 출력에 의해 도통상태가 된다. P채널 트랜지스터(79)는 레지스터(72)의 출력에 의해 도통상태가 되고, N채널 트랜지스터(80)는 오프된다. 그 결과, 음극성의 비디오신호(Vin^-)가 출력단자(S1)에 레지스터(71)의 출력에 기초하여 출력되고 양극성의 비디오신호(Vin^+)가 출력단자(S2)에 레지스터(72)의 출력에 기초하여 출력된다.

그 결과, 출력단자(S1, S2)에는 양극성의 비디오신호(Vin^+)와 음극성의 비디오신호(Vin^-)가 스위칭신호(SW)의 전환에 따라 교대로 출력된다. 이것에 의해 액정화소는 주기적으로 극성반전된 전압으로 구동된다.

또, 각 논리게이트(73-76, 83, 84) 및 스위칭소자(77-80)는 주지의 TFT구조로 형성하면 된다. 또 레지스터(71, 72)는 TFT소자를 조합시켜 주지의 플립프롭회로로서 형성하면 된다. 이 경우, 제 1 실시예와 같이 화소전극에 대응하여 형성된 박막트랜지스터와 동일공정으로 이러한 트랜지스터소자를 형성하면 액정표시장치의 제조가격을 저감할 수 있다.

도 8은 D/A컨버터(101, 102)와 그 주변회로의 구성을 상세하게 나타낸다. D/A컨버터(101, 102)는 전압선택형이 되도록 구성된다. 즉, D/A컨버터(101, 102)의 각각은 외부의 액정컨트롤러(104)에서 출력된 화소데이터(DATA)를 공통으로 수취하도록 접속되는 동시에 이 화소데이터에 따라 스위칭되는 아날로그 스위치(SW1-SWn)를 갖는다. 아날로그 스위치(SW1-SWn)는 γ보정회로(106)에서 발생되어 각각 아날로그 신호선(110)을 통해 공급되는 복수의 전압을 조합시켜 화소데이터(DATA)에 대응하는 전압레벨의 아날로그 화소신호를 비디오 버스(Vin^+, Vin^-)에 출력한다.

도 8에 나타낸 바와 같이 D/A컨버터(101)는 전위(V3, V4)에 설정된 전원라인간의 전압에 의해 동작하도록 구성되고 D/A컨버터(102)는 전위(V1, V2)에 설정된 전원라인간의 전압에 의해 동작되도록 구성된다. 이 경우, D/A컨버터(101)의 아날로그 스위치(SW1-SWn)의 임계전압과 이것에 대응하는 D/A컨버터(102)의 아날로그 스위치(SW1-SWn)의 임계전압과는 서로 다르다. 따라서 복수의 커패시터(Cq,103)가 액정컨트롤러(104) 및 D/A컨버터(101)간에 이러한 것을 용량결합시키기 위해 삽입되고 바이어스전압이 이러한 커패시터(Cq1)의 일단에 부가된다. 이 바이어스전압은 입력된 화소데이터의 전압값이 D/A컨버터(101)의 아날로그 스위치(SW1-SWn)의 임계전압에 적합하도록 조정되기 때문에 동일구성의 D/A컨버터(101, 102)를 다른 동작전압으로 동작시킬 수 있다. 또, 본 변형예에 있어서는 커패시터(Cq)에 바이어스전압을 인가하고 있지만 화소데이터의 입력전에 미리 커패시터(Cq)를 충전하도록 더미 데이터를 커패시터(Cq,103)에 입력하는 것에 의해 특별 바이어스전압을 부여하지 않고 데이터의 전압값을 조정할 수도 있다.

또, γ보정회로(106)는 직렬로 접속되는 저항(R1+에서 Rn+ 및 R1-부터 Rn-)에 의해 구성된다. 액정재료의 광학응답성은 양전압과 음전압에 대해 약간 다르기 때문에 양극성의 구동전압 및 음극성의 구동전압의 각각에 대해 γ보정을 실행할 필요가 있다. 이 때문에 양극성의 전압에 대해 γ보정을 실행하는 저항(R1+부터 Rn+)의 직렬회로와 음극성의 전압에 대해 γ보정을 실행하는 저항(R1-부터 Rn-)의 직렬회로의 중점을 전위단자(VM)에 접속하고, 이 전위단자의 전위를 조정하는 것에 의해 저항(R1+에서 Rn+)의 양단에 인가되는 전압과 회로(R1-에서 Rn-)의 양단에 인가되는 전압을 결정한다.

다음에 도 9를 참조하여 도 7에 나타낸 데이터선 드라이버(2)를 컬러표시로 적용한 제 4 변형예를 설명한다. 이 변형예에서는 R1(적), G1(녹), B1(청), R2(적), G2(녹), B2(청)…의 아날로그 화소신호가 데이터선(X1, X2, X3, X4, X5, X6, …)에 순차적으로 출력된다. 데이터선(X1, X2, X5, X6)을 구동하는 P채널TFT(77, 79)는 공통으로 D/A컨버터(101)의 출력비디오 라인(V_1^+)에 접속되고 데이터선(X1, X2, X5, X6)을 구동하는 N채널TFT(78, 80)는 공통으로 D/A컨버터(102)의 출력 비디오라인(V_1^-)에 접속된다. 데이터선(X3, X4)을 구동하는 P채널TFT(77, 79)는 공통으로 D/A컨버터(101)의 출력비디오라인(V_2^+)에 접속되고 데이터선(X3, X4)을 구동하는 N채널TFT(78, 80)는 공통으로 D/A컨버터(102)의 출력비디오라인(V_2^-)에 접속된다. 데이터선(X1-X4)을 구동하는 P채널TFT(77, 79) 및 N채널TFT(78, 80) 게이트는 각각 논리회로(73-76)를 통해 공통의 레지스터(71)에 접속된다. 데이터선(X7)이후에 대해서는 상기한 회로구성이 주기적으로 반복되도록 배치되고, 데이터선 4개를 구동하는 TFT그룹마다 공통으로 대응 레지스터의 출력신호가 부여된다.

여기에서 이 데이터선 드라이버(2)의 동작을 설명한다. 예를 들면 데이터선(X1, X2)을 예로 들어 도 6에 나타낸 변형예와 같이 인에이블 신호가 데이터선(X1)을 구동하는 P채널TFT(77)와 데이터선(X2)을 구동하는 N채널TFT(80)에 논리게이트(73, 76)에 의해 공통의 타이밍으로 입력된다. 따라서 비디오라인(V_1^+)의 신호전압이 P채널TFT(77)를 통해 데이터선(X1)에 공급되는 동시에 비디오라인(V_1^-)의 신호전압이 N채널TFT(80)를 통해 데이터선(X2)에 공급된다. 또 인에이블 신호가 데이터선(X3)을 구동하는 P채널TFT(77) 및 데이터선(X4)을 구동하는 N채널TFT(80)에 공통의 타이밍으로 입력된다. 따라서 비디오라인(V_2^+)의 신호전압이 P채널TFT(77)를 통해 데이터선(X3)에 공급되는 동시에 비디오라인(V_2^-)의 신호전압이 N채널TFT(80)을 통해 데이터선(X4)에 공급된다.

도 10은 도 9에 나타낸 액정컨트롤러에서 2개의 D/A컨버터(101, 102)에 공급되는 화소데이터열을 나타낸다.

제 i 번째의 프레임기간은 데이터선(X1)용 화소데이터(R1), 데이터선(X5)용 화소데이터(G2),…라는 데이터열이 비디오 라인(V_1^+)을 구동하기 위해 D/A컨버터(101)에 입력되고 화소데이터(G1, B2, …)라는 데이터열이 비디오라인(V_1^-)을 구동하기 위해 D/A컨버터(102)에 입력되며, 화소데이터(B1, R3, …)라는 데이터열

이 비디오라인(V_2^+)을 구동하기 위해 D/A컨버터(101)에 입력되고 또 화소데이터(R2, G3, …)라고 하는 데이터열이 비디오 라인(V_2^-)을 구동하기 위해 D/A컨버터(102)에 입력된다. D/A컨버터(101)는 화소데이터(R1, G2, …)의 각각을 양극성의 아날로그 화소신호로 변환하여 비디오 라인(V_1^+)에 공급하고, 또한 화소데이터(B1, R3, …)의 각각을 양극성의 아날로그 화소신호로 변환하여 비디오라인(V_2^+)에 공급한다. 다른 한편 D/A컨버터(102)는 화소데이터(G1, B2, …)의 각각을 음극성의 아날로그 화소신호로 변환하여 비디오라인(V_1^-)에 공급하고, 또한 화소데이터(R2, G3, …)의 각각을 음극성의 아날로그 화소신호로 변환하여 비디오라인(V_2^-)에 공급한다.

이어서 제 i+1번째의 프레임기간은 데이터선(X2)용 화소데이터(G1), 데이터선(X6)용 화소데이터(B2), …라는 데이터열이 비디오 라인(V_1^+)을 구동하기 위해 D/A컨버터(101)에 입력되고 화소데이터(R1, G2, …)라는 데이터열이 비디오 라인(V_1^-)을 구동하기 위해 D/A컨버터(102)에 입력되며, 화소데이터(R2, G3, …)라는 데이터열이 비디오라인(V_2^+)을 구동하기 위해 D/A컨버터(101)에 입력되고, 또 화소데이터(B1, R3, …)라는 데이터열이 비디오 라인(V_2^-)을 구동하기 위해 D/A컨버터(102)에 입력된다. D/A컨버터(101)는 화소데이터(G1, B2, …) 의 각각을 양극성의 아날로그 화소신호로 변환하여 비디오 라인(V_1^+)에 공급하고, 또한 화소데이터(R2, G3, …)의 각각을 양극성의 아날로그 화소신호로 변환하여 비디오라인(V_2^+)에 공급한다. 다른 한편, D/A컨버터(102)는 화소데이터(R1, G2, …)의 각각을 음극성의 아날로그 화소신호로 변환하여 비디오 라인(V_1^-)에 공급하고, 또한 화소데이터(B1, R3, …)의 각각을 음극성의 아날로그 화소신호로 변환하여 비디오 라인(V_2^-)에 공급한다.

본 변형예에 의하면 양극성의 아날로그 화소 신호의 전압을 전달하는 비디오 라인(Vin^+)과 음극성의 아날로그 화소신호의 전압을 전달하는 비디오라인(Vin^-)을 분리하고 있기 때문에 이러한 비디오라인(Vin^+, Vin^-)에 기생하는 기생용량에 의해 소비되는 전력을 감소시킬 수 있는 동시에 비디오신호 대역을 넓힐 수 있다. 또, 예를 들면 R(적)과 G(녹)과 같이 다른 색의 화소신호를 공통의 비디오라인에 의해 전달할 수 있기 때문에 비디오라인수를 줄일 수 있고, 회로규모를 작게 할 수 있다.

발명의 효과

상기한 바와 같이 본 발명에 따라 액정표시장치를 구비하여 액정표시 품질을 양호하게 유지시킬 수 있고 또한 소비전력을 절감시킬 수 있는 효과를 기대할 수가 있다.

(57) 청구의 범위

청구항 1

절연기판상에 복수의 신호선과,

상기 복수의 신호선에 전기적으로 접속된 복수의 구동트랜지스터와,

상기 구동트랜지스터에 전기적으로 접속된 복수의 화소전극과,

적어도 한쌍의 신호선에 대응하여 배치되고, 상기 신호선에 병렬로 입력되는, 기준전위에 대하여 양극성 아날로그 화소신호와 음극성 아날로그 화소신호의 각각을 출력하되, 제 1 기간에서 상기 한쌍의 신호선의 한쪽에 상기 양극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 다른쪽에 상기 음극성 아날로그 화소신호를 출력하며, 상기 제 1 기간에 이어서 제 2 기간에서 상기 한쌍의 신호선의 상기 한쪽에 상기 음극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 상기 다른쪽에 상기 양극성 아날로그 화소신호를 출력하는 복수의 스위치 회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 한쌍의 신호선은 각각 인접하여 배치되는 것을 특징으로 하는 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 스위치 회로는, 상기 양극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 한쪽에 출력하는 제 1 스위칭소자와, 상기 양극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 다른쪽에 출력하는 제 2 스위칭 소자와, 상기 제 2 스위칭 소자와 쌍으로 동작하고, 상기 음극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 한쪽에 출력하는 제 3 스위칭 소자와, 상기 제 1 스위칭 소자와 쌍으로 동작하고, 상기 음극성의 아날로그 화소신호를 상기 한쌍의 신호선의 상기 다른쪽에 출력하는 제 4 스위칭 소자를 구비한 것을 특징으로 하는 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 스위칭 소자는 제 1 도전형 트랜지스터로 구성되고 상기 제 3 및 제 4 스위칭 소자는 상기 제 1 도전형과는 다른 제 2 도전형 트랜지스터로 구성되는 것을 특징으로 하는 어레기 기판.

청구항 5

제 1 항에 있어서,

상기 스위치 회로는 상기 한쌍의 신호선의 전위차를 취소하는 취소부를 갖는 것을 특징으로 하는 어레이 기판.

청구항 6

제 5 항에 있어서,

상기 취소부는 상기 양극성 및 음극성 아날로그 화소신호의 중간 레벨로 설정하는 기준전위단자와, 상기 한쌍의 신호선의 상기 한쪽 및 다른쪽 사이에 각각 접속되는 2개의 스위치 소자를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 7

제 5 항에 있어서,

상기 취소부는 상기 한쌍의 신호선간에 접속되는 스위치 소자를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 8

제 1 항에 있어서,

입력되는 디지털 화소신호를 상기 양극성 아날로그 화소신호로서 출력하는 제 1 D/A변환회로와, 상기 음극성 아날로그 화소신호로서 출력하는 제 2 D/A변환회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로는 상기 절연기판상에 일체적으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 스위치 회로의 전환동작에 대응한 신호순서로 입력되는 직렬인 디지털 화소신호를 병렬로 출력하는 신호배열 제어부를 구비한 것을 특징으로 하는 어레이 기판.

청구항 11

제 9 항에 있어서,

입력되는 직렬인 디지털 화소신호를 병렬로 출력하는 신호배열제어부를 구비하고, 상기 신호배열제어부는 상기 직렬인 디지털 화소신호의 순서를 상기 스위치 회로의 전환동작에 대응하여 교체하는 신호순서 교체수단을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 12

제 8 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로는, 상기 절연기판의 외부에 배치되는 것을 특징으로 하는 어레이 기판.

청구항 13

제 12 항에 있어서,

상기 한쌍의 신호선에 대응하여 배치되고, 입력되는 직렬인 아날로그 화소신호를 병렬로 출력하는 복수의 샘플홀드부와, 상기 샘플홀드부를 차례로 구동하는 타이밍 제어부를 구비한 것을 특징으로 하는 어레이 기판.

청구항 14

제 13 항에 있어서,

상기 샘플홀드부는, 상기 양극성 아날로그 화소신호와 접속하는 제 1 샘플홀드회로와, 상기 양극성 아날로그 화소신호와는 병렬인 상기 음극성 아날로그 화소신호와 접속하는 제 2 샘플홀드회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 15

제 13 항에 있어서,

상기 샘플홀드부는 상기 스위치 회로를 겸하고, 상기 한쌍의 신호선의 상기 한쪽에 대응하여 배치되는 제 1 샘플홀드회로와, 상기 한쌍의 신호선의 상기 다른쪽에 대응하여 배치되는 제 2 샘플홀드회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 16

제 15 항에 있어서,

상기 제 1 샘플홀드회로는 상기 양극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 한쪽에 출력하는 제 1 스위칭 소자와, 상기 음극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 한쪽에 출력하는 제 3 스위칭 소자를 구비하고, 상기 제 2 샘플홀드회로는 상기 제 3 스위칭 소자와 쌍으로 동작하고, 상기 양극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 다른쪽에 출력하는 제 2 스위칭 소자와, 상기 제 1 스위칭 소자와 쌍으로 동작하고, 상기 음극성 아날로그 화소신호를 상기 한쌍의 신호선의 상기 다른쪽에 출력하는 제 4 스위칭 소자를 구비한 것을 특징으로 하는 어레이 기판.

청구항 17

제 12 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로는 동일한 회로구조를 갖는 것을 특징으로 하는 어레이 기판.

청구항 18

제 17 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로 중 한쪽은 용량수단을 통하여 디지털 화소신호를 수취하도록 구성되는 것을 특징으로 하는 어레이 기판.

청구항 19

제 8 항에 있어서,

상기 제 1 D/A변환회로의 γ특성을 보정하는 제 1 γ보정수단과, 상기 제 2 D/A변환회로의 γ특성을 보정하는 제 2 γ보정수단을 구비한 것을 특징으로 하는 어레이 기판.

청구항 20

제 1 항에 있어서,

상기 양극성 아날로그 화소신호 및 상기 음극성 아날로그 화소신호를 전달하는 비디오 버스는 각각 소정의 조(組)수만큼 설치되고, 상기 스위치 회로는 각각 서로 다른 조의 비디오 버스에 의해 전달되는 화소신호를 제어하는 소정의 조(組)수만큼 설치되며, 소정의 조(組)수의 스위치 회로를 블럭으로 하여 상기 블럭이 차례로 구동하는 것을 특징으로 하는 어레이 기판.

청구항 21

제 1 항에 있어서,

절연기판상에 형성되는 트랜지스터 소자는 상기 구동트랜지스터와 함께 형성되는 것을 특징으로 하는 어레이 기판.

청구항 22

절연기판상에 복수의 신호선과,

상기 복수의 신호선에 전기적으로 접속된 복수의 구동트랜지스터와,

상기 구동트랜지스터에 전기적으로 접속된 복수의 화소전극과,

상기 신호선에 병렬로 입력되는, 기준전위에 대하여 양극성 아날로그 화소신호와 음극성 아날로그 화소신호 중, 상기 양극성 아날로그 화소신호를 증폭하는 복수의 제 1 증폭회로와,

상기 음극성 아날로그 화소신호를 증폭하는 복수의 제 2 증폭회로와,

적어도 한쌍의 신호선에 대응하여 배치되고, 상기 증폭회로에서 증폭된 상기 양극성 아날로그 화소신호 및 상기 음극성 아날로그 화소신호의 각각을 출력하되, 제 1 기간에서 상기 한쌍의 신호선의 한쪽에 상기 양극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 다른쪽에 상기 음극성의 아날로그 화소신호를 출력하며, 상기 제 1 기간에 이어서 제 2 기간에서 상기 한쌍의 신호선의 상기 한쪽에 상기 음극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 상기 다른쪽에 상기 양극성 아날로그 화소신호를 출력하는 복수의 스위치 회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 23

제 22 항에 있어서,

입력되는 디지털 화소신호를 상기 양극성 아날로그 화소신호로서 출력하는 제 1 D/A변환회로와, 상기 음극성 아날로그 화소신호로서 출력하는 제 2 D/A변환회로를 구비한 것을 특징으로 하는 어레이 기판.

청구항 24

제 23 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로는 상기 절연기판상에 일체적으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 25

제 23 항에 있어서,

상기 제 1 D/A변환회로 및 상기 제 2 D/A변환회로는 상기 절연기판의 외부에 배치되는 것을 특징으로 하는 어레이 기판.

청구항 26

어레이 기판과, 상기 어레이 기판에 대향 배치되는 대향기판과, 상기 어레이 기판 및 상기 대향기판간에 유지되는 액정층을 구비한 액정표시장치에 있어서,

상기 어레이 기판은

절연기판 상에 복수의 신호선과,

상기 복수의 신호선에 전기적으로 접속된 복수의 구동 트랜지스터와,

상기 구동 트랜지스터에 전기적으로 접속된 복수의 화소전극과,

적어도 한쌍의 신호선에 대응하여 배치되고, 상기 신호선에 병렬로 입력되는, 기준전위에 대하여 양극성 아날로그 화소신호와 음극성 아날로그 화소신호의 각각을 출력하되, 제 1 기간에서 상기 한쌍의 신호선의 한쪽에 상기 양극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 다른쪽에 상기 음극성 아날로그 화소신호를 출력하며, 상기 제 1 기간에 이어서 제 2 기간에서 상기 한쌍의 신호선의 상기 한쪽에 상기 음극성 아날로그 화소신호를 출력하고, 상기 한쌍의 신호선의 상기 다른쪽에 상기 양극성 아날로그 화소신호를 출력하는 복수의 스위치 회로를 구비한 것을 특징으로 하는 액정표시장치.

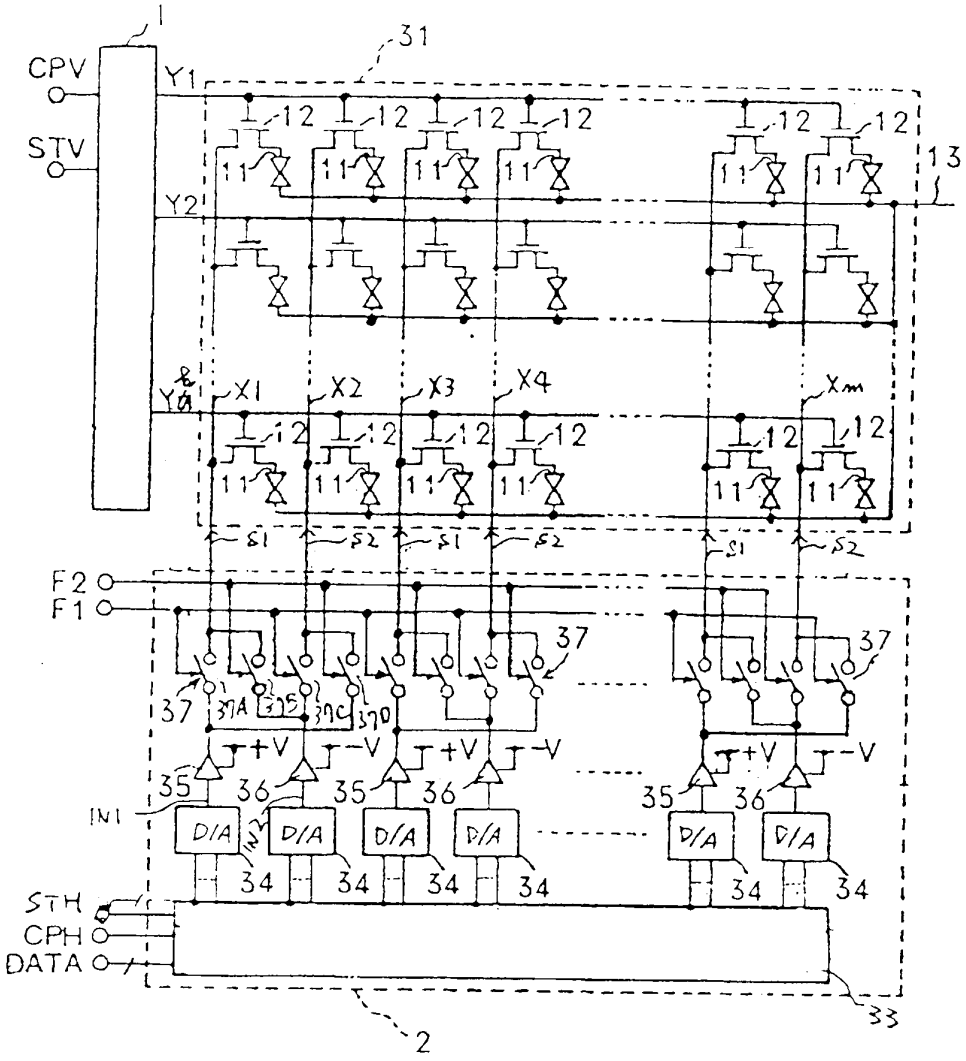
청구항 27

제 26 항에 있어서,

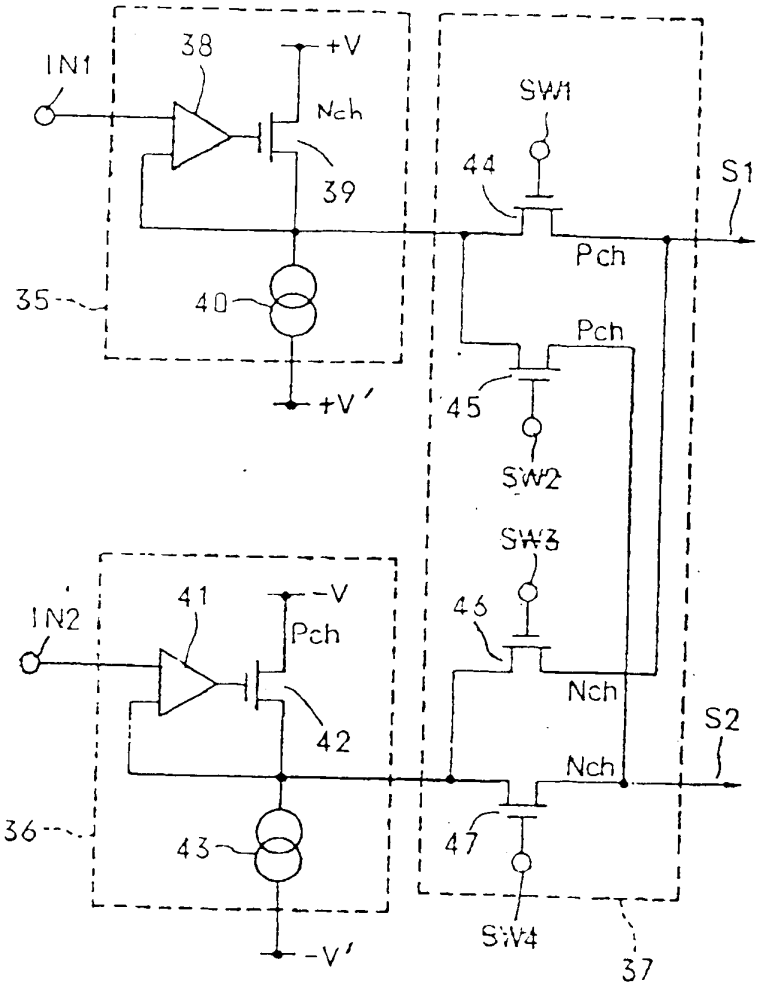
상기 화소전극은 소정의 색 순서로 배열되고, 상기 양극성 아날로그 화소신호 및 상기 음극성 아날로그 화소신호는 색 순서에 대응하여 조합된 색 화소신호인 것을 특징으로 하는 액정표시장치.

도면

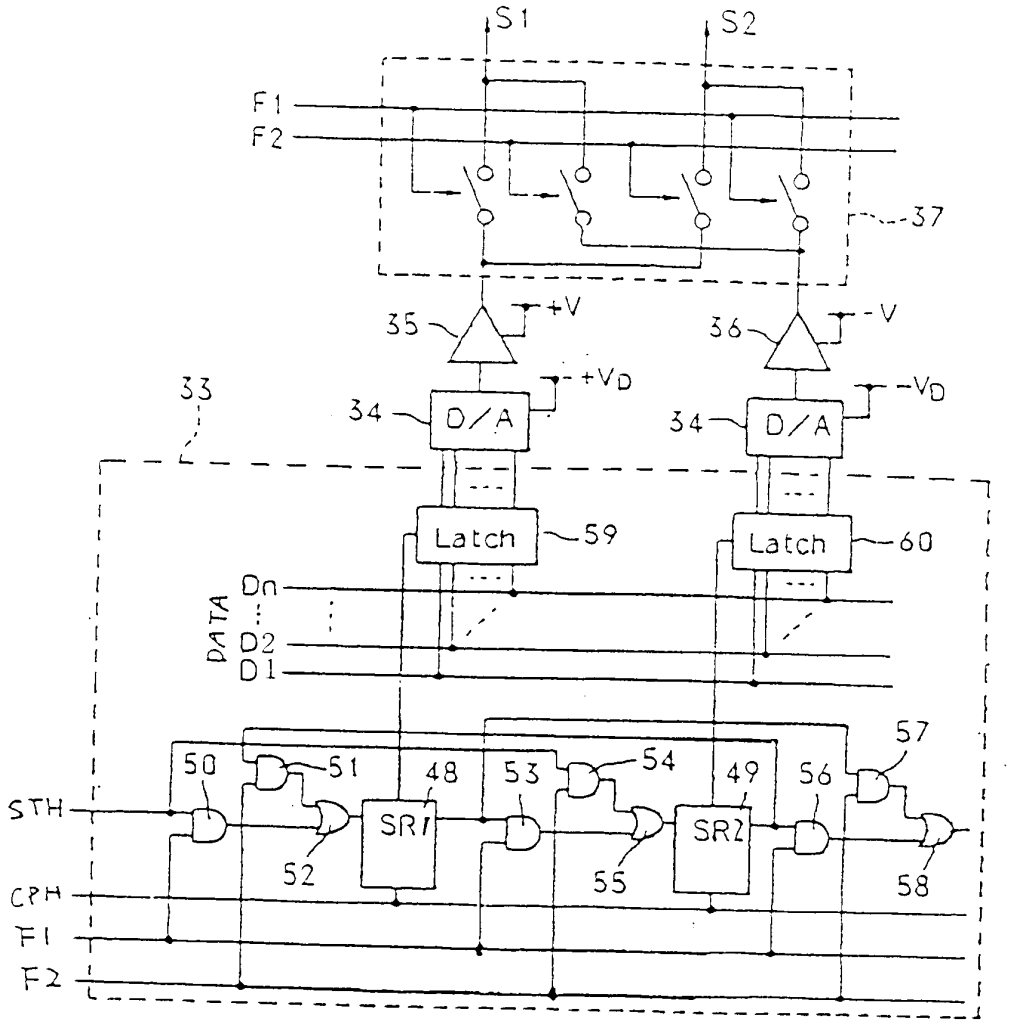
도면1


1
31
CPV
STV
Y1
Y2
Ym
X1
X2
X3
X4
Xm
12
11
13
S1
S2
F2
F1
37
37A
37B
37C
37D
+V
-V
35
36
IN1
D/A
34
STH
CPH
DATA
33
2

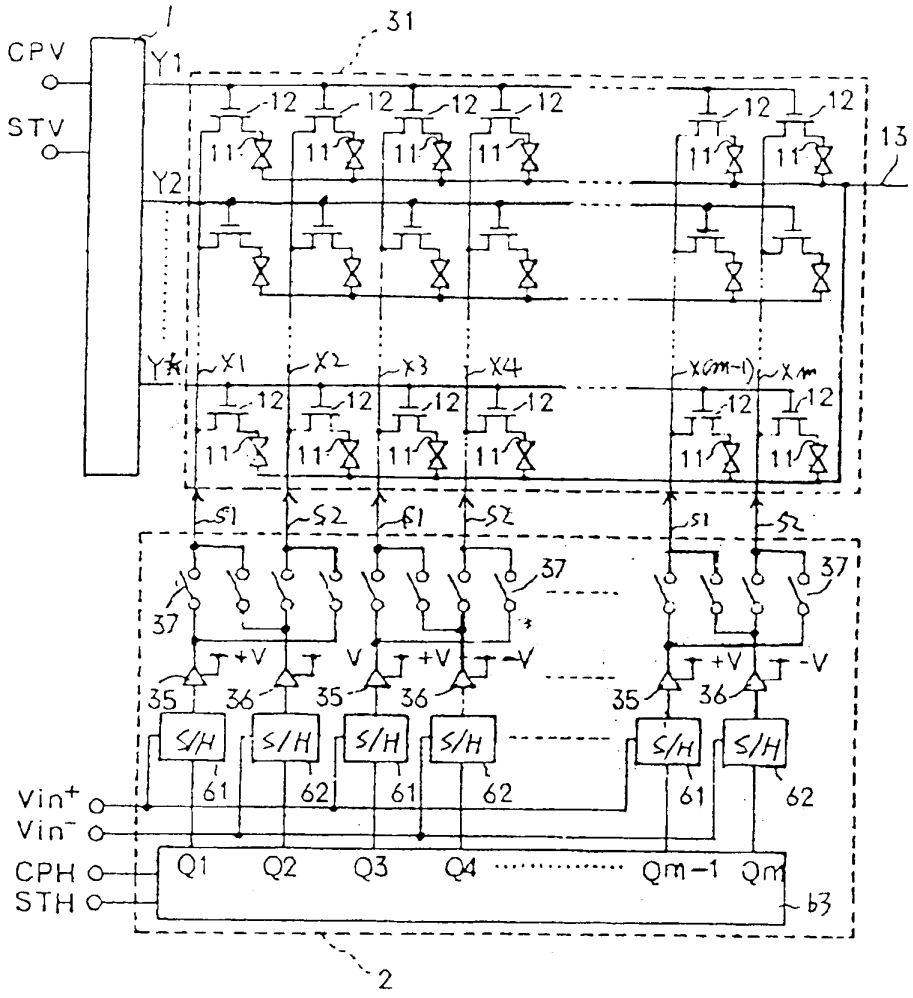
도면2


IN1
38
+V
Nch
39
35
40
+V'
SW1
44
S1
Pch
Pch
45
SW2
SW3
46
Nch
S2
Nch
IN2
41
-V
Pch
42
36
43
47
SW4
-V'
37

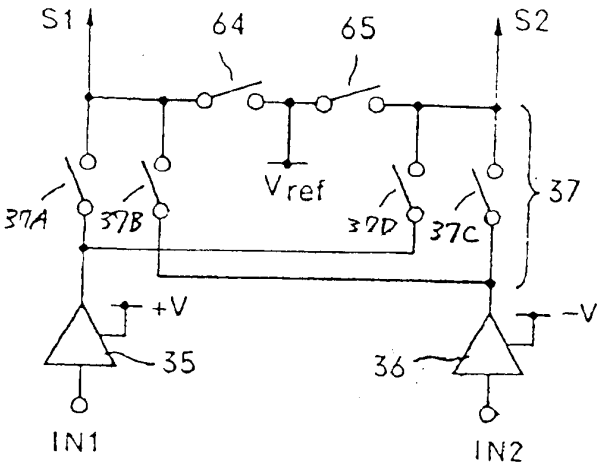
도면3


S1
S2
F1
F2
37
35
+V
36
-V
33
34
D/A
+VD
34
D/A
-VD
Latch
59
Latch
60
DATA
Dn
D2
D1
50
51
48
53
54
49
56
57
STH
SR1
SR2
52
55
58
CPH
F1
F2

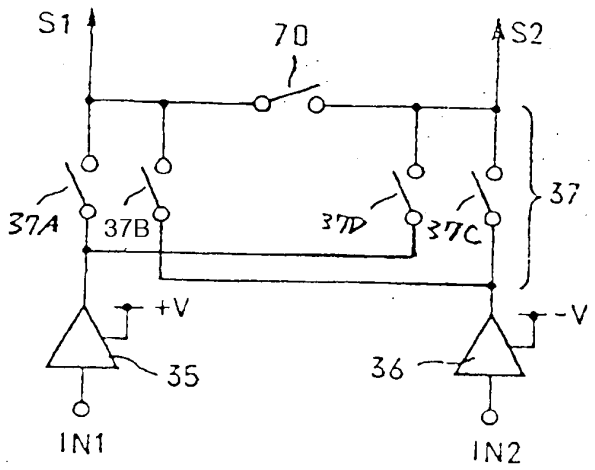
도면4


CPV
STV
Y1
Y2
Yk
X1
X2
X3
X4
X(m-1)
Xm
S1
S2
+V
V
-V
S/H
Vin+
Vin-
CPH
STH
Q1
Q2
Q3
Q4
Qm-1
Qm
b3
1
2
31
13
37
35
36
61
62
11
12

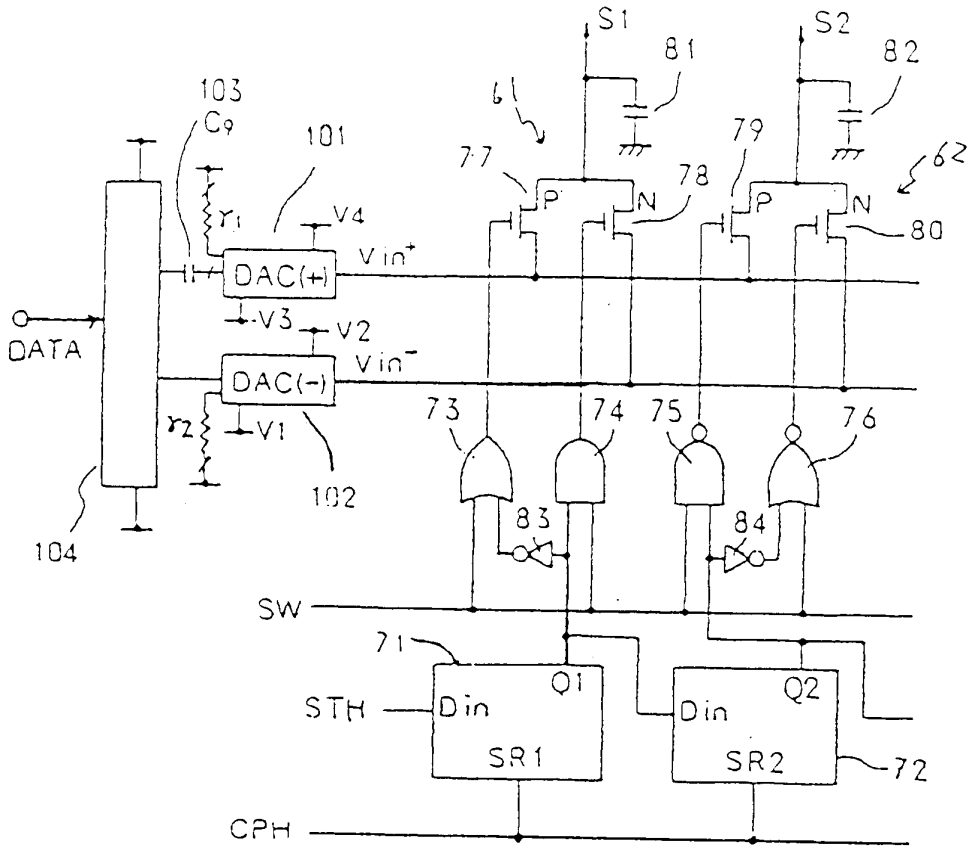
도면5


S1
S2
64
65
Vref
37A
37B
37D
37C
37
+V
-V
35
36
IN1
IN2

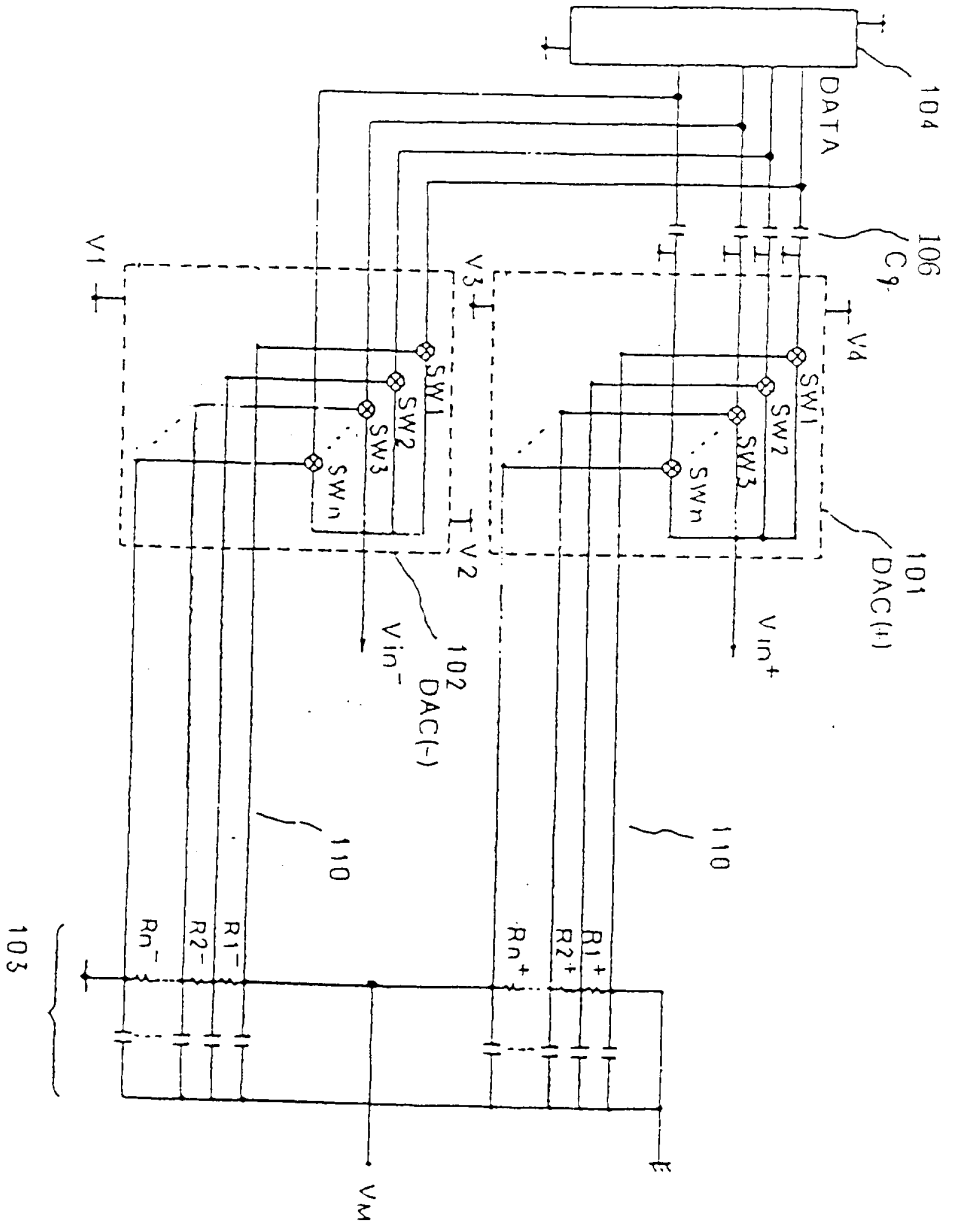
도면6


S1
70
S2
37A
37B
37D
37C
37
+V
-V
35
36
IN1
IN2

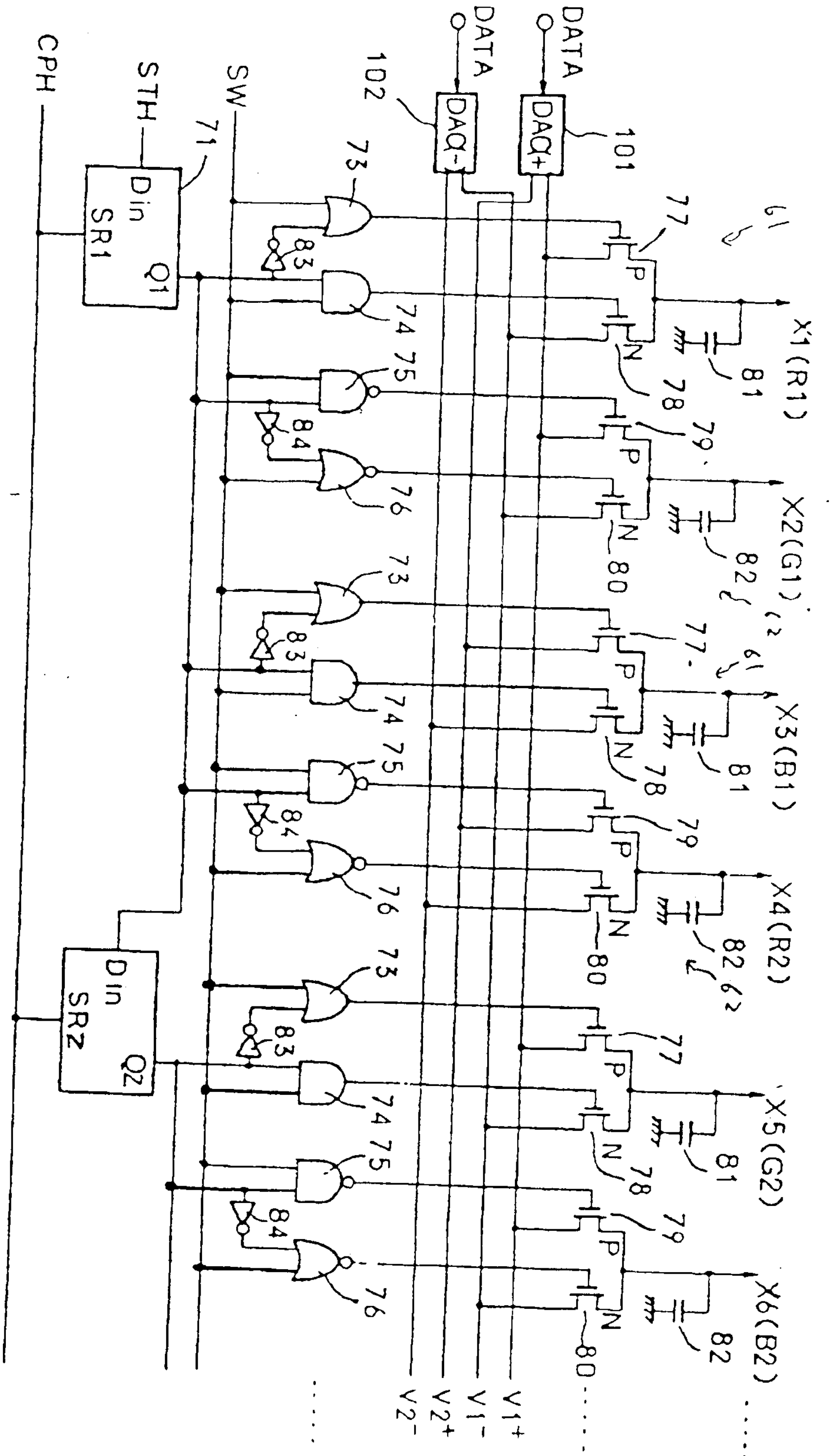
도면7


S1
S2
81
82
103
C9
101
61
77
79
62
78
P
N
80
r1
V4
Vin+
DAC(+)
DATA
-V3
V2
Vin-
DAC(-)
r2
V1
102
104
73
74
75
76
83
84
SW
71
STH
Din
Q1
SR1
Q2
SR2
72
CPH

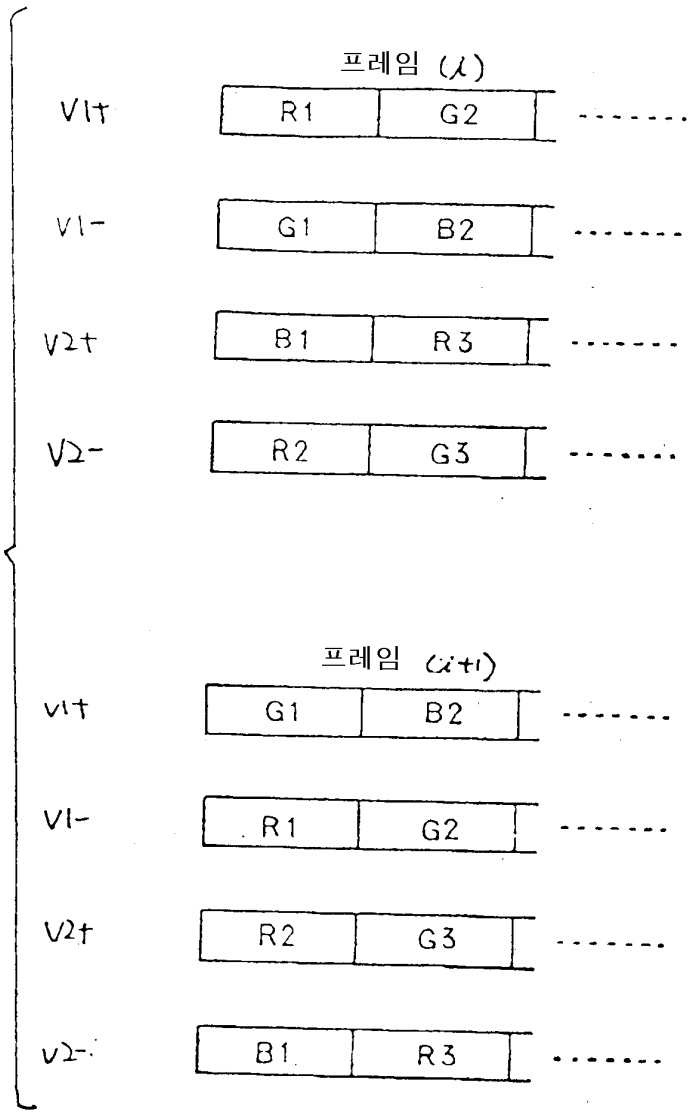
도면8


104
DATA
106
Cg
V1
V3
V4
V2
SW1
SW2
SW3
SWn
101
DAC(+)
Vin+
Vin-
102
DAC(-)
110
110
103
Rn-
R2-
R1-
Rn+
R2+
R1+
VM

도면9


DATA
DATA
DAC+
DAC-
101
102
CPH
STH
SW
Din
SR1
Q1
Din
SR2
Q2
X1(R1)
X2(G1)
X3(B1)
X4(R2)
X5(G2)
X6(B2)
V1+
V1-
V2+
V2-

도면10


프레임 (i)
V1+
R1
G2
V1-
G1
B2
V2+
B1
R3
V2-
R2
G3
프레임 (i+1)
V1+
G1
B2
V1-
R1
G2
V2+
R2
G3
V2-
B1
R3