

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-93076

(P2018-93076A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 0 4 5
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 4 0
HO 1 L 21/336 (2006.01)	HO 1 L 21/205	
HO 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2016-235755 (P2016-235755)
 (22) 出願日 平成28年12月5日 (2016.12.5)

(71) 出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100136722
 弁理士 ▲高▼木 邦夫
 (74) 代理人 100174399
 弁理士 寺澤 正太郎
 (72) 発明者 中田 健
 神奈川県横浜市栄区田谷町1番地 住友電
 気工業株式会社横浜製作所内

最終頁に続く

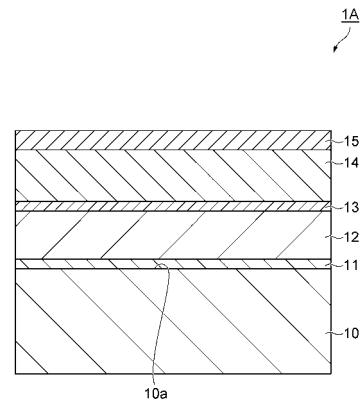
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 高い二次元電子濃度を維持しつつゲートリークを低減できる半導体装置の製造方法を提供する。

【解決手段】 窒化物半導体装置の製造方法であって、基板10上にバッファ層11を成長させる第1工程と、バッファ層11上にGa Nチャンネル層12を成長させる第2工程と、Ga Nチャンネル層12上にIn Al Ga Nバリア層14を成長させる第3工程と、を備える。第3工程において、第1工程及び第2工程よりも成長温度を低くし、In Al Ga Nバリア層14のIn含有比率を多くとも14%とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

窒化物半導体装置の製造方法であって、
 基板上にバッファ層を成長させる第 1 工程と、
 前記バッファ層上に GaN チャネル層を成長させる第 2 工程と、
 前記 GaN チャネル層上に InAlGaN バリア層を成長させる第 3 工程と、を備え、
 前記第 3 工程において、前記第 1 工程及び前記第 2 工程よりも成長温度を低くし、前記
 InAlGaN バリア層の In 含有比率を多くとも 14% とする、半導体装置の製造方法

【請求項 2】

前記第 3 工程において、前記 InAlGaN バリア層の In 含有比率を少なくとも 10% とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 工程及び前記第 2 工程における成長温度を共に 1000 以上とし、前記第 3 工程における成長温度を 800 以下とする、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 3 工程における成長圧力を 40 Torr 以上 70 Torr 以下とする、請求項 1 ~ 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 5】

前記 InAlGaN バリア層上に GaN キャップ層を成長させる第 4 工程を更に備え、
 前記第 4 工程における成長温度を 800 以上 900 以下とする、請求項 1 ~ 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】

AlN スペース層を成長させる工程を、前記第 2 工程と前記第 3 工程との間に更に備え、
 該工程における成長温度を前記第 2 工程の成長温度以下とする、請求項 1 ~ 5 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関するものである。

【背景技術】

【0002】

特許文献 1 には、電界効果トランジスタに関する技術が記載されている。この電界効果トランジスタは、基板と、基板上に設けられた GaN 層と、GaN 層上に設けられ、AlGaN、InAlN 又は InAlGaN からなるバリア層と、バリア層上に設けられた SiC 層と、バリア層上に設けられたソース電極、ドレイン電極及びゲート電極と、を備える。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2008 - 118044 号公報

【特許文献 2】特開 2008 - 140813 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

現在、GaN などの窒化物半導体材料を用いた電子デバイスが実用化されている。特に、高電子移動度トランジスタ (HEMT) においては、窒化物半導体材料を用いることによって高速・高耐圧を実現することができる。HEMT のバリア層としては、AlGaN

10

20

30

40

50

層のほか、InAlN層が採用されることがある。高周波特性をより高める為には、相互コンダクタンス(gm)を改善することが重要であるが、バリア層としてAlGaN層を用いる場合、相互コンダクタンスを大きくする為にバリア層を薄層化すると、二次元電子濃度が低下してしまい、結果的に相互コンダクタンスの改善が難しくなる。これに対し、バリア層としてInAlN層を用いる場合には、バリア層を薄層化しても二次元電子濃度の低下が少ないという利点がある。

【0005】

しかしながら、バリア層としてInAlN層を用いる場合には、バリア層としてAlGaN層を用いる場合と比較してゲートリーク(Ig)が大きいという課題がある。これは、バリア層にInAlN層を適用することで二次元電子濃度が高まり内部電界が強くなることに加え、InAlN層の結晶品質がAlGaN層と比べて劣るので、表面の凹凸や結晶内部の欠陥順位を介したリーク電流が増加することが原因であると考えられる。ゲートリークを低減する方法として、InAlNバリア層の上にGaNキャップ層を成長させる方法、及び、InAlNバリア層の上に成長炉内で連続して(in situ)SiN等の絶縁膜を形成し、MIS-HEMT構造を作製する方法などがある。これらの方法では、ゲートリークの抑制には効果的であるが、InAlNバリア層の利点である高い二次元電子濃度が低下してしまうという課題がある。

10

【0006】

本発明は、高い二次元電子濃度を維持しつつゲートリークを低減できる半導体装置、高電子移動度トランジスタ、及び半導体装置の製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0007】

一実施形態に係る半導体装置の製造方法は、窒化物半導体装置の製造方法であって、基板上にバッファ層を成長させる第1工程と、バッファ層上にGaNチャネル層を成長させる第2工程と、GaNチャネル層上にInAlGaNバリア層を成長させる第3工程と、を備え、第3工程において、第1工程及び第2工程よりも成長温度を低くし、InAlGaNバリア層のIn含有比率を多くとも14%とする。

【発明の効果】

【0008】

本発明による半導体装置、高電子移動度トランジスタ、及び半導体装置の製造方法によれば、高い二次元電子濃度を維持しつつゲートリークを低減できる。

30

【図面の簡単な説明】

【0009】

【図1】図1は、一実施形態に係る半導体装置としてのエピタキシャルウエハの断面図である。

【図2】図2は、一実施形態に係る高電子移動度トランジスタの断面図である。

【図3】図3は、エピタキシャルウエハ及び高電子移動度トランジスタの製造方法を示すフローチャートである。

【図4】図4は、窒化物系半導体の組成と、格子定数及びバンドギャップとの関係を示す。

40

【図5】図5は、GaNチャネル層、InAlNバリア層、及びGaNキャップ層(またはSiN絶縁膜)を成長する際の温度変化の例を示す。

【図6】図6は、InAlGaN/GaN構造を作製してその熱安定性を評価した結果を示す。

【図7】図7は、InAlGaNの組成の安定性と成長圧力との関係を示す。

【図8】図8は、バリア層の組成の違いによるゲートリーク電流及び二次元電子濃度の相違を示す。

【発明を実施するための形態】

【0010】

本発明の実施形態に係る半導体装置、高電子移動度トランジスタ、及び半導体装置の製

50

造方法の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。以下の説明では、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0011】

図1は、本発明の一実施形態に係る半導体装置としてのエピタキシャルウエハ1Aの断面図である。図2は、本発明の一実施形態に係る高電子移動度トランジスタ(以下、「HEMT」とする)2Aの断面図である。図1に示すエピタキシャルウエハ1Aは、窒化物半導体装置であって、SiC基板10、AlN層11、GaN層12、AlN層13、InAlGaN層14、及びGaN層15を備えている。エピタキシャルウエハ1Aは、SiC基板10上に、AlN層11、GaN層12、AlN層13、InAlGaN層14、及びGaN層15をこの順に有している。また、図1に示すHEMT2Aは、図1のエピタキシャルウエハ1Aを用いて製造されるHEMTであって、エピタキシャルウエハ1Aの構成に加え、ソース電極16、ドレイン電極17、及びゲート電極18を備えている。

10

【0012】

SiC基板10は、半絶縁性である。AlN層11は、SiC基板10の表面10aからエピタキシャル成長した層であって、GaN層12に対するバッファ層及びシード層として機能する。AlN層11の厚さは、例えば10nm以上30nm以下であり、一実施例では20nmである。GaN層12は、AlN層11上にエピタキシャル成長した層であって、チャンネル層として機能する。GaN層12は、濡れ性の問題があり、SiC基板10上に直接成長できない。このため、GaN層12は、AlN層11を介して成長している。GaN層12の厚さは、例えば400nm以上1000nm以下であり、一実施例では500nmである。AlN層13は、GaN層12とInAlGaN層14との間に設けられ、GaN層12上にエピタキシャル成長した層である。AlN層13は、スペーサ層として機能し、GaN層12とInAlGaN層14との界面における合金散乱を抑制する。AlN層13の厚さは、例えば0.5nm以上1.0nm以下であり、一実施例では1nmである。

20

【0013】

InAlGaN層14は、AlN層13上にエピタキシャル成長した層であって、バリア層として機能する。GaN層12とInAlGaN層14の間にはその格子定数の相違から歪が生じ、この歪が両者の界面(本実施形態では、AlN層13を挟んだ界面)にピエゾ電荷を誘起する。これにより、GaN層12とInAlGaN層14との界面であってGaN層12側に二次元電子ガスが生じ、チャンネル領域が形成される。InAlGaN層14のIn含有比率は、少なくとも10%であり、多くとも14%である。また、InAlGaN層14は、GaN層12と格子整合する。すなわち、InAlGaN層14を構成する各元素の組成比は、InAlGaNの格子定数がGaNの格子定数と略一致するように定められている。ここで、格子定数が略一致するとは、InAlGaNとGaNとの格子定数差が、例えばGaNの格子定数の±1%以内であることをいう。InAlGaN層14の厚さは、例えば5nm以上15nm以下であり、一実施例では9nmである。

30

40

【0014】

GaN層15は、InAlGaN層14上にエピタキシャル成長した層である。GaN層15は、キャップ層として機能し、InAlGaN層14からのインジウム原子(In)の抜けやアルミニウム原子(Al)の酸化を抑制する。GaN層15の厚さは、例えば1nm以上5nm以下であり、一実施例では3nmである。

【0015】

図2に示すように、ソース電極16及びドレイン電極17のそれぞれは、InAlGaN層14上に設けられ、InAlGaN層14に接している。ソース電極16及びドレイン電極17のそれぞれは、オーミック電極であり、例えばチタン(Ti)層とアルミニウ

50

ム (A l) 層との積層構造を有する。この場合、チタン層が、InAlGaN層14に接触する。ゲート電極18は、InAlGaN層14上においてソース電極16とドレイン電極17との間に設けられている。本実施形態では、ゲート電極18はGaN層15上に設けられている。ゲート電極18は、例えばニッケル (Ni) 層と金 (Au) 層との積層構造を有する。

【0016】

なお、上記の説明ではInAlGaN層14上にGaN層15を設けているが、GaN層15上に、或いはGaN層15に代えて、絶縁膜を更に設けてもよい。この絶縁膜は、InAlGaN層14を含む各半導体層を保護する。この絶縁膜としては、例えばSiN膜を用いる。これにより、MIS (Metal Insulator Semiconductor) - HEMT構造を有するHEMT2Aが提供される。

10

【0017】

ここで、図3を参照しつつ、本実施形態に係るエピタキシャルウエハ1A及びHEMT2Aの製造方法について説明する。図3は、本実施形態に係るエピタキシャルウエハ1A及びHEMT2Aの製造方法を示すフローチャートである。

【0018】

まず、SiC基板10上に、例えば有機金属気相成長法 (MOCVD ; Metal Organic Chemical Vapor Deposition) を用いてAlN層11を成長する (工程S1、本実施形態における第1工程) 。AlN層11の原料は、例えばトリメチルアルミニウム (TMA) 及びアンモニア (NH₃) である。AlN層11の成長温度は例えば1000 以上、一実施例では1100 といった高温に設定する。これにより、結晶品質のよいAlN層11を形成できる。なお、成長温度は、SiC基板10が収容されているチャンバ内の温度である。

20

【0019】

次に、例えばMOCVD法によって、AlN層11上にGaN層12を成長させる (工程S2、本実施形態における第2工程) 。GaN層12の原料は、例えばトリメチルガリウム (TMG) 及びNH₃である。GaN層12の成長温度は、例えば1000 以上、一実施例では1050 といった高温に設定する。これにより、結晶品質のよいGaN層12を形成できる。

【0020】

続いて、例えばMOCVD法によって、GaN層12上にAlN層13を成長する (工程S3) 。AlN層13の原料は、例えばTMA及びNH₃である。このとき、AlN層13の成長温度を工程S2のGaN層12の成長温度以下とする。AlN層13の成長温度は、例えば600 以上800 以下であり、一実施例では700 である。AlN層13の成長圧力は例えば40 Torr以上70 Torr以下であり、一実施例では50 Torrである。なお、1 Torrは133.322 Paとして換算される。

30

【0021】

続いて、例えばMOCVD法によって、AlN層13上にInAlGaN層14を成長する (工程S4、本実施形態における第3工程) 。InAlGaN層14の原料は、例えばトリメチルインジウム (TMI) 、TMA、TMG、及びNH₃である。このとき、InAlGaN層14のIn含有比率は、少なくとも10%、また多くとも14%である。

40

【0022】

図4は、窒化物系半導体の組成と、格子定数 (a 軸長) 及びバンドギャップとの関係を示す。横軸は格子定数 (単位 :) を表し、縦軸はバンドギャップ (単位 : eV) を表す。同図に示す破線L1は、GaN結晶と格子定数が等しくなる窒化物系半導体の組成を結ぶ直線である。また、破線L2は、Al組成が70%である窒化物系半導体の組成を結ぶ直線であり、破線L3は、Al組成が50%である窒化物系半導体の組成を結ぶ直線である。本実施形態では、InAlGaN層14がGaN層12と格子整合する。言い換えれば、InAlGaN層14を構成する各元素の組成比は、InAlGaNの格子定数がGaNの格子定数と略一致する、図4の破線L1上に定められる。一実施例では、InAl

50

GaN層14は、 $In_{0.14}Ga_{0.16}Al_{0.70}N$ (図4の点P2)または $In_{0.1}Ga_{0.4}Al_{0.6}N$ (図4の点P3)から成る。

【0023】

この工程S4では、四元混晶であるInAlGaNを結晶性良く成長するために、成長温度及び成長圧力を工程S1及び工程S2よりも低くする。InAlGaN層14の成長温度は、例えば600以上800以下であり、一実施例では700である。InAlGaN層14の成長圧力は例えば40 Torr以上70 Torr以下であり、より好適には45 Torr以上60 Torr以下であり、一実施例では50 Torrである。

【0024】

続いて、例えばMOCVD法によって、InAlGaN層14上にGaN層15を成長する(工程S5、本実施形態における第4工程)。GaN層15の原料は、例えばTMG及び NH_3 である。GaN層15の成長温度は、例えば800以上900以下であり、一実施例では850である。

【0025】

HEMT2Aを製造する場合には、続いて、エッチングによりGaN層15の一部を除去したのち、InAlGaN層14上にソース電極16及びドレイン電極17を形成する。その後、GaN層15上にゲート電極18を形成する(工程S6)。本工程では、ソース電極16、ドレイン電極17及びゲート電極18を、例えば通常のリソグラフィ技術及びリフトオフ技術によって形成することができる。

【0026】

なお、GaN層15上に、或いはGaN層15に代えて、絶縁膜(例えばSiN)を形成する場合には、この絶縁膜の成長温度は、例えば800以上とする。また、この絶縁膜を、InAlGaN層14の上に成長炉内で連続して形成してもよい。これにより、ウエハを成長炉外へ取り出してから絶縁膜を形成する場合と比較して、ウエハ表面の酸化や不純物の付着を防ぎ、HEMT2Aの安定動作及び信頼性の向上を図ることができる。

【0027】

以上に説明した、本実施形態によるエピタキシャルウエハ1A及びHEMT2A、並びにそれらの製造方法によって得られる作用効果について、従来の課題とともに説明する。

【0028】

現在、GaNなどの窒化物半導体材料を用いた電子デバイスが実用化されている。特に、高電子移動度トランジスタ(HEMT)においては、窒化物半導体材料を用いることによって高速・高耐圧を実現することができる。更に近年では、高電子濃度を活用したより高周波の半導体デバイスの開発が進んでいる。そして、これらの半導体デバイスとして、チャンネル層としてGaN層を備え、バリア層としてAlGaN層を備えるものが知られている。GaNチャンネル層とAlGaNバリア層との界面に高濃度の二次元電子(2DEG)が生成されるので、優れた増幅(変調)特性を得ることができる。

【0029】

また、バリア層としてAlGaN層に代えてInAlN層を備えるHEMT構造も知られている。高周波特性をより高める為には、相互コンダクタンス(gm)を改善することが重要であるが、バリア層としてAlGaN層を用いる場合、相互コンダクタンスを大きくする為にバリア層を薄層化すると、二次元電子濃度が低下してしまい、結果的に相互コンダクタンスの改善が難しくなる。これに対し、バリア層としてInAlN層を用いる場合には、バリア層を薄層化しても二次元電子濃度の低下が少ない。

【0030】

しかしながら、バリア層としてInAlN層を用いる場合では、バリア層としてAlGaN層を用いる場合よりもゲートリーク(Ig)が大きいという課題がある。これは、バリア層にInAlN層を適用することで二次元電子濃度が高まり内部電界が強くなることに加え、InAlN層の結晶品質がAlGaN層と比べて劣るので、表面の凹凸や結晶内部の欠陥順位を介したリーク電流が増加することが原因であると考えられる。ゲートリーク電流を低減する方法として、InAlNバリア層の上にGaNキャップ層を成長させる

10

20

30

40

50

方法、及び、InAlNバリア層の上に成長炉内で連続してSiN等の絶縁膜を形成し、MIS-HEMT構造を作製する方法などがある。これらの方法では、ゲートリーク電流の抑制には効果的であるが、InAlNバリア層の利点である高い二次元電子濃度が低下してしまう。

【0031】

このような二次元電子濃度の低下は、GaNキャップ層や絶縁膜を形成する際の温度上昇に起因していると予想される。通常、InAlNは、In組成を高める為に、GaNやAlGaNと異なり700以下の低い温度で成長する。これに対し、GaNキャップ層の成長や高品質な絶縁膜の成膜には800以上の温度が必要となる。図5は、その際の温度変化の例を示し、横軸は成長時間、縦軸は温度を示す。図5に示す例では、GaNチャンネル層を1000で成長し、その後降温してInAlNバリア層を700で成長し、その後昇温してGaNキャップ層（または絶縁膜）を800～900で成長する。すなわち、700以下の低い温度で成長したInAlNの結晶を800以上の温度に晒すこととなる。これは、InAlNの結晶品質を劣化させ、二次元電子濃度を低下させてしまう。なお、GaNキャップ層や絶縁膜を形成する際の温度を下げると、GaNキャップ層や絶縁膜の品質低下に繋がり、窒化物系半導体における電流コラプス現象が抑制され難くなる。

10

【0032】

そこで、InAlNバリア層に着目する。InAlNは、正確には $In_{0.18}Al_{0.82}N$ であり、AlGaNのAl組成(20～30%)に対して高いAl組成(82%)を有する。これにより、InAlNはAlGaNよりも強い分極電荷を示す。また、InAlNはAlGaNよりも広いバンドギャップ(E_g)を有する。そして、このような特性は、InAlNにGaを加えたInAlGaNにおいても、In及びAlの組成比を調整することによって同様に得ることができる。具体的には、InAlGaNを用いることで、InAlNと同様に4.0eV以上のバンドギャップを有するバリア層を作成することが可能であり、4.0eV以上のバンドギャップを得ることが困難なAlGaNバリア層では実現できない優れた高周波特性を期待することができる。

20

【0033】

InAlNやInAlGaNはInを含む混晶であるが、Inが熱に弱いことが結晶品質劣化の主因であり、In組成が小さいInAlGaNの成長条件(前述した工程S4を参照)を確立した上で、InAlGaN/GaN構造を作製した。図6は、その結果を示し、横軸は熱処理温度(単位:)を示し、縦軸は熱処理前と熱処理後の二次元電子濃度の変化(単位: %)を示す。図6に示すように、In組成を18%(すなわち $In_{0.18}Al_{0.82}N$ 、図4の点P1)、14%(図4の点P2)、10%(図4の点P3)としたInAlGaN/GaN構造を作製し、その後の熱処理による二次元電子濃度変化を評価したところ、In組成が18%の場合には熱処理温度が700から高くなるほど二次元電子濃度が低下するが、In組成が14%、10%の場合には、熱処理温度が800以上であっても二次元電子濃度がほとんど低下しない。

30

【0034】

このような結果が得られた理由について検討する。InAlGaN結晶の表面はIII族原子面となっており、1つのIII族原子の周囲には6個のIII族原子が配位している。つまり、In組成が16.7%以上であれば確率的にIn-In結合が表面に存在する可能性が高くなるが、In組成がそれ未満であればその可能性は低くなる。In組成が14%である場合とIn組成が18%である場合とで熱処理後の二次元電子濃度に大きな差が生じたのはこの為であると考えられる。なお、In組成を10%以上とすることにより、Inを含まないAlGaNと比べた利点(相互コンダクタンスを大きくする為にバリア層を薄層化しても二次元電子濃度の低下が少ない)を明確に得ることができる。

40

【0035】

ところで、従来、InAlGaNがバリア層として用いられなかった理由は次のように考えられる。すなわち、InAlNやAlGaNは三元混晶であるが、InAlGaNは

50

四元混晶であり、構成元素が1つ多い。MOCVD法などの気相成長法を用いて結晶成長を行う際、構成元素が多いほど組成の制御が困難であることから、構成元素は少ない方が好ましい。特に、各構成元素の組成が全て10%以上であるようなInAlGa_{0.4}N(例えばIn_{0.14}Ga_{0.16}Al_{0.70}N、In_{0.1}Ga_{0.4}Al_{0.6}N)では、従来のMOCVD法では組成を再現性よく制御することが困難であった。

【0036】

一般的に窒化物結晶成長には150~300 Torrといった高圧が用いられるが、InAlGa_{0.4}N成長を、70 Torr以下といった極低圧で行うことにより、過剰な気相反応が抑制され組成を安定的に再現よく制御できることを見出した。一般には成長圧力を下げると気相中の原子同士の反応が抑制され、装置内を高速で原子が流れることにより組成は安定する。一方でキャリア中の水素原子によるダメージや結晶表面からの構成元素の離脱が進むため、安定に結晶を成長することは困難である。しかしながら、InAlGa_{0.4}Nの成長は低温かつキャリアガス中の水素分圧が極めて低い為に後者の効果が抑制され、組成の安定性改善だけが発揮される。

10

【0037】

図7は、InAlGa_{0.4}Nの組成の安定性と成長圧力との関係を示す。図7において、横軸は成長圧力(単位:Torr)を示し、縦軸はInAlGa_{0.4}NのPL波長(単位:nm)を示す。また、プロットA1~A3は、4インチウエハの中心からそれぞれ同方向に40mm、0mm、及び-40mm離れた位置における測定結果を示す。ここで0mmは4インチウエハのほぼ中心に対応する。プロットB1~B3は、別の4インチウエハの中心からそれぞれ同方向に40mm、0mm、及び-40mm離れた位置における測定結果を示す。図7に示すように、成長圧力が大きくなるほど、ウエハの位置によるPL波長の変動が大きくなっており、InAlGa_{0.4}Nの組成安定性が低下していることがわかる。また、成長圧力が70 Torr以下であれば、ウエハの位置によるPL波長の変動が小さく、InAlGa_{0.4}N組成の良好な安定性が得られることがわかる。

20

【0038】

図8は、バリア層の組成の違いによるゲートリーク電流及び二次元電子濃度の相違を示し、横軸は二次元電子濃度(単位:cm⁻²)、縦軸はHEMTを作製したときのゲートリーク電流(単位:A/mm)をそれぞれ示す。このグラフは、後述する実施例及び比較例により得られたものである。図中のプロットP11は、バリア層がAlGa_{0.4}Nである場合を示す。プロットP12は、バリア層がInAlNである場合を示す。プロットP13は、InAlNバリア層上にGa_{0.4}Nキャップ層を成長した場合を示す。プロットP14は、InAlNバリア層上に炉内で連続してSi₃N₄絶縁膜を成膜した場合を示す。プロットP15は、InAlGa_{0.4}Nバリア層上にGa_{0.4}Nキャップ層を成長した場合を示す。プロットP16は、InAlGa_{0.4}Nバリア層上に炉内で連続してSi₃N₄絶縁膜を成膜した場合を示す。

30

【0039】

図8に示すように、バリア層をAlGa_{0.4}NからInAlNへ変更することによって二次元電子濃度は増加しているが、ゲートリーク電流も大幅に増加している。そして、ゲートリーク電流を抑制するために、InAlNバリア層上にGa_{0.4}Nキャップ層や連続してSi₃N₄膜を形成すると、ゲートリーク電流はAlGa_{0.4}Nと同程度まで低減するが、二次元電子濃度も低下している。これに対し、バリア層をInAlGa_{0.4}Nとし、その上にGa_{0.4}Nキャップ層や炉内で連続してSi₃N₄膜を形成した場合、InAlNと同等の高い二次元電子濃度、及びAlGa_{0.4}Nと同等の低いゲートリーク電流が実現できている。従って、バリア層にInAlGa_{0.4}Nを採用することにより、HEMTの優れた高周波特性と高い信頼性とを両立することができる。

40

【0040】

なお、図8においては、InAlGa_{0.4}Nバリア層の厚さを9nmとし、Ga_{0.4}Nキャップ層及びSi₃N₄絶縁膜の厚さを3nmとしたが、上述した効果は厚さの影響が小さいので、これらと異なる厚さのInAlGa_{0.4}Nバリア層、Ga_{0.4}Nキャップ層及びSi₃N₄絶縁膜にお

50

いても同様の効果を期待できる。

【0041】

また、キャップ層の組成はGa₂Nに限られない。例えば、Ga₂Nと同様に成長温度が高く設定されるAlGa₂Nであってもよい。また、炉内で連続して成膜する絶縁膜は、Si₃N₄に限らず、大きなバンドギャップを有することでゲートリークを低減でき、且つ窒化物系半導体の成長後に炉内で連続して成膜できる材料であれば、他の材料（例えばSi₃ON₂、SiO₂、Al₂O₃、またはAlON）から成ってもよい。

【0042】

また、本実施形態のように、InAlGa₂Nバリア層は、Ga₂Nチャンネル層と格子整合してもよい。より具体的には、InAlGa₂Nバリア層とGa₂Nチャンネル層との格子定数（a軸長）の差がGa₂Nの格子定数の1%以下であるとよい。これにより、InAlGa₂N内部の応力が弱くなり、HEMTの信頼性を高めることができる。

10

【0043】

（実施例）

半絶縁性のSiC基板の上に、TMA及びNH₃を原料とするMOCVD法を用いて、成長温度1100℃でAlNバッファ層を成長した。AlNバッファ層の厚さは20nmであった。次に、TMG及びNH₃を原料とするMOCVD法を用いて、成長温度1050℃でAlNバッファ層上にGa₂Nチャンネル層を成長した。Ga₂Nチャンネル層の厚さは500nmであった。続いて、TMA及びNH₃を原料として、成長温度700℃、圧力50 TorrにてAlNスペーサ層を1nm形成し、TMA、TMI、TMG、及びNH₃を原料として、成長温度700℃、圧力50 TorrにてInAlGa₂Nバリア層を成長した。InAlGa₂Nバリア層の厚さは9nm、In組成は14%であった。続いて、成長温度を850℃へと変化させたのち、TMG及びNH₃を原料として、厚さ3nmのGa₂Nキャップ層をInAlNバリア層上に成長した。

20

【0044】

その後、通常のリソグラフィ技術及びリフトオフ技術を用いて、InAlGa₂Nバリア層上にTi/Alからなる一対のオーミック電極（ドレイン電極及びソース電極）を形成し、またこれらの電極間にNi/Auからなるゲート電極を形成した。更に、Si₃N₄からなる表面保護膜を形成し、HEMTを完成した。

【0045】

このHEMTのゲート長は0.3μm、ソース-ドレイン電極間隔は3.0μmであった。ゲート電極とドレイン電極との間に50Vの電圧を印加したところ、ゲートリーク電流は1μA/mm（1×10⁻⁶A/mm）であった。また、Hall測定パターンを用いて二次元電子濃度を測定したところ、2.0×10¹³/cm²であった。

30

【0046】

また、Ga₂Nキャップ層に代えて、Ga₂Nキャップ層の成長温度と同じ温度にてSiH₄及びNH₃を原料とするSi₃N₄膜を成膜し、Si₃N₄層上にゲート電極を形成したところ、ゲートリーク電流は0.8μA/mm（8×10⁻⁷A/mm）であり、二次元電子濃度は2.1×10¹³/cm²であった。

【0047】

（第1比較例）

上記実施例と同様の工程により、半絶縁性のSiC基板の上にAlNバッファ層、Ga₂Nチャンネル層、及びAlNスペーサ層を成長した。次に、TMA、TMI、及びNH₃を原料として、成長温度700℃、圧力50 TorrにてInAlNバリア層を成長した。InAlNバリア層の厚さは9nm、In組成は18%であった。

40

【0048】

その後、通常のリソグラフィ技術及びリフトオフ技術を用いて、InAlNバリア層上にTi/Alからなる一対のオーミック電極（ドレイン電極及びソース電極）を形成し、またこれらの電極間にNi/Auからなるゲート電極を形成した。更に、Si₃N₄からなる表面保護膜を形成し、HEMTを完成した。

50

【0049】

このHEMTのゲート長は $0.3\ \mu\text{m}$ 、ソース-ドレイン電極間隔は $3.0\ \mu\text{m}$ であった。ゲート電極とドレイン電極との間に $50\ \text{V}$ の電圧を印加したところ、ゲートリーク電流は $100\ \mu\text{A}/\text{mm}$ ($1 \times 10^{-4}\ \text{A}/\text{mm}$)であった。また、Hall測定パターンを用いて二次元電子濃度を測定したところ、 $2.3 \times 10^{13}/\text{cm}^2$ であった。

【0050】

(第2比較例)

上記実施例と同様の工程により、半絶縁性のSiC基板上にAlNバッファ層、GaNチャネル層、及びAlNスペーサ層を成長した。次に、上記第1比較例と同様の工程により、InAlNバリア層を成長した。そして、成長温度を 850 へと変化させたのち、TMG及び NH_3 を原料として、厚さ $3\ \text{nm}$ のGaNキャップ層をInAlNバリア層上に成長した。その後、上記第1比較例と同様の工程によりドレイン電極、ソース電極及びゲート電極を形成した。更に、SiNからなる表面保護膜を形成し、HEMTを完成した。

10

【0051】

このHEMTのゲート長は $0.3\ \mu\text{m}$ 、ソース-ドレイン電極間隔は $3.0\ \mu\text{m}$ であった。ゲート電極とドレイン電極との間に $50\ \text{V}$ の電圧を印加したところ、ゲートリーク電流は $2\ \mu\text{A}/\text{mm}$ ($2 \times 10^{-6}\ \text{A}/\text{mm}$)であった。また、Hall測定パターンを用いて二次元電子濃度を測定したところ、 $1.4 \times 10^{13}/\text{cm}^2$ であった。

【0052】

また、GaNキャップ層に代えて、GaNキャップ層の成長温度と同じ温度にて SiH_4 及び NH_3 を原料とするSiN膜を成膜し、SiN層上にゲート電極を形成したところ、ゲートリーク電流は $3\ \mu\text{A}/\text{mm}$ ($3 \times 10^{-6}\ \text{A}/\text{mm}$)であり、二次元電子濃度は $1.5 \times 10^{13}/\text{cm}^2$ であった。

20

【0053】

本発明による半導体装置、高電子移動度トランジスタ、及び半導体装置の製造方法は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上述した各実施形態を、必要な目的及び効果に応じて互いに組み合わせてもよい。また、上記実施形態では半導体装置としてエピタキシャルウエハを例示しているが、本発明の半導体装置はこれに限られず、バッファ層、チャネル層、及びバリア層を備える様々な窒化物系半導体デバイスにも適用可能である。

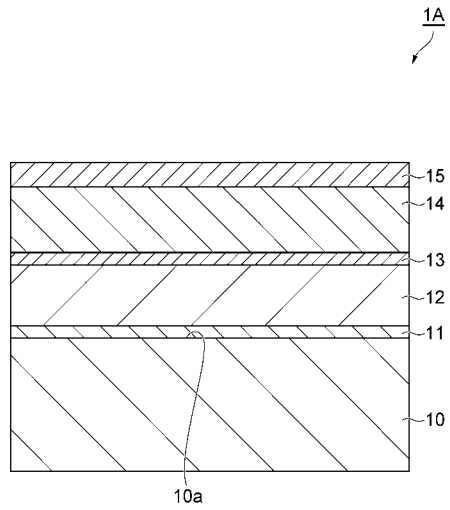
30

【符号の説明】

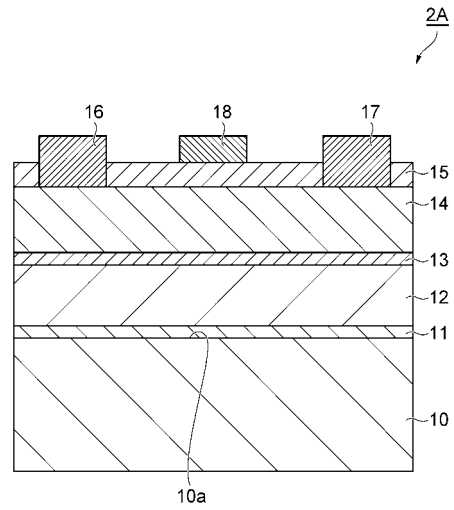
【0054】

1 A ... エピタキシャルウエハ、2 A ... HEMT、10 ... SiC基板、10 a ... 表面、11 ... AlN層、12 ... GaN層、13 ... AlN層、14 ... InAlGaN層、15 ... GaN層、16 ... ソース電極、17 ... ドレイン電極、18 ... ゲート電極。

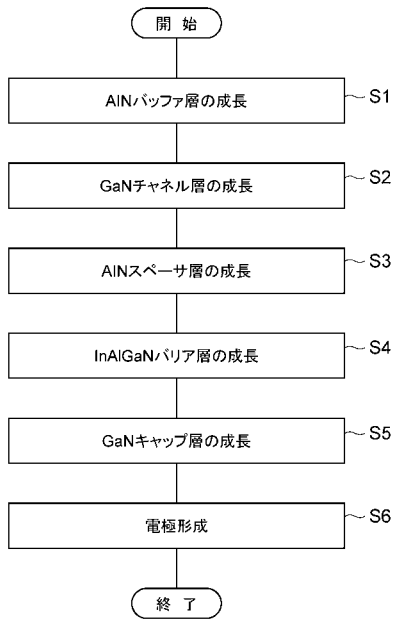
【 図 1 】



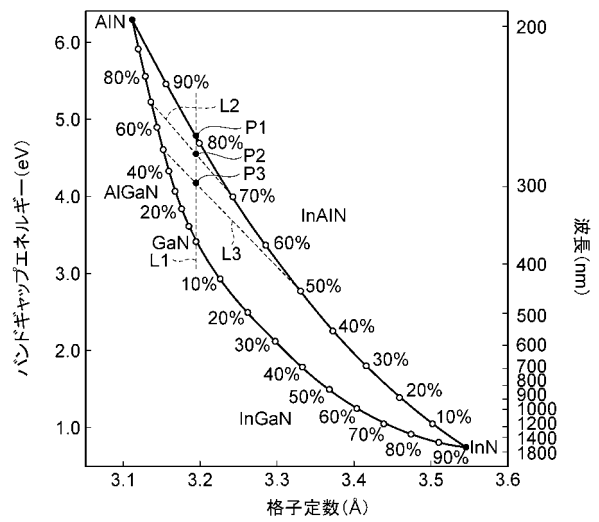
【 図 2 】



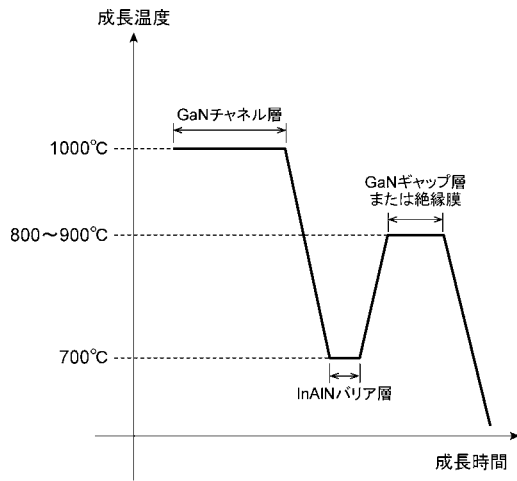
【 図 3 】



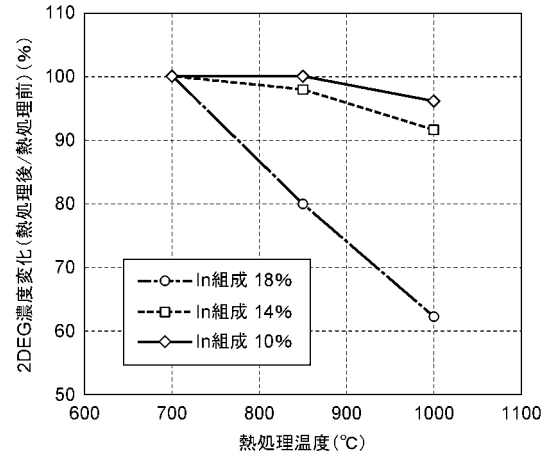
【 図 4 】



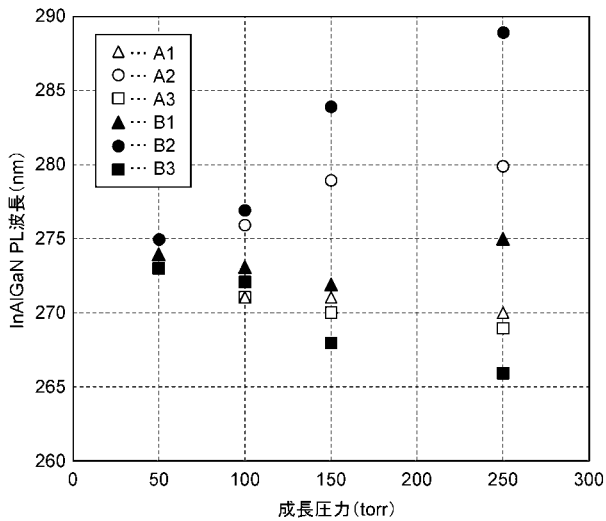
【 図 5 】



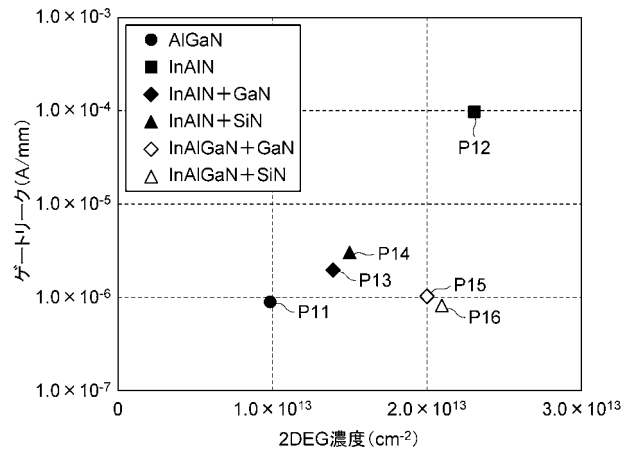
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/205 (2006.01)

(72)発明者 眞壁 勇夫

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

Fターム(参考) 5F045 AA04 AA06 AB09 AB14 AB18 AC07 AC12 AD10 AD11 AD12
AD13 AD14 AD15 AE19 AF02 BB16 CA07 DA53 DA59 DA63
EK28
5F102 GB01 GC01 GD01 GD10 GJ02 GK04 GL04 GM04 GM08 GQ01
GS01 GT01 GV08 HC01
5F140 AA24 AA30 BA02 BA06 BA16 BB06 BC12 BD07 BE10 BF05
BF11 BF15 BJ07 BJ11 BJ15 CE02 CE10