

Beschreibung

GEBIET DER ERFINDUNG

[0001] Ausführungsformen der Erfindung betreffen allgemein das Gebiet der Geräte mit integrierten Schaltungen und, spezieller, Verfahren und Vorrichtungen zum Stapeln von Chips zum Erzeugen eines Stapelchipelementes.

ALLGEMEINER STAND DER TECHNIK

[0002] Wenn Chips auf der Oberfläche der Silizium-Leiterplatte dichter gepackt werden können, lassen sich die Abmessungen und Kosten für das Modul reduzieren und die Systemleistung verbessern. Ein mögliches Verfahren zum Maximieren der Bausteindichten beinhaltet das Anordnen von Chips übereinander, um dreidimensionale Stapel zu bilden, die als Stapelchipelemente bezeichnet werden. Während der letzten Jahre hat es ein gewisses Interesse am Stapeln von Chips gegeben, wo dies möglich war. Solche Chipstapelungskonfigurationen umfassen das Stapeln einer Reihe von sich in der Größe verringernden Chips, um das Drahtbonden zu erleichtern, oder das Stapeln einer Reihe von Chips derselben Größe unter Verwendung von Entfernungshaltern oder den Einsatz eines Abschrägungsverfahrens oder die Verwendung von „T-Schnitt“-Chips für die oberen Chips. Da der Trend zum Stapeln von mehr Chips hin geht, von 2–4 gestapelten Chips heute in typischen Geräten zu 6–8 gestapelten Chips in der nahen Zukunft und mehr, treten Probleme auf.

[0003] Für eine Konfiguration mit sich verringernder Chipgröße zum Beispiel wird schließlich ein Punkt erreicht, an dem die Größe des oberen Chips uneffektiv wird. Für abgeschrägte oder T-Schnitt-Konfigurationen gibt es eine Schranke für die Größendifferenz zwischen dem unteren und oberen Chip in einem Stapel (d.h. starker Überhang ist schwieriger zu verarbeiten und führt zu weniger stabilen Stapelchipelementen).

[0004] Außerdem entsteht bei jeder dieser Konfigurationen das Problem erhöhter Ausbeuteverluste. Mit dem Wachsen der Zahl der gestapelten Chips erhöht sich der Ausbeuteverlust. Das Stapelchipelement wird nicht vollständig getestet, bis es vollständig ist. Die Temperatur- und anderen Toleranzprüfungen können an einzelnen Chips auf der Chipebene vor dem Stapeln abgeschlossen werden, aber eine solche Prüfung ist nicht aussagekräftig für die Gesamtfunktionalität des Stapelchipelementes. Besonders in Fällen, in denen auf einem der gestapelten Chips ein Logikprozessor implementiert wird, ist die Prüfung auf Geschwindigkeit nicht zuverlässig, bevor alle elektrischen Verbindungen des ganzen Gerätes vollständig hergestellt sind.

[0005] Um die Probleme mit den Stapelungsbeschränkungen und dem Ausbeuteverlust anzugehen, wurde das Konzept der Teilbausteine von gestapelten Chips eingeführt. Bei einer solchen Konfiguration werden mehrere Teilbausteine, die jeweils ein Stapelchipelement umfassen, erzeugt und geprüft. Nach erfolgreicher Prüfung werden zwei und mehr Teilbausteine gestapelt und elektrisch verbunden, um ein Stapelchipelement zu bilden.

[0006] [Fig. 1](#) illustriert ein Stapelchipelement, das gestapelte Teilbausteine gemäß dem Stand der Technik umfaßt. Das Stapelchipelement **100**, das in [Fig. 1](#) gezeigt wird, umfaßt drei Teilbausteine **105a**, **105b** und **105c**, die Stapelchipelemente sein können, wie zum Beispiel die Bausteine **105b** und **105c**. Baustein **105a** umfaßt ein Substrat **110a** mit leitfähigen Kugeln **120** (z.B. Ball-Grid-Array(BGA)), die an der Unterseite **111** von Substrat **110a** gebildet sind. Die leitfähigen Kugeln **120** dienen dem elektrischen Anschluß von Substrat **110a** an eine Grundplatte (nicht gezeigt). Ein Chip **130a** ist auf der Oberseite **112** von Substrat **110a** angeordnet.

[0007] Baustein **105b** umfaßt ein Stapelchipelement, das Chip **130c** auf Chip **130b** gestapelt umfaßt. Baustein **105c** umfaßt ein Stapelchipelement, das die Chips **130d–130f** umfaßt, die aufeinander gestapelt sind, wie gezeigt. Alle Chips, **130a**, **130b** und **130c** und **130d–130f** sind elektrisch durch Drahtbonds mit den jeweiligen Substraten **110a–110c** oder miteinander verbunden. Die Drahtbonds **140** für jeden Teilbaustein werden normalerweise vor dem Stapeln der Teilbausteine mit einer Gußmasse **145** zum Schutz abgedeckt. Die Teilbausteine sind elektrisch miteinander durch Zwischenverbindungen **150** verbunden, die Kupferverbindungen zwischen den Teilbausteinen sein können.

[0008] Das Stapelchipelement **100** geht einige der Nachteile der Stapelbeschränkungen und den Ausbeuteverlust an, hat aber auch selbst Nachteile. Zum Beispiel erfordern die Kupfereinsätze, die die Verbindungen zwischen Teilbausteinen bilden, zusätzlichen Raum. Das heißt, die Zwischenverbindungen **150** zwischen Teilbausteinen müssen von den Drahtbonds **140** etwas entfernt werden, so daß sie nicht von der Gußmasse **145** abgedeckt werden. Dadurch erhöht sich die Größe des Stapelchipelementes. Ebenso erfordert die Bildung der Kupfereinsätze zusätzliche Verarbeitungsschritte (z.B. Bohren), was die Kosten vergrößert und praktisch die Strukturierung jedes Bausteins auf eine Standardform und -größe beschränkt. [Fig. 1A](#) ist eine Draufsicht auf einen Teilbaustein für das Stapelchipelement **100**, das oben mit Bezug auf [Fig. 1](#) beschrieben wird. Wie in [Fig. 1A](#) gezeigt, weisen die Kupfereinsätze **150**, die zum Verbinden von Teilbausteinen verwendet werden, einen Träger **155** auf. Der Träger befindet sich außerhalb der Fläche auf Substrat **110a**, auf der

Drahtbonds **140** platziert werden können. Für eine gegebene Größe müssen Chip **130a**, Substrat **110a** und daher der Teilbaustein **105a** groß genug sein, um den Träger **155** aufzunehmen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0009] Die Erfindung kann am besten durch Nachlesen in der folgenden Beschreibung und den begleitenden Zeichnungen verstanden werden, die zum Illustrieren der Ausführungsformen der Erfindung verwendet werden. In den Zeichnungen gilt:

[0010] [Fig. 1](#) illustriert ein Stapelchipelement, das gestapelte Teilbausteine gemäß dem Stand der Technik umfaßt.

[0011] [Fig. 1A](#) ist eine Draufsicht auf einen Teilbaustein für ein Stapelchipelement gemäß dem Stand der Technik.

[0012] [Fig. 2](#) illustriert die Drauf- und Seitenansicht eines Substrats für einen Teilbaustein gemäß einer Ausführungsform der Erfindung.

[0013] Die [Fig. 3A–Fig. 3D](#) illustrieren einen Prozess zur Herstellung eines Teilbausteins gemäß einer Ausführungsform der Erfindung.

[0014] [Fig. 4](#) illustriert einen Prozess zum Verkapseln der Chips eines Teilbausteins, während gleichzeitig ein oberer Abschnitt der Teilbaustein-Zwischenverbindungen gemäß einer Ausführungsform der Erfindung freigelassen wird; und

[0015] [Fig. 5](#) illustriert ein Stapelchipelement, das gestapelte Teilbausteine gemäß einer Ausführungsform der Erfindung umfaßt.

AUSFÜHRLICHE BESCHREIBUNG

[0016] In der folgenden Beschreibung werden zahlreiche spezielle Details dargelegt. Es versteht sich jedoch, daß Ausführungsformen der Erfindung ohne diese speziellen Details ausgeführt werden können. In anderen Fällen wurden bekannte Schaltkreise, Strukturen und Verfahren nicht im Detail dargestellt, um das Verständnis für diese Beschreibung nicht zu behindern.

[0017] Der Verweis auf „eine Ausführungsform“ in der ganzen Patentschrift bedeutet, daß ein besonderes Merkmal, Struktur oder Charakteristikum, das in Verbindung mit der Ausführungsform beschrieben wird, in mindestens einer Ausführungsform der vorliegenden Erfindung enthalten ist. Daher ist das Auftreten des Ausdrucks „in einer Ausführungsform“ an verschiedenen Stellen in der ganzen Patentschrift nicht notwendigerweise ein Verweis auf dieselbe Ausführungsform. Ferner können die besonderen

Merkmale, Strukturen und Charakteristika in geeigneter Weise in einer oder mehreren Ausführungsformen kombiniert werden.

[0018] Außerdem liegen erfinderische Aspekte nicht in allen Merkmalen einer einzelnen offenbarten Ausführungsform vor. Daher werden die Ansprüche, die auf die ausführliche Beschreibung folgen, ausdrücklich in diese ausführliche Beschreibung einbezogen, wobei jeder Anspruch für sich als separate Ausführungsform dieser Erfindung steht.

[0019] [Fig. 2](#) illustriert die Drauf- und Seitenansicht eines Substrats für einen Teilbaustein gemäß einer Ausführungsform der Erfindung. Substrat **210** besitzt Zwischenverbindungen **240** und Teilbaustein-Zwischenverbindungen **250**, die zum Beispiel leitfähige Metallkugeln sein können, welche zum elektrischen Verbinden eines Teilbausteins mit einem anderen Teilbaustein über demselben in einer gestapelten Teilbausteinstruktur verwendet werden kann. Die Zwischenverbindungen **250** zwischen Teilbausteinen können dem BGA, das normalerweise an der Unterseite eines Chips für die Oberflächenmontage eingesetzt wird, ähnlich sein. Gemäß einer Ausführungsform der Erfindung werden die Zwischenverbindungen zwischen Teilbausteinen an der Oberseite (Chipseite) des Substrats gebildet. Die Zwischenverbindungen **250** zwischen Teilbausteinen sind diskret und daher kann das Drahtbonds in der Nähe und zwischen den Teilbaustein-Zwischenverbindungen **250** ausgeführt werden. In einer Ausführungsform können Drahtbonds vor der Bildung der Zwischenverbindungen **250** zwischen Teilbausteinen bis zu dem Punkt hergestellt werden, wo die Teilbaustein-Zwischenverbindungen angelegt werden. Die Teilbaustein-Zwischenverbindungen werden elektrisch an den Chip **230** durch die Zwischenverbindungen **240** angeschlossen. Die Unterseite des Substrats kann ein konventionelles BGA oder Metalllaschen zum elektrischen Anschluß an den Teilbaustein darunter haben.

[0020] Die [Fig. 3A–Fig. 3D](#) illustrieren einen Prozess zur Herstellung eines Teilbausteins gemäß einer Ausführungsform der Erfindung. Wie in [Fig. 3A](#) gezeigt, ist Substrat **310** ein herkömmliches Substrat, das Merkmale zur Chipmontage und zum Drahtbonding oder zur Flip-Chip-Montage aufweist. Die Unterseite **311** von Substrat **310** besitzt leitfähige Metallkugeln **320**, wie oben mit Bezug auf [Fig. 1](#) beschrieben. Substrat **310** hat Teilbaustein-Zwischenverbindungen **350**, die auf der Oberseite **312** gebildet sind. Die Teilbaustein-Zwischenverbindungen **350** sind an Metallanschlußlaschen (nicht gezeigt) in der Nähe des Randes von Substrat **310** gebildet. Die Teilbaustein-Zwischenverbindungen **350**, die leitfähige Metallkugeln sein können, lassen sich aus Lötzinn herstellen, das eine Blei-Zinn-Legierung sein kann. In alternativen Ausführungsformen können die Teilbau-

stein-Zwischenverbindungen **350** aus Kupfer oder anderen geeigneten leitfähigen Metallen hergestellt sein. Für solche Ausführungsformen können die Teilbaustein-Zwischenverbindungen **350** unter Verwendung eines Verfahrens befestigt werden, das einem herkömmlichen BGA-Kugelbefestigungsverfahren ähnlich ist.

[0021] Für eine Ausführungsform der Erfindung werden nach der Herstellung der Teilbaustein-Zwischenverbindungen **350** auf der Oberseite **312** von Substrat **310** auf dem Substrat **310** Chips mit integrierten Schaltungen befestigt. Gemäß einer Ausführungsform der Erfindung können die Chips verschiedene Arten von Speichervorrichtungen oder Logikprozessoren implementieren. Die Chips, die ein Chip oder mehrere Chips in einer Stapelchipstruktur sein können, werden unter Verwendung herkömmlicher Chipbefestigungsverfahren und -materialien auf dem Substrat **310** und aneinander befestigt. Wie in [Fig. 3B](#) gezeigt, wird Chip **330a** an der Oberseite **312** von Substrat **310** befestigt und Chip **330b** wird oben draufgesetzt und an Chip **330a** befestigt. Alle diese Chips können elektrisch mit dem Substrat und miteinander unter Verwendung herkömmlicher Verfahren (z.B. Drahtbonding oder Flip-Chip-Befestigung) verbunden werden. Die Teilbaustein-Zwischenverbindungen **350** erstrecken sich oberhalb der Oberseite **312** über eine größere Entfernung als der Chipstapel.

[0022] Wie in [Fig. 3C](#) gezeigt, wird dann der befestigte Chip oder der Chipstapel eingekapselt, um die Chips und die zugehörigen Leitungen (z.B. Leitungsbänder) zu schützen, falls vorhanden, während gleichzeitig ein oberer Abschnitt **351** der Teilbaustein-Zwischenverbindungen **350** freigelassen wird. Die Vergußmasse reicht oberhalb der Oberseite **312** bis über den Chipstapel, aber nicht so hoch wie die Teilbaustein-Zwischenverbindungen **350**. Für eine Ausführungsform der Erfindung ist die Vergußmasse **345** ein wärmehärtbares Material, wie zum Beispiel ein Epoxid- oder Polymerharz, das verschiedene Mengen (z.B. von 0 bis 80 Gewichts-%) von Siliziumoxid oder anderen anorganischen Teilchen enthalten kann, mit denen der Wärmeausdehnungskoeffizient (CTE), die Dehngrenze oder Viskosität verändert werden kann. Für eine Ausführungsform der Erfindung kann ein solches wärmehärtbares Material bestimmte Flußmittel enthalten, um so für die Fließeigenschaften während eines nachfolgenden Aufschmelzprozesses zu sorgen. Für eine Ausführungsform der Erfindung wird die Verkapselung des Chipstapels, wie in [Fig. 3C](#) gezeigt, durch einen Siebdruckprozeß, der detaillierter unten beschrieben wird, bewirkt.

[0023] Wie in [Fig. 3D](#) gezeigt, kann die Vergußmasse **345** die gesamten Teilbaustein-Zwischenverbindungen **350** einschließen. Die Teilbaustein-Zwischenverbindungen **350** können verkapselt bleiben,

wo der Teilbaustein der oberste Teilbaustein eines gestapelten Teilbausteinelementes ist. Wo die Teilbaustein-Zwischenverbindungen zum elektrischen Anschluß des Teilbausteins an einen anderen Teilbaustein über demselben in einer gestapelten Teilbausteinstruktur verwendet wird, kann ein oberer Abschnitt der Teilbaustein-Zwischenverbindungen **350** mit bekannten Verfahren freigelegt werden, wie zum Beispiel Schleifen oder Laserbohren.

[0024] Teilbausteine, die auf einen anderen Teilbaustein aufgesetzt werden, umfassen möglicherweise keine leitfähigen Metallkugeln, wie zum Beispiel ein BGA, sondern können Anschlußlaschen **321** umfassen, die den Teilbaustein-Zwischenverbindungen des Teilbausteins entsprechen, auf den sie aufgesetzt werden.

VERKAPSELUNG

[0025] Für eine Ausführungsform der Erfindung wird die Verkapselung der Chips eines Teilbausteins unter Verwendung eines Siebdruckprozesses ausgeführt. Die Höhenbedeckung der Vergußmasse wird durch Optimieren des Siebdruckprozesses und der Materialauswahl für eine verbesserte Verarbeitbarkeit, Verkapselungsleistung und thermomechanische Eigenschaften gesteuert. [Fig. 4](#) illustriert einen Prozess zum Verkapseln der Chips eines Teilbausteins, während gleichzeitig ein oberer Abschnitt der Teilbaustein-Zwischenverbindungen gemäß einer Ausführungsform der Erfindung freigelassen wird. Prozess **400** beginnt, wie in [Fig. 4](#) gezeigt, bei Schritt **405**, bei dem eine Schablone bereitgestellt und auf das Substrat gelegt wird. Die Schablone, die eine dünne Nickelplatte sein kann, ist so gemustert, daß ein gewisser oberer Abschnitt jeder der Teilbaustein-Zwischenverbindungen abgedeckt wird.

[0026] Bei Schritt **410** wird eine siebdruckfähige Vergußmasse bereitgestellt. Typische Vergußmassen sind nicht siebdruckfähig, können aber dazu gemacht werden, indem ihre Viskosität verringert wird, zum Beispiel durch den Zusatz von Lösungsmitteln zum Vergußmaterial.

[0027] Bei Schritt **415** wird eine siebdruckfähige Vergußmasse aufgetragen, um die Chips zu verkapseln. Die Menge der Vergußmasse wird so gesteuert, daß die Chips (z.B. der Chipstapel) und zugehörige Leitungen vollständig eingeschlossen sind, während ein oberer Abschnitt jeder der Teilbaustein-Zwischenverbindungen frei gelassen wird. Der untere Abschnitt der Teilbaustein-Zwischenverbindungen wird ebenfalls verkapselt. In der Praxis kann ein Teil der Vergußmasse auf den oberen Abschnitten der Teilbaustein-Zwischenverbindungen bleiben, die Vergußmasse mit geringer Viskosität hilft aber dabei, die Menge an Vergußmasse zu reduzieren.

[0028] Bei Schritt **420** wird das Substrat einer erhöhten Temperatur ausgesetzt, um Lösungsmittel zu entfernen (d.h. einen Teil oder die gesamten Lösungsmittel, die bei Schritt **410** zugesetzt wurden, zu verdampfen). Für eine Ausführungsform der Erfindung wird das Substrat einer Temperatur von ca. 100 °C etwa 2 Stunden lang ausgesetzt. Temperatur und Zeit für solch einen Verdampfungsprozeß können je nach Menge der Lösungsmittel, die zu verdampfen sind, modifiziert werden. Die Lösungsmittel, die beim Siebdruckprozeß helfen, werden so weitgehend wie möglich vor dem Aufschmelzen entfernt, um Hohlräume zu reduzieren, die sich beim Härten/Aufschmelzen bilden können, wenn die Lösungsmittel nicht entfernt werden. Das Entfernen der Lösungsmittel erhöht die Viskosität der aufgetragenen Vergußmasse. Für eine Ausführungsform der Erfindung wird die Vergußmasse nach einer Temperaturbehandlung („baking“) während eines nachfolgenden Aufschmelzprozesses, der unten vollständig beschrieben wird, gehärtet (vernetzt). Für eine Ausführungsform der Erfindung wird eine solche Härtung gleichzeitig mit dem Lötmittelaufschmelzen ausgeführt. Für eine Ausführungsform der Erfindung wird die Härtungskinetik der Vergußmasse speziell so abgestimmt, daß Störungen bei der Bildung der Verbindung reduziert werden.

AUFSCHELMELZEN

[0029] Zwei oder mehr Teilbausteine werden miteinander verbunden, um ein gestapeltes Teilbaustein-element gemäß einer Ausführungsform der Erfindung zu bilden. Ein Teilbaustein wird auf einen anderen derart aufgesetzt, daß Anschlußlaschen oder leitfähige Metallkugeln auf der Unterseite des obersten Teilbausteins den freiliegenden Teilbaustein-Zwischenverbindungen des nächsten darunter liegenden Teilbausteins im Stapel entsprechen. Dann wird ein Aufschmelzprozess oder ein anderer herkömmlicher Oberflächenmontageprozeß ausgeführt, um eine Zwischenverbindung zwischen den Teilbausteinen zu erzeugen. Während des Aufschmelzens verringert sich die Viskosität der Vergußmasse auf Grund der erhöhten Temperatur. Es besteht eine Benetzungskraft zwischen den Anschlußlaschen des oberen Teilbausteins und den Teilbaustein-Zwischenverbindungen des unteren Teilbausteins, so daß alles restliche Vergußmaterial auf der Oberfläche der Teilbaustein-Zwischenverbindungen herausgedrückt wird, was eine ordnungsgemäße Bildung von Zwischenverbindungen zwischen den Teilbausteinen ermöglicht.

[0030] **Fig. 5** illustriert ein Stapelchipelement, das gestapelte Teilbausteine gemäß einer Ausführungsform der Erfindung umfaßt. Stapelchipelement **500**, in **Fig. 5** gezeigt, umfaßt drei Teilbausteine **505a**, **505b** und **505c**, die Chipstapel-Teilbausteine sein können, die gemäß einer Ausführungsform der Erfindung erzeugt wurden. Teilbaustein **505a** umfaßt ein

Substrat **510a** mit leitfähigen Kugeln **520**. Teilbaustein **505a** hat die Chips **530a** und **530b**, die mit Vergußmasse **545a** verkapselt sind. Die oberen Teile **551a** der Teilbaustein-Zwischenverbindungen **550a** liegen frei und bilden eine Zwischenverbindung mit den Anschlußlaschen **521b**, die an der Unterseite von Teilbaustein **505b** gebildet sind. Teilbaustein **505b** hat die Chips **530c** und **530d**, die an Substrat **510b** befestigt und mit Vergußmasse **545b** verkapselt sind. Die oberen Teile **551b** der Teilbaustein-Zwischenverbindungen **550b** liegen frei und bilden eine Zwischenverbindung mit den Anschlußlaschen **521c**, die an der Unterseite von Teilbaustein **505c** gebildet sind. Teilbaustein **505c** hat die Chips **530e** und **530f** die an Substrat **510c** befestigt und mit Vergußmasse **545c** verkapselt sind. Die gesamten Teilbaustein-Zwischenverbindungen **550c** sind ebenfalls verkapselt. Das Stapelchipelement **500** dient als Beispiel wie auch jeder der gestapelten Teilbausteine des Stapelchipelementes **500**. Das Stapelchipelement kann jede vernünftige Zahl von gestapelten Teilbausteinen haben, und jeder Teilbaustein kann einen Chip oder eine beliebige Zahl von gestapelten Chips haben.

ALLGEMEINES

[0031] Ausführungsformen der Erfindung stellen Verfahren und Vorrichtungen zur Herstellung eines Stapelchipelementes bereit, das eine gestapelte Teilbausteinstruktur besitzt. Verschiedene Ausführungsformen der Erfindung sind einschließlich spezieller Merkmale oder Prozesse beschrieben worden. Für alternative Ausführungsformen der Erfindung können die Merkmale oder Prozesse modifiziert werden. Obwohl zum Beispiel die Teilbaustein-Zwischenverbindungen allgemein als leitfähige Metallkugeln beschrieben werden, können sie aus einem beliebigen geeigneten Material oder in einer geeigneten Form gemäß alternativer Ausführungsformen der Erfindung sein.

[0032] Eine Ausführungsform der Erfindung ist als Prozess beschrieben worden, der verschiedene Arbeitsschritte aufweist. Solche Arbeitsschritte dienen als Beispiel und können in ihrer grundlegendsten Form beschrieben werden; Arbeitsschritte können aber dem Prozess hinzugefügt werden oder aus diesem entfernt werden oder können modifiziert werden, ohne den grundlegenden Geltungsbereich der Erfindung gemäß verschiedenen Ausführungsformen zu verlassen. Zum Beispiel kann in Prozess **400**, der oben mit Bezug auf **Fig. 4** beschrieben wird, der Arbeitsschritt zum Abdecken der Teilbaustein-Zwischenverbindungen weggelassen werden. Für solch einen Prozess kann der obere Abschnitt der Teilbaustein-Zwischenverbindungen durch Ziehen eines Wischergummis über die Fläche der aufgetragenen Vergußmasse freigelegt werden, um die Teilbaustein-Zwischenverbindungen freizulegen. Für solch

eine Ausführungsform fließt das begrenzte Vergußmaterial, das auf der Oberfläche der Teilbaustein-Zwischenverbindungen bleibt, aufgrund der erhöhten Viskosität der Vergußmasse und der Benetzung zwischen den Teilbaustein-Zwischenverbindungen und den entsprechenden Anschlußlaschen des verbindenden Teilbausteins von der Oberfläche während des Aufschmelzens ab. Daher stört restliche Vergußmasse nicht die ordnungsgemäße Bildung der Zwischenverbindungen.

[0033] Gemäß einer Ausführungsform der Erfindung kann zur besseren Bildung der Verbindung und zur Ableitung thermischer Energie ein nichtfließfähiges Unterfüllungsmaterial vor dem Aufschmelzen aufgetragen werden. In einer alternativen Ausführungsform der Erfindung kann das Unterfüllungsmaterial nach dem Anschließen der Teilbausteine aufgetragen werden.

[0034] Obwohl die Erfindung an Hand von mehreren Ausführungsformen beschrieben wurde, werden Fachleute auf dem Gebiet erkennen, daß die Erfindung nicht auf die Ausführungsformen, die beschrieben wurden, beschränkt sind, sondern mit Modifizierungen und Änderungen ausgeführt werden können, ohne den Geist und den Geltungsbereich der angehängten Ansprüche zu verlassen. Die Beschreibung soll daher als erläuternd und nicht als begrenzend angesehen werden.

ZUSAMMENFASSUNG

[0035] Verfahren und Vorrichtungen zum Bereitstellen eines Stapelchipelementes, das gestapelte Teilbausteine umfaßt. Für eine Ausführungsform der Erfindung hat jeder Teilbaustein Zwischenverbindungen, die auf der Chipseite des Substrats zum Verbinden mit einem anderen Teilbaustein gebildet sind. Die Chips und zugehörigen Leitungen sind durch eine Vergußmasse geschützt, die einen oberen Abschnitt jeder Zwischenverbindung freiläßt. Für eine Ausführungsform der Erfindung ist die Vergußmasse eine siebdruckfähige Vergußmasse, und der obere Abschnitt der Zwischenverbindung wird durch die Verwendung einer gemusterten Schablone während des Aufbringens der Vergußmasse freigelassen.

Patentansprüche

1. Vorrichtung, umfassend:
ein Substrat, das eine Oberseite und Unterseite hat;
ein Satz von einem oder mehreren Chips, die an der Oberseite des Substrats befestigt sind, wobei der eine oder die mehreren Chips eine Erstreckung oberhalb der Oberfläche in einer ersten Distanz aufweisen;
eine oder mehrere Zwischenverbindungen, die an der Oberseite des Substrats ausgebildet sind, wobei die eine oder mehreren Zwischenverbindungen eine

Erstreckung oberhalb der Oberfläche in einer zweiten Distanz aufweisen; und
eine Vergußmasse, die auf der Oberseite des Substrats angeordnet ist und eine Erstreckung oberhalb der Oberfläche in einer dritten Distanz aufweist, wobei die dritte Distanz größer als die erste Distanz und kleiner als die zweite Distanz ist, derart, daß ein oder mehrere Chips verkapselt sind und ein Abschnitt der einen oder mehreren Zwischenverbindungen freiliegt.

2. Vorrichtung nach Anspruch 1, wobei der eine oder die mehreren Chips aneinander in einer Stapelchipelementkonfiguration befestigt sind und der oberste Abschnitt eines obersten Chips sich oberhalb der Oberseite in der ersten Distanz erstreckt.

3. Vorrichtung nach Anspruch 1, wobei der eine oder die mehreren Chips zugehörige Leitungen haben, wobei die zugehörigen Leitungen sich oberhalb der Oberseite in einer vierten Distanz erstrecken, wobei die vierte Distanz kleiner als die erste Distanz ist, derart, daß die zugehörigen Leitungen verkapselt sind.

4. Vorrichtung nach Anspruch 1, wobei die Vergußmasse ein wärmehärtbares Material ist.

5. Vorrichtung nach Anspruch 1, ferner umfassend:
ein zweites Substrat, das eine Oberseite und eine Unterseite hat, wobei das zweite Substrat einen zweiten Satz von einem oder mehreren Chips hat, die an der Oberseite des zweiten Substrats befestigt sind und wobei ein oder mehrere leitfähige Bereiche an der Unterseite des zweiten Substrats gebildet sind, wobei jeder leitfähige Bereich elektrisch an eine entsprechende Zwischenverbindung der einen oder der mehreren Zwischenverbindungen angeschlossen ist, die auf der Oberseite des Substrats gebildet sind.

6. Vorrichtung nach Anspruch 4, wobei das wärmehärtbare Material ein Epoxid ist.

7. Vorrichtung nach Anspruch 3, wobei die zugehörigen Leitungen von einem oder mehreren der Chips Drahtbonds umfassen.

8. Vorrichtung nach Anspruch 1, wobei einer oder mehreren der Chips einen Logikprozessor haben, der darauf implementiert ist.

9. System, umfassend: einen ersten Teilbaustein; und einen zweiten Teilbaustein, wobei der zweite Teilbaustein auf den ersten Teilbaustein aufgesetzt ist und elektrisch mit demselben verbunden ist, wobei der erste Teilbaustein und der zweite Teilbaustein jeweils ein Substrat umfassen, das ein oder mehrere Chips hat, die an der Oberseite des Substrats befestigt sind, und ein oder mehrere Zwischenverbindun-

gen, die auf der Oberseite des Substrats gebildet sind, und eine Vergußmasse, die auf der Oberseite des Substrats derart angeordnet ist, daß der eine oder die mehreren Chips verkapselt sind und ein oberer Teil von jeder der einen oder mehreren Zwischenverbindungen freiliegt.

10. System nach Anspruch 9, wobei das Substrat des zweiten Teilbausteins einen oder mehrere leitfähige Bereiche hat, die an einer Unterseite gebildet sind, wobei jeder leitfähige Bereich elektrisch mit einer entsprechenden Zwischenverbindung der einen oder mehreren Zwischenverbindungen verbunden ist, die auf der Oberseite des Substrats des ersten Teilbausteins gebildet sind.

11. System nach Anspruch 10, ferner umfassend: ein oder mehrere zusätzliche Teilbausteine, die der Reihe nach auf den zweiten Teilbaustein aufgestapelt sind, wobei jeder zusätzliche Teilbaustein ein Substrat umfaßt, das einen oder mehrere Chips hat, die an der Oberseite des Substrats befestigt sind, und eine oder mehrere Zwischenverbindungen hat, die auf der Oberseite des Substrats gebildet sind, und eine Vergußmasse, die auf der Oberseite des Substrats derart angeordnet ist, daß der eine oder die mehreren Chips verkapselt sind und ein oberer Teil von jeder der einen oder mehreren Zwischenverbindungen freiliegt und ein oder mehrere leitfähige Flächen auf einer Unterseite gebildet sind, wobei jede leitfähige Fläche elektrisch an eine entsprechende Zwischenverbindung der einen oder mehreren Zwischenverbindungen angeschlossen ist, die auf der Oberseite des Substrats eines unmittelbar vorangehenden Teilbausteins gebildet sind.

12. System nach Anspruch 9, wobei der eine oder die mehreren Chips aneinander in einer gestapelten Chipstruktur befestigt sind.

13. System nach Anspruch 9, wobei der eine oder die mehreren Chips zugehörige Leitungen haben, wobei die zugehörigen Leitungen durch die Vergußmasse vollständig verkapselt sind.

14. System nach Anspruch 13, wobei die zugehörigen Leitungen von einem oder mehreren der Chips Drahtbonds umfassen.

15. System nach Anspruch 9, wobei die Vergußmasse ein wärmehärtbares Material ist.

16. System nach Anspruch 15, wobei das wärmehärtbare Material ein Epoxid ist.

17. System nach Anspruch 9, wobei einer oder mehrere der Chips eine Logikprozessorvorrichtung implementieren.

18. Verfahren, umfassend:

Bilden von einer oder mehreren Zwischenverbindungen auf der Oberseite eines Substrats, wobei die eine oder mehreren Zwischenverbindungen sich oberhalb der Oberseite des Substrats in einer ersten Distanz erstrecken;

Befestigen eines Satzes von einem oder mehreren Chips an der Oberseite des Substrats, wobei der eine oder die mehreren Chips sich oberhalb der Oberseite in einer zweiten Distanz erstrecken;

Aufbringen einer Vergußmasse auf die Oberseite des Substrats derart, daß die Vergußmasse sich oberhalb der Oberseite in einer dritten Distanz erstreckt, wobei die dritte Distanz größer als die erste Distanz und kleiner als die zweite Distanz ist.

19. Verfahren nach Anspruch 18, ferner umfassend:

Aufbringen einer Schablone auf das Substrat vor dem Auftragen der Vergußmasse, wobei die Schablone ein Muster hat, das der einen oder den mehreren Zwischenverbindungen entspricht, die auf dem oberen Substrat gebildet sind, derart, daß die Schablone die Menge der Vergußmasse reduziert, die sich auf jeder der einen oder mehreren Zwischenverbindungen bildet, welche sich oberhalb der Oberseite des Substrats in einer Distanz erstrecken, die größer als die zweite Distanz ist.

20. Verfahren nach Anspruch 19, wobei die Vergußmasse ein wärmehärtbares Material ist.

21. Verfahren nach Anspruch 20, wobei das wärmehärtbare Material ein Epoxid ist.

22. Verfahren nach Anspruch 21, ferner umfassend:

Verringern der Viskosität des thermisch härtbaren Epoxids vor dem Auftragen des thermisch härtbaren Epoxids auf die Oberseite des Substrats.

23. Verfahren nach Anspruch 22, wobei das Verringern der Viskosität des thermisch härtbaren Epoxids das Hinzufügen eines Lösungsmittels zum thermisch härtbaren Epoxid umfaßt.

24. Verfahren nach Anspruch 18, ferner umfassend:

Stapeln eines zweiten Substrats, das eine Oberseite und eine Unterseite hat, auf das Substrat, wobei das zweite Substrat einen zweiten Satz von einem oder mehreren Chips hat, die an der Oberseite des zweiten Substrats befestigt sind, und eine oder mehrere leitfähige Bereiche, die an der Unterseite des zweiten Substrats gebildet sind, wobei jeder leitfähige Bereich einer Zwischenverbindung der einen oder mehreren Zwischenverbindungen entspricht, die auf der Oberseite des Substrats gebildet sind.

25. Verfahren nach Anspruch 24, ferner umfassend:

Ausführen eines Aufschmelzprozesses derart, daß eine elektrische Verbindung zwischen jeder Zwischenverbindung, die auf der Oberseite des Substrats ausgebildet ist, und jedem entsprechenden leitfähigen Bereich, der auf der Unterseite des zweiten Substrats ausgebildet ist, gebildet wird.

26. Verfahren nach Anspruch 18, ferner umfassend:

Anwenden eines Wischgummis über der Vergußmasse, um die Menge der Vergußmasse zu reduzieren, die auf jedem der einen oder mehreren Zwischenverbindungen gebildet wurde, welche sich oberhalb der Oberseite des Substrats in einer Distanz erstreckt, die größer als die zweite Distanz ist.

27. Verfahren nach Anspruch 18, wobei der eine oder die mehreren Chips zugehörige Leitungen haben, wobei die zugehörigen Leitungen durch die Vergußmasse vollständig verkapselt sind.

28. Verfahren nach Anspruch 27, wobei die zugehörigen Leitungen von einem oder mehreren der Chips Drahtbonds umfassen.

29. Verfahren nach Anspruch 18, wobei ein oder mehrere der Chips eine Logikprozessorvorrichtung implementieren.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

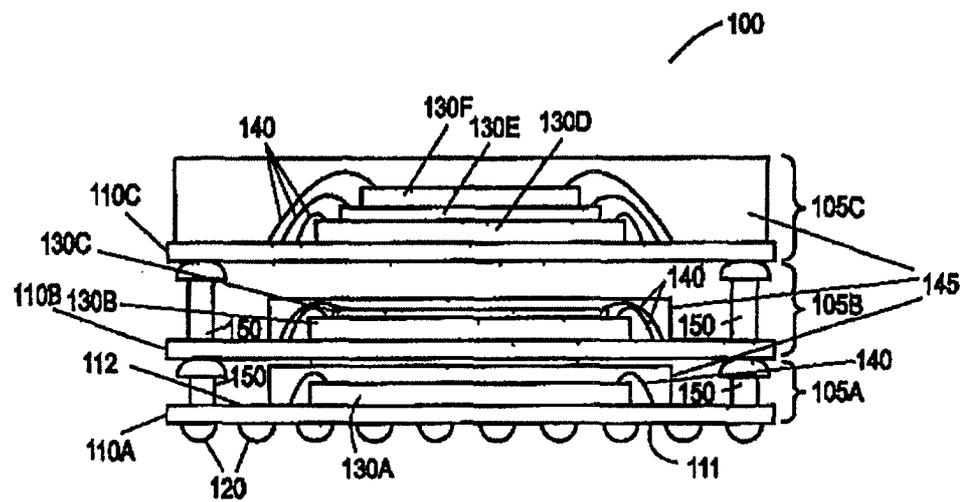


FIG. 1
(STAND DER TECHNIK)

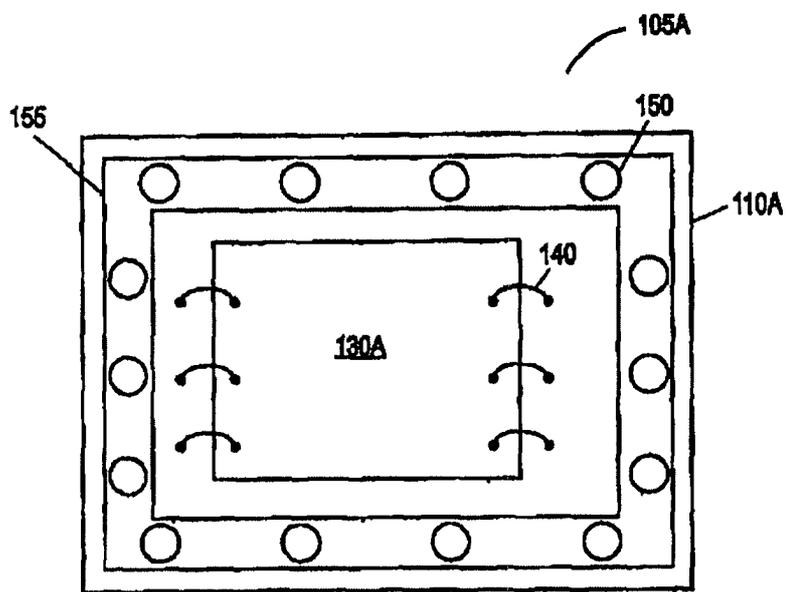


FIG. 1A
(STAND DER TECHNIK)

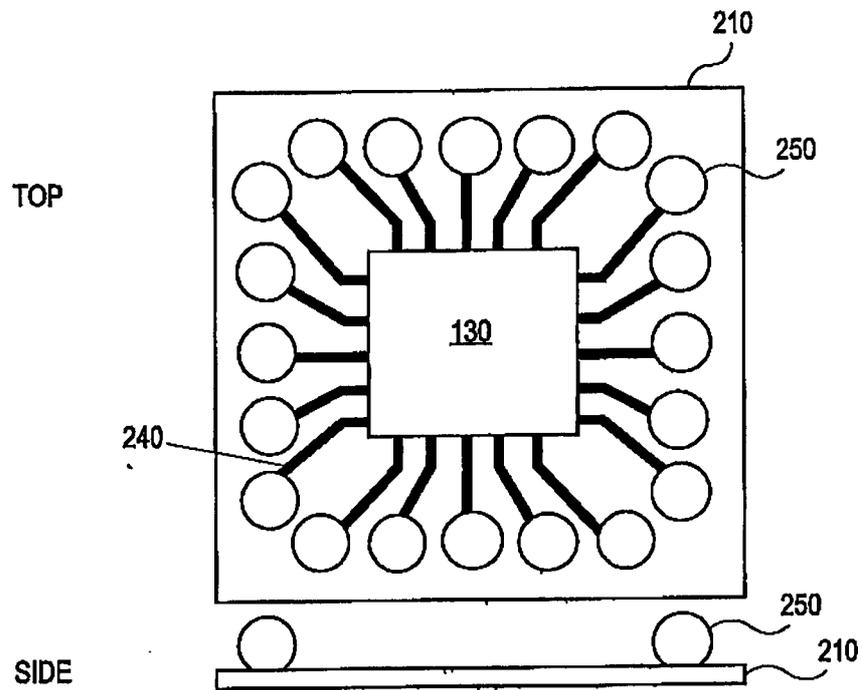


FIG. 2

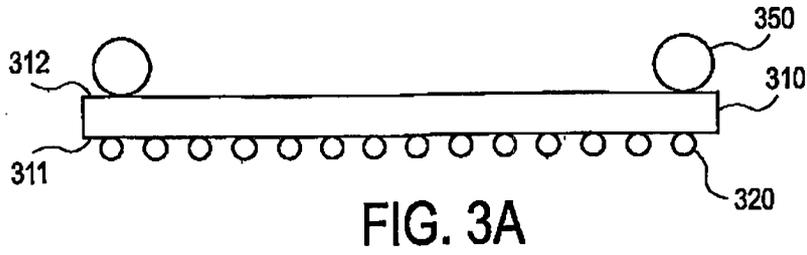


FIG. 3A

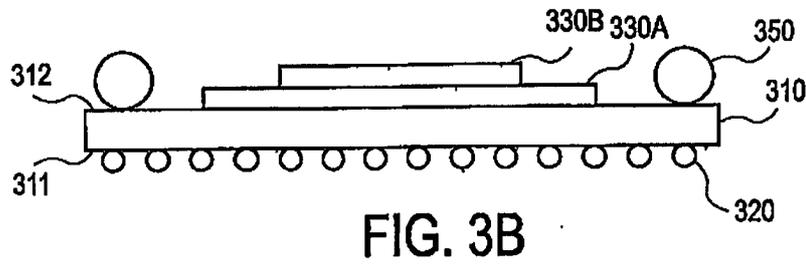


FIG. 3B

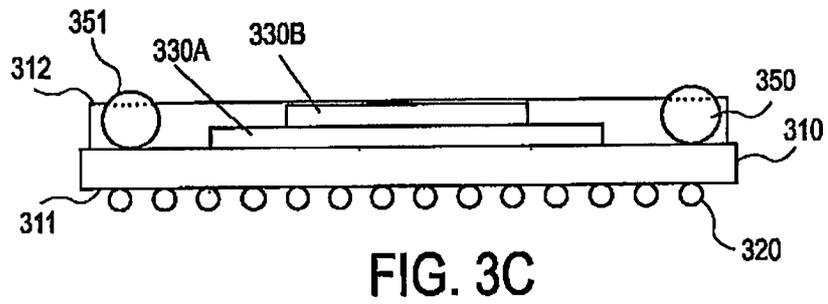


FIG. 3C

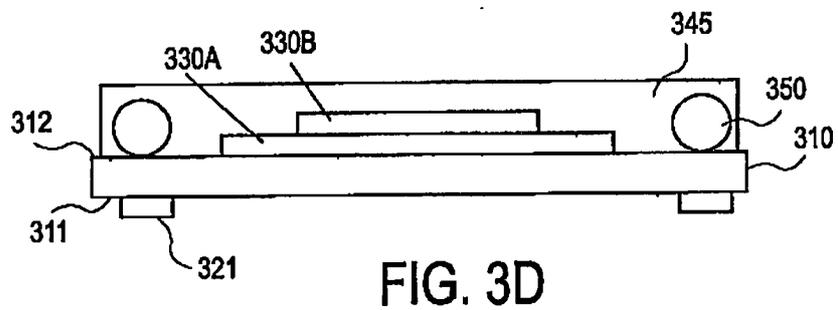


FIG. 3D

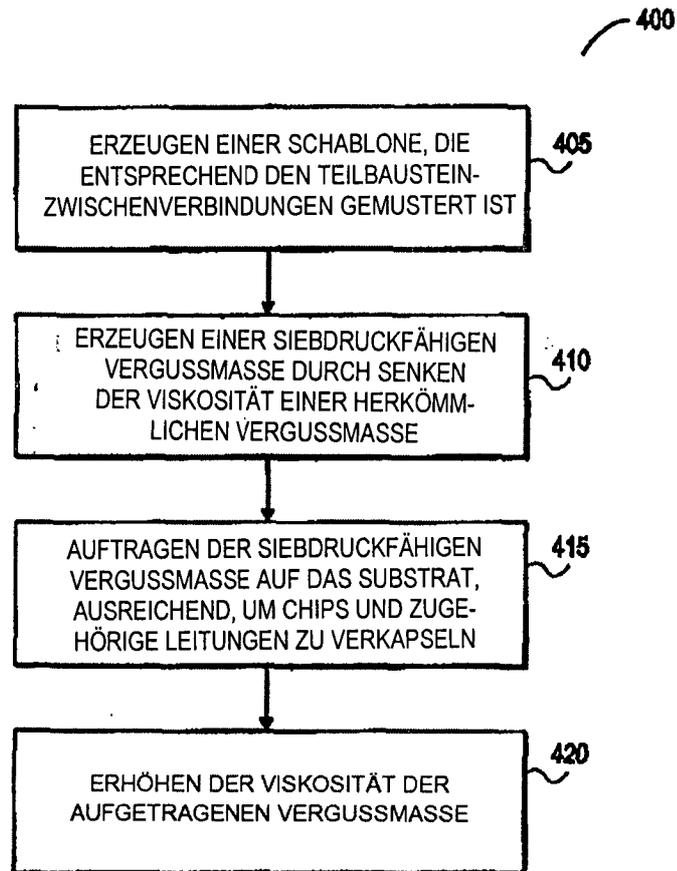


FIG. 4

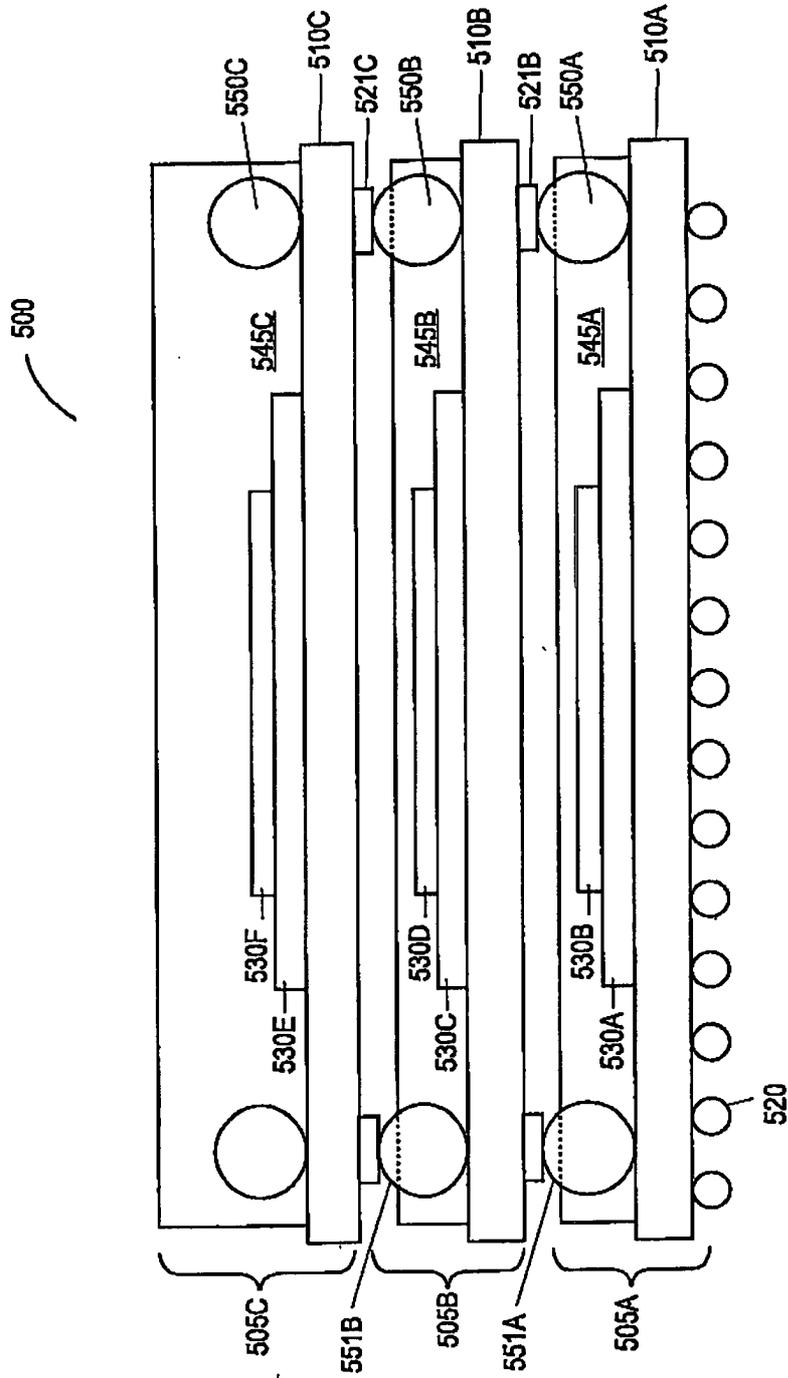


FIG. 5