



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0036446
(43) 공개일자 2012년04월18일

(51) 국제특허분류(Int. Cl.)

H05K 3/46 (2006.01) H01L 21/60 (2006.01)

H01L 23/48 (2006.01)

(21) 출원번호 10-2010-0098118

(22) 출원일자 2010년10월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

문태호

충청남도 천안시 서북구 불당1로 82, 604동 704호 (불당동, 대원칸타빌)

신화수

충청남도 천안시 서북구 봉서산로 85, 호반리젠시빌 아파트 105동 603호 (불당동)

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

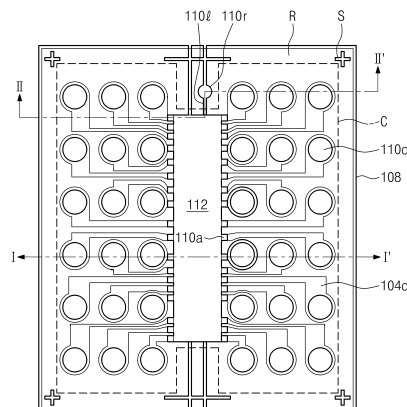
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 보드 온 칩 패키지용 인쇄회로기판, 이를 포함하는 보드 온 칩 패키지 및 이의 제조 방법

(57) 요약

보드 온 칩 패키지용 인쇄회로기판, 이를 포함하는 보드 온 칩 패키지 및 이의 제조 방법을 제공한다. 이 보드 온 칩 패키지용 인쇄회로기판은 각 단위 기판 내에 리젝트 마킹부를 구비하여, 리젝트 마크의 인식 오류를 줄일 수 있다.

대표도 - 도2a



(72) 발명자

한준수

충청남도 천안시 서북구 검은들2길 14, 현대 I
Park 115동 702호 (불당동)

박지민

충남 아산시 배방면 북수리 1191번지 행복한세상
201호

특허청구의 범위

청구항 1

복수의 단위 기관을 포함하는 스트립 레벨로 마련되고, 각 단위 기관의 불량 유무를 판별하기 위한 리젝트 마킹부를 포함하는 보드 온 칩 패키지용 인쇄회로기판에 있어서,

상기 리젝트 마킹부는 각 단위 기관 내에 위치하는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 2

제 1 항에 있어서,

상기 단위 기관은 회로 영역과 상기 회로 영역 가장자리의 주변 영역을 포함하며,

상기 리젝트 마킹부는 상기 주변 영역에 위치하는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 3

제 1 항에 있어서,

상기 단위 기관은 회로패턴과 이에 연결되는 도금 인입선을 포함하되,

상기 리젝트 마킹부는 상기 도금 인입선에 연결되는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 4

제 1 항에 있어서,

상기 리젝트 마킹부는 원형, 각형 또는 십자가형의 형태를 가지는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 5

제 1 항에 있어서,

상기 단위 기관은 솔더볼이 부착되는 제 1 면과 반도체 칩이 실장되는 제 2 면을 포함하되, 상기 리젝트 마킹부는 상기 제 1 면에 위치하는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 6

제 1 항에 있어서,

상기 단위기관은 개구부 영역을 포함하되, 상기 리젝트 마킹부는 상기 개구부 영역에 인접하여 위치하는 것을 특징으로 하는 보드 온 칩 패키지용 인쇄회로기판.

청구항 7

리젝트 마킹부와 개구부를 포함하는 단위 기관; 및

상기 단위 기관의 일면에 실장되는 반도체 칩을 포함하되,

상기 개구부를 통해 상기 반도체 칩과 상기 단위 기관이 전기적으로 연결되는 것을 특징으로 하는 보드 온 칩 패키지.

청구항 8

제 1 면과 상기 제 1 면에 대향되는 제 2 면을 포함하며 복수개의 단위 기관들을 가지는 스트립 레벨의 베이스 기판을 준비하는 단계;

각 단위 기관에 있어서 상기 제 1 면 상에 회로 패턴, 도금인입선 및 리젝트 마킹부를 형성하는 단계;

상기 제 1 면 상에 상기 회로 패턴과 상기 도금인입선의 일부 및 상기 리젝트 마킹부를 노출시키는 제 1 절연막

을 형성하고 상기 제 2 면 상에 제 2 절연막을 형성하는 단계; 및

상기 도금인입선의 노출된 일부에 전기를 연결하여 상기 노출된 회로 패턴의 일부와 리젝트 마킹부 상에 도금층을 형성하는 단계를 포함하는 보드 온 칩 패키지의 제조 방법.

청구항 9

제 8 항에 있어서,

각각의 단위 기판에 있어서, 상기 도금 인입선의 일부 및 그 이하의 상기 베이스 기판을 제거하여 개구부를 형성하는 단계; 및

상기 각각의 단위 기판을 검사하여 불량률이 발견된 단위 기판에 대하여 리젝트 마크를 해당 불량 단위 기판의 리젝트 마킹부에 형성하는 단계를 더 포함하는 보드 온 칩 패키지의 제조 방법.

청구항 10

제 9 항에 있어서,

각각의 단위 기판에 있어서, 상기 제 2 면 상에 반도체 칩을 실장하는 단계; 및

상기 개구부를 통해 상기 반도체 칩과 상기 회로 패턴을 전기적으로 연결시키는 단계를 더 포함하는 보드 온 칩 패키지의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 보드 온 칩 패키지용 인쇄회로기판, 이를 포함하는 보드 온 칩 패키지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근의 전자 기기는 종래에 비하여 소형화되어 가고 있으며, 이를 위하여 더욱 소형이고 고성능인 반도체 칩 패키지가 요구되고 있다. 이러한 추세에 따라 반도체 칩 패키지는 주로 패키지 내에 복수개의 반도체 칩을 상하로 적층하거나 또는 평면상에 배열된 형태로 내장하는 멀티칩 패키지, 또는 기판에 직접 반도체 칩을 부착하고 이를 밀봉하여 크기를 감소시킨 보드 온 칩 패키지 등이 사용되고 있다. 보드 온 칩(BoC : Board on Chip, 이하 '보드 온 칩'이라고 한다)은 반도체를 리드프레임을 통해 기판에 장착하는 기존방식과 달리, 반도체 칩 자체를 기판에 직접 실장함으로써 D램 고속화에 따른 열적·전기적 성능 손실을 최소화 할 수 있어 DDR(Digital Disk Recorder)2 등 D램 고속화에 적합한 차세대 고속 반도체용 기판으로 주목 받고 있다. 현재 D램의 용량은 128MB, 256MB, 512MB, 1GB, 2GB 등으로 빠르게 용량이 증가하고 있으며 이에 대응하기 위해서는 기판의 두께 감소를 통해 전기적 손실을 최소화 하고 제품의 신뢰성을 확보하여야 한다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 리젝트 마크(reject mark)의 인식 오류를 방지할 수 있는 보드 온 칩 패키지용 인쇄회로기판을 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 리젝트 마크(reject mark)의 신뢰성 있는 보드 온 칩 패키지를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 또 다른 과제는 리젝트 마크의 인식 오류를 방지할 수 있는 보드 온 칩 패키지의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명에 따른 보드 온 칩 패키지용 인쇄회로기판은, 복수의 단위 기판을 포함하는 스트립 레벨로 마련되고, 각 단위 기판의 불량 유무를 판별하기 위한 리젝트 마킹부를 포함하되, 상기 리젝트

마킹부는 각 단위 기관 내에 위치하는 것을 특징으로 한다.

- [0007] 상기 단위 기관은 회로 영역과 주변 영역을 포함할 수 있으며, 상기 리젝트 마킹부는 바람직하게는 상기 주변 영역에 위치할 수 있다.
- [0008] 상기 단위 기관은 회로패턴과 이에 연결되는 도금 인입선을 포함할 수 있으며, 상기 리젝트 마킹부는 상기 도금 인입선에 연결될 수 있다.
- [0009] 상기 리젝트 마킹부는 원형, 각형 및 십자가형을 포함하는 그룹에서 선택되는 적어도 하나의 형태를 가질 수 있다.
- [0010] 상기 단위 기관은 솔더볼이 부착되는 면과 반도체 칩이 실장되는 면을 포함할 수 있으며, 상기 리젝트 마킹부는 바람직하게는 상기 솔더볼이 부착되는 면에 위치할 수 있다.
- [0011] 상기 단위기관은 개구부 영역을 포함할 수 있으며, 상기 리젝트 마킹부는 상기 개구부 영역에 인접하여 위치할 수 있다.
- [0012] 상기 다른 과제를 달성하기 위한 본 발명에 따른 보드 온 칩 패키지는, 리젝트 마킹부와 개구부를 포함하는 단위 기관; 및 상기 단위 기관의 일면에 실장되는 반도체 칩을 포함하되, 상기 개구부를 통해 상기 반도체 칩과 상기 단위 기관이 전기적으로 연결되는 것을 특징으로 한다.
- [0013] 상기 또 다른 과제를 달성하기 위한 본 발명에 따른 보드 온 칩 패키지의 제조 방법은, 제 1 면과 대향되는 제 2 면을 포함하며 복수개의 단위 기관들을 가지는 스트립 레벨의 베이스 기관을 준비하는 단계; 각 단위 기관에 있어서 상기 제 1 면 상에 회로 패턴, 도금인입선 및 리젝트 마킹부를 형성하는 단계; 상기 제 1 면 상에 상기 회로 패턴과 상기 도금인입선의 일부 및 상기 리젝트 마킹부를 노출시키는 제 1 절연막을 형성하고 상기 제 2 면 상에 제 2 절연막을 형성하는 단계; 및 상기 도금인입선의 노출된 일부에 전기를 연결하여 상기 노출된 회로 패턴의 일부와 리젝트 마킹부 상에 각각 도금층을 형성하는 단계를 포함한다.
- [0014] 상기 방법은, 각각의 단위 기관에 있어서, 상기 도금 인입선의 일부 및 그 이하의 상기 베이스 기관을 제거하여 개구부를 형성하는 단계; 및 상기 각각의 단위 기관을 검사하여 불량이 발견된 단위 기관에 대하여 리젝트 마크를 해당 불량 단위 기관의 리젝트 마킹부에 형성하는 단계를 더 포함할 수 있다.
- [0015] 상기 방법은, 각각의 단위 기관에 있어서, 상기 제 2 면 상에 반도체 칩을 실장하는 단계; 및 상기 개구부를 통해 상기 반도체 칩과 상기 회로 패턴을 전기적으로 연결시키는 단계를 더 포함할 수 있다.

발명의 효과

- [0016] 본 발명의 일 예에 따른 보드 온 칩 패키지용 인쇄회로기관은 각 단위 기관 내에 리젝트 마킹부를 구비하여, 리젝트 마크의 인식 오류를 줄일 수 있다.
- [0017] 본 발명의 다른 예에 따른 보드 온 칩 패키지는 각 단위 기관 내에 리젝트 마킹부를 구비하여, 불량 기관을 판별하기 용이하여 신뢰성을 향상시킬 수 있다.
- [0018] 본 발명의 또 다른 예에 따른 보드 온 칩 패키지의 제조 방법은 단위 기관 내에 리젝트 마킹부를 형성하여 인식 오류를 줄이고 불량 기관을 정확히 판별하여 정상적인 기관이 불량 기관으로 인식되는 것을 막아 수율을 증대시킬 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 예에 따른 보드 온 칩 패키지용 스트립 레벨 기관의 평면도이다.
- 도 2a는 도 1의 A 부분 안에 위치하는 단위 기관의 평면도이다.
- 도 2b 및 2c는 도 2a를 각각 I-I' 선과 II-II'선으로 자른 단면도들이다.
- 도 3a는 도 2a의 단위 기관에 리젝트 마크를 표시한 평면도이다.
- 도 3b는 도 3a를 II-II'선으로 자른 단면도이다.
- 도 4a과 5a는 도 2a의 단위 기관을 형성하는 과정을 나타내는 평면도들이다.
- 도 4b 및 5b는 각각 도 4a와 5a를 I-I' 선으로 자른 단면도들이다.

도 4c 및 5c는 각각 도 4a와 5a를 II-II' 선으로 자른 단면도들이다.

도 6a, 7a 및 8a는 본 발명의 일 예에 따른 보드 온 칩 패키지를 형성하는 과정을 순차적으로 나타내는 평면도들이다.

도 6b, 7b 및 8b는 각각 도 6a, 7a 및 8a를 I-I' 선으로 자른 단면도들이다.

도 6c, 7c 및 8c는 각각 도 6a, 7a 및 8a를 II-II' 선으로 자른 단면도들이다.

도 9 및 도 10은 본 발명의 다른 예들에 따른 보드 온 칩 패키지용 스트립 레벨 기관들의 평면도들이다.

도 11은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 패키지 모듈의 예를 보여주는 도면이다.

도 12는 본 발명의 기술이 적용된 반도체 패키지를 포함하는 전자 장치의 예를 보여주는 블록도이다.

도 13은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 메모리 시스템의 예를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0021] 도 1은 본 발명의 일 예에 따른 보드 온 칩 패키지용 스트립 레벨 기관의 평면도이다.

[0022] 도 1을 참조하면, 본 발명의 일 예에 따른 보드온 칩 패키지용 스트립 레벨의 인쇄회로기판(10)은 복수개의 단위 기관들(100)을 포함한다. 각각의 상기 단위 기관들(100)은 회로 영역(C)과 주변 영역(R)을 포함하고 상기 회로 영역(C)의 중심부에는 개구부(112)가 위치한다. 본 발명의 상기 스트립 레벨의 인쇄회로기판(10)에서는 상기 단위 기관들(100)의 가장자리인 프레임(12)에 각 단위 기관(100)의 불량 유무를 판별하기 위한 리젝트 마킹부가 존재하지 않는다. 본 발명에 따른 보드 온 칩 패키지용 스트립 레벨 기관(10)에서는 리젝트 마킹부가 각 단위 기관(100) 내에 존재한다. 이를 이하에서 구체적으로 설명하기로 한다.

[0023] 도 2a는 도 1의 A 부분 안에 위치하는 단위 기관의 평면도이다. 도 2b 및 2c는 도 2a를 각각 I-I' 선과 II-II' 선으로 자른 단면도들이다.

[0024] 도 2a 내지 도 2c를 참조하면, 보드 온 칩 패키지용 단위기관(100)은 회로 영역(C)과 그 주변에 해당하는 주변 영역(R)을 포함하는 베이스 기관(102)을 포함한다. 상기 베이스 기관(102)은 절연 물질을 포함할 수 있다. 상기 베이스 기관(102)은 제 1 면(101a)과 대향되는 제 2 면(101b)을 포함한다. 상기 제 1 면(101a) 상에서 상기 회로 영역(C) 안에는 회로 패턴들(104c)이 배치된다. 상기 제 1 면(101a) 상에서 상기 주변 영역(R) 안에는 리젝트 마킹부(104r)가 배치된다. 상기 주변 영역(R)의 가장자리 모서리에는 정렬마크(S)가 배치될 수 있다. 상기 제 1 면(101a) 상에서 상기 회로 영역(C)과 상기 주변회로 영역(R)을 가로질러 도금인입선(104ℓ)이 배치된다. 상기 도금 인입선(104ℓ)은 상기 리젝트 마킹부(104r)와 연결된다. 상기 회로 영역(C)의 중심부에 상기 베이스 기관(102)은 개구부(112)를 포함한다. 상기 개구부(112)에 인접한 상기 제 1 면(101a)에는 패드부(104a)가 배치된다. 상기 리젝트 마킹부(104r)는 상기 개구부(112)에 인접한 주변영역(R) 안에 배치될 수 있으며 상기 도금 인입선(104ℓ)에 연결될 수 있다. 제 1 절연막(108)은 상기 제 1 면(101a) 상에서 배치되어 상기 회로 패턴들(104c)의 일부를 덮되 상기 회로 패턴들(104c)의 일부, 상기 패드부(104a), 상기 리젝트 마킹부(104r) 및 상기 도금 인입선(104ℓ)을 노출시킨다. 노출된 상기 회로 패턴들(104c)의 일부, 상기 패드부(104a), 상기 리젝트 마킹부(104r) 및 상기 도금 인입선(104ℓ) 상에는 도금층들(110c, 110a, 110ℓ, 110r)이 배치된다. 상기 도금층들(110c, 110a, 110ℓ, 110r)은 각각 회로도금층(110c), 패드 도금층(110a), 인입선도금층(110ℓ) 및 리젝트 도금층(110r)을 포함할 수 있다. 상기 베이스 기관(102)의 상기 제 2 면(101b)은 제 2 절연막(106)으로 덮인다.

[0025] 도 3a는 도 2a의 단위 기관에 리젝트 마크를 표시한 평면도이다. 도 3b는 도 3a를 II-II' 선으로 자른 단면도이다.

[0026] 도 2a 내지 2c, 그리고 도 3a 및 3b를 참조하여, 보드온 칩 패키지용 스트립 레벨의 인쇄회로기판(10)의 각 단

위 기관(100)을 검사한 후에, 소정의 단위 기관(100)에 불량이 발견되면 리젝트 마크(B)를 리젝트 마킹부(104r) 상에 형성한다. 상기 리젝트 마크(B)는 레이저를 이용하여 형성될 수도 있고, 잉크 펜을 이용하여 형성될 수 있다. 레이저를 이용할 경우, 리젝트 도금층(110r)과 그 하부의 리젝트 마킹부(104)가 일부나 전부가 레이저에 의해 녹을 수 있으며 제거될 수 있다. 잉크 펜을 이용할 경우 잉크액이 상기 리젝트 도금층(110r) 상에 도포될 수 있다. 도 3a 및 도 3b는 잉크펜을 이용하여 리젝트 마크(B)를 형성한 경우를 보여준다.

[0027] 이와 같이 본 발명의 일 예에 따른 보드 온 칩 패키지용 인쇄회로기관(10)은 각 단위 기관(100) 내에 리젝트 마킹부(104r)를 구비함으로써, 불량이 발견된 해당 단위 기관(100) 내의 리젝트 마킹부(104r)에 바로 리젝트 마크(B)를 표시할 수 있으므로, 리젝트 마크(B)의 인식 오류를 줄일 수 있다. 또한 불량 기관을 정확히 판별하여 정상적인 기관이 불량 기관으로 인식되는 것을 막을 수 있다.

[0028] 다음은 보드 온 칩 패키지용 인쇄회로기관(10)의 제조 과정을 살펴보기로 한다. 이때 단위 기관(100) 위주로 살펴보기로 한다. 도 4a과 5a는 도 2a의 단위 기관을 형성하는 과정을 나타내는 평면도들이다. 도 4b 및 5b는 각각 도 4a와 5a를 I-I' 선으로 자른 단면도들이다. 도 4c 및 5c는 각각 도 4a와 5a를 II-II' 선으로 자른 단면도들이다.

[0029] 도 4a 내지 4c를 참조하면, 제 1 면(101a)과 대향되는 제 2 면(102b)을 가지며, 회로 영역(C)과 주변 영역(R)을 가지는 베이스 기관(102)을 준비한다. 상기 베이스 기관(102)은 절연 물질로 이루어질 수 있다. 상기 베이스 기관(102)의 제 1 면(101a) 상에 회로 패턴(104c), 패드부(104a), 도금인입선(104ℓ) 및 리젝트 마킹부(104r)를 형성한다. 상기 회로 패턴(104c), 상기 패드부(104a), 상기 도금인입선(104ℓ) 및 상기 리젝트 마킹부(104r)는 예를 들면 무전해 도금 방법으로 구리층을 상기 제 1 면(101a)의 전면에 형성한 후에, 레지스트 패턴을 식각 마스크로 이용하여 상기 구리층을 식각함으로써 형성될 수 있다. 따라서, 상기 회로 패턴(104c), 상기 패드부(104a), 상기 도금인입선(104ℓ) 및 상기 리젝트 마킹부(104r)는 동시에 형성될 수 있다. 도시하지는 않았지만, 상기 제 2 면(102b)에 도전 패턴의 형성도 가능하다.

[0030] 도 5a 내지 5c를 참조하면, 상기 제 1 면(101a)에 제 1 절연막(108)을 형성한 후 일부 패터닝하여 상기 회로 패턴(104c)의 일부와, 상기 패드부(104a), 상기 도금인입선(104ℓ) 및 상기 리젝트 마킹부(104r)를 노출시킨다. 상기 노출된 회로 패턴(104c)의 일부는 후에 솔더볼과 같은 범프가 부착되는 볼랜드의 역할을 할 수 있다. 상기 제 2 면(101b)에는 제 2 절연막(106)을 형성한다. 그리고 상기 노출된 도금인입선(104ℓ)에 전기를 연결하여 전해도금을 실시하여 노출된 상기 회로 패턴(104c)의 일부와, 상기 패드부(104a), 상기 도금인입선(104ℓ) 및 상기 리젝트 마킹부(104r) 상에 도금층들(110c, 110a, 110ℓ, 110r)을 형성한다. 상기 도금층들(110c, 110a, 110ℓ, 110r)은 각각 회로도금층(110c), 패드 도금층(110a), 인입선도금층(110ℓ) 및 리젝트 도금층(110r)을 포함할 수 있다. 상기 도금층(110c, 110a, 110ℓ, 110r)은 예를 들면 니켈 및/또는 금의 단일/복합층으로 이루어질 수 있다. 상기 도금층들(110c, 110a, 110ℓ, 110r)이 전해도금으로 형성되는 이유는 신뢰성(Reliability) 측면에서 무전해 도금보다 우수하기 때문이다.

[0031] 다시 도 2a 내지 도 2c를 참조하면, 라우터 비트를 이용하여 상기 회로 영역(C)의 중심부에서 인입선 도금층(110ℓ), 그 하부의 도금 인입선들(104ℓ) 및 그 하부의 베이스 기관(102)등을 제거하여 개구부(112)를 형성한다.

[0032] 이와 같은 과정으로 형성된 단위 기관(100)을 포함하는 스트립 레벨의 인쇄회로 기관(10)을 형성한 후에, 각 단위 기관(100)을 검사하여 불량 유무를 판별하여 도 3a 및 3b와 같이 불량 단위 기관(100) 내의 리젝트 마킹부(104r) 상에 리젝트 마크(B)를 표시한다. 불량에 발견되지 않은 단위 기관(100) 내의 리젝트 마킹부(104r) 상에는 리젝트 마크(B)가 표시되지 않는다.

[0033] 다음은, 이와 같은 과정으로 형성된 단위 기관(100)을 포함하는 보드 온 칩 패키지를 형성하는 과정을 설명하기로 한다.

[0034] 도 6a, 7a 및 8a는 본 발명의 일 예에 따른 보드 온 칩 패키지를 형성하는 과정을 순차적으로 나타내는 평면도들이다. 도 6b, 7b 및 8b는 각각 도 6a, 7a 및 8a를 I-I' 선으로 자른 단면도들이다. 도 6c, 7c 및 8c는 각각 도 6a, 7a 및 8a를 II-II' 선으로 자른 단면도들이다.

[0035] 도 6a 내지 6c를 참조하면, 불량 유무를 판별하여 리젝트 마크를 선택적으로 각각의 단위 기관 내에 표시한 후에, 리젝트 마크 모니터링용 카메라를 이용하여 상기 리젝트 마크를 모니터링하면서, 베이스 기관(102)의 제 2 면(101b)에 반도체 칩(200)을 실장한다. 상기 반도체 칩(200)의 실장은 접착물질(204)을 이용하여 진행될 수 있다. 이때, 리젝트 마크(B)가 표시되지 않은 정상 단위 기관(100)에는 정상의 반도체 칩(200)이 실장되고, 리

젝트 마크(B)가 표시된 불량 단위 기관(100)에는 더미 반도체 칩이 실장된다. 상기 반도체 칩(200)의 접속 단자들(202)이 상기 단위 기관(100)의 개구부(112)에 노출되도록 상기 반도체 칩(200)이 실장될 수 있다.

[0036] 도 7a 내지 7c를 참조하면, 리젝트 마크 모니터링용 카메라를 이용하여 상기 리젝트 마크를 모니터링하면서, 와이어 본딩 공정을 진행한다. 이때, 정상의 단위 기관(100)에 대하여 와이어 본딩 공정이 수행되나, 불량 단위 기관(100)에 대하여 와이어 본딩 공정은 수행되지 않는다. 와이어 본딩 공정은 개구부(112) 안에서 정상의 단위 기관(100)의 패드부(104a)와 정상의 반도체 칩(200)의 접속 단자(204)를 와이어로 연결함으로써 진행될 수 있다.

[0037] 도 8a 내지 8c를 참조하면, 몰딩 공정을 진행한다. 상기 몰딩 공정은 금형 틀 안에서 진행될 수 있으며 에폭시와 같은 몰딩 화합물(210)로 상기 개구부(112)를 채우는 동시에 상기 반도체 칩(200)의 가장자리 측면을 덮을 수 있다. 그리고, 솔더볼과 같은 범프(214)를 상기 제 1 면(101a) 상의 회로 도금층(110c) 상에 형성한다. 후속으로 블레이드(blade) 등을 이용하여 각 단위 기관(100)을 스트립 레벨의 기관(10)으로부터 분리하는 소터(sorter) 공정을 진행함으로써, 패키지 공정을 완료할 수 있다.

[0038] 이와 같이, 본 발명의 일 예에 따른 보드 온 칩 패키지 및 이의 형성 방법에서는, 각 단위 기관 내에 리젝트 마킹부를 구비하여, 불량 기관을 판별하기 용이하여 신뢰성을 향상시킬 수 있으며, 수율을 증대시킬 수 있다.

[0039] 도 9 및 도 10은 본 발명의 다른 예들에 따른 보드 온 칩 패키지용 스트립 레벨 기관들의 평면도들이다.

[0040] 도 9 및 도 10을 참조하면, 리젝트 마킹부(104r)의 평면 형태가 도 2a에서처럼 원형이 아닌, 십자거나 사각형 형태를 가진다. 그외의 구성은 도 2a와 같다. 상기 리젝트 마킹부(104r)의 형태는 이에 한정되지 않고 다양할 수 있다.

[0041] 상술한 반도체 패키지 기술은 다양한 종류의 반도체 소자들 및 이를 구비하는 패키지 모듈에 적용될 수 있다.

[0042] 도 11은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 패키지 모듈의 예를 보여주는 도면이다. 도 11을 참조하면, 패키지 모듈(1200)은 반도체 집적회로 칩(1220) 및 QFP(Quad Flat Package) 패키징된 반도체 집적회로 칩(1230)과 같은 형태로 제공될 수 있다. 본 발명에 따른 반도체 패키지 기술이 적용된 반도체 소자들(1220, 1230)을 기관(1210)에 설치함으로써, 상기 패키지 모듈(1200)이 형성될 수 있다. 상기 패키지 모듈(1200)은 기관(1210) 일측에 구비된 외부연결단자(1240)를 통해 외부전자장치와 연결될 수 있다.

[0043] 상술한 반도체 패키지 기술은 전자 시스템에 적용될 수 있다. 도 12는 본 발명의 기술이 적용된 반도체 패키지를 포함하는 전자 장치의 예를 보여주는 블록도이다. 도 12를 참조하면, 전자 시스템(1300)은 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)를 포함할 수 있다. 상기 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)는 버스(1350, bus)를 통하여 결합될 수 있다. 상기 버스(1350)는 데이터들이 이동하는 통로라 할 수 있다. 예컨대, 상기 제어기(1310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 그리고 이들과 동일한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 제어기(1310) 및 기억 장치(1330)는 본 발명에 따른 반도체 패키지를 포함할 수 있다. 상기 입출력 장치(1320)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1330)는 데이터를 저장하는 장치이다. 상기 기억 장치(1330)는 데이터 및/또는 상기 제어기(1310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(1330)는 휘발성 기억 소자 및/또는 비휘발성 기억 소자를 포함할 수 있다. 또는, 상기 기억 장치(1330)는 플래시 메모리로 형성될 수 있다. 예를 들면, 모바일 기기나 데스크톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 기술이 적용된 플래시 메모리가 장착될 수 있다. 이러한 플래시 메모리는 반도체 디스크 장치(SSD)로 구성될 수 있다. 이 경우 전자 시스템(1300)은 대용량의 데이터를 상기 플래시 메모리 시스템에 안정적으로 저장할 수 있다. 상기 전자 시스템(1300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1340)를 더 포함할 수 있다. 상기 인터페이스(1340)는 유무선 형태일 수 있다. 예컨대, 상기 인터페이스(1340)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 그리고, 도시되지 않았지만, 상기 전자 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 그리고 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0044] 상기 전자 시스템(1300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 타블렛(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 그리고 정보 전송/수신 시스템 중

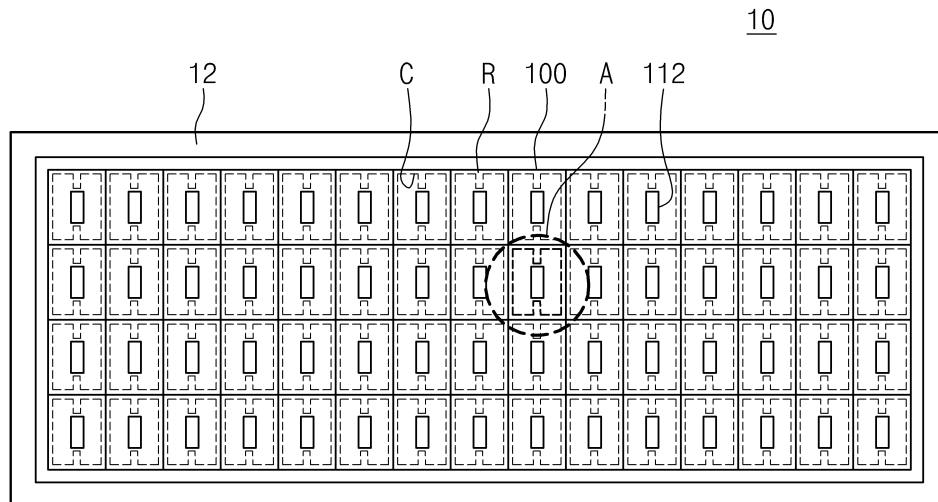
어느 하나일 수 있다. 상기 전자 시스템(1300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000과 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.

[0045] 상술한 본 발명의 기술이 적용된 반도체 소자는 메모리 카드의 형태로 제공될 수 있다. 도 13은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 메모리 시스템의 예를 보여주는 블록도이다. 도 13을 참조하면, 메모리 카드(1400)는 비휘발성 기억 소자(1410) 및 메모리 제어기(1420)를 포함할 수 있다. 상기 비휘발성 기억 장치(1410) 및 상기 메모리 제어기(1420)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 상기 비휘발성 기억 장치(1410)는 본 발명에 따른 반도체 패키지 기술이 적용된 비휘발성 기억 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 메모리 제어기(1420)는 호스트(host)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 플래쉬 기억 장치(1410)를 제어할 수 있다.

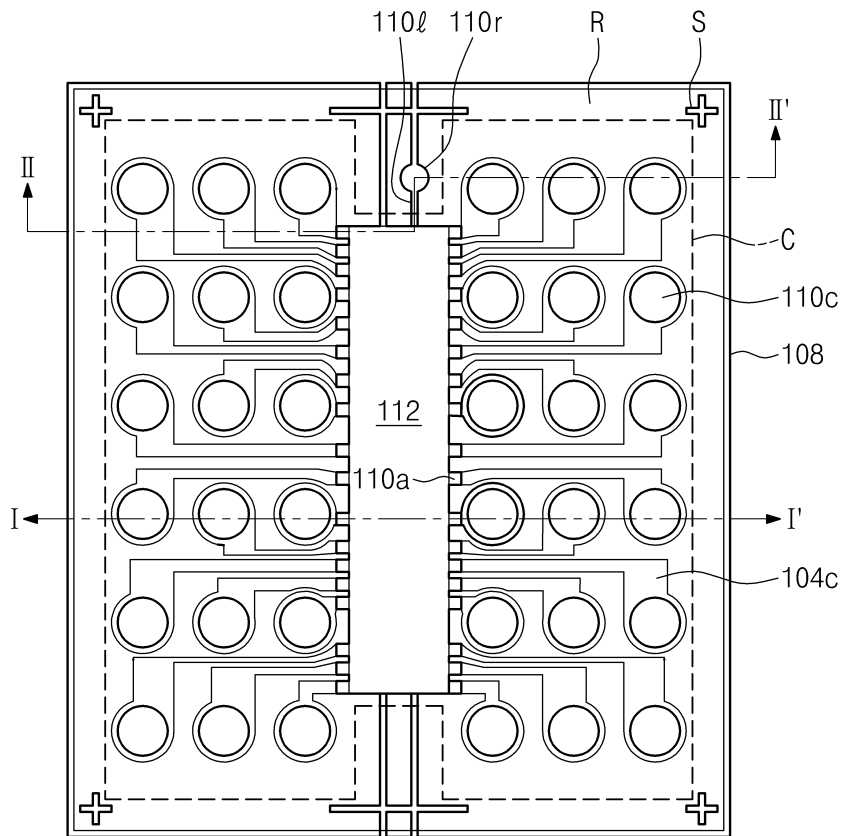
[0046] 이상의 상세한 설명은 본 발명을 예시하는 것이다. 또한 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 즉, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

도면

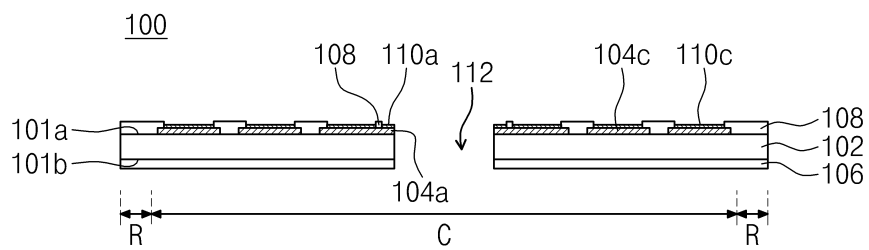
도면1



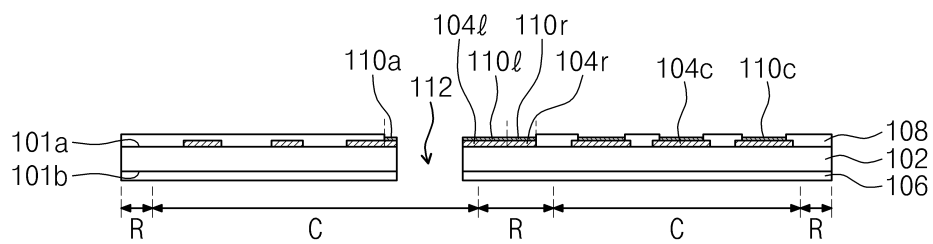
도면2a



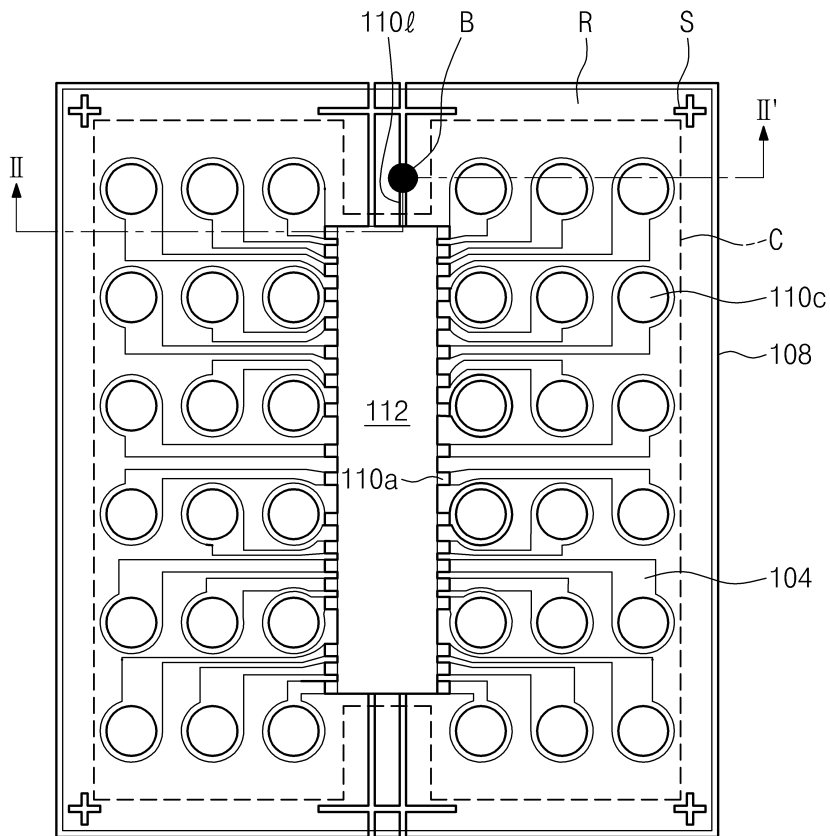
도면2b



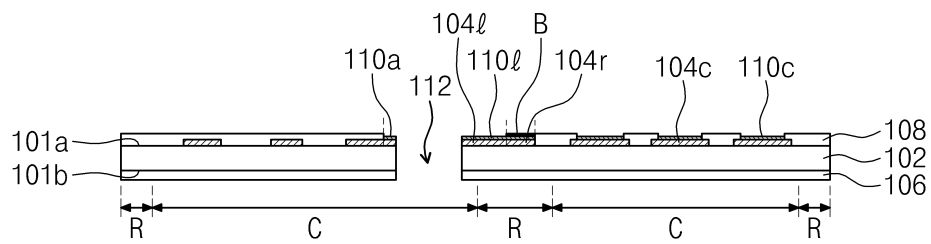
도면2c



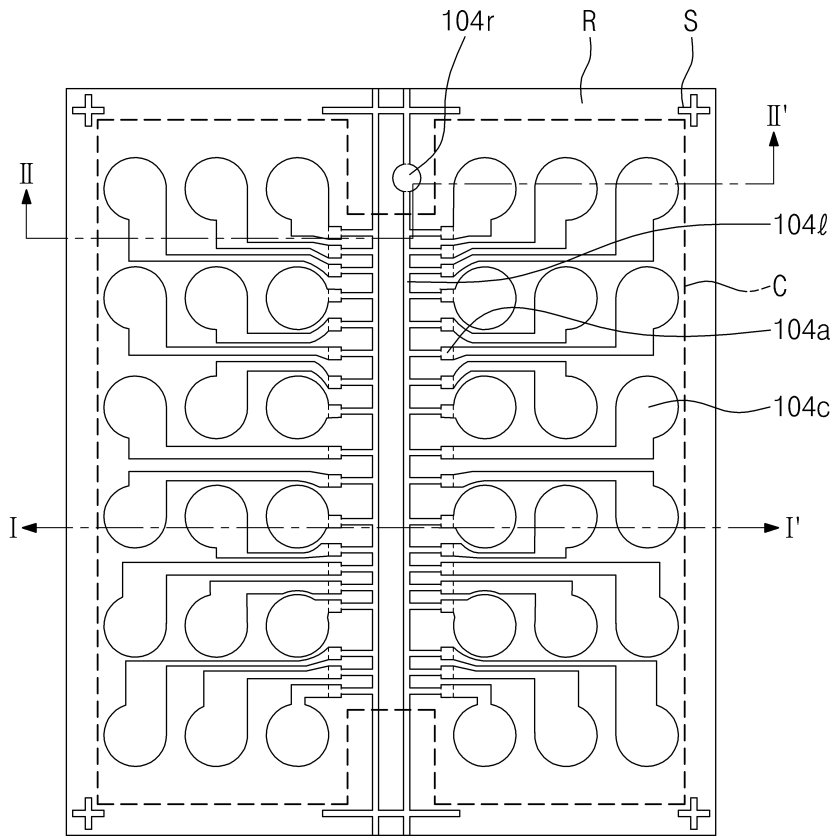
도면3a



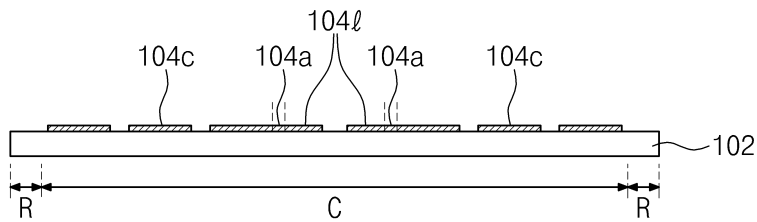
도면3b



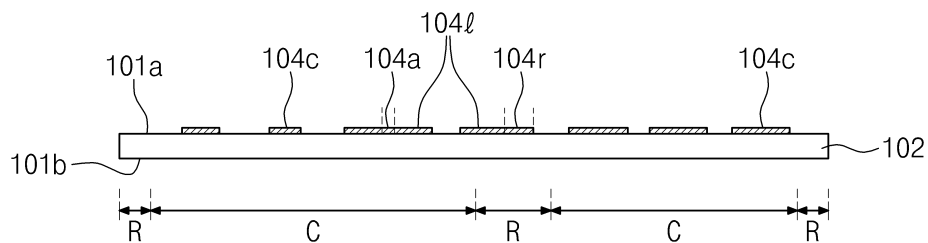
도면4a



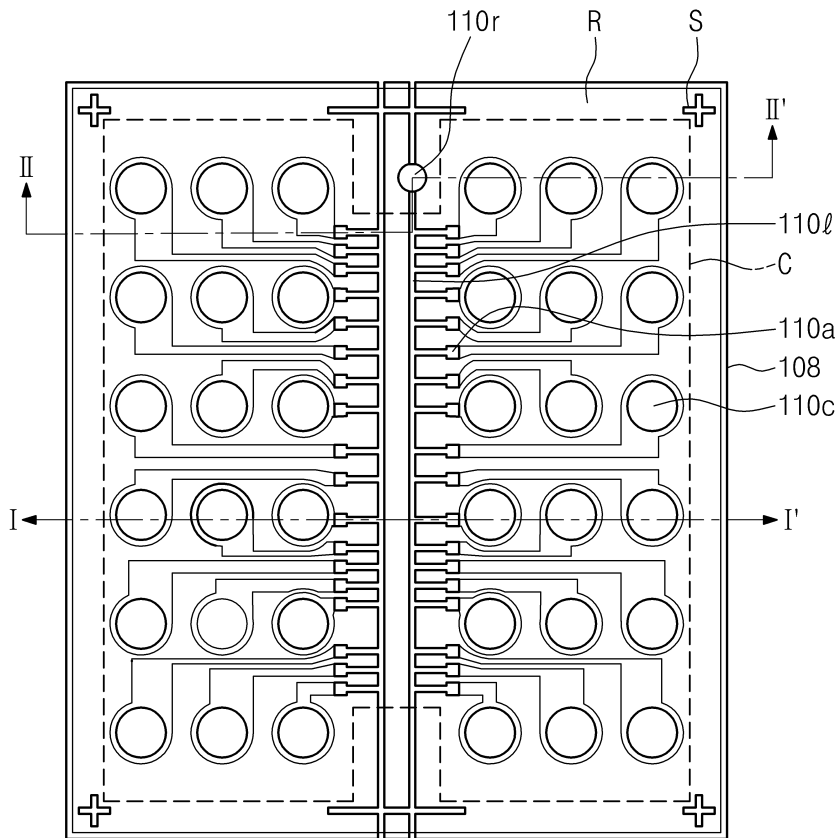
도면4b



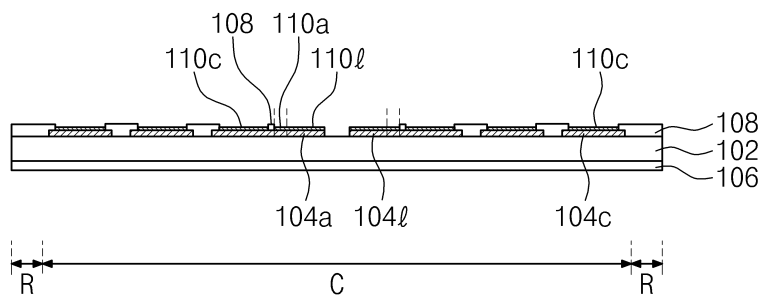
도면4c



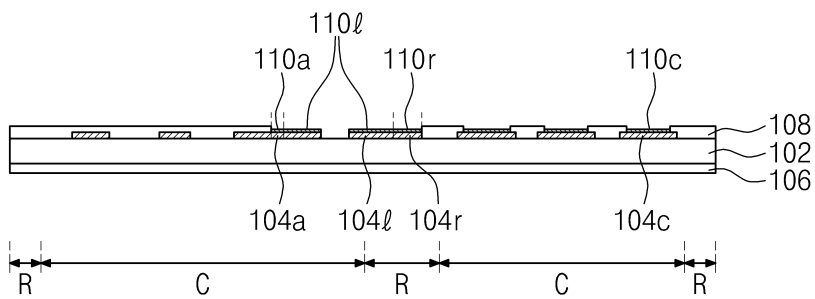
도면5a



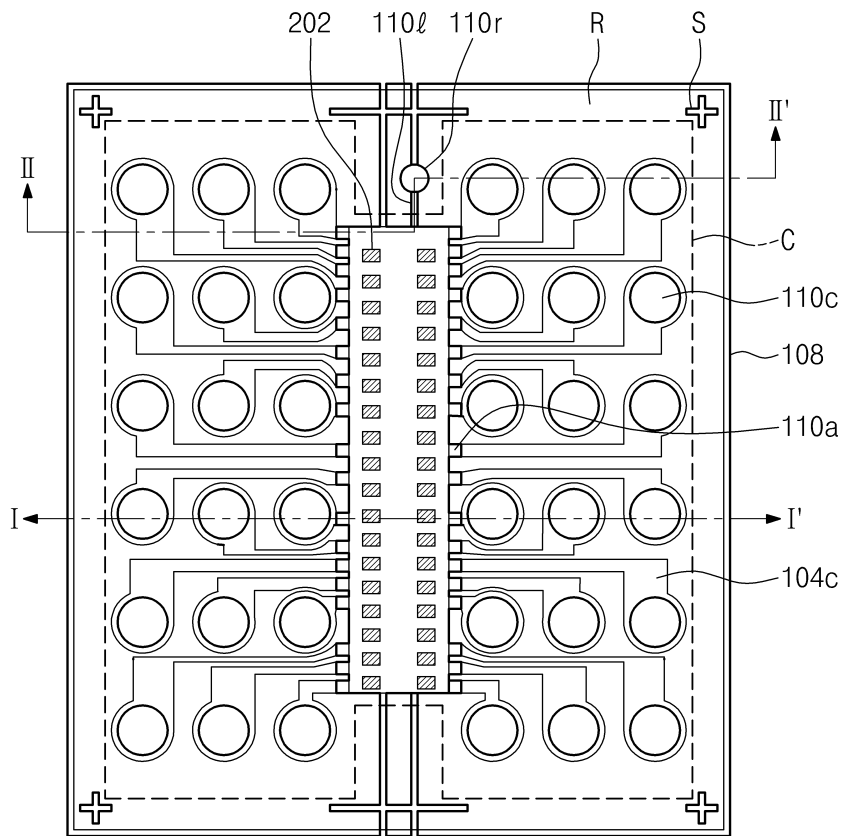
도면5b



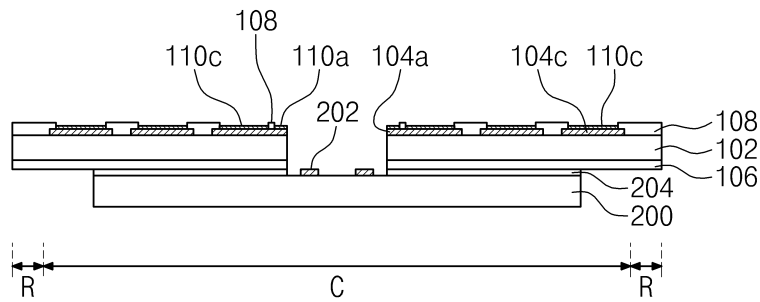
도면5c



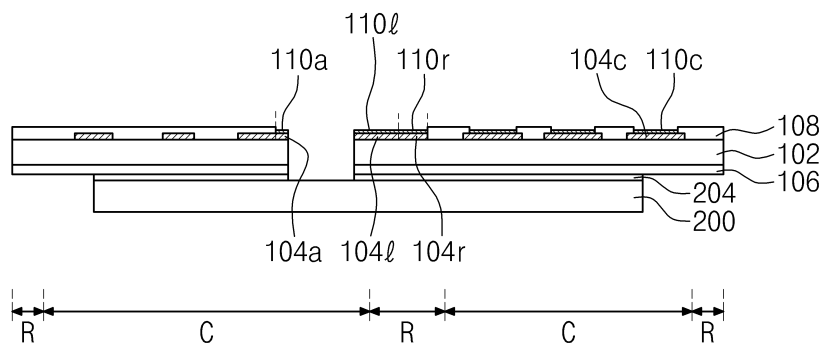
도면6a



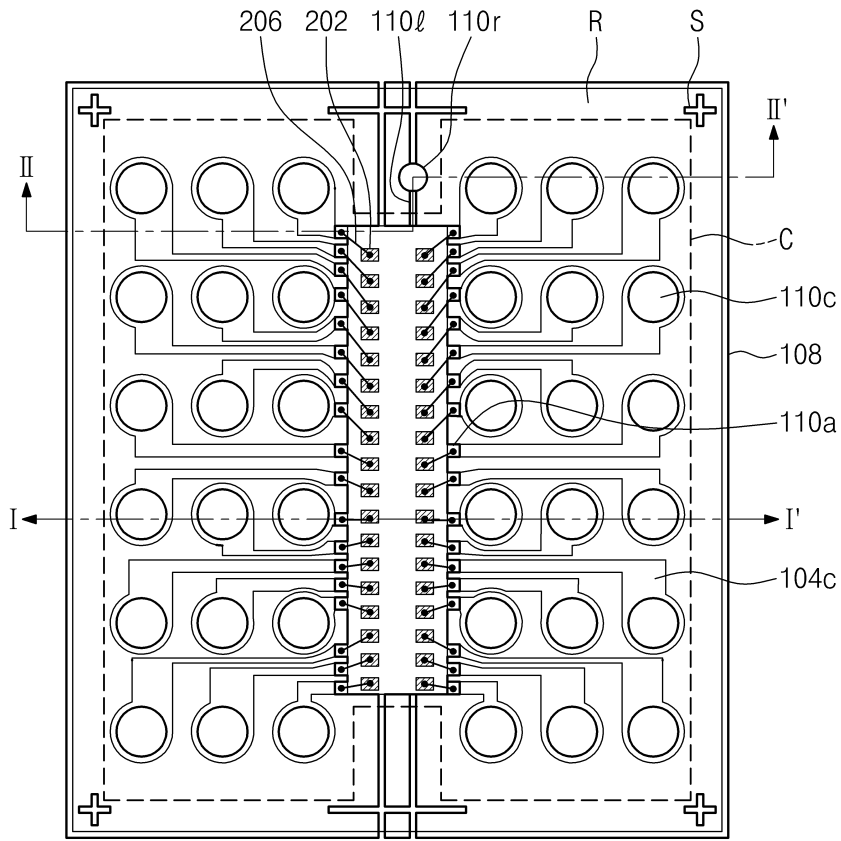
도면6b



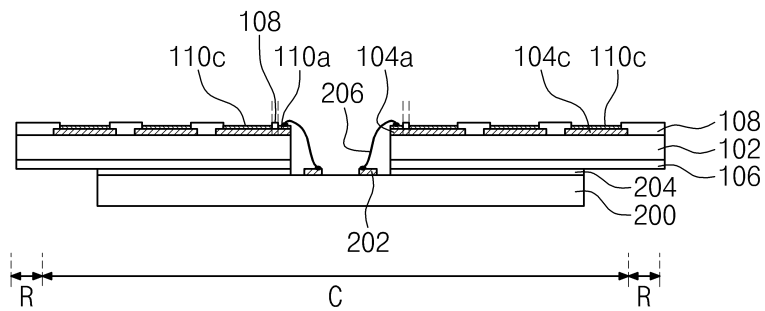
도면6c



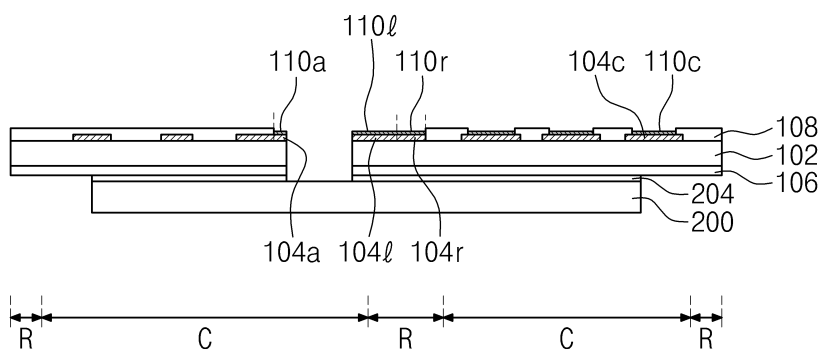
도면7a



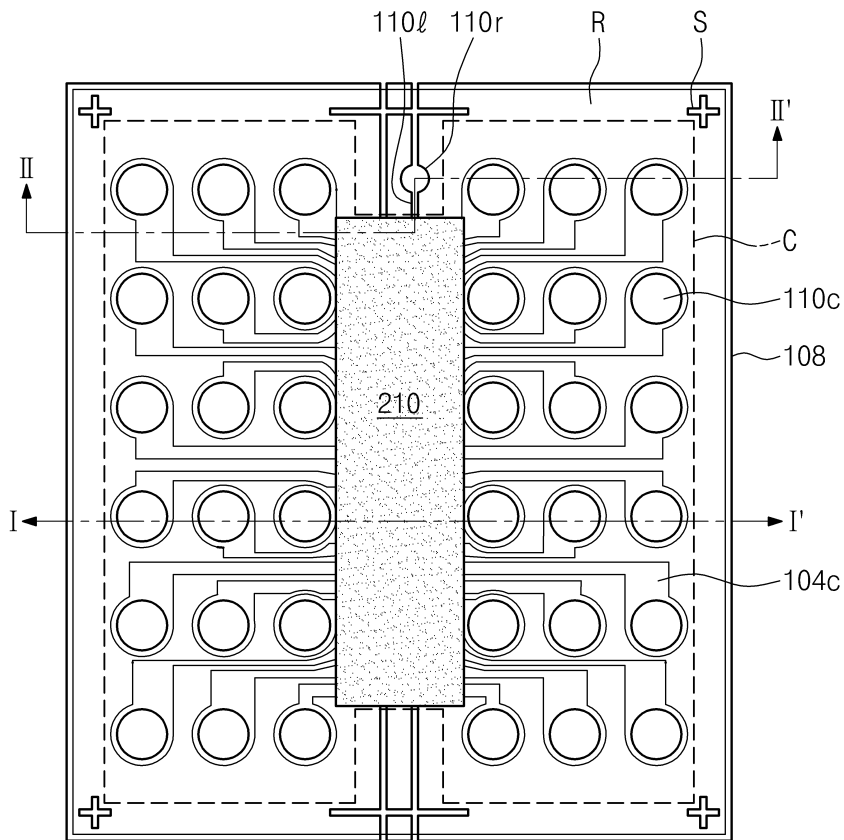
도면7b



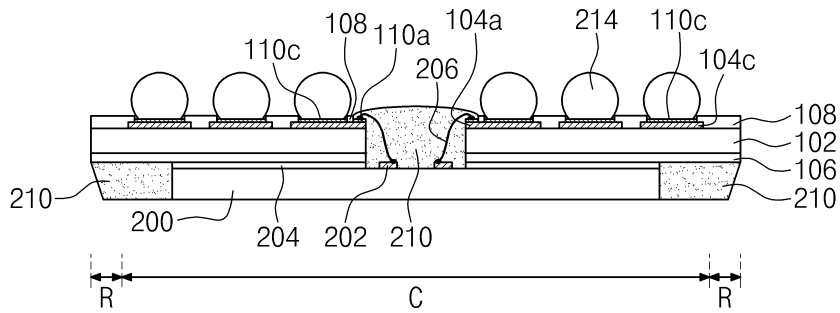
도면7c



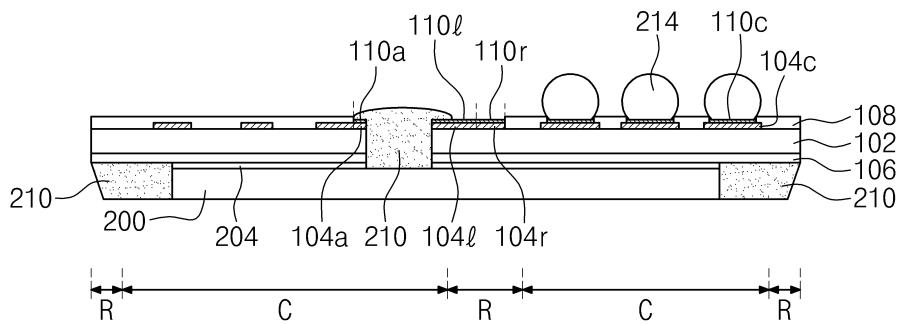
도면8a



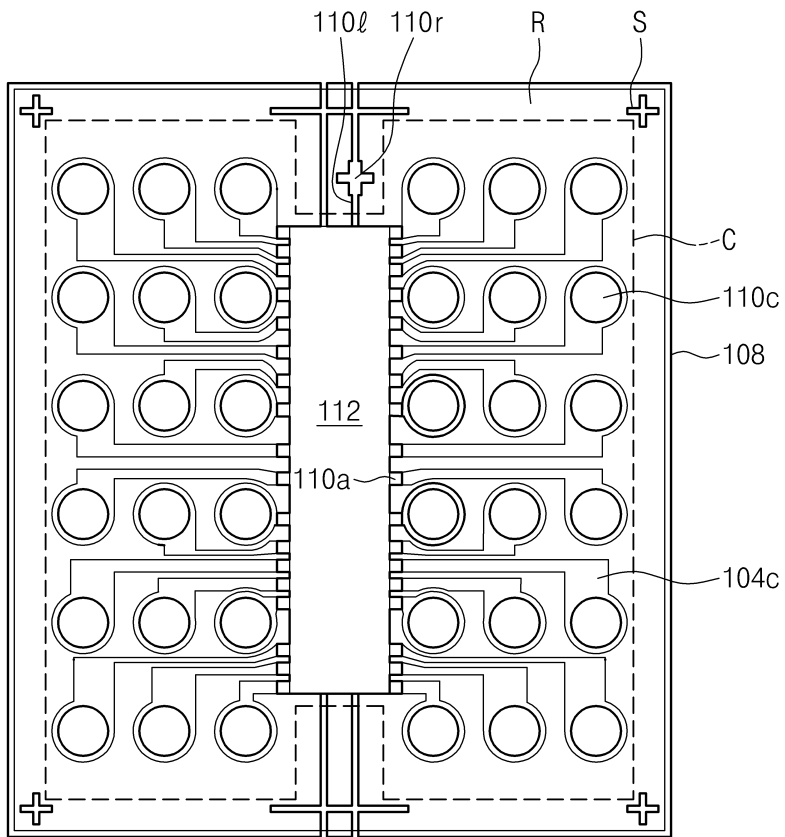
도면8b



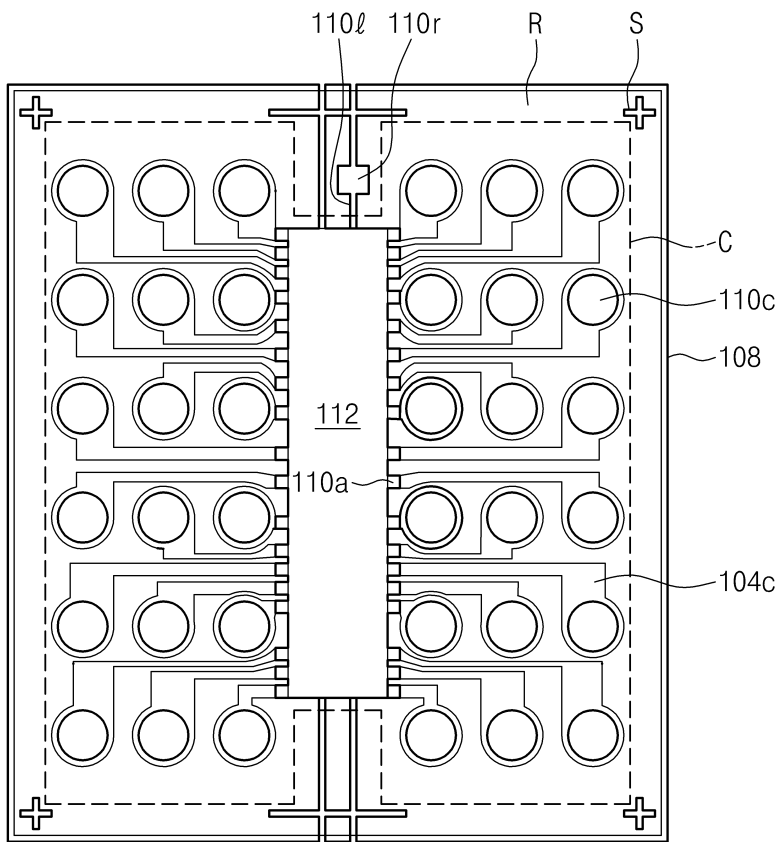
도면8c



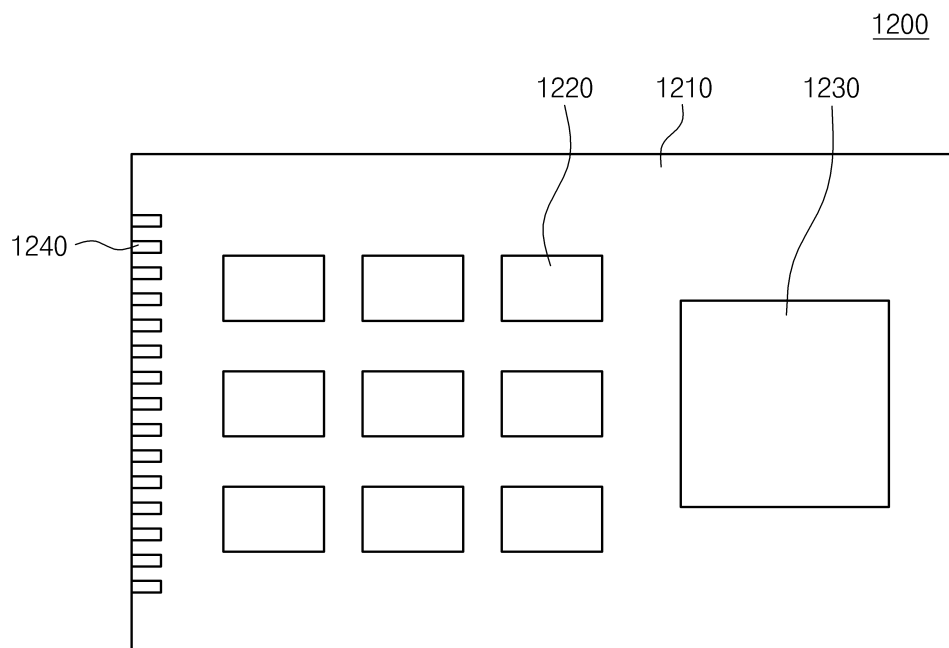
도면9



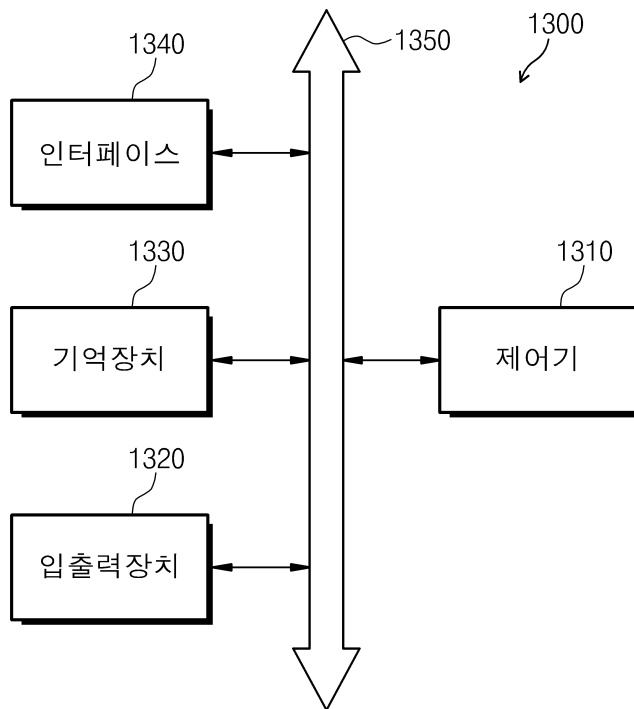
도면10



도면11



도면12



도면13

