

公告本

第 95127700 號專利申請案
(99 年 9 月 14 日)

發明專利說明書

99 年 9 月 14 日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95127700

※ 申請日期：95.7.28

※IPC 分類：

G11C 29/00 (2006.01)

G11C 11/40 (2006.01)

G11C 7/00 (2006.01)

G11C 7/18 (2006.01)

H01L 21/8244 (2006.01)

H01L 21/10 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)(簽章) 赤尾泰 / AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部 1753 番地

1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 1 人)

姓名：(中文/英文)

宮西篤史 / MIYANISHI, ATSUSHI

國籍：(中文/英文)

日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國；2005 年 08 月 26 日；特願 2005-246408（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係在輸入埠與輸出埠分離，且具備具有旁路功能的半導體記憶部之半導體裝置中提供可使佈局構造簡化之技術。

本發明係在作為半導體裝置的半導體記憶部所使用之半導體記憶裝置(100)中，輸出緩衝器電路(6)係於旁路模式時，將藉由從輸入緩衝器電路(5)延伸至輸出緩衝器電路(6)之旁路線傳達的輸入資料 $D[n-1:0]$ 輸出到輸出埠 OUT0 至 OUT $n-1$ 。在半導體記憶裝置(100)之佈局構造中，在俯視時，記憶胞陣列(1)係由輸入緩衝器電路(5)以及輸出緩衝器電路(6)所夾介而配置，旁路線係通過記憶胞陣列(1)間而配置。

六、英文發明摘要：

The present invention provides a semiconductor device capable of simplifying the layout structure thereof and has a semiconductor memory section in which input port and output port are separated from each other, and includes a bypass function.

In a semiconductor memory device (100) to be used as a semiconductor memory section of the semiconductor device, in a bypass mode, an output buffer circuit(6) outputs the input data transmitted through a bypass line extending from an input buffer circuit(5) to the output buffer circuit (6) to an output port. In the layout structure of the semiconductor memory device (100), in plan view, a memory cell array (1) is arranged to be sandwiched by the input buffer circuit (5) and the output buffer circuit (6), and a bypass line is arranged to pass through between the memory cell arrays (1).

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

2	寫入控制電路	3	讀取控制電路
4	解碼器電路	5	輸入緩衝器電路
6	輸出緩衝器電路	100	半導體記憶裝置
BP	旁路控制信號	WCLK	寫入時鐘信號
WEN	寫入控制信號	WCEN	寫入胞選擇控制信號
WA[4:0]	寫入位址信號	INn-1	輸入埠

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關具備輸入埠(port)與輸出埠分離之半導體記憶部之半導體裝置。

【先前技術】

關於輸入埠與輸出埠分離之多埠記憶體以往提議有種種的技術。譬如於專利文獻 1，係揭示有設置將輸入在輸入埠之資料直接輸出到輸出埠之旁路(by-pass)手段，而利用該旁路手段進行半導體記憶裝置之測試的技術。

此外，關於半導體記憶裝置之其他的技術記載於專利文獻 2、3。

[專利文獻 1]日本特開平 9-54142 號公報

[專利文獻 2]日本特開 2001-23400 號公報

[專利文獻 3]日本特開平 5-74198 號公報

【發明內容】

(發明所欲解決之課題)

如記載於專利文獻 1 之技術，在達成於半導體記憶裝置直接將輸入在輸入埠之資料輸出到輸出埠之旁路功能時，為了裝置之小型化或製造步驟簡化，必須儘可能不要使佈局(layout)構造複雜。

在專利文獻 1 中，雖揭示有佈局上使輸入埠與輸出埠接近而配置之技術，但並沒具體地記載關於要以何等的佈局來配置旁路手段。因此，從專利文獻 1 之技術無法得到最適當的佈局構造。

因此，本發明係鑑於上述之問題點而研創者，其目的在於提供輸入埠與輸出埠分離，而在具有具備旁路功能的半導體記憶部之半導體裝置中，可簡化佈局構造的技術。
(解決課題之手段)

本發明之第 1 半導體裝置係具備具有寫入模式、讀出模式及旁路模式的半導體記憶部之半導體裝置，其中，前述半導體記憶部係具備有：分別具有排列在預定方向之複數個記憶胞(memory cell)之第 1 及第 2 記憶胞陣列；分別對應於前述第 1 及第 2 記憶胞陣列而設置，且分別輸入資料之第 1 及第 2 輸入埠；分別對應於前述第 1 及第 2 記憶胞陣列而設置，且分別輸出資料之第 1 及第 2 輸出埠；分別連接在前述各個第 1 及第 2 記憶胞陣列之前述複數個記憶胞的複數條讀出字元線(word line)；各自連接於前述各個第 1 及第 2 記憶胞陣列之前述複數個記憶胞之複數條寫入字元線；於前述寫入模式時將前述複數條寫入字元線之任何一條加以活性化，而於前述讀出模式時將前述複數條讀出字元線之任何一條加以活性化之解碼器電路；將輸入到前述第 1 及第 2 輸入埠之資料分別接收而輸出之第 1 及第 2 輸入緩衝器電路；從前述第 1 輸入緩衝器電路延伸至前述第 1 記憶胞陣列，並將由前述第 1 輸入緩衝器電路輸出之資料傳達到前述第 1 記憶胞陣列之第 1 寫入位元線(Bit Line)；由前述第 2 輸入緩衝器電路延伸至前述第 2 記憶胞陣列，並將從前述第 2 輸入緩衝器電路輸出之資料傳達到前述第 2 記憶胞陣列之第 2 寫入位元線；分別輸出

接收到的資料到前述第 1 及第 2 輸出埠之第 1 及第 2 輸出緩衝器電路；由前述第 1 記憶胞陣列延伸到前述第 1 輸出緩衝器電路，且將來自前述第 1 記憶胞陣列之資料傳達到前述第 1 輸出緩衝器電路之第 1 讀出位元線；由前述第 2 記憶胞陣列延伸至前述第 2 輸出緩衝器電路，並將來自前述第 2 記憶胞陣列之資料傳達到前述第 2 輸出緩衝器電路之第 2 讀出位元線；從前述第 1 輸入緩衝器電路延伸至前述第 1 輸出緩衝器電路，且將由前述第 1 輸入埠輸入到前述第 1 輸入緩衝器電路之資料傳達到前述第 1 輸出緩衝器電路之第 1 旁路線；以及由前述第 2 輸入緩衝器電路延伸至前述第 2 輸出緩衝器電路，並將由前述第 2 輸入埠輸入到前述第 2 輸入緩衝器電路之資料傳達至前述第 2 輸出緩衝器電路之第 2 旁路線，而前述第 1 輸出緩衝器電路係於前述讀出模式時將藉由前述第 1 讀出位元線傳達之資料輸出到前述第 1 輸出埠，並將於前述旁路模式時藉由前述第 1 旁路線傳達之資料輸出到前述第 1 輸出埠，而前述第 2 輸出緩衝器電路係於前述讀出模式時將藉由前述第 2 讀出位元線傳達之資料輸出到前述第 2 輸出埠，且於前述旁路模式時將藉由前述第 2 旁路線傳達之資料輸出到前述第 2 輸出埠，而在俯視時的佈局構造中，前述第 1 記憶胞陣列係包夾在前述第 1 輸入緩衝器電路與前述第 1 輸出緩衝器電路而配置，而前述第 2 記憶胞陣列係包夾在前述第 2 輸入緩衝器電路與前述第 2 輸出緩衝器電路而配置，而前述第 1 旁路線係通過前述第 1 及第 2 記憶胞陣列之間而配置。

又，本發明之第 2 半導體裝置係具備具有寫入模式、讀出模式及旁路模式的半導體記憶部之半導體裝置，其中，前述半導體記憶部係具備：具有排列在預定方向之複數個記憶胞之記憶胞陣列；輸入資料之輸入埠；輸出資料之輸出埠；分別連接在前述記憶胞陣列中之前述複數個記憶胞之複數條讀出字元線；分別連接在前述記憶胞陣列中之前述複數個記憶胞之複數條寫入字元線；前述寫入模式時將前述複數條寫入字元線之任何一條加以活性化，並在前述讀出模式時將前述複數條讀出字元線之任何一條加以活性化之解碼器電路；接收並輸出輸入到前述輸入埠的資料之輸入緩衝器電路；從輸入緩衝器電路延伸至前述記憶胞陣列，且將前述輸入緩衝器電路輸出之資料傳達到前述記憶胞陣列之寫入位元線；輸出接收的資料到前述輸出埠之輸出緩衝器電路；由前述記憶胞陣列延伸到前述輸出緩衝器電路，並將來自前述記憶胞陣列的資料傳達至前述輸出緩衝器電路之讀出位元線；從前述輸入緩衝器電路延伸至前述輸出緩衝器電路，且將從前述輸入埠輸入到前述輸入緩衝器電路的資料傳達到前述輸出緩衝器電路之旁路線；供應電源電位給前述記憶胞陣列之電源配線；以及供應接地電位給前述記憶胞陣列之接地配線，而前述輸出緩衝器電路係將於前述讀出模式時藉由前述讀出位元線傳達的資料輸出到前述輸出埠，並將於前述旁路模式時藉由前述旁路線傳達之資料輸出到前述輸出埠，並在俯視時之佈局構造中，前述旁路線、前述寫入位元線、前述讀出位元

線、前述電源配線及前述接地配線係配置在前述記憶胞陣列中之形成有前述複數個記憶胞的區域上。

再者，本發明之第3半導體裝置係具備具有寫入模式、讀出模式及旁路模式的半導體記憶部之半導體裝置，其中，前述半導體記憶部係具備：具有排列在預定方向之複數個記憶胞之記憶胞陣列；輸入資料之輸入埠；輸出資料之輸出埠；分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條讀出字元線；分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條寫入字元線；於前述寫入模式時將前述複數條寫入字元線的任何一條加以活性化，並於前述讀出模式時將前述複數條讀出字元線的任何一條加以活性化之解碼器電路；接收輸入到前述輸入埠之資料且將其輸出之輸入緩衝器電路；從前述輸入緩衝器電路延伸至前述記憶胞陣列，並將從前述輸入緩衝器電路輸出之資料傳達至前述記憶胞陣列之寫入位元線；輸出所接收的資料到前述輸出埠之輸出緩衝器電路；以及由前述記憶胞陣列延伸至前述輸出緩衝器電路，且將來自前述記憶胞陣列之資料傳達至前述輸出緩衝器電路之讀出位元線，而前述寫入位元線係從前述記憶胞陣列延長至前述輸出緩衝器電路，而前述輸出緩衝器電路係於前述讀出模式時將藉由前述讀出位元線傳達的資料輸出到前述輸出埠，並在前述旁路模式時將藉由前述寫入位元線傳達的資料輸出到前述輸出埠。

又，本發明之第4半導體裝置係具備具有寫入模式、

讀出模式及旁路模式的半導體記憶部之半導體裝置，其中，前述半導體記憶部係具備：具有排列在預定方向的複數個記憶胞之記憶胞陣列；輸入資料之輸入埠；輸出資料之輸出埠；分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條讀出字元線；分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條寫入字元線；於前述寫入模式時將前述複數條寫入字元線之任何一條加以活性化，且於前述讀出模式時將前述複數條讀出字元線的任何一條加以活性化之解碼器電路；將輸入到前述輸入埠的資料予以接收且輸出之輸入緩衝器電路；由前述輸入緩衝器電路延伸至前述記憶胞陣列，並將從前述輸入緩衝器電路輸出的資料傳達至前述記憶胞陣列之寫入位元線；以及將接收到的資料輸出到前述輸出埠之輸出緩衝器電路；以及從前述記憶胞陣列延伸至前述輸出緩衝器電路，並將來自前述記憶胞陣列的資料傳達至前述輸出緩衝器電路之讀出位元線，而前述讀出位元線係從前述記憶胞陣列延長至前述輸入緩衝器電路，而前述輸入緩衝器電路係於前述寫入模式時將輸入到前述輸入埠的資料不輸出到前述讀出位元線而輸出到前述寫入位元線，且於前述旁路模式時將輸入到前述輸入埠的資料輸出到前述讀出位元線。

(發明之功效)

依據本發明之第 1 半導體裝置，在俯視時之佈局構造中，第 1 旁路係線因通過第 1 及第 2 記憶胞陣列之間而配置，故不受形成有記憶胞陣列之區域內的佈局構造影響而

可對第 1 旁路線進行配線。結果，可使佈局構造簡化，且可達成裝置的小型化及製造步驟之簡化。並且，可減低藉由第 1 旁路線傳達之資料，受到形成有記憶胞陣列的區域內之配線電位的影響。

此外，依據本發明之第 2 半導體裝置，在記憶胞陣列包夾於輸入緩衝器電路以及輸出緩衝器電路之佈局構造中，由於旁路線、寫入位元線、讀出位元線、電源配線及接地配線，配置在記憶胞陣列中的形成有複數個記憶胞之區域上，故可簡化佈局構造。結果，可使裝置小型化及製造步驟簡化。

又，依據本發明之第 3 半導體裝置，可將寫入位元線由記憶胞陣列延長至輸出緩衝器電路，並可使輸入到輸入埠之資料原樣輸出到輸出埠。如此，藉由利用寫入位元線達成旁路功能來簡化佈局構造。結果，可使裝置小型化及製造步驟簡化。

再者，依據本發明之第 4 半導體裝置，可將讀出位元線從記憶胞陣列延長至輸入緩衝器電路，且可使輸入到輸入埠的資料原樣輸出到輸出埠。如此，藉由利用讀出位元線達成旁路功能來簡化佈局構造。結果，可使裝置小型化及製造步驟簡化。

【實施方式】

第 1 實施形態

第 1 圖係示意性地表示本發明第 1 實施形態之半導體記憶裝置 100 的佈局構造之平面圖。如第 1 圖所示，本第

1 實施形態之半導體記憶裝置 100 係具備： $n(\geq 1)$ 個輸入埠 IN_0 至 IN_{n-1} ； n 個輸出埠 OUT_0 至 OUT_{n-1} ；寫入控制電路 2；讀取控制電路 3；以及解碼器電路 4。並且，在本第 1 實施形態之半導體記憶裝置中係設置有 n 組由一個記憶胞陣列 1、一個輸入緩衝器電路 5、以及一個輸出緩衝器電路 6 所構成之組。

在本半導體記憶裝置 100 係輸入 n 位元的輸入資料 $D[n-1:0]$ ，且從本半導體記憶裝置 100 輸出 n 位元的輸出資料 $Q[n-1:0]$ 。在輸入埠 IN_0 至 IN_{n-1} 係分別輸入輸入資料 $D[0]$ 至 $D[n-1]$ ，且從輸出埠 OUT_0 至 OUT_{n-1} 係分別輸出輸出資料 $Q[0]$ 至 $Q[n-1]$ 。

n 位元的輸入資料 $D[n-1:0]$ 中之某輸入資料 $D[i]$ ，係介由輸入埠 IN_i 輸入到一個輸入緩衝器電路 5。從屬於與輸入輸入資料 $D[i]$ 之輸入緩衝器電路 5 相同組之輸出緩衝器電路 6 係輸出輸出資料 $Q[i]$ ，而該輸出資料 $Q[i]$ 係介由輸出埠 OUT_i 輸出到本半導體記憶裝置 100 之外部。再者， i 係滿足 $0 \leq i \leq n$ 之任意的整數。

在本第 1 實施形態之半導體記憶裝置 100 的佈局構造中，構成一個組之輸入緩衝器電路 5、記憶胞陣列 1 及輸出緩衝器電路 6，係如第 1 圖所示，在俯視時，依此順序沿著 X 軸方向而配置。因此，在俯視時之佈局構造中，記憶胞陣列 1 係以屬於與其同組之輸入緩衝器電路 5 與輸出緩衝器電路 6 包夾之方式予以配置。

此外，在本半導體記憶裝置 100 之佈局構造中，在俯

視時，寫入控制電路 2 與 n 個輸入緩衝器電路 5 係沿著與 X 軸方向呈垂直之 Y 軸方向配置成一行，而解碼器電路 4 與 n 個記憶胞陣列 1 係沿著 Y 軸方向配置成一行，而讀取控制電路 3 與 n 個輸出緩衝器電路 6 係沿著 Y 軸方向配置為一行。又寫入控制電路 2 與解碼器電路 4 以及讀取控制電路 3 係依此順序沿著 X 軸方向予以配置。

第 2 圖係表示寫入控制電路 2 之電路構成圖。寫入控制電路 2 係與從本半導體記憶裝置 100 外部供給之寫入時鐘信號 WCLK(Write Clock)同步運作，且控制輸入緩衝器電路 5 及記憶胞陣列 1 之運作，並進行在本半導體記憶裝置 100 之輸入資料 $D[n-1:0]$ 對記憶胞陣列 1 之寫入控制。

如第 2 圖所示，寫入控制電路 2 係具備：反相器電路 2a, 2b；緩衝器電路 2c；AND(及)電路 2d, 2e；延遲電路 2f；正反器(Flip-Flop)電路(在圖中記載為「FF」)2g 至 2i；以及內部位址產生電路 20。再者在本說明書中，所謂「正反器電路」，是指延遲正反器電路(Delay- flip-flop: D-FF)。

反相器電路 2a 係使寫入時鐘信號 WCLK 反轉而輸出，反相器電路 2b 係將反相器電路 2a 的輸出反轉而輸出。反相器電路 2b 的輸出係輸入到寫入控制電路 2 具備之所有的正反器電路的 CLK 輸入端子。延遲電路 2f 係將寫入時鐘信號 WCLK 延遲預定時間而輸出。在正反器電路 2g, 2h 之 D 輸入端子係分別輸入寫入控制信號 WEN 及寫入胞(cell)選

擇控制信號 WCEN。AND 電路 2e 係運算正反器電路 2g 之 Qbar 輸出、以及正反器電路 2h 的 Qbar 輸出之邏輯「及」而輸出。AND 電路 2d 係求出延遲電路 2f 之輸出、寫入時鐘信號 WCLK、以及 AND 電路 2e 之輸出的邏輯「及」而輸出。緩衝器電路 2c 係將 AND 電路 2d 的輸出以原樣的邏輯位準 (logical level) 作為反轉寫入控制信號 /wen 而輸出。在正反器電路 2i 之 D 輸入端子係輸入旁路控制信號 BP，而其 Q 輸出係作為內部旁路控制信號 bp 而輸入到讀取控制電路 3。

內部位址產生電路 20 係具備 AND 電路 20a 至 20l、以及正反器電路 20m 至 20q。在正反器電路 20q, 20p, 20o, 20n, 20m 之 D 輸入端子係分別輸入寫入位址信號 WA[0] 至 WA[4]。AND 電路 20a 係運算 AND 電路 2d 的輸出及正反器電路 20m, 20n 的 Q 輸出的邏輯「及」且作為內部寫入位址信號 WAA[3] 而輸出。AND 電路 20b 係運算 AND 電路 2d 的輸出、正反器電路 20m 的 Q 輸出以及正反器電路 20n 的 Qbar 輸出的邏輯「及」且作為內部寫入位址信號 WAA[2] 而輸出。AND 電路 20c 係運算 AND 電路 2d 的輸出、正反器電路 20m 的 Qbar 輸出以及正反器電路 20n 的 Q 輸出之邏輯「及」且作為內部寫入位址信號 WAA[1] 而輸出。AND 電路 20d 係運算 AND 電路 2d 的輸出及正反器電路 20m、20n 之 Qbar 輸出的邏輯「及」並作為內部寫入位址信號 WAA[0] 而輸出。

AND 電路 20e 係運算正反器電路 20o 至 20q 的 Q 輸出之邏輯「及」且作為內部寫入位址信號 WAB[7] 而輸出。AND

電路 20f 係運算正反器電路 20o, 20p 的 Q 輸出及正反器電路 20q 的 Qbar 輸出之邏輯「及」且作為內部寫入位址信號 WAB [6]而輸出。AND 電路 20g 係運算正反器電路 20o, 20q 的 Q 輸出及正反器電路 20p 的 Qbar 輸出之邏輯「及」並作為內部寫入位址信號 WAB[5]而輸出。AND 電路 20h 係運算正反器電路 20o 之 Q 輸出及正反器電路 20p, 20q 的 Qbar 輸出之邏輯「及」且作為內部寫入位址信號 WAB[4]而輸出。AND 電路 20i 係運算正反器電路 20o 的 Qbar 輸出及正反器電路 20p, 20q 的 Q 輸出之邏輯「及」並作為內部寫入位址信號 WAB[3]而輸出。AND 電路 20j 係運算正反器電路 20o, 20q 之 Qbar 的輸出及正反器電路 20p 的 Q 輸出之邏輯「及」且作為內部寫入位址信號 WAB [2]而輸出。AND 電路 20k 係運算正反器電路 20o, 20p 的 Qbar 輸出及正反器電路 20q 的 Q 輸出邏輯「及」且作為內部寫入位址信號 WAB[1]而輸出。AND 電路 20l 係運算正反器電路 20o 至 20q 的 Qbar 輸出的邏輯「及」且作為內部寫入位址信號 WAB[0]而輸出。

再者，輸入到寫入控制電路 2 之寫入控制信號 WEN、寫入胞選擇控制信號 WCEN、旁路控制信號 BP 及寫入位址信號 WA [4: 0]係與寫入時鐘信號 WCLK 相同，從本半導體記憶裝置 100 之外部輸入。

第 3 圖係表示讀取控制電路 3 之電路構成圖。讀取控制電路 3 係與從本半導體記憶裝置 100 之外部供給之讀出時鐘信號 RCLK 同步運作，並對輸出緩衝器電路 6 及記憶胞陣列 1 之運作進行控制，且在本半導體記憶裝置 100 對來

自記憶胞陣列 1 之資料的讀出予以控制。

如第 3 圖所示，讀取控制電路 3 係具備有：反相器電路 3a 至 3c；緩衝器電路 3d；AND 電路 3e；正反器電路 3f；以及上述的內部位址產生電路 20。反相器電路 3a 係將由寫入控制電路 2 輸出之內部旁路控制信號 bp 予以反轉並作為反轉旁路控制信號 /bp 而輸出。反相器電路 3b 係將讀出時鐘信號 RCLK 予以反轉而輸出，而反相器電路 3c 係將反相器電路 3b 的輸出予以反轉而輸出。反相器電路 3c 的輸出係輸入到讀取控制電路 3 具備之所有的正反器電路之 CLK 輸入端子。

在正反器電路 3f 之 D 輸入端子係輸入讀出胞選擇控制信號 RCEN。AND 電路 3e 係運算讀出時鐘信號 RCLK、正反器電路 3f 的 Qbar 輸出、以及內部旁路控制信號 bp 的反轉信號之邏輯「及」而輸出。緩衝器電路 3d 係將 AND 電路 3e 的輸出以原樣的邏輯位準作為內部讀出控制信號 rpc 而輸出。

在讀取控制電路 3 的內部位址產生電路 20 中，於正反器電路 20q, 20p, 20o, 20n, 20m 之 D 輸入端子係分別輸入讀出位址信號 RA[0]至 RA[4]。又，在各個 AND 電路 20a 至 20i 係替代 AND 電路 2d 的輸出而輸入 AND 電路 3e 的輸出。AND 電路 20a 至 20d 的輸出係分別為內部讀出並作為位址信號 RAA[3], RAA[2], RAA [1], RAA [0]而輸出，而 AND 電路 20e 至 20i 之輸出係分別為內部讀出並作為位址信號 RAB[7], RAB[6], RAB[5], RAB[4], RAB[3], RAB[2], RAB[1], R

AB[0]而輸出。讀取控制電路 3 之內部位址產生電路 20 之其他的構成係與寫入控制電路 2 之內部位址產生電路 20 相同。

再者，輸入到讀取控制電路 3 之讀出胞選擇控制信號 RCEN 及讀出位址信號 RA[4:0]係與讀出時鐘信號 RCLK 相同，從本半導體記憶裝置 100 之外部輸入。

第 4 圖係表示解碼器電路 4 的構成之方塊圖。如第 4 圖所示，解碼器電路 4 係具備有：具備 32 個 AND 電路 4aa 之寫入字元線解碼器電路 4a、以及具備 32 個 AND 電路 4bb 之讀出字元線解碼器電路 4b。寫入字元線解碼器電路 4a 係運算內部寫入位址信號 WAA[0]、與內部寫入位址信號 WAB[0]至 WAB[7]的邏輯「及」，且分別作為寫入字元線選擇信號 WWS[0]至 WWS[7]而輸出，並運算內部寫入位址信號 WAA [1]、與內部寫入位址信號 WAB[0]至 WAB [7]的邏輯「及」，且分別作為寫入字元線選擇信號 WWS[8]至 WWS[15]而輸出。又寫入字元線解碼器電路 4a 係運算內部寫入位址信號 WAA[2]、與內部寫入位址信號 WAB[0]至 WAB[7]的邏輯「及」，且分別作為寫入字元線選擇信號 WWS[16]至 WWS[23]而輸出，並運算內部寫入位址信號 WAA[3]、與內部寫入位址信號 WAB[0]至 WAB[7]的邏輯「及」，且分別作為寫入字元線選擇信號 WWS[24]至 WWS[31]而輸出。再者，32 位元的寫入字元線選擇信號 WWS[31:0]係從寫入字元線解碼器電路 4a 內的 32 個 AND 電路 4aa 分別予以輸出。

相同地，讀出字元線解碼器電路 4b 係運算內部讀出位

址信號 RAA[0]、與內部讀出位址信號 RAB[0]至 RAB[7]的邏輯「及」，且分別作為讀出字元線選擇信號 RWS[0]至 RWS[7]而輸出，並運算內部讀出位址信號 RAA[1]、與內部讀出位址信號 RAB[0]至 RAB[7]的邏輯「及」，且分別作為讀出字元線選擇信號 RWS[8]至 RWS[15]而輸出。此外讀出字元線解碼器電路 4b 係運算內部讀出位址信號 RAA[2]、與內部讀出位址信號 RAB[0]至 RAB[7]的邏輯「及」，且分別作為讀出字元線選擇信號 RWS[16]至 RWS[23]而輸出，並運算內部讀出位址信號 RAA[3]、與內部讀出位址信號 RAB[0]至 RAB[7]的邏輯「及」，且分別作為讀出字元線選擇信號 RWS[24]至 RWS[31]而輸出。又，32 位元的讀出字元線選擇信號 RWS[31:0]係從讀出字元線解碼器電路 4b 內的 32 個 AND 電路 4bb 分別予以輸出。

第 5 圖係表示某一組之記憶胞陣列 1、輸入緩衝器電路 5 及輸出緩衝器電路 6 之電路構成與俯視時的佈局構造圖。又，第 5 圖所示之電路構成及佈局構造係對於由記憶胞陣列 1、輸入緩衝器電路 5 及輸出緩衝器電路 6 所構成之組的一切皆相同。

輸入緩衝器電路 5 係接收輸入到輸入埠 IN_i 之輸入資料 D[i]，並根據從寫入控制電路 2 輸出之反轉寫入控制信號 /wen 而將該輸入資料 D[i]輸出到記憶胞陣列 1。如第 5 圖所示，輸入緩衝器電路 5 係具備：正反器電路 5a；反相器電路 5b, 5c；緩衝器電路 5d；NAND（反及）電路 5e, 5f；PMOS(Positive-channel Metal Oxide Semiconductor: P

通路的金屬氧化半導體)電晶體 5g, 5i ; 以及 NMOS(Negative-channel Metal-Oxide Semiconductor 通路的金屬氧化半導體)電晶體 5h, 5j。

在正反器電路 5a 的 D 輸入端子係輸入輸入資料 $D[i]$ ，而該 Q 輸出係作為資料 $d[i]$ 而輸入到反相器電路 5b 的輸入端子。又正反器電路 5a 之 Q 輸出端子係連接在由輸入緩衝器電路 5 延伸至輸出緩衝器電路 6 之旁路線 BPL 的一端，而資料 $d[i]$ 係作為旁路信號 BPS 並藉由旁路線 BPL 傳達到輸出緩衝器電路 6。再者，在正反器電路 5a 之 CLK 輸入端子係輸入寫入控制電路 2 之反相器電路 2b 的輸出。

反相器電路 5b 係將資料 $d[i]$ 反轉而輸出，而反相器電路 5c 係將反相器電路 5b 的輸出予以反轉且輸出。緩衝器電路 5d 係將從寫入控制電路 2 輸出之反轉寫入控制信號 /wen 以原樣的邏輯位準予以輸出。NAND 電路 5e 係運算反相器電路 5c 的輸出與緩衝器電路 5d 的輸出之「反及」(NAND) 而輸出。NAND 電路 5f 係運算反相器電路 5b 的輸出與緩衝器電路 5d 的輸出之反及而輸出。

在各個 PMOS 電晶體 5g, 5i 的源極(source)端子係施加電源電位，並在各個 NMOS 電晶體 5h, 5j 之源極端子係施加接地電位。PMOS 電晶體 5g 的汲極(drain)端子與 NMOS 電晶體 5h 的汲極端子係相互連接著，且在兩汲極端子係連接有從輸入緩衝器電路 5 延伸至記憶胞陣列 1 之寫入位元線 WBA 的一端。另一方面，PMOS 電晶體 5i 之汲極端子與 NMOS 電晶體 5j 的汲極端子係互相地連接著，而在兩汲極端子係

連接著從輸入緩衝器電路 5 延伸至記憶胞陣列 1 之寫入位元線 WBB 的一端。在 PMOS 電晶體 5g 與 NMOS 電晶體 5h 的閘極(gate)端子係輸入 NAND 電路 5e 之輸出，並在 PMOS 電晶體 5i 與 NMOS 電晶體 5j 之閘極端子係輸入 NAND 電路 5f 之輸出。

在此例中，一個記憶胞陣列 1 係具備有 32 個記憶胞 MC。上述 32 個記憶胞 MC，在俯視時之佈局構造中，係與 n 個記憶胞陣列 1 之排列方向呈垂直方向，亦即沿著第 1 圖之 X 軸方向排列成一行。又在整體 n 個記憶胞陣列 1 中， $(32 \times n)$ 個記憶胞 MC，於佈局上，係於 X 軸方向配置 32 個，且於 Y 軸方向配置成 n 個並排之行列狀。

各記憶胞 MC 係具備有 NMOS 電晶體 10a 至 10f、以及反相器電路 10g, 10h。NMOS 電晶體 10a 之汲極端子係連接在寫入位元線 WBB，而該源極端子係連接在反相器電路 10g 之輸入端子、反相器電路 10h 的輸出端子、以及 NMOS 電晶體 10d 的閘極端子。NMOS 電晶體 10b 之汲極端子係連接在寫入位元線 WBA，而該源極端子係連接在反相器電路 10g 之輸出端子、反相器電路 10h 的輸入端子、以及 NMOS 電晶體 10e 的閘極端子。NMOS 電晶體 10c 的汲極端子係連接在從記憶胞陣列 1 延伸至輸出緩衝器電路 6 之讀出位元線 RBA，而該源極端子係連接在 NMOS 電晶體 10d 之汲極端子。NMOS 電晶體 10f 的汲極端子係連接在由記憶胞陣列 1 延伸至輸出緩衝器電路 6 之讀出位元線 RBB，而該源極端子係連接在 NMOS 電晶體 10e 的汲極端子。而在 NMOS 電晶體

10d, 10e 的源極端子係施加接地電位。

在記憶胞陣列 1 中的 32 個記憶胞 MC 之 NMOS 電晶體 10a, 10b 之閘極端子係分別連接有 32 條寫入字元線 WWL[31:0]。在寫入字元線 WWL[0]至 WWL[31]係分別供應從解碼器電路 4 輸出之寫入字元線選擇信號 WWS[0]至 WWS[31], 且寫入在記憶胞陣列 1 中之資料時上述任何一條便活性化。

此外, 在記憶胞陣列 1 中的 32 個記憶胞 MC 之 NMOS 電晶體 10c, 10f 之閘極端子係分別連接有 32 條讀出字元線 RWL[31:0]。於讀出字元線 RWL[0]至 RWL[31]係分別被供應從解碼器電路 4 輸出之讀出字元線選擇信號 RWS[0]至 RWS[31], 且從記憶胞陣列 1 讀出某資料時上述任何一條便活性化。將 j 設為滿足 $0 \leq j \leq n$ 之任意的整數時, 寫入字元線 WWL[j]與讀出字元線 RWL[j]係成對, 且連接於相同的記憶胞 MC。

輸出緩衝器電路 6 係將接收之資料, 根據從讀取控制電路 3 輸出之內部讀出控制信號 rpc 及反轉旁路控制信號 /bp 且作為輸出資料 Q[i]輸出到輸出埠 OUT i 。如第 5 圖所示, 輸出緩衝器電路 6 係具備有: 對藉由讀出位元線 RBA, RBB 傳達之資料加以放大而輸出之感測放大器(sense amplifier)電路 60; 以及將從感測放大器電路 60 輸出之資料及旁路信號 BPS 之其中一方輸出到輸出埠 OUT i 之輸出選擇電路 61。

感測放大器電路 60 係具備有 5 個 PMOS 電晶體 60a 至

60e。在 PMOS 電晶體 60a, 60c, 60d, 60e 之源極端子係施加電源電位。在 PMOS 電晶體 60a 至 60c 之各個閘極端子係輸入內部讀出控制信號 rpc。PMOS 電晶體 60a, 60b, 60e 之汲極端子與 PMOS 電晶體 60d 之閘極端子係連接於讀出位元線 RBA，而該連接點之信號係作為輸出信號 AA 而從感測放大器電路 60 輸出。PMOS 電晶體 60c, 60d 的汲極端子與 PMOS 電晶體 60b 的源極端子以及 PMOS 電晶體 60e 的閘極端子係連接於讀出位元線 RBB，而該連接點之信號係作為輸出信號 AB 而由感測放大器電路 60 輸出。

輸出選擇電路 61 係具備有：反相器電路 6a, 6b；AND 電路 6c 至 6f；OR 電路 6g；以及 NOR 電路 6h。反相器電路 6a 之輸入端子係與旁路線 BPL 連接著，且將利用該旁路線 BPL 傳達之旁路信號 BPS 予以反轉而輸出。AND 電路 6c 係運算反相器電路 6a 的輸出之反轉信號與反轉旁路控制信號/bp 的反轉信號之邏輯「及」且作為信號 BA 而輸出。AND 電路 6f 係運算 AND 電路 6e 的輸出，與來自感測放大器電路 60 之輸出信號 AA 的邏輯「及」而輸出。NOR 電路 6h 係運算信號 BA 與 AND 電路 6f 的輸出之邏輯「或」(NOR)而輸出。反相器電路 6b 係對 NOR 電路 6h 之輸出予以反轉且作為輸出資料 Q[i]而輸出到輸出埠 OUT[i]。AND 電路 6d 係連接著旁路線 BPL 在其一方的輸入端子，並運算旁路信號 BPS 的反轉信號與反轉旁路控制信號/bp 的反轉信號之邏輯「及」且作為信號 BB 而輸出。OR 電路 6g 係運算 NOR 電路 6h 的輸出之反轉信號、與來自感測放大器電路 60 之輸

出信號 AB 的反轉信號之邏輯「或」而予以輸出。AND 電路 6e 係運算信號 BB 之反轉信號與 OR 電路 6g 的輸出之邏輯「及」而予以輸出。

在本第 1 實施形態中，如第 5 圖所示，於俯視時之佈局構造中，記憶胞陣列 1、感測放大器電路 60、以及輸出選擇電路 61 係依此順序沿著 X 軸方向配置為一系列。考慮資料的流程時因無用的配線成為不必要故理想的是依此種順序來配置，而由佈局的限制等理由，亦可依記憶胞陣列 1、輸出選擇電路 61、感測放大器電路 60 之順序配置成一系列。

在第 5 圖所示之佈局例中，於記憶胞陣列 1 之右側設置有解碼器電路 4，亦可分成右側與左側，於一側設置寫入字元線解碼器電路 4a，而於另一側設置讀出字元線解碼器電路 4b。

具備如以上的構成之本半導體記憶裝置 100，例如，係為了調整運作頻率不同的 2 個運算電路間之運作時序來使用。以下就此使用例加以說明。

第 6 圖係表示將本半導體記憶裝置 100 作為半導體記憶部而具備複數個半導體裝置 600 的構成之方塊圖。如第 6 圖所示，半導體裝置 600 係具備 3 個運算電路 601 至 603，以及 2 個半導體記憶裝置 100。運算電路 601 至 603 係運作頻率互相不同。2 個半導體記憶裝置 100 係分別配置於運算電路 601, 602 之間，以及運算電路 602, 603 之間。運算電路 601 係針對從本半導體裝置 600 的外部輸入之資料進行預定的運算處理而寫入到一方的半導體記憶裝置

100。運算電路 602 係將寫入在該一方的半導體記憶裝置 100 之於運算電路 601 運算處理完的資料予以讀出，並對該資料進行預定的運算處理且寫入到另一方的半導體記憶裝置 100。運算電路 603 係將寫入在該另一方的半導體記憶裝置 100 之於運算電路 602 運算處理完的資料予以讀出，並對該資料進行預定的運算處理，而輸出到本半導體裝置 600 的外部。

如此，配置本半導體記憶裝置 100 於運作時序互相不同之 2 個運算電路間，並藉由將來自一方的運算電路之輸出資料寫入到本半導體記憶裝置 100 一次，而另一方的運算電路係可將來自一方的運算電路之輸出資料以本身的運作時序從半導體記憶裝置 100 內讀出。因此，另一方的運算電路係不依賴一方的運算電路之運作時序而可接受來自該一方的運算電路之輸出資料。

其次，就本第 1 實施形態之半導體記憶裝置 100 的運作加以說明。本半導體記憶裝置 100 係具備有普通運作模式與旁路模式之大致 2 種類的運作模式。普通運作模式係由寫入模式與讀出模式所構成，在寫入模式中本半導體記憶裝置 100 係作為可寫入資料之記憶體電路而運作，且輸入到輸入埠 IN_0 至 IN_{n-1} 之輸入資料 $D[n-1:0]$ 係寫入到 n 個記憶胞陣列 1。在讀出模式中，本半導體記憶裝置 100 係作為可讀出資料之記憶體電路而運作，且由 n 個記憶胞陣列 1 讀出之資料係作為輸出資料 $Q[n-1:0]$ 從輸出埠 OUT_0 至 OUT_{n-1} 輸出。另一方面，在旁路模式中，輸入資料

$D[n-1:0]$ 係原樣作為輸出資料 $Q[n-1:0]$ 而輸出，而從記憶體陣列 1 不讀出資料。

首先就普通運作模式加以說明。旁路控制信號 $BP=0$ 時，本半導體記憶裝置 100 係以普通運作模式進行運作。在寫入輸入資料 $D[i]$ 到記憶體陣列 1 之寫入模式中，寫入控制信號 WEN 及寫入單元選擇控制信號 $WCEN$ 係同時成為“0”。如此一來，由寫入控制電路 2 係作為反轉寫入控制信號 $/wen$ 而輸出正極性的脈衝信號(pulse signal)之同時，藉寫入控制電路 2 及解碼器電路 4 之運作，按照寫入位址信號 $WA[4:0]$ 的值寫入字元線選擇信號 $WWS[31:0]$ 之任何一條成為“1”且寫入字元線 $WWL[31:0]$ 之任何一條便活性化。反轉寫入控制信號 $/wen$ 成為“1”時，利用寫入位元線 WBA, WBB 傳達輸入資料 $D[i]$ 到記憶體陣列 1，且寫入輸入資料 $D[i]$ 到連接在活性化之寫入字元線 $WWL[j]$ 的記憶體 MC 。

在由記憶體陣列 1 讀出資料之讀出模式中，讀出胞選擇控制信號 $RCEN$ 成為“0”。如此一來，從讀取控制電路 3 係作為內部讀出控制信號 rpc 輸出正極性的脈衝信號之同時，藉由讀取控制電路 3 及解碼器電路 4 的運作，並按照讀出位址信號 $RA[4:0]$ 的值讀出字元線選擇信號 $RWS[31:0]$ 之任何一條成為“1”且讀出字元線 $RWL[31:0]$ 之任何一條活性化。讀出字元線 $RWL[j]$ 活性化時從連接在該字元線之記憶體 MC 讀出資料，並利用讀出位元線 RBA, RBB 傳達到輸出緩衝器電路 6 的感測放大器電路 60。

內部讀出控制信號 rpc 成為 "1" 時，從記憶胞 MC 讀出之資料係以感測放大器電路 60 加以放大。旁路控制信號為 $BP=0$ 時，由寫入控制電路 2 輸出之內部旁路控制信號成為 $bp=0$ ，從讀取控制電路 3 輸出之反轉旁路控制信號成為 $/bp=1$ 。結果，信號 BA, BB 係皆成為 "0"。因此，經由旁路線 BPL 傳達之旁路信號 BPS 係不再於輸出選擇電路 61 接收，而從輸出選擇電路 61 係將來自以感測放大器電路 60 放大之記憶胞 MC 的資料作為輸出資料 $Q[i]$ 而輸出，且該輸出資料 $Q[i]$ 係從輸出埠 OUT_i 輸出。

其次就旁路模式加以說明。旁路控制信號為 $BP=1$ 時，本半導體記憶裝置 100 係以旁路模式運作。輸入輸入資料 $D[i]$ 到輸入緩衝器電路 5 時，旁路線 BPL 係將輸入之輸入資料 $D[i]$ 作為旁路信號 BPS 而傳達到輸出緩衝器電路 6。旁路控制信號 $BP=1$ 時，從寫入控制電路 2 輸出之內部旁路控制信號成為 $bp=1$ ，且由讀取控制電路 3 輸出之反轉旁路控制信號成為 $/bp=0$ 。結果，信號 BA 係顯示與旁路信號 BPS 相同的邏輯位準，信號 BB 係顯示與旁路信號 BPS 相反的邏輯位準。如此一來，從輸出選擇電路 61 係輸入資料 $D[i]$ 作為輸出資料 $Q[i]$ 而輸出，而該輸出資料 $Q[i]$ 係從輸出埠 OUT_i 輸出。

如此，在旁路模式中，輸入資料 $D[i]$ 藉由旁路線 BPL 傳達到輸出緩衝器電路 6，且由該輸出緩衝器電路 6 輸入資料 $D[i]$ 作為輸出資料 $Q[i]$ 而輸出。因此，如上述之第 6 圖所示之運算電路 602, 603，對連接在本半導體記憶裝置

100 之輸出埠 OUT_0 至 OUT_{n-1} 之運算電路進行測試時，一次寫入測試資料到記憶胞陣列 1 後不必從記憶胞陣列 1 讀出測試資料，而可將輸入到輸入埠 IN_0 至 IN_{n-1} 之測試資料直接供應給測試對象的運算電路。結果，可簡單地進行測試對象電路之測試。

如上述，在本第 1 實施形態之半導體記憶裝置 100 中，藉由設置專用的旁路線 BPL 傳達輸入資料 $D[i]$ 到輸出緩衝器電路 6。因此，佈局上如何配置此旁路線 BPL 便成問題。在本第 1 實施形態中，以通過記憶胞陣列 1 間之方式來配置旁路線 BPL。

第 7 圖係表示鄰接之 2 個記憶胞陣列 1 的佈局構造之平面圖。在第 7 圖中為避免圖式之繁雜主要表示與本發明有關之佈局圖案。又第 7 圖中之區域 MCA 係表示形成有一個記憶胞 MC 之區域，且為配置有構成記憶胞 MC 之電晶體的活性區域與閘極電極之區域。以下，將區域 MCA 稱為「記憶胞形成區域 MCA」。再者，關於形成有記憶胞陣列 1 之區域內的佈局圖案，係因在所有的記憶胞陣列 1 中為共同，故在第 7 圖中，關於形成有左側之記憶胞陣列 1 的區域內之佈局圖案係僅表示讀出字元線 $RWL[j]$, $RWL[j+1]$ 及寫入字元線 $WWL[j-i]$, $WWL[j]$ ，其他則省略。

本半導體記憶裝置 100 係具有互相疊層有複數層配線層。又如第 7 圖所示，寫入位元線 WBA, WBB、讀出位元線 RBA, RBB、旁路線 BPL、電源配線 VDDL、以及接地配線 VSSL 係配置在上述配線層中之相同的配線層，且分別沿著 X 軸

方向而延伸著。此外，在各記憶胞陣列 1 中，寫入位元線 WBA, WBB、讀出位元線 RBA, RBB、電源配線 VDDL、以及接地配線 VSSL 係配置在各記憶胞形成區域 MCA 上。再者，電源配線 VDDL 及接地配線 VSSL 係分別供應電源電位及接地電位給記憶胞陣列 1 內的電晶體之配線。

另一方面，寫入字元線 WWL[31:0]及讀出字元線 RWL[31:0]係沿著 Y 軸方向而延伸著，且配置在比配置有寫入位元線 WBA, WBB 等配線層更上層的相同配線層。以下，將配置有寫入位元線 WBA, WBB 等配線層稱為「下層的配線層」，而將配置有寫入字元線 WWL[31:0]等配線層稱為「上層的配線層」。

在下層的配線層中，對應各記憶胞 MC，復設置有用以電性連接記憶胞 MC 與讀出字元線 RWL[j]之配線 L1、以及用以電性連接記憶胞 MC 與寫入字元線 WWL[j]之配線 L2。又配線 L1 與讀出字元線 RWL[j]係以接觸端子 C1 連接著，且配線 L2 與寫入字元線 WWL[j]係以接觸端子 C2 連接著。

又在下層的配線層中，按各個記憶胞陣列 1 配置有 2 條接地配線 VSSL，而在各記憶胞陣列 1 中，配線 L2、寫入位元線 WBA、一方的接地配線 VSSL、寫入位元線 WBB、電源配線 VDDL、讀出位元線 RBA、另一方的接地配線 VSSL、讀出位元線 RBB 及配線 L1 係依此順序沿著 Y 軸方向排列著。如第 7 圖所示，從某組之輸入緩衝器電路 5 延伸至輸出緩衝器電路 6 之旁路線 BPL 係在俯視時的佈局構造中，通過屬於該組之記憶胞陣列 1、以及與其鄰接的記憶胞陣

列 1 之間而配置著。在本第 1 實施形態中，依照旁路線 BPL、配線 L2、寫入位元線 WBA 之順序該等係沿著 Y 軸方向而配置著。再者，如上述，n 個記憶胞陣列 1 係因沿著 Y 軸方向排列成一行，故關於對應在第 1 圖中位於最下面的記憶胞陣列 1 之旁路線 BPL，係沒通過記憶胞陣列 1 間。

如此，在俯視時的佈局構造中，透由通過鄰接之 2 個記憶胞陣列 1 間而配置旁路線 BPL，可不受到形成有記憶胞陣列 1 之區域內佈局構造的影響而對該旁路線 BPL 進行配線。結果，可使佈局構造簡化，並可使裝置小型化及製造步驟的簡化。並且，利用旁路線 BPL 傳達至輸出緩衝器電路 6 之旁路信號 BPS，可降低受到形成有記憶胞陣列 1 之區域內的讀出位元線 RBA, RBB 等配線的電位的影響。

此外，將由輸入緩衝器電路 5 延伸至記憶胞陣列 1 之寫入位元線 WBA, WBB、由記憶胞陣列 1 延伸至輸出緩衝器電路 6 之讀出位元線 RBA, RBB、以及從輸入緩衝器電路 5 延伸至輸出緩衝器電路 6 之旁路線 BPL，在以輸入緩衝器電路 5 以及輸出緩衝器電路 6 包夾記憶胞陣列 1 之佈局構造予以配置時，如第 7 圖所示藉由配置上述配線於相同配線層，可使上述配線的全部沿著相同方向（在第 6 圖中 X 軸方向）延伸，並可使上述配線的佈局圖案之形狀簡化。因此，簡化佈局構造，且可使裝置小型化或製造步驟簡化。

此外在本第 1 實施形態中，雖依旁路線 BPL、配線 L2、寫入位元線 WBA 之順序將上述線路予以配置，但依讀出位元線 RBB、配線 L1、旁路線 BPL 之順序將上述線路沿著 Y

軸方向加以配置，並將該旁路線 BPL 配置在記憶胞陣列 1 間亦可。

又如第 8 圖所示，在第 7 圖所示之佈局構造中，例如，比起第 7 圖縮小電源配線 VDDL 的圖案寬度，並在該電源配線 VDDL 以及讀出位元線 RBA 之間配置旁路線 BPL，且在俯視時之佈局構造中，亦可將旁路線 BPL 以通過各記憶胞形成區域 MCA 上之方式予以配置。如此，在包夾記憶胞陣列 1 於輸入緩衝器電路 5 以及輸出緩衝器電路 6 之佈局構造中，藉由將旁路線 BPL、寫入位元線 WBA, WBB、讀出位元線 RBA, RBB、電源配線 VDDL 及接地配線 VSSL 配置於各記憶胞形成區域 MCA 上，則可簡化佈局構造，且可使裝置小型化及製造步驟簡化。

又如第 9 圖所示，在第 7 圖所示之佈局構造中，配置旁路線 BPL 於比配置有寫入字元線 WWL[31:0]等配線層更上層之配線層之同時，並在俯視時之佈局構造中亦可配置旁路線 BPL 於各記憶胞形成區域 MCA 上。如此，藉由將旁路線 BPL 配置於與配置有寫入字元線 WWL[31:0]等配線層不同的配線層之同時，且在俯視時之佈局構造中將旁路線 BPL 配置在各記憶胞形成區域 MCA 上，則比較起第 7 圖所示之佈局構造可縮小佈局面積。又與第 8 圖所示之佈局構造不同，由於不縮小電源配線 VDDL 之圖案寬度而可配置旁路線 BPL，故可將旁路線 BPL 靈活地予以配置。

再者如第 9 圖所示，旁路線 BPL 在俯視時之佈局構造中，最好是以與電源配線 VDDL 重疊之方式來配置。如此一

來，旁路線 BPL 之電位係形成比較不受來自外部雜訊的影響，而可抑制旁路線 BPL 的信號位準變動。並且旁路線 BPL 的運作所導致之雜訊，對下層的寫入位元線 WBA, WBB 及讀出位元線 RBA, RBB 較不易造成影響。

於第 9 圖的佈局例中，在記憶胞形成區域 MCA 中因配置有 2 條接地配線 VSSL 與 1 條電源配線 VDDL，故雖使電源配線 VDDL 的配線寬度比接地配線 VSSL 還粗，但在記憶胞形成區域 MCA 中亦可配置 1 條接地配線 VSSL 與 2 條電源配線 VDDL，此時，比起電源配線 VDDL 使接地配線 VSSL 的配線寬度變粗。在這種情況時，較理想的是在俯視時的佈局構造中以與接地配線 VSSL 重疊之方式予以配置旁路線 BPL。此時亦產生相同的效果。並且，亦可將旁路線 BPL 配置在電源配線 VDDL 與接地配線 VSSL 的下層之配線層。

第 2 實施形態

第 10 圖係示意性地表示本發明第 2 實施形態之半導體記憶裝置 110 的佈局構造之平面圖。本第 2 實施形態之半導體記憶裝置 110 係在上述第 1 實施形態之半導體記憶裝置 100 中，替代寫入控制電路 2 設置寫入控制電路 12，替代 n 個輸入緩衝器電路 5 設置 n 個輸入緩衝器電路 15，替代 n 個輸出緩衝器電路 6 設置 n 個輸出緩衝器電路 16，而不設置專用的旁路線 BPL 達成旁路功能者。與第 1 實施形態相同，一個輸入緩衝器電路 15、一個輸出緩衝器電路 16、以及一個記憶胞陣列 1 組成一個組。關於寫入控制電路 12、輸入緩衝器電路 15 及輸出緩衝器電路 16 之佈局，

係與第 1 實施形態之寫入控制電路 2、輸入緩衝器電路 5 及輸出緩衝器電路 6 相同。

第 11 圖係表示寫入控制電路 12 的電路構成圖。如第 11 圖所示，寫入控制電路 12 係在上述的寫入控制電路 2 中，復設置反相器電路 12a，且替代緩衝器電路 2c 而設置 OR 電路 12b 及 AND 電路 12c, 12d。反相器電路 12a 係將由正反器電路 2i 輸出之內部旁路控制信號 bp 予以反轉並作為反轉旁路控制信號/wbp 而輸出。AND 電路 12c 係運算正反器電路 2g, 2h 之 Q 輸出的反轉信號之邏輯「及」而輸出。OR 電路 12b 係運算正反器電路 2i 的 Qbar 輸出之反轉信號與 AND 電路 12c 的輸出之邏輯「或」而輸出。AND 電路 12d 係運算 OR 電路 12b 的輸出、延遲電路 2f 的輸出、以及寫入時鐘信號 WCLK 之邏輯「及」且作為反轉寫入控制信號/wen 而輸出。在第 1 實施形態中雖將緩衝器電路 2c 的輸出作為反轉寫入控制信號/wen，但在本第 2 實施形態中將 AND 電路 12d 的輸出作為反轉寫入控制信號/wen。關於寫入控制電路 12 之其他的構成因與寫入控制電路 2 相同，故省略其說明。

第 12 圖係表示某一組之記憶胞陣列 1、輸入緩衝器電路 15 及輸出緩衝器電路 16 之電路構成及俯視時的佈局構造圖。輸入緩衝器電路 15 係在上述的輸入緩衝器電路 5 中，復設置具備反相器電路 15a、以及 OR 電路 15b, 15c 之資料轉換電路 150。

資料轉換電路 150 係在寫入模式時根據反轉寫入控制

信號/wen 輸出輸入資料 $D[i]$ ，並在旁路模式時係無關反轉寫入控制信號/wen 而輸出輸入資料 $D[i]$ 。資料轉換電路 150 之反相器電路 15a，係將由寫入控制電路 12 輸出之反轉旁路控制信號/wbp 予以反轉而輸出。各個 OR 電路 15b, 15c 係運算反相器電路 15a 的輸出與緩衝器電路 5d 的輸出之邏輯「或」而輸出。

本第 2 實施形態之 NAND 電路 5f，與第 1 實施形態 1 不同，係運算 OR 電路 15b 的輸出與反相器電路 5b 的輸出之反及而輸出，而 NAND 電路 5e 係運算 OR 電路 15c 的輸出與反相器電路 5c 的輸出之反及而輸出。NAND 電路 5e, 5f、PMOS 電晶體 5g, 5i、以及 NMOS 電晶體 5h, 5j 係構成接收由資料轉換電路 150 輸出之資料而輸出到寫入位元線 WBA, WBB 之位元線驅動器電路 151。關於輸入緩衝器電路 15 之其他的構成因與輸入緩衝器電路 5 相同，故省略其說明。

本第 2 實施形態之寫入位元線 WBA, WBB，與第 1 實施形態不同，係從記憶胞陣列 1 延長至輸出緩衝器電路 16，而分別連接於輸出緩衝器電路 16 內之後述的 AND 電路 16b 及 NOR 電路 16a。

輸出緩衝器電路 16 係在上述的輸出緩衝器電路 6 中，替代反相器電路 6a 及 AND 電路 6c 而設置 AND 電路 16b，並替代 AND 電路 6d 而設置 NOR 電路 16a。AND 電路 16b 係運算藉由寫入位元線 WBA 傳達之信號、與從讀取控制電路 3 輸出的反轉旁路控制信號/bp 之反轉信號的邏輯「及」且

作為信號 BA 而輸出。NOR 電路 16a 係運算藉由寫入位元線 WBB 傳達之信號的反轉信號、以及從讀取控制電路 3 輸出的反轉旁路控制信號 /bp 之反或且作為信號 BB 而輸出。

在本第 2 實施形態之輸出緩衝器電路 16 中，以反相器電路 6b、AND 電路 6e, 6f, 16b、OR 電路 6g、以及 NOR 電路 6h, 16a 構成輸出選擇電路 160。輸出選擇電路 160 係於讀出模式時將從感測放大器電路 60 輸出之資料輸出到輸出埠 OUTi，且於旁路模式時將經由寫入位元線 WBA, WBB 傳達之資料輸出到輸出埠 OUTi。關於輸出緩衝器電路 16 之其他的構成係與輸出緩衝器電路 6 相同，故省略其說明。

在本第 2 實施形態中，如第 12 圖所示，在俯視時的佈局構造中，資料轉換電路 150、位元線驅動器電路 151、記憶胞陣列 1、感測放大器電路 60、以及輸出選擇電路 160，依此順序沿著 X 軸方向配置成一行。若考慮資料的流程因成為不需要多餘的配線故最好是依此種順序來配置，而因佈局的制限等理由無法以此順序來配置時，亦可以其他的順序來配置。

其次，就本第 2 實施形態之半導體記憶裝置 110 之運作加以說明。與第 1 實施形態相同，旁路控制信號 BP=0 時本半導體記憶裝置 110 係以普通運作模式運作。旁路控制信號 BP=0 時，由寫入控制電路 12 輸出之反轉旁路控制信號 /wbp 係成為“1”。如此一來，在輸入緩衝器電路 15 的資料轉換電路 150 中，反相器電路 15a 之輸出成為“0”。

於另一方面，在寫入輸入資料 D [i] 到記憶胞陣列 1

之寫入模式中，寫入控制信號 WEN 及寫入胞選擇控制信號 WCEN 係同時成為“0”。如此一來，從寫入控制電路 12 係作為反轉寫入控制信號 /wen 而輸出正極性的脈衝信號之同時，並藉由寫入控制電路 12 及解碼器電路 4 之運作，按照寫入位址信號 WA[4:0] 的值寫入字元線選擇信號 WWS[31:0] 之任何一條成為“1”且寫入字元線 WWL[31:0] 之任何一條活性化。以反相器電路 15a 的輸出為“0”之狀態且反轉寫入控制信號 /wen 成為“1”時，從資料轉換電路 150 輸出輸入資料 D[i]，且寫入輸入資料 D[i] 到連接在活性化之寫入字元線 WWL [j] 之記憶胞 MC。

在從記憶胞陣列 1 讀出資料之讀出模式中，與第 1 實施形態相同，讀出胞選擇控制信號 RCEN 成為“0”，且從讀取控制電路 3 係作為內部讀出控制信號 rpc 輸出正極性的脈衝信號之同時，讀出字元線 RWL[31:0] 之任何一條活性化。讀出字元線 RWL[j] 活性化後從連接在該字元線之記憶胞 MC 讀出資料，並藉由讀出位元線 RBA, RBB 傳達到輸出緩衝器電路 16 的感測放大器電路 60。

內部讀出控制信號成為 rpc=1 時，由記憶胞 MC 讀出之資料係以感測放大器電路 60 予以放大。旁路控制信號為 BP=0 時，與第 1 實施形態相同從讀取控制電路 3 輸出之反轉旁路控制信號成為 /bp=1，信號 BA, BB 係同時成為“0”。因此，來自以感測放大器電路 60 放大之記憶胞 MC 的資料從輸出選擇電路 160 作為輸出資料 Q[i] 予以輸出，而該輸出資料 Q[i] 係由輸出埠 OUTi 輸出。

其次就旁路模式加以說明。與第 1 實施形態相同，旁路控制信號 BP=1 時，本半導體記憶裝置 110 係以旁路模式來運作。旁路控制信號 BP=1 時，從控制電路 12 輸出之反轉旁路控制信號 /wbp 係成為“0”。如此一來，在輸入緩衝器電路 15 之資料轉換電路 150 中，反相器電路 15a 之輸出成為“1”，OR 電路 15b, 15c 之輸出係與反轉寫入控制信號 /wen 之值無關總是成為“1”。因此，於旁路模式時，係藉由位元線驅動器電路 151，在寫入位元線 WBA 係總是供應與輸入資料 D[i] 相同的邏輯位準之信號，而在寫入位元線 WBB 係總是供應表示與輸入資料 D[i] 相反的邏輯位準之信號。

旁路控制信號 BP=1 時，成為從讀取控制電路 3 輸出之反轉旁路控制信號 /bp=0。結果，信號 BA 係表示與藉由寫入位元線 WBA 傳達之信號相同的邏輯位準，而信號 BB 便為表示與藉由寫入位元線 WBB 傳達之信號相同的邏輯位準。在另一方面，旁路控制信號 BP=1 時，內部讀出控制信號 rpc 係成為“0”。如此一來，來自感測放大器電路 60 之輸出係總是成為“1”。因此，從輸出選擇電路 160 係輸出輸入資料 D[i]，而從輸出埠 OUTi 輸出輸入資料 D[i]。

如此，在本第 2 實施形態之半導體記憶裝置 110 中，藉由將為了達成本來的功能而原先從輸入緩衝器電路 15 延伸至記憶胞陣列 1 之寫入位元線 WBA, WBB 延長至輸出緩衝器電路 16，而可將輸入資料 D[i] 傳達至輸出緩衝器電路 16，且可將輸入資料 D[i] 原樣輸出到輸出埠 OUTi。如此，

藉由利用寫入位元線 WBA, WBB 達成旁路功能，比起利用另外設置之與寫入位元線 WBA, WBB 不同的旁路線 BPL 而達成旁路功能的第 1 實施形態之半導體記憶裝置 100，可簡化佈局構造。因此，可使裝置小型化或製造步驟簡化。

再者，即使不為記憶胞陣列 1 由輸入緩衝器電路 15 以及輸出緩衝器電路 16 包夾之佈局構造亦可適用本實施形態。

第 3 實施形態

第 13 圖至第 16 圖係表示本發明第 3 實施形態之半導體記憶裝置之電路構成圖。本第 3 實施形態之半導體記憶裝置，係在上述的第 2 實施形態之半導體記憶裝置 110 中，替代 n 個記憶胞陣列陣列 1 設置 n 個記憶胞陣列 21，替代寫入控制電路 12 設置寫入控制電路 22，替代讀取控制電路 3 設置讀取控制電路 23，替代解碼器電路 4 設置解碼器電路 24，替代 n 個輸入緩衝器電路 15 設置 n 個輸入緩衝器電路 25，替代 n 個輸出緩衝器電路 16 設置 n 個輸出緩衝器電路 26。與第 2 實施形態相同，由一個輸入緩衝器電路 25、一個輸出緩衝器電路 26、以及一個記憶胞陣列 21 組成一組。又，關於記憶胞陣列 21、寫入控制電路 22、讀取控制電路 23、解碼器電路 24、輸入緩衝器電路 25 及輸出緩衝器電路 26 的佈局中，係與第 2 實施形態之記憶胞陣列 1、寫入控制電路 12、讀取控制電路 3、解碼器電路 4、輸入緩衝器電路 15 及輸出緩衝器電路 16 相同。

第 13 圖係表示寫入控制電路 22 的電路構成圖。寫入

控制電路 22 係與上述寫入控制電路 2, 12 相同，與從本半導體記憶裝置的外部供給之寫入時鐘信號 WCLK 同步運作，並控制輸入緩衝器電路 25 及記憶胞陣列 21 之運作，且控制在本半導體記憶裝置之輸入資料 $D[n-1:0]$ 的對記憶胞陣列 21 之寫入。如第 13 圖所示，寫入控制電路 22 係具備有：反相器電路 22a 至 22i；OR 電路 22j；正反器電路 22k 至 22n；時序調整電路 220；以及內部位址產生電路 221。

反相器電路 22a 係將寫入時鐘信號 WCLK 予以反轉並輸出，而反相器電路 22b 係將反相器電路 22a 的輸出予以反轉而輸出。反相器電路 22b 的輸出係輸入到寫入控制電路 22 具備之所有的正反器電路之 CLK 輸入端子。在正反器電路 22k 至 22n 的 D 輸入端子係分別輸入旁路控制信號 BPE、寫入位址信號 $WA[0]$ 、寫入控制信號 WEN 及寫入胞選擇控制信號 WCEN。反相器電路 22c 係將正反器電路 22k 之 Q 輸出予以反轉且作為反轉旁路控制信號 /bpe 而輸出，而反相器電路 22d 係將反轉旁路控制信號 /bpe 予以反轉並作為內部旁路控制信號 bpe 而輸出。反相器電路 22e 係將正反器電路 221 的 Q 輸出予以反轉而輸出，反相器電路 22f 係將反相器電路 22e 的輸出予以反轉且作為寫入胞 1 選擇信號 $wy1$ 而輸出。反相器電路 22g 係將反相器電路 22e 的輸出予以反轉而輸出，反相器電路 22h 係將反相器電路 22g 的輸出予以反轉並作為寫入胞 0 選擇信號 $wy0$ 而輸出。

時序調整電路 220 係具備反相器電路 220a 至 220c、

NAND 電路 220d 至 220g、以及延遲電路 220h。反相器電路 220a 係將寫入時鐘信號 WCLK 予以反轉而輸出，反相器電路 220b 係將反相器電路 220a 的輸出予以反轉而輸出，反相器電路 220c 係將反相器電路 220b 的輸出予以反轉且作為信號 Z 而輸出。NAND 電路 22d 係運算寫入時鐘信號 WCLK、信號 Z、以及正反器電路 22n 的 Qbar 輸出之反及並作為信號 A 而輸出。NAND 電路 220e 係運算從信號 A 與 NAND 電路 220f 輸出之信號 C 的反及並作為信號 B 而輸出。延遲電路 220h 係使信號 B 延遲預定時間且作為信號 BD 而輸出。NAND 電路 220g 係運算信號 B 與信號 BD 之反及且作為信號 D 而輸出。NAND 電路 220f 係運算信號 D 與信號 B 之反及且作為信號 C 而輸出。

反相器電路 22i 係將從時序調整電路 220 輸出之信號 B 予以反轉而輸出。OR 電路 22j 係運算正反器電路 22m 的 Q 輸出與反相器電路 22i 的輸出之邏輯「或」並作為內部寫入控制信號 wen 而輸出。

內部位址產生電路 221 係具備 AND 電路 221a 至 221h、以及正反器電路 221i 至 221l。於正反器電路 221i 至 221l 的 D 輸入端子係分別輸入 $*$, WA [4], WA [1], WA[2]。AND 電路 221a 係運算從時序調整電路 220 輸出之信號 B 及正反器電路 221i, 221j 之 Q bar 輸出的邏輯「及」且作為內部寫入位址信號 WAA[0]而輸出。AND 電路 221b 係運算信號 B、正反器電路 221i 的 Q 輸出、以及正反器電路 221j 的 Qbar 輸出之邏輯「及」且作為內部寫入位址信號 WAA[1]

而輸出。AND 電路 221c 係運算信號 B、正反器電路 221i 的 Qbar 輸出、以及正反器電路 221j 的 Q 輸出之邏輯「及」並作為內部寫入位址信號 WAA[2]而輸出。AND 電路 221d 係運算信號 B 及正反器電路 221i, 221j 的 Q 輸出之邏輯「及」並作為內部寫入位址信號 WAA[3]而輸出。

AND 電路 221e 係運算反轉旁路控制信號/bpe 及正反器電路 221k, 221i 的 Qbar 輸出的邏輯「及」且作為內部寫入位址信號 WAB[0]而輸出。AND 電路 221f 係運算反轉旁路控制信號/bpe、正反器電路 221k 的 Q 輸出、以及正反器電路 221l 的 Qbar 輸出之邏輯「及」並作為內部寫入位址信號 WAB[1]而輸出。AND 電路 221g 係運算反轉旁路控制信號/bpe、正反器電路 221k 的 Qbar 輸出、以及正反器電路 221l 的 Q 輸出之邏輯「及」並作為內部寫入位址信號 WAB[2]而輸出。AND 電路 221h 係運算反轉旁路控制信號/bpe 及正反器電路 221k, 221l 之 Q 輸出的邏輯「及」且作為內部寫入位址信號 WAB[3]而輸出。

第 14 圖係表示讀取控制電路 23 的構成之電路圖。讀取控制電路 23 係與上述的讀取控制電路 3 相同，且與從本半導體記憶裝置的外部供給之讀出時鐘信號 RCLK 同步運作，並對輸出緩衝器電路 26 及記憶胞陣列 21 的運作進行控制，且在本半導體記憶裝置對來自記憶胞陣列 21 之資料的讀出進行控制。如第 14 圖所示，讀取控制電路 23 係具備有：反相器電路 23a 至 23e；AND 電路 23f, 23g；緩衝器電路 23h；正反器電路 23i, 23j；上述的時序調整電路 220

及內部位址產生電路 221。

反相器電路 23a 係將讀出時鐘信號 RCLK 予以反轉而輸出，反相器電路 23b 係將反相器電路 23a 的輸出予以反轉而輸出。反相器電路 23b 的輸出係輸入到讀取控制電路 23 具備之所有的正反器電路的 CLK 輸入端子。於正反器電路 23i, 23j 之 D 輸入端子係分別輸入讀出位址信號 RA[0] 及讀出胞選擇控制信號 RCEN。

在讀取控制電路 23 之時序調整電路 220 中，於反相器電路 220a 係輸入讀出時鐘信號 RCLK，而於 NAND 電路 220d 係輸入讀出時鐘信號 RCLK、正反器電路 23j 的 Qbar 輸出及反相器電路 220c 的輸出。讀取控制電路 23 之時序調整電路 220 之其他的構成係與寫入控制電路 22 之時序調整電路 220 相同。緩衝器電路 23h 係將由讀取控制電路 23 之時序調整電路 220 輸出之信號 B 以原樣的邏輯位準作為內部讀出控制信號 rpc 而輸出。

在讀取控制電路 23 之內部位址產生電路 221 中，於正反器電路 221i 至 221l 的 D 輸入端子係個別輸入讀出位址信號 RA[3], RA[4], RA[1], RA[2]。又，在各個 AND 電路 221a 至 221d 係輸入由讀取控制電路 23 之時序調整電路 220 輸出之信號 B。又於各個 AND 電路 221e 至 221h 係不輸入反轉旁路控制信號 /bpe，AND 電路 221e 係運算正反器電路 221k, 221l 的 Qbar 輸出之邏輯「及」並作為內部讀出位址信號 RAB[0] 而輸出，AND 電路 221f 係運算正反器電路 221k 的 Q 輸出與正反器電路 221l 的 Qbar 輸出之邏輯「及」並

作為內部讀出位址信號 RAB[1]而輸出，而 AND 電路 221g 係運算正反器電路 221k 的 Qbar 輸出與正反器電路 221l 的 Q 輸出之邏輯「及」並作為內部讀出位址信號 RAB[2]而輸出，而 AND 電路 221h 係運算正反器電路 221k, 221l 的 Q 輸出之邏輯「及」且作為內部讀出位址信號 RAB[3]而輸出。讀取控制電路 23 之內部位址產生電路 221 之其他的構成係與寫入控制電路 22 之內部位址產生電路 221 相同。

反相器電路 23c 係將由讀取控制電路 23 的時序調整電路 220 輸出之信號 D 予以反轉而輸出。反相器電路 23e 係將從寫入控制電路 22 輸出之反轉旁路控制信號 /bpe 予以反轉且作為內部旁路控制信號 rbpe 而輸出。反相器電路 23d 係將正反器電路 23i 的 Q 輸出予以反轉而輸出。AND 電路 23f 係運算反轉旁路控制信號 /bpe 及反相器電路 23c, 23d 的輸出之邏輯「及」且作為讀出胞 0 選擇信號 ry0 而輸出。AND 電路 23g 係運算反轉旁路控制信號 /bpe、反相器電路 23c 的輸出、以及正反器電路 23i 的 Q 輸出之邏輯「及」並作為讀出胞 1 選擇信號 ry1 而輸出。

第 15 圖係表示解碼器電路 24 的構成之方塊圖。如第 15 圖所示，解碼器電路 24 係具備有：具備 16 個 AND 電路 24aa 之寫入字元線解碼器電路 24a、以及具備 16 個 AND 電路 24bb 之讀出字元線解碼器電路 24b。寫入字元線解碼器電路 24a 係運算內部寫入位址信號 WAA[0]、與內部寫入位址信號 WAB[0]至 WAB[3]之邏輯「及」，並分別作為寫入字元線選擇信號 WWS[0]至 WWS[3]而輸出，且運算內部寫入

位址信號 WAA[1]，以及內部寫入位址信號 WAB[0]至 WAB[3]之邏輯「及」，且分別作為寫入字元線選擇信號 WWS[4]至 WWS[7]而輸出。此外寫入字元線解碼器電路 24a 係運算內部寫入位址信號 WAA[2]、與內部寫入位址信號 WAB[0]至 WAB[3]之邏輯「及」，並分別作為寫入字元線選擇信號 WWS[8]至 WWS[11]而輸出，並運算內部寫入位址信號 WAA[3]、與內部寫入位址信號 WAB[0]至 WAB[3]之邏輯「及」，並分別作為寫入字元線選擇信號 WWS[12]至 WWS[15]而輸出。再者，16 位元的寫入字元線選擇信號 WWS[15:0]係從寫入字元線解碼器電路 24a 內的 16 個 AND 電路 24aa 分別輸出。

相同地，讀出字元線解碼器電路 24b 係運算內部讀出位址信號 RAA[0]、與內部讀出位址信號 RAB[0]至 RAB[3]之邏輯「及」，並分別作為讀出字元線選擇信號 RWS[0]至 RWS[3]而輸出，且運算內部讀出位址信號 RAA[1]、與內部讀出位址信號 RAB[0]至 RAB[3]之邏輯「及」，並分別作為讀出字元線選擇信號 RWS[4]至 RWS[7]而輸出。此外讀出字元線解碼器電路 24b 係運算內部讀出位址信號 RAA[2]、與內部讀出位址信號 RAB[0]至 RAB[3]的邏輯「及」，並分別作為讀出字元線選擇信號 RWS[8]至 RWS[11]而輸出，且運算內部讀出位址信號 RAA[3]、與內部讀出位址信號 RAB[0]至 RAB[3]之邏輯「及」，並分別作為讀出字元線選擇信號 RWS[12]至 RWS[15]而輸出。再者，16 位元的讀出字元線選擇信號 RWS[15:0]係從讀出字元線解碼器電路 24b 內的 16

個 AND 電路 24bb 分別輸出。

第 16 圖係表示某一組之記憶胞陣列 21、輸入緩衝器

電路 25 及輸出緩衝器電路 26 之電路構成及俯視時的佈局構造圖。輸入緩衝器電路 25 係接收輸入到輸入埠 IN_i 之輸入資料 $D[i]$ ，且根據從寫入控制電路 22 輸出之反轉寫入控制信號 $/wen$ 、內部旁路控制信號 bpe 、寫入胞 0 選擇信號 wy_0 及寫入胞 1 選擇信號 wy_1 而輸出該輸入資料 $D[i]$ 到記憶胞陣列 21。如第 16 圖所示，輸入緩衝器電路 25 係具備有：正反器電路 25a；NOR 電路 25b；AND 電路 25c, 25d；反相器電路 25e；2 個資料輸出控制電路 250。在正反器電路 25a 的 D 輸入端子係輸入輸入資料 $D[i]$ ，而該 Q 輸出係作為資料 $d[i]$ 而輸出。又，在正反器電路 25a 的 CLK 輸入端子係輸入寫入控制電路 22 的反相器電路 22b 的輸出。NOR 電路 25b 係運算內部旁路控制信號 bpe 、與寫入胞 1 選擇信號 wy_1 之反或而輸出。AND 電路 25c 係運算 NOR 電路 25b 的輸出之反轉信號、與內部寫入控制信號 wen 的反轉信號之邏輯「及」而輸出。AND 電路 25d 係運算內部旁路控制信號 bpe 之反轉信號、與寫入胞 0 選擇信號 wy_0 、以及內部寫入控制信號 wen 的反轉信號之邏輯「及」而輸出。

各個資料輸出控制電路 250 係具備有：反相器電路 250a 至 250c；傳輸閘 (transmission gate) 250d, 250e；PMOS 電晶體 250f 至 250h。在各資料輸出控制電路 250 中，反相器電路 250a 係將資料 $d[i]$ 予以反轉而輸出，而反相器電路 250b 係將反相器電路 250a 的輸出予以反轉而輸入到

傳輸閘 250d 的輸入端子。此外在各資料輸出控制電路 250 中，反相器電路 250a 的輸出係輸入到傳輸閘 250e 的輸入端子，而反相器電路 250c 的輸出係輸入到各傳輸閘 250d, 250e 之負邏輯的控制端子。

在一方的資料輸出控制電路 250 中，輸入 AND 電路 25c 的輸出到反相器電路 250c 的輸入端子、以及傳輸閘 250d, 250e 之正邏輯的控制端子，而傳輸閘 250d, 250e 的輸出端子係分別連接在寫入位元線 WBA1, WBB1。

在另一方的資料輸出控制電路 250 中，輸入 AND 電路 25d 的輸出到反相器電路 250c 的輸入端子、以及傳輸閘 250d, 250e 的正邏輯之控制端子，而傳輸閘 250d, 250e 的輸出端子係分別連接在寫入位元線 WBA0, WBB0。

在各資料輸出控制電路 250 中，於 PMOS 電晶體 250f, 250h 之源極端子係施加電源電位，而在各 PMOS 電晶體 250f 至 250h 之閘極端子係輸入反相器電路 25e 的輸出。

在一方的資料輸出控制電路 250 中，PMOS 電晶體 250f 的汲極端子以及 PMOS 電晶體 250g 的源極端子連接在寫入位元線 WBA1，而 PMOS 電晶體 250g, 250h 的汲極端子連接在寫入位元線 WBB1。在另一方的資料輸出控制電路 250 中，PMOS 電晶體 250f 的汲極端子以及 PMOS 電晶體 250g 的源極端子連接在寫入位元線 WBA0，而 PMOS 電晶體 250g, 250h 的汲極端子連接在寫入位元線 WBB0。

在此例中，一個記憶胞陣列 21 係俱備有：由 16 個記憶胞 MC 所構成的記憶胞列 MCG0、以及同樣由 16 個記憶胞

MC 所構成的記憶胞列 MCG1。在各記憶胞列 MCG0, MCG1 中，16 個記憶胞 MC 係在俯視時的佈局構造中沿著 X 軸方向排列成一行。又記憶胞列 MCG0 與記憶胞列 MCG1 係在俯視時的佈局構造中沿著 Y 軸方向排列，而在一個記憶胞陣列 21 之整體中，32 個記憶胞 MC，在 X 軸方向排列有 16 個，在 Y 軸方向排列有 2 個並排之行列狀。因此，在 n 個記憶胞陣列 21 之整體中，記憶胞 MC 係在 X 軸方向排列有 16 個，在 Y 軸方向排列成 $(2 \times n)$ 個並排之行列狀。

記憶胞陣列 21 中的各記憶胞 MC 係具備有 NMOS 電晶體 210a 至 210d，以及反相器電路 210e, 210f。在分別記憶胞 MC 中，相互地連接著 NMOS 電晶體 210a, 210c 的源極端子，反相器電路 210e 之輸入端子及反相器電路 210f 的輸出端子，並相互地連接著 NMOS 電晶體 210b, 210d 的源極端子、反相器電路 210e 的輸出端子以及反相器電路 210f 的輸入端子。

在記憶胞列 MCG0 的各記憶胞 MC 中，NMOS 電晶體 210a 的汲極端子係連接在讀出位元線 RBA0，NMOS 電晶體 210b 的汲極端子係連接在讀出位元線 RBB0。另一方面，在記憶胞列 MCG1 的各記憶胞 MC 中，NMOS 電晶體 210a 的汲極端子係連接在讀出位元線 RBA1，NMOS 電晶體 210b 的汲極端子係連接在讀出位元線 RBB1。

此外在記憶胞列 MCG0 的各記憶胞 MC 中，NMOS 電晶體 210c 的汲極端子係連接在寫入位元線 WBA0，而 NMOS 電晶體 210d 的汲極端子係連接在寫入位元線 WBB0。於另一方

面，在記憶胞列 MCG1 的各記憶胞 MC 中，NMOS 電晶體 210c 的汲極端子係連接在寫入位元線 WBA1，而 NMOS 電晶體 210d 的汲極端子係連接在寫入位元線 WBB1。

在各個記憶胞列 MCG0, MCG1 中，分別連接有 16 條寫入字元線 WWL[15:0] 在 16 個記憶胞 MC 之 NMOS 電晶體 210c, 210d 的閘極端子，在上述寫入字元線 WWL[0] 至 WWL[15] 係分別供應從解碼器電路 24 輸出之寫入字元線選擇信號 WWS[0] 至 WWS[15]。此外，在各個記憶胞列 MCG0, MCG1 中，於 16 個記憶胞 MC 之 NMOS 電晶體 210a, 210b 的閘極端子分別連接有 16 條讀出字元線 RWL[15:0]，在上述讀出字元線 RWL[0] 至 RWL[15] 係分別供應從解碼器電路 24 輸出之讀出字元線選擇信號 RWS[0] 至 RWS[15]。與第 2 實施形態相同，寫入字元線 WWL[j] 與讀出字元線 RWL[j] 係成對，而連接在相同的記憶胞 MC。

在本第 3 實施形態之半導體記憶裝置中，與第 2 實施形態相同，從輸入緩衝器電路 25 延伸至記憶胞陣列 21 的記憶胞列 MCG1 之寫入位元線 WBA1, WBB1，從記憶胞列 MCG1 延長至輸出緩衝器電路 26，而連接在該輸出緩衝器電路 26。再者，由輸入緩衝器電路 25 延伸至記憶胞列 MCG0 之寫入位元線 WBA0, WBB0 係不延長到輸出緩衝器電路 26，且不連接在輸出緩衝器電路 26。

輸出緩衝器電路 26 係根據由讀取控制電路 23 輸出之內部讀出控制信號 rpc、內部旁路控制信號 rbpe、讀出胞 0 選擇信號 ry0 及讀出胞 1 選擇信號 ry1 而將接收之資料

作為輸出資料 $Q[i]$ 輸出到輸出埠 OUT_i 。如第 16 圖所示，輸出緩衝器電路 26 係具備有：2 個鎖存電路 (Latch

Circuit) 260；三態 (tristate) 反相器電路 26a 至 26c；反相器電路 26d 至 26f；OR 電路 26g；以及 NAND 電路 26h。各鎖存電路 260 係具備有：3 個 PMOS 電晶體 260a 至 260c，與 NAND 電路 260d，以及 OR 電路 260e。在各鎖存電路 260 中，於 PMOS 電晶體 260a, 260c 之源極端子係施加電源電位，且於各個 PMOS 電晶體 260a 至 260c 的閘極端子係輸入從讀取控制電路 23 輸出的內部讀出控制信號 rpc 。

在一方的鎖存電路 260 中，NAND 電路 260d 之一方的輸入端子連接有從記憶胞列 MCG0 延伸之讀出位元線 RBA_0 ，且該 NAND 電路 260d 係運算讀出位元線 RBA_0 傳達之信號、與 OR 電路 260e 的輸出之反及且作為信號 QC 而輸出。又在該一方的鎖存電路 260 中，於 OR 電路 260e 之一方的輸入端子連接有從記憶胞列 MCG0 延伸之讀出位元線 RBB_0 ，而該 OR 電路 260e 係運算讀出位元線 RBB_0 傳達之信號的反轉信號、與 AND 電路 260d 的輸出之反轉信號的邏輯「或」而輸出。

在另一方之鎖存電路 260 中，連接有由記憶胞列 MCG1 延伸之讀出位元線 RBA_1 在 NAND 電路 260d 之一方的輸入端子，而該 NAND 電路 260d 係運算讀出位元線 RBA_1 傳達之信號、與 OR 電路 260e 的輸出之反及且作為信號 QA 而輸出。此外在該另一方的鎖存電路 260 中，連接有從記憶胞列 MCG1 延伸之讀出位元線 RBB_1 在 OR 電路 260e 之一方的輸

入端子，而該 OR 電路 260e 係運算讀出位元線 RBB1 傳達之信號的反轉信號、與 AND 電路 260d 的輸出之反轉信號的邏輯「或」而輸出。

在 OR 電路 26g 之一方的輸入端子係連接有從記憶胞列 MCG1 延伸之寫入位元線 WBB1，而該 OR 電路 26g 係運算寫入位元線 WBB1 傳達之信號的反轉信號與 NAND 電路 26h 的輸出之反轉信號的邏輯「或」而輸出。在 NAND 電路 26h 的一方之輸入端子係連接有從記憶胞列 MCG1 延伸之寫入位元線 WBA1，而該 NAND 電路 26h 係運算寫入位元線 WBA1 傳達之信號與 OR 電路 26g 的輸出之反及且作為信號 QB 而輸出。

三態反相器電路 26a 至 26c 係藉由讀取控制電路 23 輸出之讀出胞 1 選擇信號 $ry1$ 、讀出胞 0 選擇信號 $ry0$ 以及內部旁路控制信號 $rbpe$ 而分別控制活性化・不活性化。在三態反相器電路 26a 至 26c 之輸入端子係分別輸入信號 QA 至 QC，而上述輸出端子係連接在反相器電路 26e 的輸入端子與反相器電路 26d 的輸出端子。反相器電路 26e 的輸出端子與反相器電路 26d 的輸入端子係互相地連接著，而反相器電路 26f 係將反相器電路 26e 的輸出予以反轉且作為輸出資料 $Q[i]$ 而輸出到輸出埠 OUT_i 。

其次，就本第 3 實施形態之半導體記憶裝置的運作加以說明。第 17 圖係表示寫入控制電路 22 及讀取控制電路 23 的運作之時序圖。在第 17 圖中，總稱寫入時鐘信號 WCLK 及讀出時鐘信號 RCLK 而表示為「時鐘信號 CLK」，而總稱

寫入字元線選擇信號 $WWS[i]$ 及讀出字元線選擇信號 $RWS[i]$ 而表示為「字元線選擇信號 WS 」。

寫入控制信號 WEN 及寫入胞選擇控制信號 $WCEN$ 皆成為“0”時，如第 17 圖所示，由寫入控制電路 22 係輸出負極性的脈衝信號而作為內部寫入控制信號 wen 。又，讀出胞選擇控制信號 $RCEN$ 成為“0”時，如第 17 圖所示，從讀取控制電路 23 係輸出正極性的脈衝信號而作為內部讀出控制信號 rpc 。

本第 3 實施形態之半導體記憶裝置係在旁路控制信號為 $BPE=0$ 時以普通運作模式運作。旁路控制信號為 $BPE=0$ 時，由寫入控制電路 22 輸出之內部旁路控制信號 bpe 係成為“0”，從讀取控制電路 23 輸出之內部旁路控制信號 $rbpe$ 亦成為“0”。在寫入輸入資料 $D[i]$ 於記憶胞陣列 21 之寫入模式中，寫入控制信號 WEN 及寫入胞選擇控制信號 $WCEN$ 係皆成為“0”，而從寫入控制電路 22 係如第 17 圖所示輸出負極性的脈衝信號作為內部寫入控制信號 wen 之同時，藉由寫入控制電路 22 及解碼器電路 24 的運作，按照寫入位址信號 $WA[4:1]$ 的值寫入字元線選擇信號 $WWS[15:0]$ 之任何一條成為“1”且寫入字元線 $WWL[15:0]$ 的任何一條活性化。又按照寫入位址信號 $WA[0]$ 的值，寫入胞 0 選擇信號 $wy0$ 及寫入胞 1 選擇信號 $wy1$ 的其中一方成為“1”。

內部旁路控制信號為 $bPe=0$ 時，輸入緩衝器電路 25 係根據寫入胞 0 選擇信號 $wy0$ 及寫入胞 1 選擇信號 $wy1$ ，

輸出輸入資料 $D[i]$ 到由寫入位元線 $WBA0, WBB0$ 所構成之位元線對，或由寫入位元線 $WBA1, WBB1$ 所構成之位元線對之其中一方。

內部旁路控制信號為 $bpe=0$ 、寫入胞 0 選擇信號為 $wy0=1$ 、寫入胞 1 選擇信號為 $wy1=0$ 時，在輸入緩衝器電路 25 中，連接在寫入位元線 $WBA1, WBB1$ 之傳輸閘 250d, 250e 的輸出係成為高阻抗 (high impedance)，而連接在寫入位元線 $WBA0, WBB0$ 之傳輸閘 250d, 250e 係成為內部寫入控制信號 wen 為 “0” 時則原樣輸出輸入信號。如此一來，記憶胞列 $MCG0$ 之複數個記憶胞 MC 中，寫入輸入資料 $D[i]$ 到連接在經活性化之寫入字元線 $WWL[j]$ 的記憶胞 MC 。

另一方面，內部旁路控制信號 $bpe=0$ 、寫入胞 0 選擇信號 $wy0=0$ 、寫入胞 1 選擇信號 $wy1=1$ 時，在輸入緩衝器電路 25 中，連接在寫入位元線 $WBA0, WBB0$ 之傳輸閘 250d, 250e 的輸出係總是成為高阻抗，而連接於寫入位元線 $WBA1, WBB1$ 之傳輸閘 250d, 250e 係內部寫入控制信號 wen 成為 “0” 時原樣輸出輸入信號。如此一來，記憶胞列 $MCG1$ 之複數個記憶胞 MC 中，寫入輸入資料 $D[i]$ 於連接在經活性化之寫入字元線 $WWL[j]$ 的記憶胞 MC 。

在從記憶胞陣列 21 讀出資料之讀出模式中，與第 2 實施形態相同，讀出胞選擇控制信號 $RCEN$ 成為 “0”。如此一來，從讀取控制電路 23 係作為內部讀出控制信號 rpc 而如第 17 圖所示輸出正極性的脈衝信號之同時，按照讀出位址信號 $RA[4:1]$ 之值讀出字元線 $RWL[15:0]$ 的任何一條

活性化。又按照讀出位址信號 $RA[0]$ 之值，讀出胞 0 選擇信號 $ry0$ 及讀出胞 1 選擇信號 $ry1$ 的其中一方成為“1”。

讀出字元線 $RWL[j]$ 活性化時，從連接在該讀出字元線 $RWL[j]$ 之，記憶胞列 $MGC0, MGC1$ 內的記憶胞 MC 讀出資料，而該資料係藉由讀出位元線 $RBA0, RBB0$ 及讀出位元線 $RBA1, RBB1$ 傳達到輸出緩衝器電路 26 的鎖存電路 260。內部讀出控制信號成為 $rpc=1$ 時，由記憶胞 MC 讀出之資料係以鎖存電路 260 保持而輸入到三態反相器電路 26a, 26c 的輸入端子。

內部旁路控制信號為 $rbpe=0$ 時，輸出緩衝器電路 26 係根據讀出胞 0 選擇信號 $ry0$ 及讀出胞 1 選擇信號 $ry1$ ，將從由讀出位元線 $RBA0, RBB0$ 所構成之位元線對，或由讀出位元線 $RBA1, RBB1$ 所構成之位元線對之其中一方傳達之資料作為輸出資料 $Q[i]$ 而輸出。

內部旁路控制信號 $rbpe=0$ 、讀出胞 0 選擇信號 $ry0=1$ 、讀出胞 1 選擇信號 $ry1=0$ 時，在輸出緩衝器電路 26 中，三態反相器電路 26c 活性化，三態反相器電路 26a, 26b 係成為不活性。如此一來，從反相器電路 26f 係輸出從記憶胞列 $MGC0$ 內之記憶胞 MC 讀出之資料作為輸出資料 $Q[i]$ 。

另一方面，內部旁路控制信號 $rbpe=0$ 、讀出胞 0 選擇信號 $ry0=0$ 、讀出胞 1 選擇信號 $ry1=1$ 時，在輸出緩衝器電路 26 中，三態反相器電路 26a 活性化，三態反相器電路 26b, 26c 係成為不活性。如此一來，從反相器電路 26f 係輸出由記憶胞列 $MGC1$ 內的記憶胞 MC 讀出之資料作為輸出

資料 $Q[i]$ 。

其次就旁路模式加以說明。旁路控制信號為 $BPE=1$ 時，本第 3 實施形態之半導體記憶裝置係以旁路模式來運作。旁路控制信號為 $BPE=1$ 時，從寫入控制電路 22 輸出之內部旁路控制信號 bpe 係成為“1”。如此一來，AND 電路 25d 的輸出係成為“0”，而連接在寫入位元線 $WBA0$, $WBB0$ 之傳輸閘 250d, 250e 的輸出係成為高阻抗，且連接在寫入位元線 $WBA1$, $WBB1$ 之傳輸閘 250d, 250e 係內部寫入控制信號 wen 成為“0”時原樣輸出輸入信號。在旁路模式中由於內部寫入控制信號 wen 成為“0”，故在寫入位元線 $WBA1$ 係供應與輸入資料 $D[i]$ 相同的邏輯位準之信號，而於寫入位元線 $WBB1$ 係供應與輸入資料 $D[i]$ 相反的邏輯位準之信號。

旁路控制信號為 $BPE=1$ 時，從讀取控制電路 23 輸出之讀出胞 0 選擇信號 $ry0$ 及讀出胞 1 選擇信號 $ry1$ 係成為“0”，而內部旁路控制信號 $rbpe$ 係成為“1”。如此一來，三態反相器電路 26a, 26c 係成為不活性，而三態反相器電路 26b 活性化，又由反相器電路 26f 係輸出輸入資料 $D[i]$ 作為輸出資料 $Q[i]$ 。

如此，在本第 3 實施形態之半導體記憶裝置中，與第 2 實施形態之半導體記憶裝置 110 相同，為了達成本來的功能藉由將原先從輸入緩衝器電路 25 延伸至記憶胞陣列 21 之寫入位元線 $WBA1$, $WBB1$ 延長至輸出緩衝器電路 26，而可將輸入資料 $D[i]$ 傳達到輸出緩衝器電路 26，並使輸入資

料 $D[i]$ 原樣輸出到輸出埠 OUT_i 。如此，藉由利用寫入位元線 WBA_1, WBB_1 達成旁路功能，與第 2 實施形態相同，比起第 1 實施形態之半導體記憶裝置 100 更可簡化佈局構造。因此，可使裝置小型化或製造步驟簡化。

再者，即使非為記憶胞陣列 21 由輸入緩衝器電路 25 以及輸出緩衝器電路 26 包夾之佈局構造，本實施形態亦可適用。

第 4 實施形態

第 18 圖，第 19 圖係表示本發明第 4 實施形態之半導體記憶裝置的電路構成圖。本第 4 實施形態之半導體記憶裝置，係在第 2 實施形態之半導體記憶裝置 110 中，替代讀取控制電路 3 設置讀取控制電路 33，替代 n 個輸入緩衝器電路 15 設置 n 個輸入緩衝器電路 35，替代 n 個輸出緩衝器電路 16 設置 n 個輸出緩衝器電路 36。與第 2 實施形態相同，一個輸入緩衝器電路 35、一個輸出緩衝器電路 36、以及一個記憶胞陣列 1 構成一個組。又，對於讀取控制電路 33、輸入緩衝器電路 35 及輸出緩衝器電路 36 的佈局中，係與第 2 實施形態之讀取控制電路 3、輸入緩衝器電路 15 及輸出緩衝器電路 16 相同。

第 18 圖係表示讀取控制電路 33 的電路構成圖。如第 18 圖所示，讀取控制電路 33，在上述的第 2 實施形態之讀取控制電路 3 中，係替代緩衝器回路 3d 具備 OR 電路 33a、AND 電路 33b 以及緩衝器電路 33c。OR 電路 33a 係運算 AND 電路 3e 的輸出、與內部旁路控制信號 bp 的邏輯「或」而

輸出。緩衝器電路 33c 係將 OR 電路 33a 的輸出以原樣之邏輯位準作為內部讀出控制信號 rpc 而輸出。AND 電路 33b 係運算反相器電路 3a 的輸出與 AND 電路 3e 的輸出之邏輯「及」而輸出。

在本第 4 實施形態之讀取控制電路 33 的內部位址產生電路 20 中，於各個 AND 電路 20a 至 20i，係替代 AND 電路 3e 的輸出而輸入 AND 電路 33b 的輸出。關於其他的構成係因與第 2 實施形態之讀取控制電路 3 相同，故省略其說明。

第 19 圖係表示某一個組之記憶胞陣列 1、輸入緩衝器電路 35 及輸出緩衝器電路 36 之電路構成及俯視時的佈局構造圖。輸入緩衝器電路 35 係接收輸入在輸入埠 IN_i 之輸入資料 $D[i]$ ，並根據從寫入控制電路 12 輸出之反轉寫入控制信號 $/wen$ 及反轉旁路控制信號 $/wbp$ 而輸出該輸入資料 $D[i]$ 到記憶胞陣列 1。如第 18 圖所示，輸入緩衝器電路 35 係具備有：正反器電路 35a；反相器電路 35b；位元線驅動器電路 350；以及位元線轉換電路 351。

在正反器電路 35a 的 D 輸入端子係輸入輸入資料 $D[i]$ ，而該 Q 輸出係作為資料 $d[i]$ 而輸出。於正反器電路 35a 的 CLK 輸入端子係輸入寫入控制電路 12 之反相器電路 2b 的輸出。反相器電路 35b 係將資料 $d[i]$ 予以反轉而輸出。

位元線驅動器電路 350 係具備反相器電路 35c、緩衝器電路 35h、以及 AND 電路 35i, 35j。反相器電路 35c 係將反相器電路 35b 的輸出予以反轉而輸出。緩衝器電路 35h 係將由寫入控制電路 12 輸出之反轉寫入控制信號 $/wen$ 以

原樣的邏輯位準予以輸出。AND 電路 35j, 35i 的輸出端子係分別連接有寫入位元線 WBA, WBB。AND 電路 35j 係運算反相器電路 35c 的輸出與緩衝器電路 35h 的輸出之邏輯「及」並輸出到寫入位元線 WBA，而 AND 電路 35i 係運算反相器電路 35b 的輸出與緩衝器電路 35h 的輸出之邏輯「及」而輸出到寫入位元線 WBB。

位元線轉換電路 35l 係具備有：反相器電路 35d, 35e, 35g、緩衝器電路 35f、以及傳輸閘 35k, 35l。反相器電路 35d 係將從寫入控制電路 12 輸出之反轉旁路控制信號/wbp 予以反轉而輸出，而反相器電路 35e 係將反相器電路 35d 的輸出予以反轉而輸入到傳輸閘 35k, 35l 的負邏輯的控制端子。反相器電路 35g 係將反相器電路 35b 的輸出予以反轉而輸出到傳輸閘 35k 的輸入端子，而緩衝器電路 35f 係將反相器電路 35b 的輸出以原樣的邏輯位準輸出到傳輸閘 35k 的輸入端子。於各個傳輸閘 35k, 35l 的正邏輯之控制端子係輸入反相器電路 35d 的輸出。

在第 2 實施形態中，寫入位元線 WBA, WBB 從記憶胞陣列 1 延長至輸出緩衝器電路 16，而在本第 4 實施形態中，取而代之地，讀出位元線 RBA, RBB 從記憶胞陣列 1 延長至輸入緩衝器電路 35。而延長之讀出位元線 RBA, RBB 係分別連接在傳輸閘 35l, 35k 的輸出端子。

輸出緩衝器電路 36 係將接收之資料，根據從讀取控制電路 33 輸出之內部讀出控制信號 rpc 輸出到輸出埠 OUTi 而作為輸出資料 Q[i]。如第 19 圖所示，輸出緩衝器電路

36 係具備有：上述感測放大器電路 60；NAND 電路 36a；OR 電路 36b；以及反相器電路 36c。感測放大器電路 60 之 PMOS 電晶體 60d 的汲極端子係連接在 OR 電路 36b 的一方之輸入端子，OR 電路 36b 係運算感測放大器電路 60 的輸出信號 AB 之反轉信號與 NAND 電路 36b 之輸出的反轉信號之邏輯「或」而輸出。感測放大器電路 60 之 PMOS 電晶體 60e 的汲極端子係連接在 NAND 電路 34a 的一方之輸入端子，而 NAND 電路 34a 係運算感測放大器電路 60 的輸出信號 AA 與 OR 電路 36b 的輸出之反及而輸出。反相器電路 36c 係將 NAND 電路 36a 的輸出予以反轉並作為輸出資料 $Q[i]$ 而輸出到輸出埠 OUT_i 。

其次，就本第 4 實施形態之半導體記憶裝置的運作加以說明。與第 2 實施形態相同，旁路控制信號為 $BP=0$ 時本第 4 實施形態之半導體記憶裝置係在普通運作模式來運作。旁路控制信號為 $BP=0$ 時，從寫入控制電路 12 輸出之內部旁路控制信號 bp 及反轉旁路控制信號 $/wbp$ 係皆成為“1”。如此一來，傳輸閘 35k, 35l 的輸出係皆成為高阻抗。因此，從位元線轉換電路 351 係輸入資料 $D[i]$ 不輸出到讀出位元線 RBA, RBB 。

在寫入輸入資料 $D[i]$ 到記憶胞陣列 1 之寫入模式中，位元線驅動器電路 350 係根據反轉寫入控制信號 $/wen$ 而將輸入資料 $D[i]$ 輸出到寫入位元線 WBA, WBB 。與第 2 實施形態相同，在寫入模式中，寫入控制信號 WEN 及寫入胞選擇控制信號 $WCEN$ 係皆成為“0”。如此一來，從寫入控制電

路 12 係作為反轉寫入控制信號 /wen 而輸出正極性的脈衝信號之同時，並藉由寫入控制電路 12 及解碼器電路 4 的運作，而按照寫入位址信號 $WA[4:0]$ 的值寫入字元線選擇信號 $WWS[31:0]$ 的任何一條成為“1”且寫入字元線 $WWL[31:0]$ 的任何一條活性化。然後，反轉寫入控制信號 /wen 成為“1”時，從位元線驅動器電路 350 輸出輸入資料 $D[i]$ ，且寫入該輸入資料 $D[i]$ 到連接在經活性化的寫入字元線 $WWL[j]$ 之記憶胞 MC。

在從記憶胞陣列 1 讀出資料之讀出模式中，與第 2 實施形態相同，讀出胞選擇控制信號 RCEN 成為“0”，由讀取控制電路 33 係作為內部讀出控制信號 rpc 而輸出正極性的脈衝信號之同時，讀出字元線 $RWL[31:0]$ 的任何一條活性化。讀出字元線 $RWL[j]$ 活性化後從連接在字元線之記憶胞 MC 讀出資料，且利用讀出位元線 RBA, RBB 傳達到輸出緩衝器電路 36 的感測放大器電路 60。

內部讀出控制信號成為 $rpc=1$ 時，由記憶胞 MC 讀出之資料係以感測放大器電路 60 予以放大而輸出。如此一來，由記憶胞 MC 讀出之資料作為輸出資料 $Q[i]$ 從反相器電路 36c 輸出。

其次就旁路模式加以說明。與第 2 實施形態相同，旁路控制信號為 $BP=1$ 時，本第 4 實施形態之半導體記憶裝置係以旁路模式來運作。旁路控制信號為 $BP=1$ 時，從寫入控制電路 12 輸出之反轉旁路控制信號 /wbp 係成為“0”。如此一來，傳輸閘 35k, 35l 係原樣輸出輸入信號到輸出端

子。因此，從傳輸閘 35k 係輸出與輸入資料 $D[i]$ 相同的邏輯位準之信號，且該信號係藉由讀出位元線 RBA 傳達到輸出緩衝器電路 36。此外，由傳輸閘 35l 係輸出與輸入資料 $D[i]$ 相反的邏輯位準之信號，而該信號係藉由讀出位元線 RBB 傳達至輸出緩衝器電路 36。然後，讀出位元線 RBA, RBB 傳達之信號係個別輸入到輸出緩衝器電路 36 的 NAND 電路 36a 及 OR 電路 36b。如此一來，由反相器電路 36c 係輸出輸入資料 $D[i]$ 作為輸出資料 $Q[i]$ 。

如此，在本第 4 實施形態之半導體記憶裝置中，為了達成本來的功能藉由將原先從輸出緩衝器電路 36 延伸至記憶胞陣列 1 之讀出位元線 RBA, RBB 延長至輸入緩衝器電路 35，而可將輸入資料 $D[i]$ 傳達至輸出緩衝器電路 36，且可將輸入資料 $D[i]$ 原樣傳達到輸出埠 OUT_i 。如此，藉由利用讀出位元線 RBA, RBB 達成旁路功能，比起使用與讀出位元線 RBA, RBB 另外設置之旁路線 BPL 而將輸入資料 $D[i]$ 傳達至輸出緩衝器電路 6 之第 1 實施形態之半導體記憶裝置 100，更可簡化佈局構造。因此，可使裝置小型化與製造步驟的簡化。

再者，即使非為記憶胞陣列 1 由輸入緩衝器電路 35 以及輸出緩衝器電路 36 包夾之佈局構造本實施形態亦可適用。

又，如上述第 6 圖所示之半導體裝置 600 中，替代第 1 實施形態之半導體記憶裝置 100，亦可使用第 2 實施形態至第 4 實施形態之半導體記憶裝置作為半導體記憶部。

【圖式簡單說明】

第 1 圖係表示本發明第 1 實施形態之半導體記憶裝置的佈局構造之平面圖。

第 2 圖係表示本發明第 1 實施形態之寫入控制電路的電路構成圖。

第 3 圖係表示本發明第 1 實施形態之讀取控制電路的電路構成圖。

第 4 圖係表示本發明第 1 實施形態之解碼器電路的構成之方塊圖。

第 5 圖係表示本發明第 1 實施形態之記憶胞陣列、輸入緩衝器電路及輸出緩衝器電路之電路構成及俯視時的佈局構造圖。

第 6 圖係表示本發明第 1 實施形態之半導體裝置的構成之方塊圖。

第 7 圖係表示本發明第 1 實施形態之半導體記憶裝置的佈局構造之平面圖。

第 8 圖係表示本發明第 1 實施形態之半導體記憶裝置的佈局構造之變形例之平面圖。

第 9 圖係表示本發明第 1 實施形態之半導體記憶裝置的佈局構造之變形例的平面圖。

第 10 圖係表示本發明第 2 實施形態之半導體記憶裝置的佈局構造之平面圖。

第 11 圖係表示本發明第 2 實施形態之寫入控制電路的電路構成圖。

第 12 圖係表示本發明第 2 實施形態之記憶胞陣列、輸入緩衝器電路及輸出緩衝器電路的電路構成及俯視時之佈局構造圖。

第 13 圖係表示本發明第 3 實施形態之寫入控制電路的電路構成圖。

第 14 圖係表示本發明第 3 實施形態之讀取控制電路的電路構成圖。

第 15 圖亦係表示本發明第 3 實施形態之解碼器電路的構成之方塊圖。

第 16 圖係表示本發明第 3 實施形態之記憶胞陣列、輸入緩衝器電路及輸出緩衝器電路的電路構成及俯視時之佈局構造圖。

第 17 圖係表示本發明第 3 實施形態之寫入控制電路及讀取控制電路的運作之時序圖。

第 18 圖係表示本發明第 4 實施形態之讀取控制電路的電路構成圖。

第 19 圖係表示本發明第 4 實施形態之記憶胞陣列、輸入緩衝器電路及輸出緩衝器電路的電路構成及俯視時之佈局構造圖。

【主要元件符號說明】

5, 15, 25, 35	輸入緩衝器電路
6, 16, 26, 36	輸出緩衝器電路
60	感測放大器電路
61, 160	輸出選擇電路

100, 110	半導體記憶裝置
150	資料轉換電路
151, 350	位元線驅動器電路
351	位元線轉換電路
600	半導體裝置
BPL	旁路線
IN0 至 IN _{n-1}	輸入埠
MC	記憶胞
OUT0 至 OUT _{n-1}	輸出埠
RBA, RBA0, RBA1, RBB, RBB0, RBB1	讀出位元
線, WBA, WBA0, WBA1, WBB, WBB0, WBB1	寫入位元線

十、申請專利範圍：

1. 一種半導體裝置，係具備具有寫入模式、讀出模式及旁路模式的半導體記憶部，而前述半導體記憶部係具備：

具有排列在預定方向之複數個記憶胞之記憶胞陣列；

輸入資料之輸入埠；

輸出資料之輸出埠；

分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條讀出字元線；

分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條寫入字元線；

在前述寫入模式時將前述複數條寫入字元線的任何一條予以活性化，而於前述讀出模式時將前述複數條讀出字元線的任何一條加以活性化之解碼器電路；

將輸入到前述輸入埠之資料予以接收且輸出之輸入緩衝器電路；

從前述輸入緩衝器電路延伸至前述記憶胞陣列，且將從前述輸入緩衝器電路輸出之資料傳達至前述記憶胞陣列之寫入位元線；

將本身所接收到之資料輸出到前述輸出埠之輸出緩衝器電路；以及

從前述記憶胞陣列延伸至前述輸出緩衝器電路，並將來自前述記憶胞陣列之資料傳達至前述輸出緩衝器電路之讀出位元線，

而前述寫入位元線係從前述記憶胞陣列延伸至前述輸出緩衝器電路，

且前述輸出緩衝器電路係在前述讀出模式時將藉由前述讀出位元線傳達之資料輸出到前述輸出埠，而於前述旁路模式時將藉由前述寫入位元線傳達之資料輸出到前述輸出埠；

前述輸入緩衝器電路係具有：

在前述寫入模式時將輸入到前述輸入埠之資料根據控制信號予以輸出，而在前述旁路模式時與前述控制信號無關地將輸入到前述輸入埠之資料予以輸出之資料轉換電路；以及

接收從前述資料轉換電路輸出之資料並輸出到前述寫入位元線之位元線驅動器電路，

而前述輸出緩衝器電路係具有：

將藉由前述讀出位元線傳達之資料加以放大而輸出之感測放大器電路；以及

在前述讀出模式時將前述感測放大器電路的輸出輸出到前述輸出埠，而於前述旁路模式時將藉由前述寫入位元線傳達之資料輸出到前述輸出埠之輸出選擇電路。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中，在俯視時的佈局構造中，前述記憶胞陣列係由前述輸入緩衝器電路以及前述輸出緩衝器電路包夾而配置。
3. 一種半導體裝置，係具備具有寫入模式、讀出模式及旁

路模式的半導體記憶部，而前述半導體記憶部係具備：

具有排列在預定方向之複數個記憶胞之記憶胞陣列；

輸入資料之輸入埠；

輸出資料之輸出埠；

分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條讀出字元線；

分別連接在前述記憶胞陣列中的前述複數個記憶胞之複數條寫入字元線；

在前述寫入模式時將前述複數條寫入字元線的任何一條予以活性化，而於前述讀出模式時將前述複數條讀出字元線的任何一條加以活性化之解碼器電路；

將輸入到前述輸入埠之資料予以接收且輸出之輸入緩衝器電路；

從前述輸入緩衝器電路延伸至前述記憶胞陣列，且將從前述輸入緩衝器電路輸出之資料傳達至前述記憶胞陣列之寫入位元線；

將本身所接收到之資料輸出到前述輸出埠之輸出緩衝器電路；以及

從前述記憶胞陣列延伸至前述輸出緩衝器電路，並將來自前述記憶胞陣列之資料傳達至前述輸出緩衝器電路之讀出位元線，

而前述寫入位元線係從前述記憶胞陣列延伸至前述輸出緩衝器電路，

且前述輸出緩衝器電路係在前述讀出模式時將藉由前述讀出位元線傳達之資料輸出到前述輸出埠，而於前述旁路模式時將藉由前述寫入位元線傳達之資料輸出到前述輸出埠；

前述記憶胞陣列係具有由排列在前述預定方向之前述複數個記憶胞所構成之第 1 記憶胞列，以及由排列在前述預定方向之複數個記憶胞所構成之第 2 記憶胞列，

而前述複數條讀出字元線，係分別連接在前述各個第 1 及第 2 記憶胞列之前述複數個記憶胞，

且前述複數條寫入字元線，係分別連接在前述各個第 1 及第 2 記憶胞列之前述複數個記憶胞，

前述寫入位元線係包含：

從前述輸入緩衝器電路延伸至前述第 1 記憶胞列，並將由前述輸入緩衝器電路輸出之資料傳達至前述第 1 記憶胞列之第 1 寫入位元線；以及由前述輸入緩衝器電路延伸至前述第 2 記憶胞列，且將從前述輸入緩衝器電路輸出之資料傳達至前述第 2 記憶胞列之第 2 寫入位元線，

而前述讀出位元線係包含：

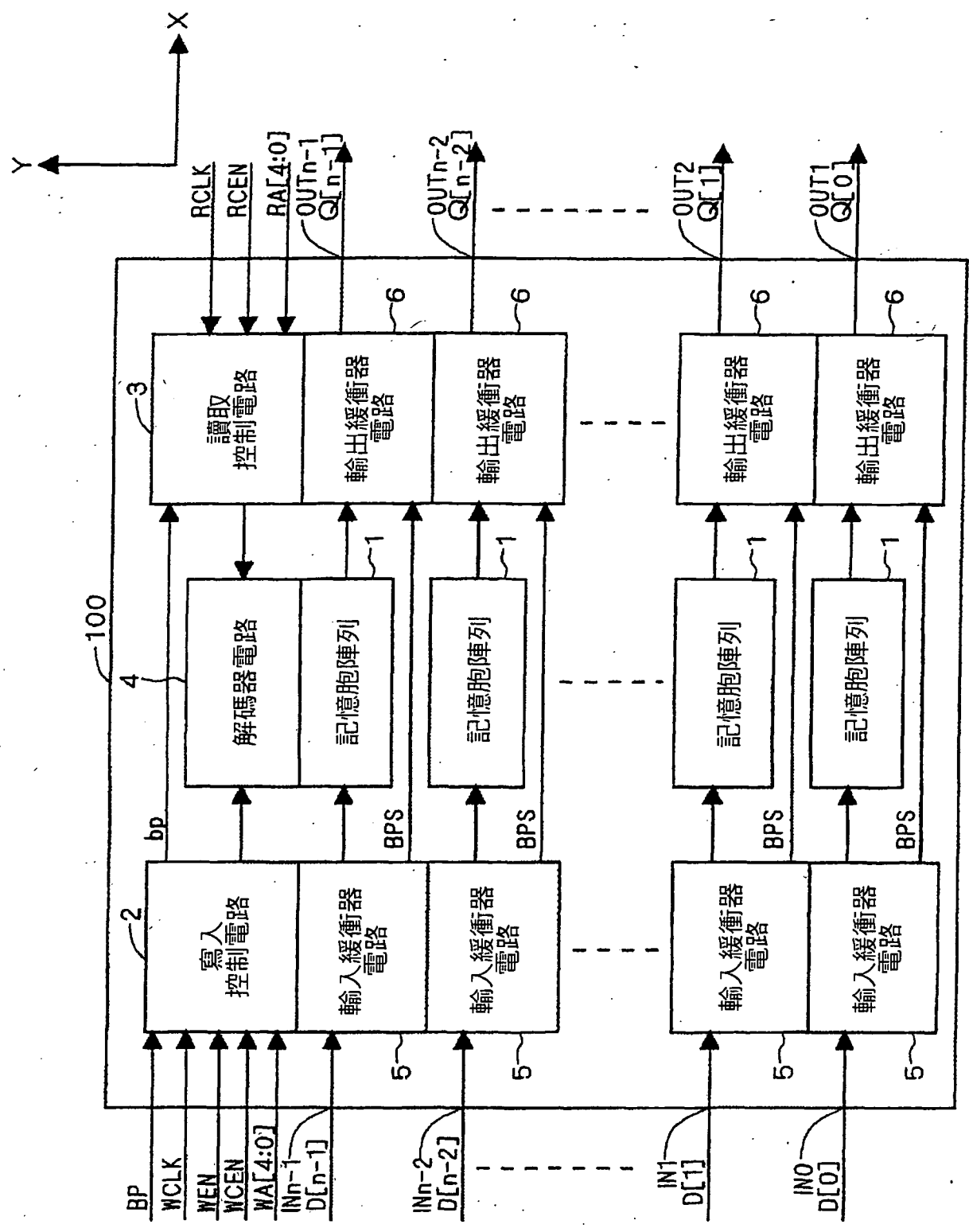
從前述第 1 記憶胞列延伸至前述輸出緩衝器電路，並將來自前述第 1 記憶胞列之資料傳達至前述輸出緩衝器電路之第 1 讀出位元線；以及從前述第 2 記憶胞列延伸至前述輸出緩衝器電路，且將來自前述第 2 記憶胞

列的資料傳達至前述輸出緩衝器電路之第 2 讀出位元線，

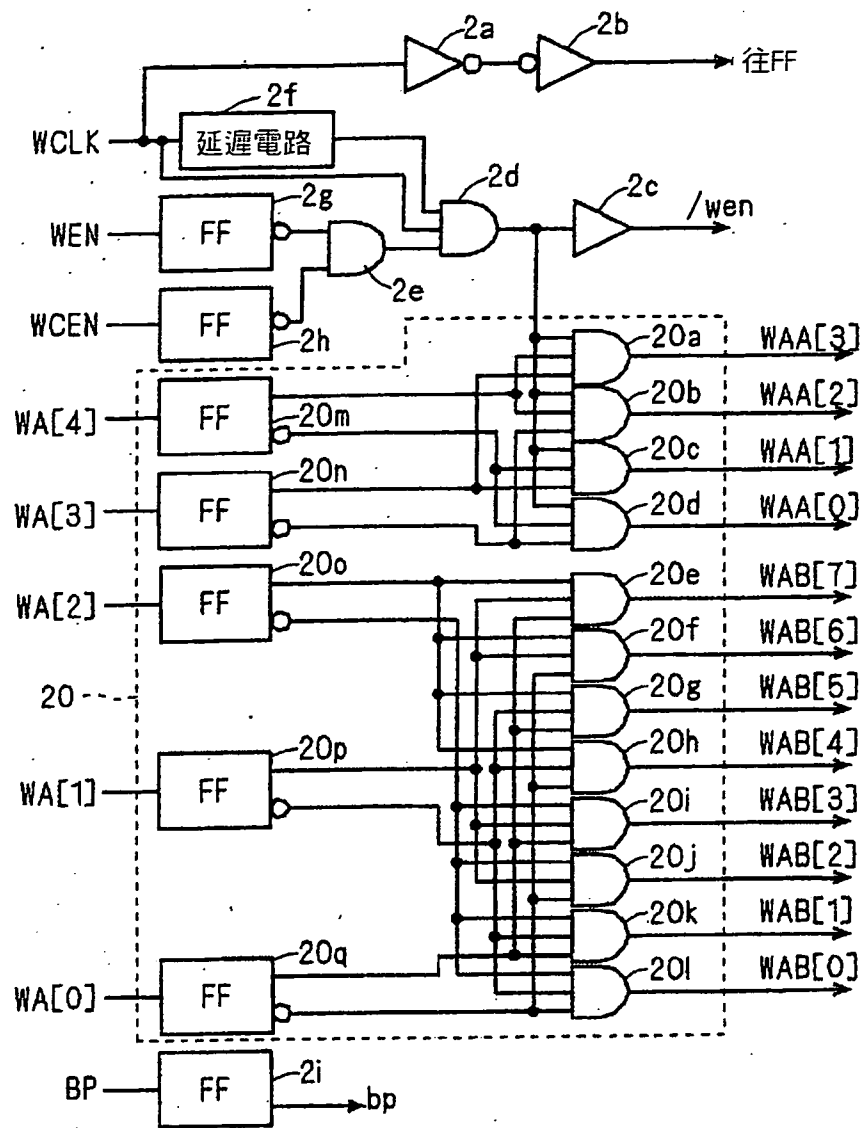
而前述第 1 寫入位元線係從前述第 1 記憶胞列延長至前述輸出緩衝器電路，

前述輸入緩衝器電路係將輸入到前述輸入埠之資料，於前述寫入模式時根據第 1 選擇信號輸出到前述第 1 及第 2 寫入位元線的其中一方，而在前述旁路模式時不輸出到前述第 2 寫入位元線而輸出到前述第 1 寫入位元線，

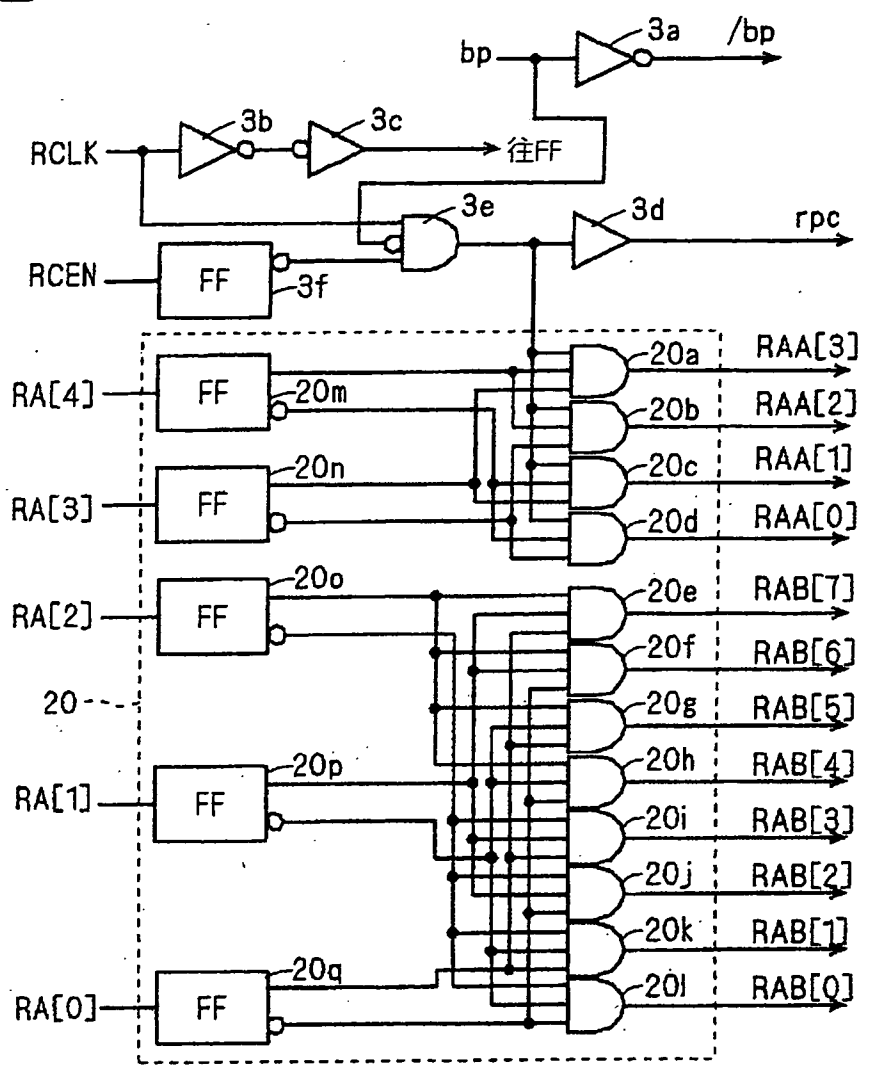
且前述輸出緩衝器電路係於前述讀出模式時根據第 2 選擇信號將藉由前述第 1 及第 2 讀出位元線傳達之資料的任意一方輸出到前述輸出埠，而於前述旁路模式時將藉由前述第 1 寫入位元線傳達之資料輸出到前述輸出埠。



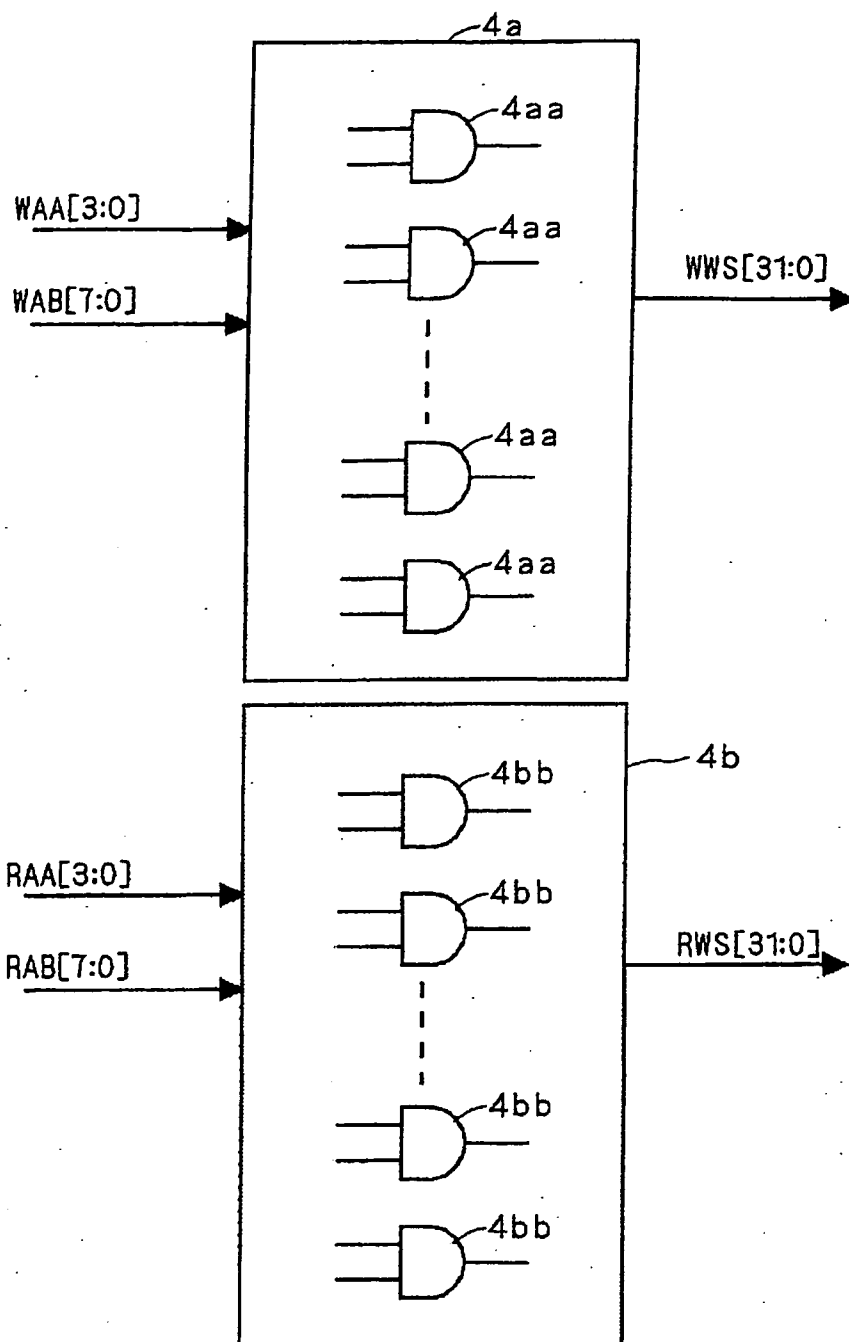
第1圖



第2圖

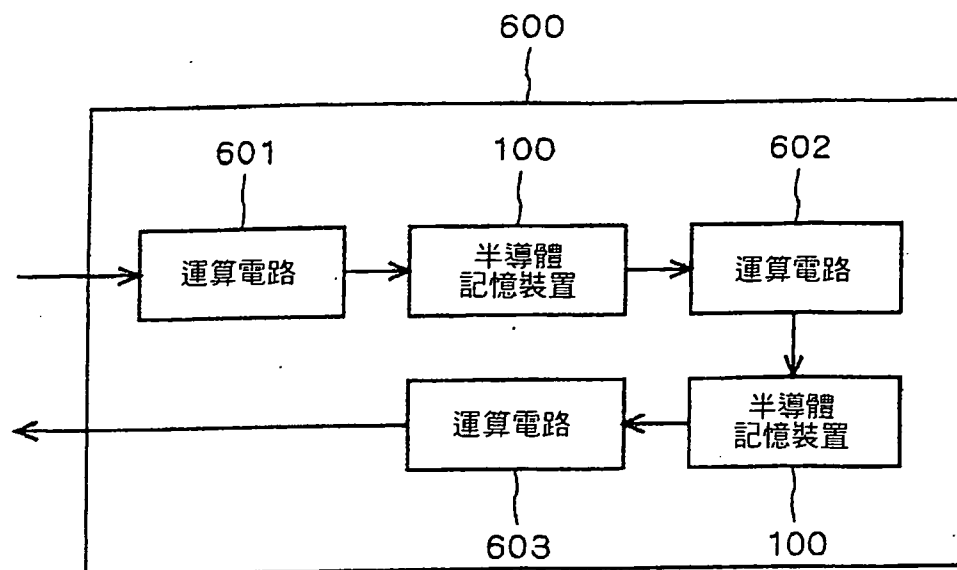


第3圖

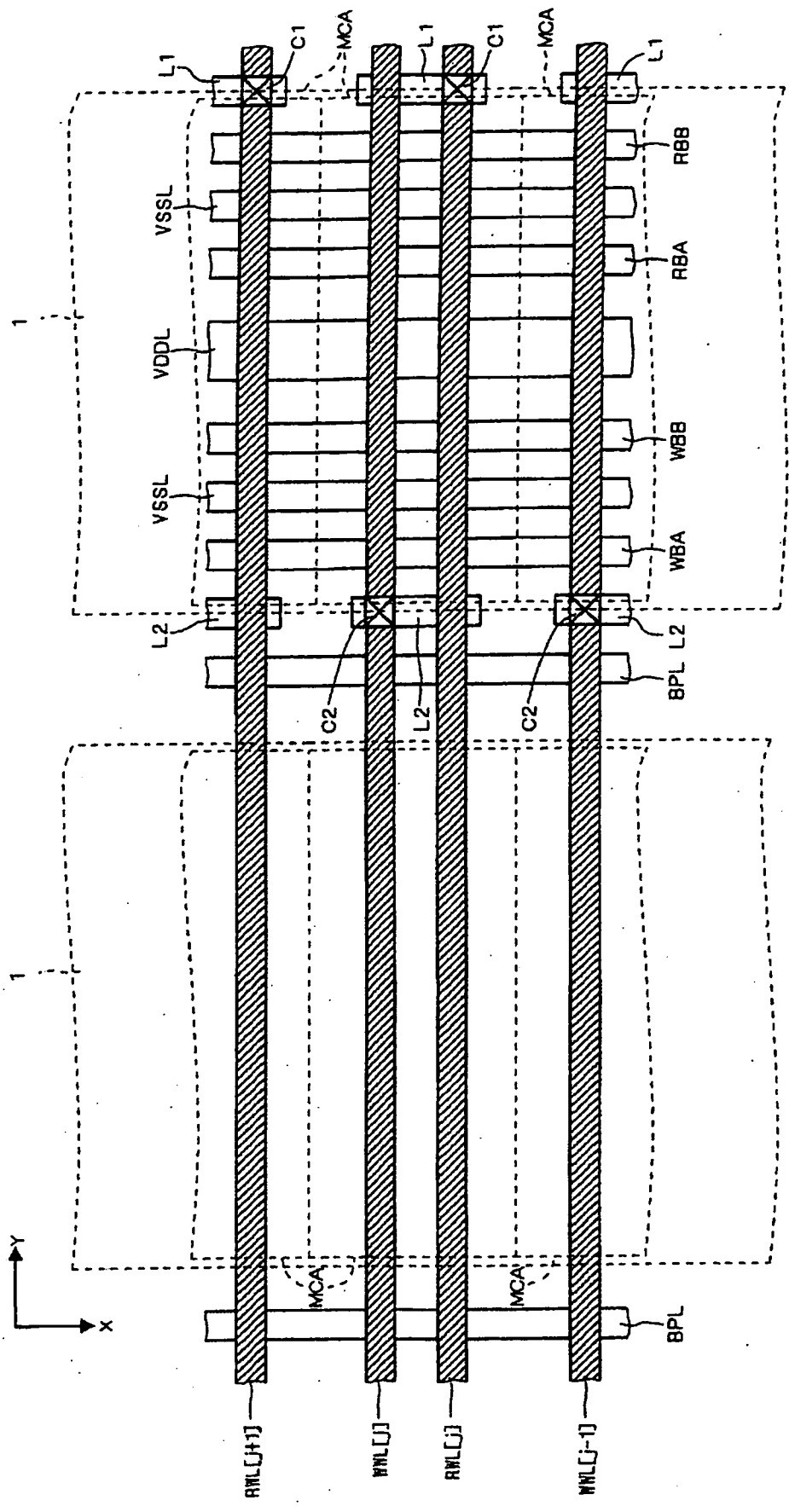


第4圖

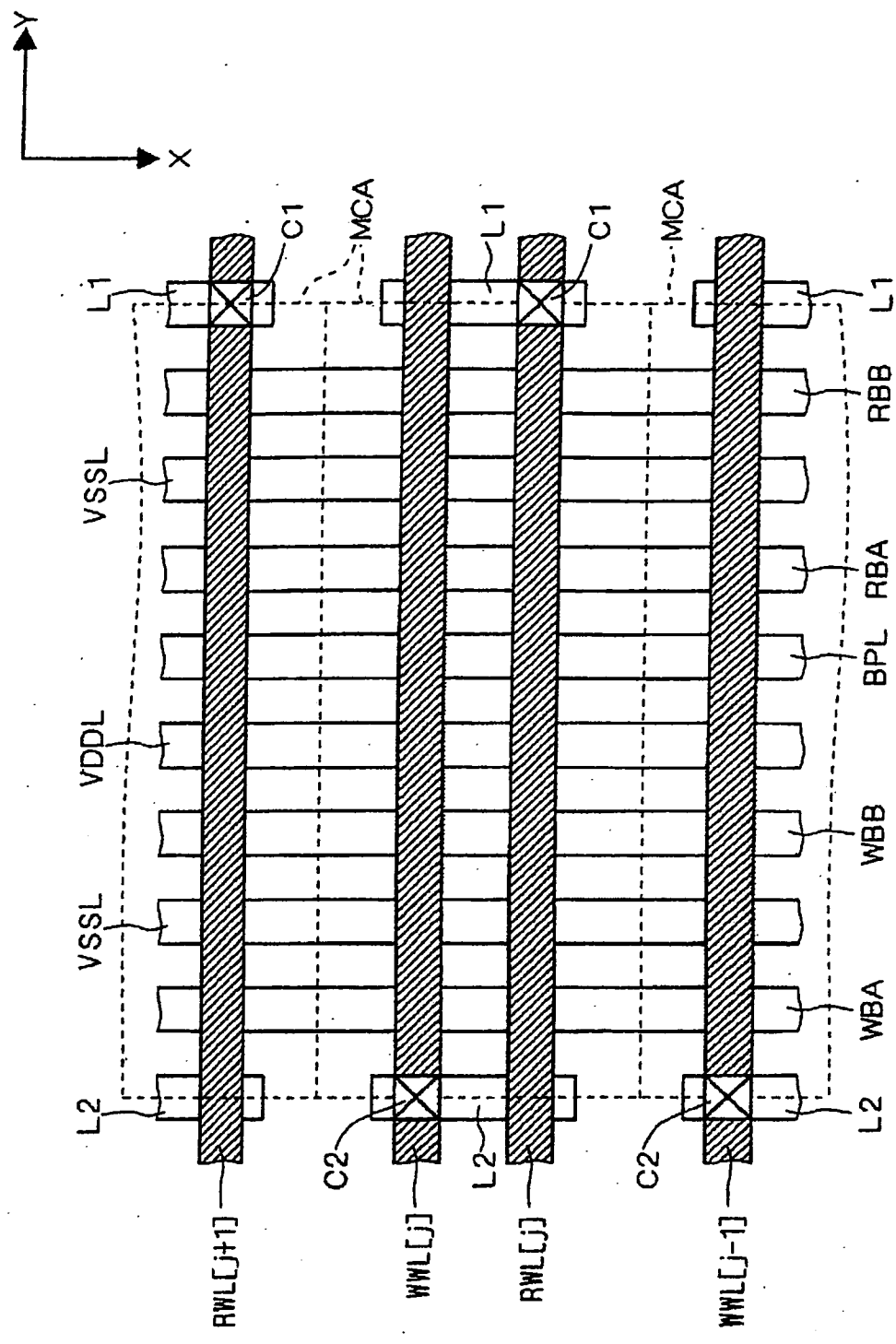
5



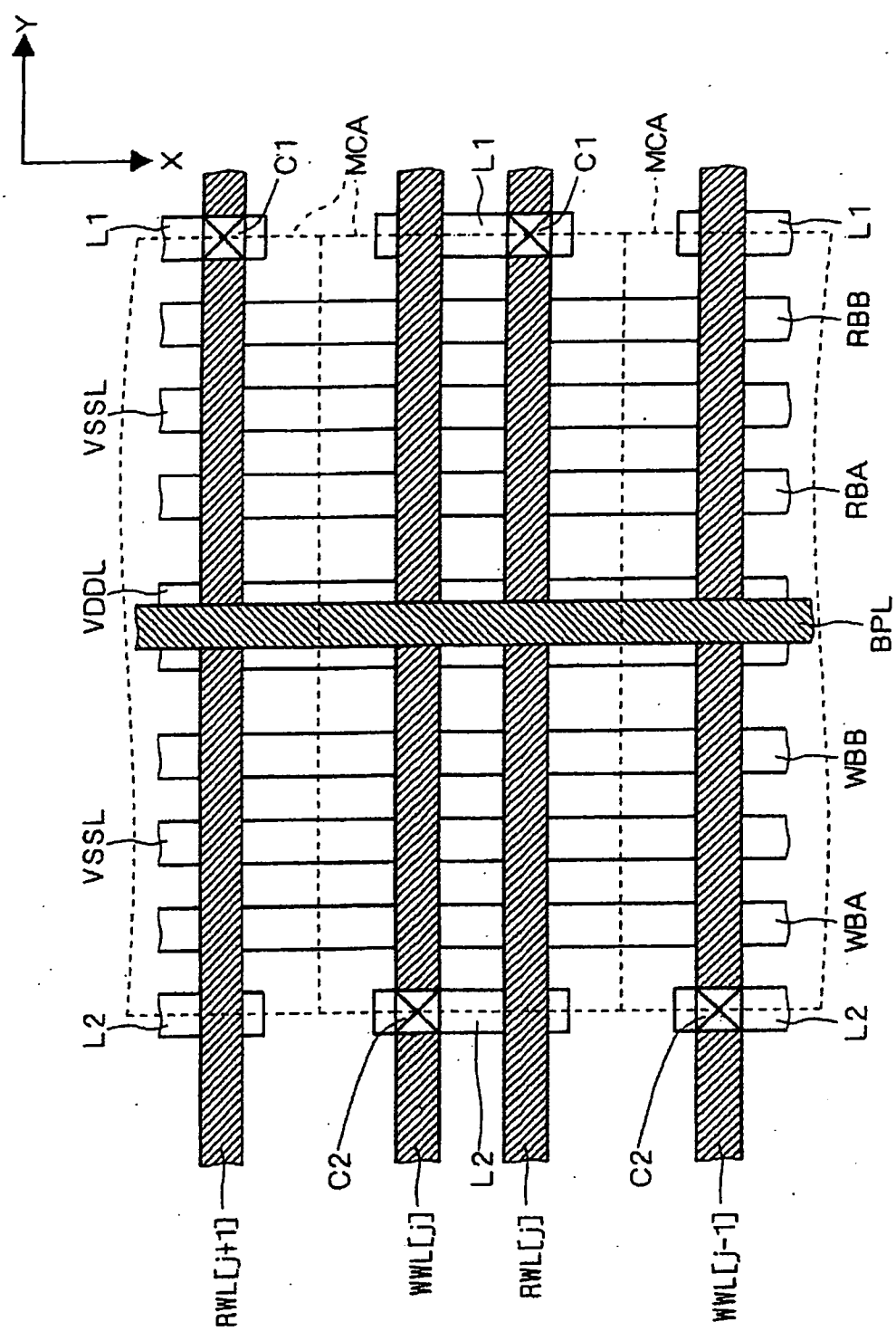
第6圖



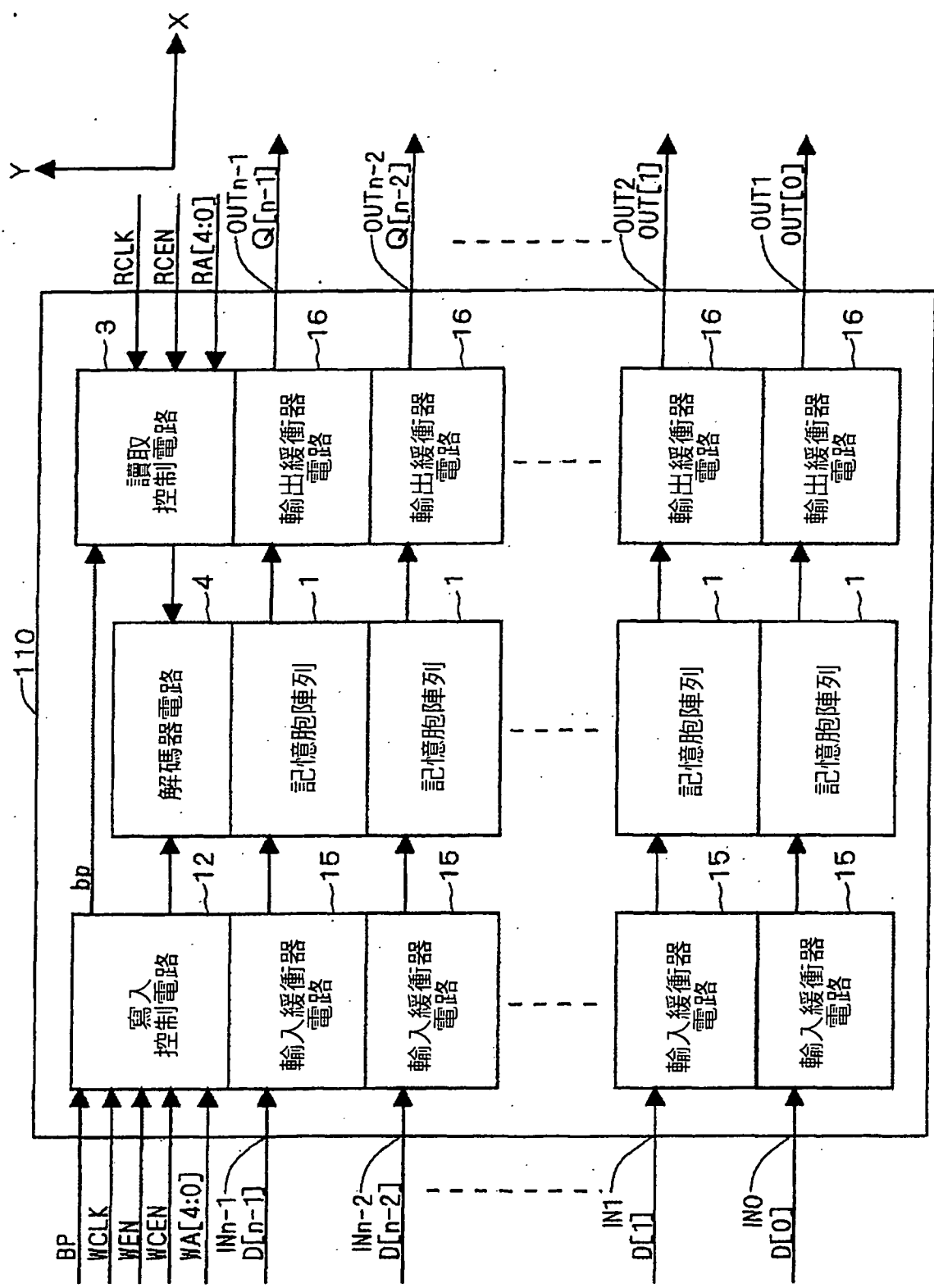
第7圖



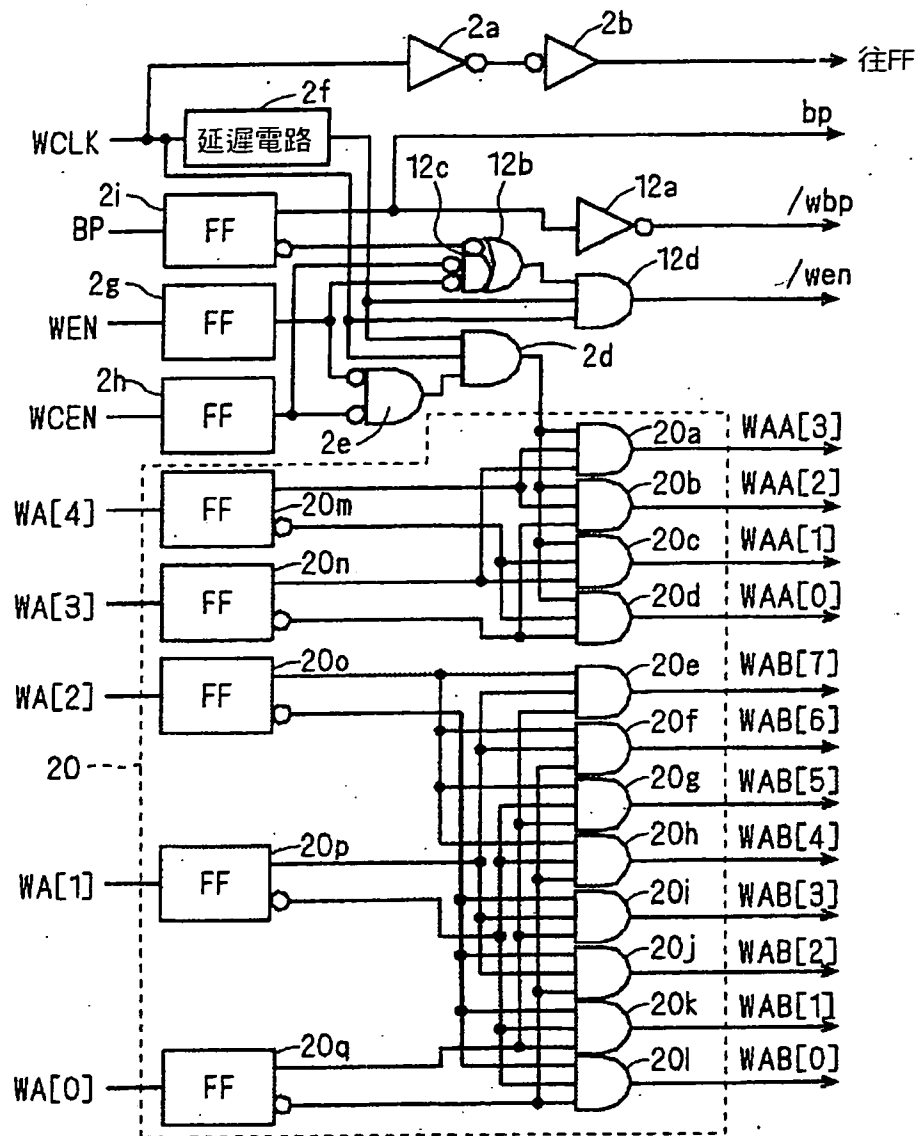
第8圖



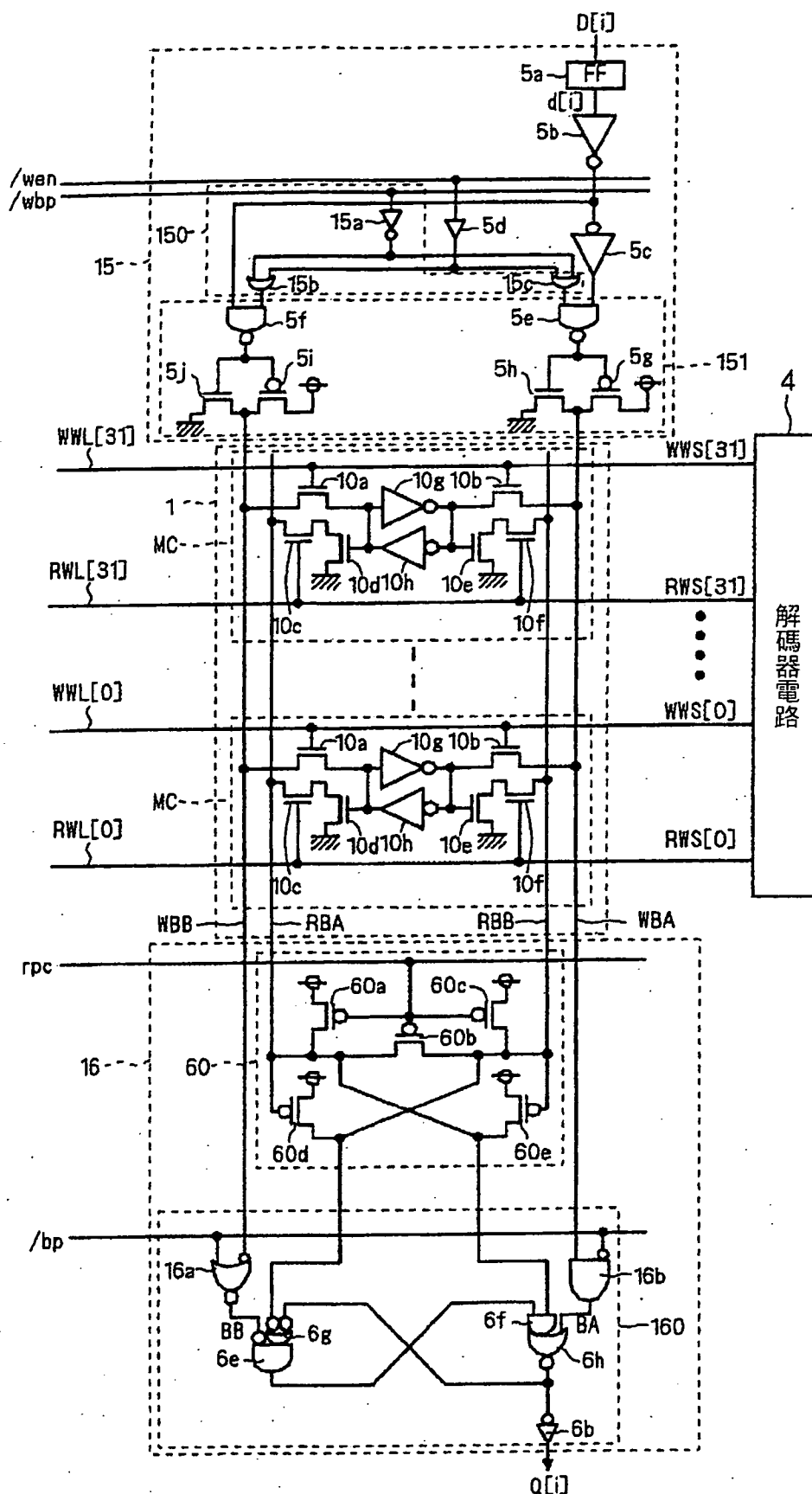
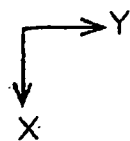
第9圖



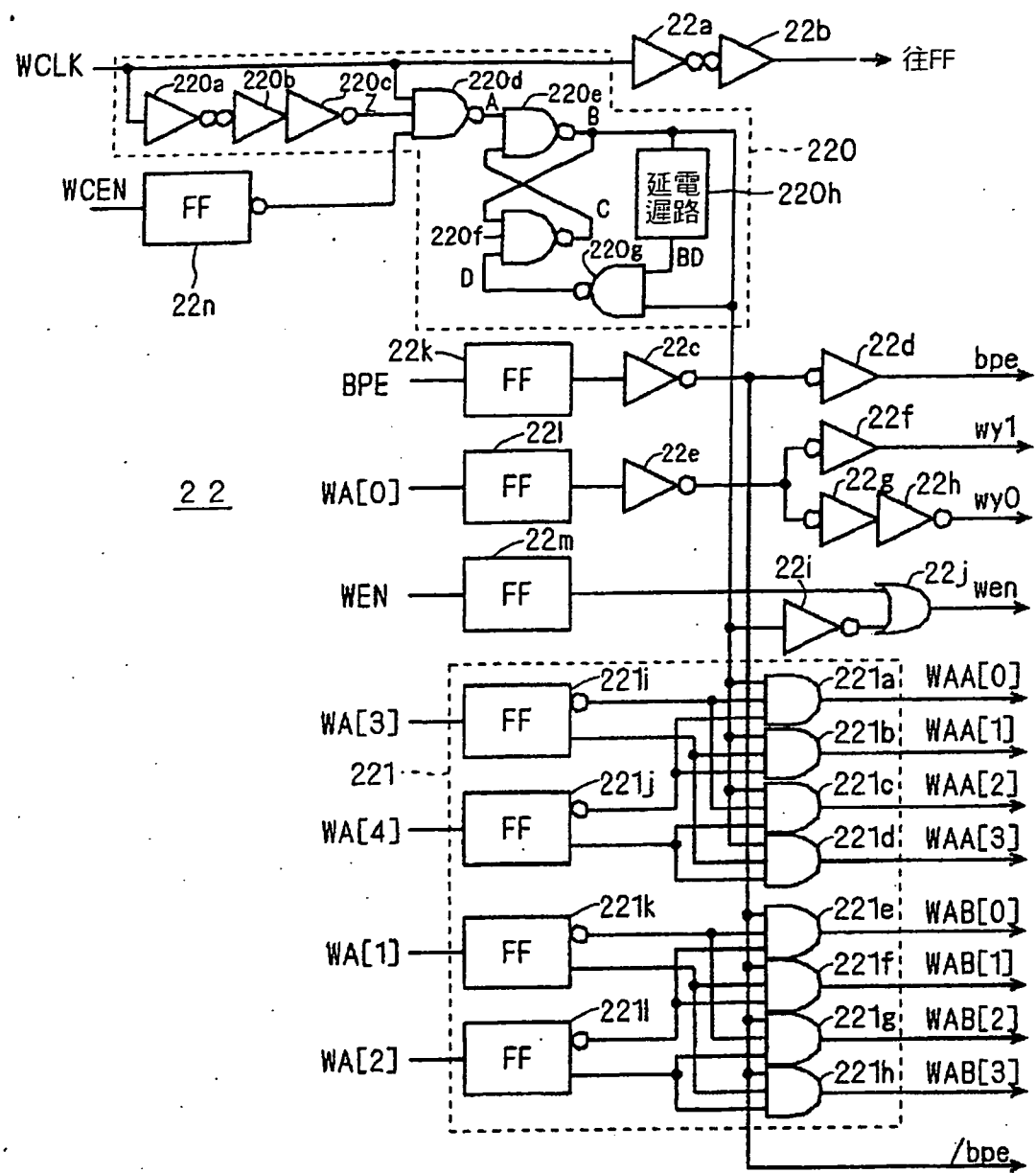
第10圖



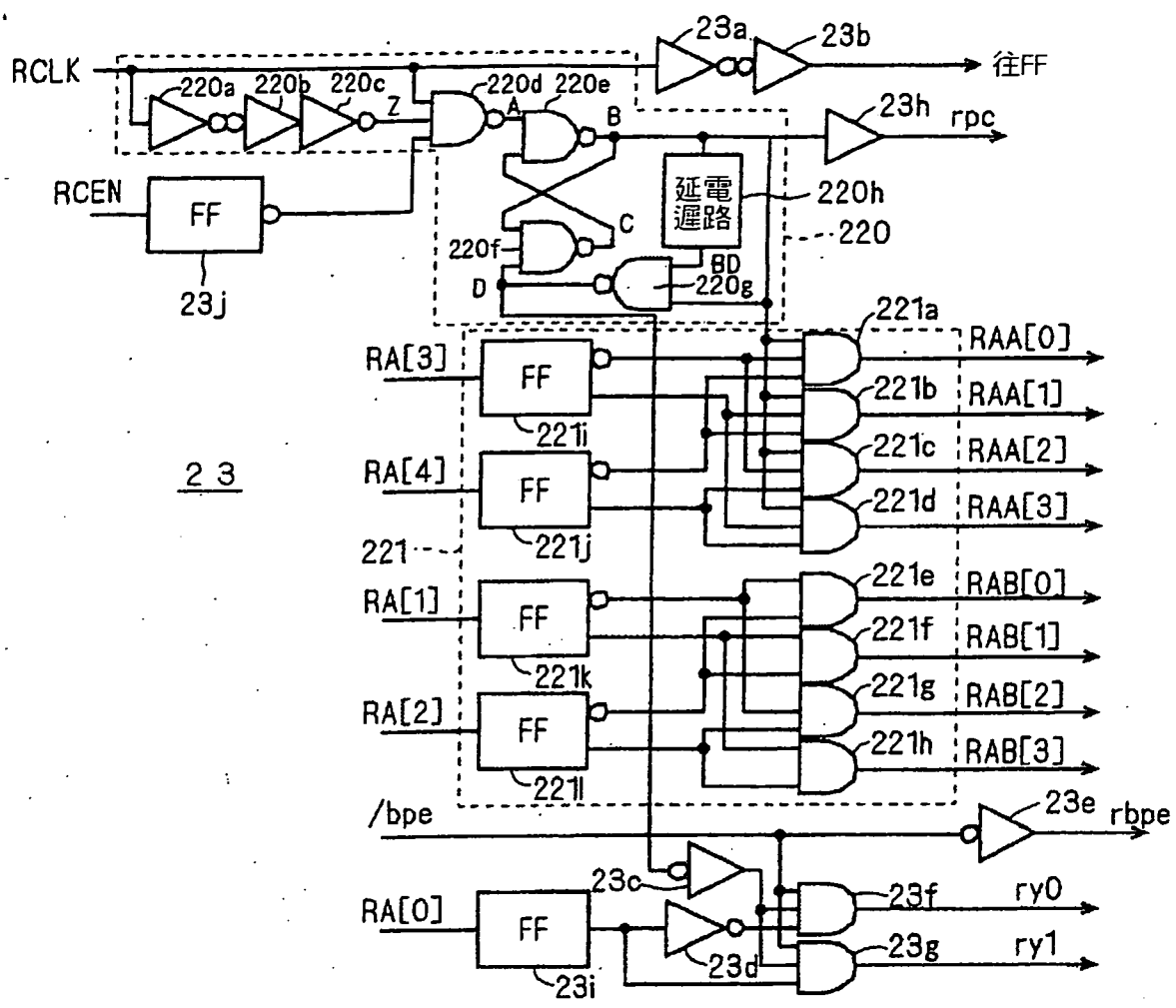
第11圖



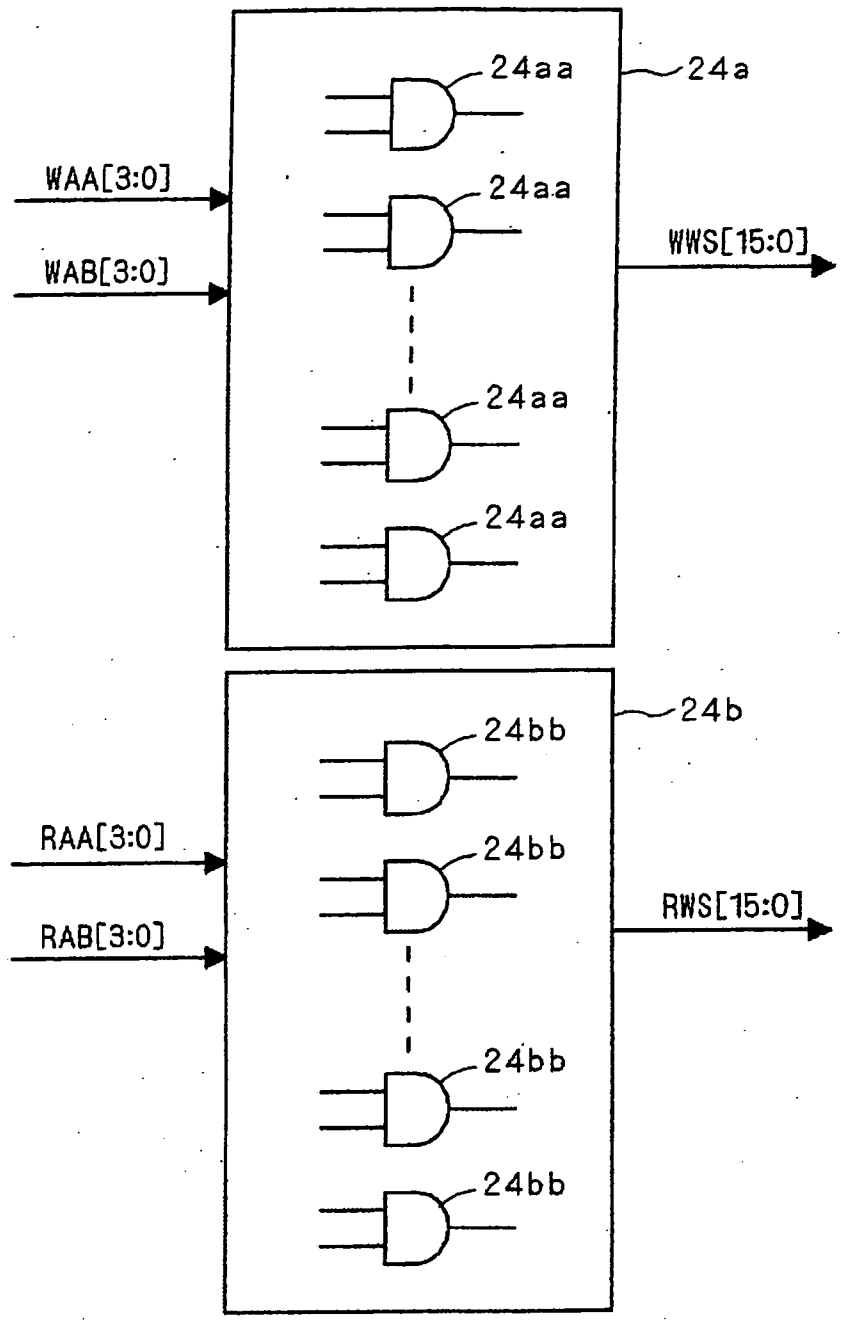
第12圖



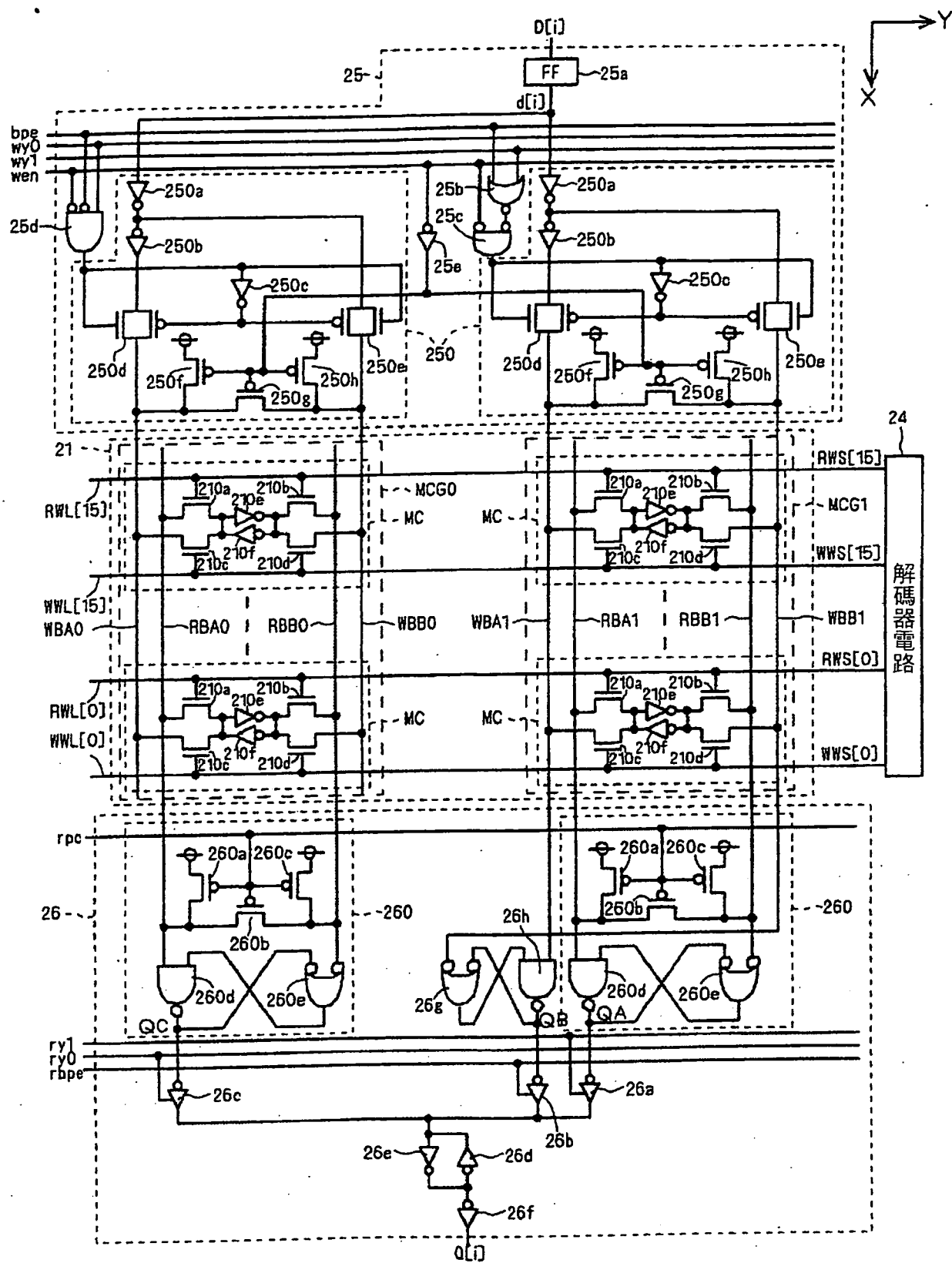
第13圖



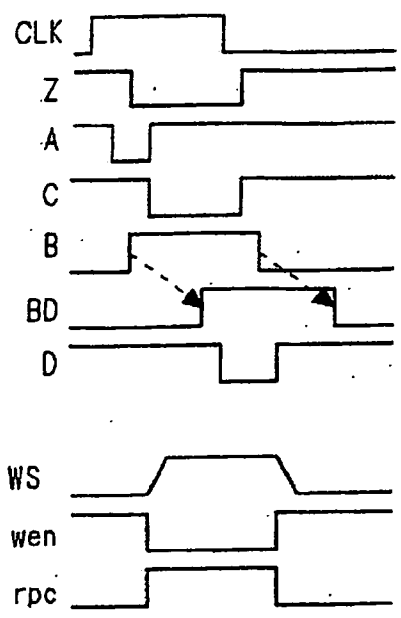
第14圖



第15圖

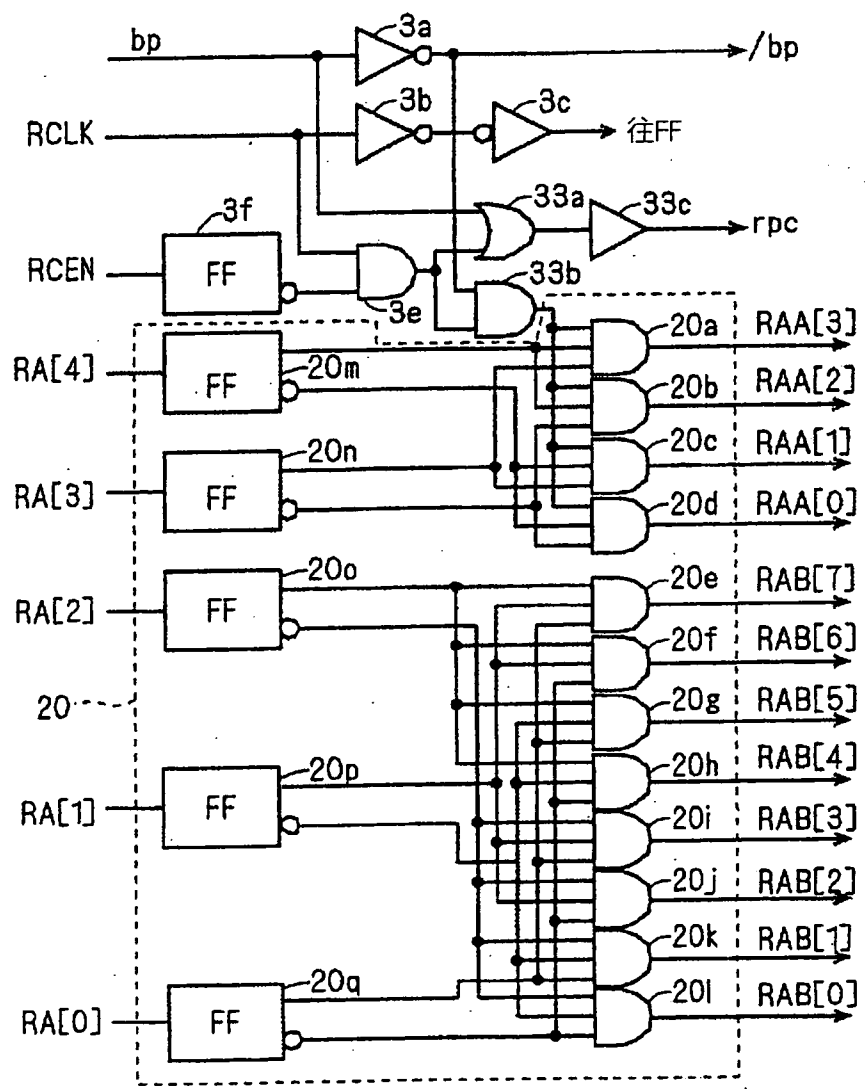


第16圖

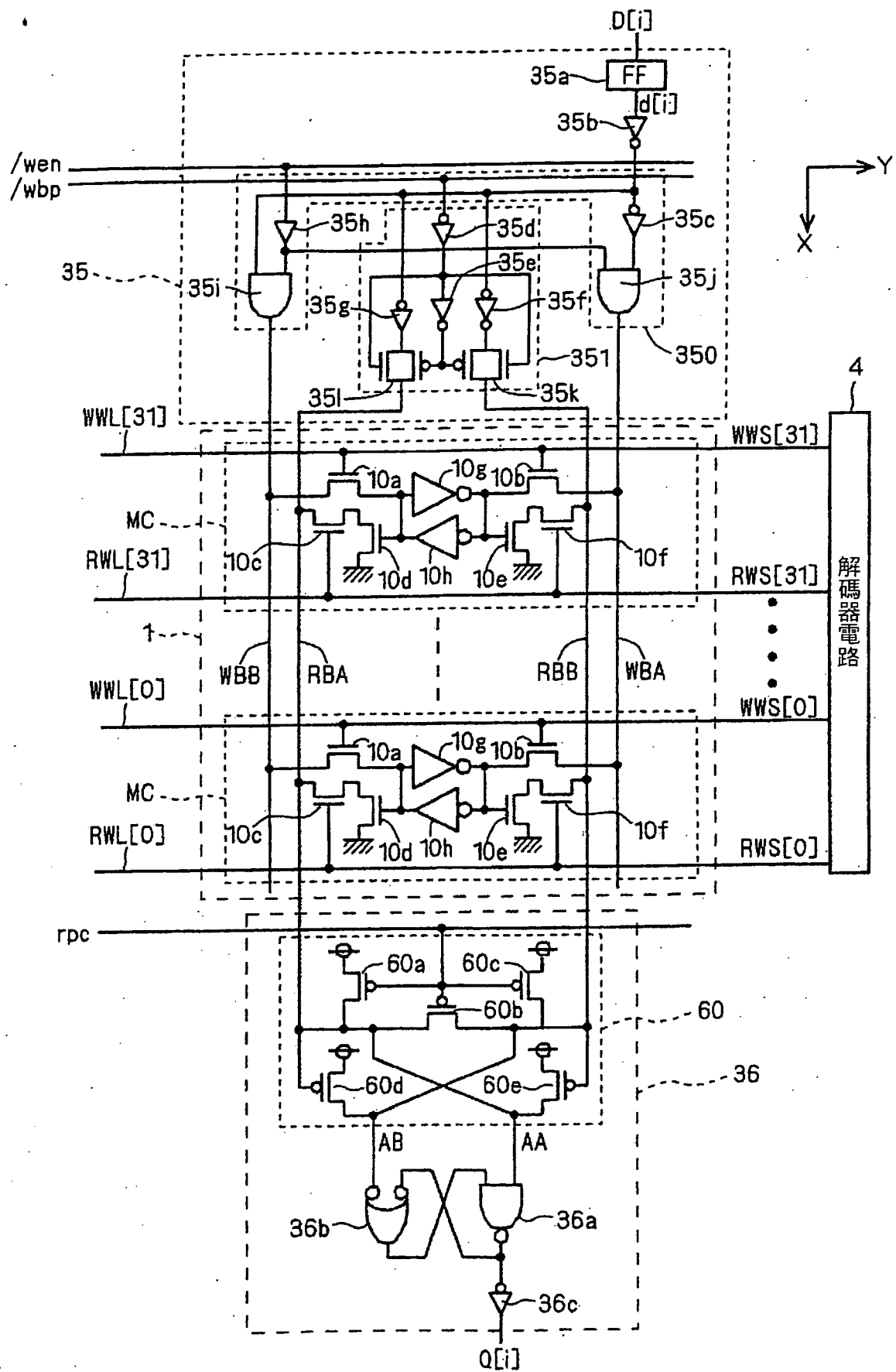


第17圖

33



第18圖



第19圖