

申請日期	85. 7. 09.
案號	85108266
類別	GOLF 12/00

A4  
C4

308660

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

### 新 型

一、發明 新 型 名 稱	中 文	在一具有非均一性記憶體存取儲存結構之多處理機系統中利用節點親和性指派程序
	英 文	PROCESS ASSIGNMENT BY NODAL AFFINITY IN A MULTIPROCESSOR SYSTEM HAVING NON-UNIFORM MEMORY ACCESS STORAGE ARCHITECTURE
二、發明 創 作 人	姓 名	1.馬克·羅伯·方克 2.賴瑞·凱斯·麥梅斯 3.唐納·亞瑟·摩利森 4.羅伯·安東尼·彼翠洛 5.羅伯·卡爾·希曼 6.亞瑟·道格拉斯·史麥特 7.提摩西·約瑟夫·托茲維斯基
	國 籍	均美國
住、居所	姓 名	1.美國明尼蘇達州羅徹斯特市米度隆路616號 2.美國明尼蘇達州羅徹斯特市西南南瑞吉街8947號 3.美國明尼蘇達州羅徹斯特市西南柯特蘭巷602號 4.美國明尼蘇達州方坦市117A郵政信箱RR1號 5.美國明尼蘇達州羅徹斯特市西北四街4318號 6.美國明尼蘇達州羅徹斯特市東北市景區1410號 7.美國明尼蘇達州羅徹斯特市西北17街617號
	國 籍	均美國
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費 羅 普

裝 訂 線

經濟部中央標準局員工消費合作社印製

308660

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國(地區) 申請專利，申請日期：1996.3.27. 案號：08/622,230 , 有 無主張優先權

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

#### 1. 技術領域：

本發明一般係關於一改良的非均一性記憶體存取儲存結構之多處理機系統，且更特別的是於一非均一性記憶體存取儲存結構之多處理機系統中，一具有環配置及程序指派機制之改良的記憶體分送裝置。

#### 2. 相關技藝敘述：

至今之電腦功能之進一步的需求使得電腦架構趨向於多處理機或平行處理機設計。由於單一處理機被元件及訊號速度所限制，只能同時執行少量的指令，而一多處理機包含多個獨立的處理機，其可執行平行之多個指令，實質上增加了處理的速度。在多處理機中的一組處理機可以一節點(node)或群組(cluster)定義，於其中每個節點之處理機執行一或一些程序之指令以致能那些程序之有效的(1)平行處理。某些改良的處理機包含多個節點並指派程序給系統中不同的節點，以提供多個處理機之平行處理。

在一緊密連接之多處理機系統中，系統之多處理機係由一快速的，電路切換的內連接網路內連接，並且通常分享一單一記憶體系統。該等處理機通常由相同的控制城市控制，且彼此間可直接互相通訊。(2) 用戶可以一單一處理機系統來使用如此一系統，但假如一使用者程式產生多個程式單元(tasks)，操作系統可指派這些程式單元給不同的處理器。對於不產生子程序之程序而言。一多程式操作系統可視一多處理機之該等處理機為一簡單的可計算資源組，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

於其中多個程式可由一可用的處理機啓用。

於一緊密連接之多處理機系統之緊急記憶體架構為非均一性記憶體存取(NUMA)之儲存架構。NUMA儲存架構提供習知技藝所未見之全面速度之優點。而且，該架構以簡化之對稱多處理機技術之程式模態，結合大到250台處理機的量。NUMA處理機系統為一組對稱的多處理機(SMP)節點，其內連接一允許所有處理機存取系統中之任意主要儲存之高頻寬內連接。這些節點分享相同的可定址主要儲存，該主要儲存於節點之區域主記憶體之間分送。對於所有節點之處理機而言，對一節點中之區域主要儲存之存取時間為相同的。然而，在另一節點對主要儲存之存取比對區域的主要儲存之相同存取具有較大之延遲。將此較大之存取延遲給予非區域儲存，假如操作系統之記憶體管理能力可管理儲存之使用，以使得對於非區域儲存存取之處理機記憶體百分比為最小之情況下，可增進系統執行能力。因此，如果不發展如此之能力，多處理工業將不能從NUMA儲存架構之優越執行能力中獲得利益，以達到擴展的可能性。

## 發明概述

根據本發明，環配置及程序指派機制於一NUMA多處理機系統中，建立程序節點之親和性，以增進執行能力。多處理機系統包括多個內連接多處理節點，而每個多處理節點包括一或多個處理機，及一區域主記憶體，系統主儲存將於一NUMA架構中的多處理節點之區域主記憶體之間分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

送。一環預留機制保留邏輯主儲存中之記憶體空間之該等環，且環配置機制將那些環配置給多處理節點之區域主記憶體中之實際分頁(real pages)。給予在多處理機上建立之程序一個可指示一相關環之屬性。一但建立後，程序指派機制將只指派一程序給一多處理節點，該多處理節點係已配置由程序屬性所指示之環。此程序節點親和性至該節點區域主儲存之指派程序增加存取，以藉此增進系統執行能力。

#### 圖式簡單敘述

突顯本發明之新穎特徵於申請專利範圍中設定。然而，本發明與較佳之使用模態，及進一步之目的與優點將可參考下列所述的實施例之詳細說明，及伴隨之圖式而更加了解：

圖1敘明一分享記憶體多處理機系統之方塊圖，該分享記憶體多處理機系統具有可根據本發明而利用之NUMA儲存架構：

圖2係根據一本發明所述之實施例，顯示一記憶體管理及圖1之多處理機資料處理系統之程序指派機制之邏輯方塊圖：

圖3係根據本發明一較佳實施例，顯示對於由一環配置機制所執行之節點，於一環目錄中之環配置方塊圖；及

圖4係根據一本發明所述之實施例，敘明在一具有NUMA儲存架構之多處理機系統中，一種程序指派方法之邏輯流程圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

### 較佳實施例詳述

圖1敘明一具有非均一性記憶體存取(NUMA)儲存架構之分享記憶體多處理機系統之方塊圖，其亦為可根據本發明而利用之分享的記憶體群組(SMC)儲存架構。以100所示之分享記憶體NUMA多處理機系統為一組對稱的多處理機(SMP)節點，每個多處理機(SMP)節點具有自己的處理機組，主要儲存，及可能的I/O-連接，該分享記憶體NUMA多處理機系統內連接一允許所有處理機存取系統中之任意主要儲存之高頻寬內連接。更特別的是，其可由下列屬性而特徵化：

- 1) 一組SMP節點之內連接，每個SMP節點包括：
  - A) 1到N個處理機；
  - B) 主要儲存卡；
  - C) 快取記憶體，個別地連接至每個處理機及/或至節點處理機之子集(subsets)；
  - D) 可能1或更多至I/O匯流排及裝置之連接。
- 2) 每個節點主要儲存之內容可被所有的處理機接受。
- 3) 在處理機快取記憶體之主要儲存之內容(或處理機子集之快取記憶體)可保持與任意主要儲存之內容的所有改變一致。儲存順序及原子數(Atomicity)亦可被維持不變。
- 4) 項目"區域"(local)定義為那些在相同節點之處理機及主要儲存，而項目"非區域"(nonlocal)或"移除"(remote)定義為在不同節點之主要儲存及處理機。對於一處理機，

## 五、發明說明(5)

讀取或寫入區域主要儲存內容之存取時間(例如快取記憶體填充之延遲)趨向於比對於非區域主要儲存之存取時間而言更快。

5) I/O及內處理機岔斷對於任意(或任意之子集)節點或處理機而言是可呈現的。

如圖1所示，該系統包括四個多處理節點101，102，104，106。通常每個多處理節點有一或多個處理機，其透過一內節點連接裝置連接一節點之區域主記憶體，例如一特定的縱橫式匯流排或切換。如圖1所示，每個多處理節點101-106包括多個處理機 $P_1-P_N$ 及其相關之快取記憶體，且一主記憶體(分別為主記憶體108-114)對於節點處理機而言為區域的。多處理節點101，102亦包括一I/O單元以提供I/O空間之連接，包括印表機，通訊鏈，工作站，或直接存取儲存裝置(DASD)。

多處理機節點由一可度量之一致內連接(SCI, Scalable Coherent Interconnect)連接，其遵從IEEE 1596-1992標準。SCI為一種由一幫浦式匯流排(18-位元寬)所完成之高頻寬內連接網路，該匯流排在每個各別的点對點內連接上以每2nsec 16個資料(1 GByte/sec尖峰)之速率傳送封包，並提供整個系統之快取記憶體一致性。鏈單元116-122之每個多處理節點鏈單元提供至致能多處理節點內連接之SCI之連接。

整個系統之所有處理機分享相同的可定址主要儲存，該可定址主要儲存於區域主記憶體之多處理節點之間分送，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

且可由所有的處理機使用。因此於系統100中之可定址主要儲存總數包括於所有區域主記憶體108-114中之主要儲存組合。系統主要儲存之每個位元組可用一單一的實際位址來定址。每個多處理節點之匯流排邏輯監控節點處理機或I/O單元之記憶體存取，並引導區域記憶體存取致節點之區域主記憶體。非區域記憶體之遠端存取藉由鏈單元傳送致內連接網路。

現在參考圖2係根據一本發明所述之實施例，顯示一環預留，環配置，及圖1之多處理機資料處理系統之程序指派機制之邏輯方塊圖。用於多處理系統之操作系統包括一環預留裝置130，一環配置機制132，及一程序指派機制134。如上所述，系統之主要儲存係於一NUMA儲存架構之多處理節點101-106(於圖2中分別以N1，N2，N3，N4顯示)之間分送，使得主要儲存包含於多個內連接之多處理節點之區域主記憶體108-114中。含於區域主記憶體之系統總儲存容量以邏輯主要儲存136顯示。邏輯主要儲存136為一可用於所有區域主記憶體108-114之總實際記憶體頁之邏輯表示。在此例子中，邏輯主要儲存以具有一4 GB容量，或接近一百萬4KB頁。

根據本發明，為操作系統記憶體管理系統一部分之環預留裝置130於邏輯主要儲存136中預留實際記憶體頁之預定或預計算數目之一個或多個環。如本技藝所知，一環為由一使用者以一使用者定義之目的，係主又儲存之一部分或百分比之預留。環預留裝置130提供多個環，每個環之大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

小可從零頁變化至主要儲存之最大容量。在圖2之例子中，環預留裝置130將環A，B，及C預留為其適指定或預計算之大小。

環配置機制132最好於其區域主記憶體108-114之多處理節點101-106之間配置記憶體空間之該等環。環配置機制132基於預選擇定則或一指派演繹法，將一特定之預留配置給多個內連接多處理節點之一或多個多處理節點，該指派演繹法將不同的因素列入考慮，例如處理機運用。配置為一特定環給多個處理節點之區域主記憶體在任意給定時間可包括完整的環，部分的環，或無環頁。於邏輯主要儲存136預留時，配置功能指派一環之該等頁，以於一或多個特定節點表示特定之實際頁。此配至於一環目錄中執行，將於下敘明。在圖2之例子中，環配置機制132配置環A給多處理節點106(N4)，且配置環B給多處理節點102(N2)及104(N3)。由於環A只配置給一多處理節點，完整環之該等頁長駐於區域主記憶體110及112，每個區域主記憶體從環之無頁記憶體至每頁記憶體接收。較佳的是，配置一環給一多處理節點並不需要包括將特定的資料儲存於該點之區域主記憶體中。

參考圖3，係根據本發明一較佳實施例，顯示對於由一環配置機制132所執行之節點，於一環目錄中之環配置方塊圖。在多處理機中，一環目錄可維護每個節點，該節點包括多個目錄進入點，其將一環辨識元對映至節點上的每個記憶體頁。最佳的是，每個環目錄進入點與節點上之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 8 )

實際記憶體頁具有一對一的關係。在圖3之例子中，環目錄146包括連接一環鏈列表140之環1之一組目錄進入點，及連接環狀鏈列表142之環2之一組目錄進入點。

環配置機制132經由於環基本結構144中建立一環進入點，及於環目錄146中建立一環之進入點鏈接列表，而配置一預留的~~環~~<sup>節點</sup>給一節點。如圖3所示，環1-環N環基本結構進入點已被建立。每個環基本結構進入點包括環大小之資訊，在該環之第一環目錄進入點之位址，在環運用上進行之統計，例如在改變頁速率之資訊，未修正頁無效之速率，及特定形態頁之速率(及資料庫，I/O，等等)。第一環目錄進入點之位址用以成為環目錄進入點之索引，且然後該環遊環狀鏈列表定義(其可包含百萬頁)。環遊環狀鏈列表更新為該等移進及移出環之進入點(及其相應頁)。一環可經由於環基本結構144中建立一環進入點而不保持任何環目錄進入點，而配置給一節點，且因此不在該節點上包含任意實際記憶體頁(例如環N)。

現在參考圖2，程序1，2，及3為已建立或產生之程序，已於多處理機系統上執行。每個程序1-3具有一由系統使用者所設定之屬性，指示相關此程序之一記憶體環。程序指派機制134最好將每個程序指派給一多處理節點，以一程序之環屬性之功能被執行。假如只有一節點配置給由環屬性指定之環，程序指派機制134使用運用統計(及分頁率及環有效之記憶體)，以決定程序將指派哪個多節點。一具有比較低分頁率之節點，通常將在環中具有較多的可用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 9 )

頁，在此定則下該節點將趨向於由程序指派機制134來選擇。

在一較佳實施例中，當配置一環給一多處理節點時，環配置機制132向程序指派機制134報告該配置。程序指派機制134維護一配置給預留環之節點之配置記錄136，存取該預留環以尋得一程序相關環與一配置記錄之記憶環之間的匹配。假如發現一匹配，該程序被指派給多處理節點，或配置記錄136中環表列之多個多處理節點之一。由於相關程序之環已配置給該節點，因此由程序所存取之記憶體未紙漿包含於該多處理節點之區域主記憶體中。再者，在一節短所建立之該等程序趨向於長駐停留於該節點中(即被分送給該節點之該等程序)，以致於儲存將趨向於指區域性的配置。環配置機制將持續地保持進行執行關於相關每一節點之每一環之主要儲存之運用統計(即分頁率及有效性)，並且如果需要的話將重新配置該等環。在程序指派給一節點後，該等程序可於多處理節點之間移動，且移動之目標節點亦將基於記憶體環有效性及運用性。如圖2所示，程序1及程序3係相關於環B，而程序2係相關於環A。配置記錄136顯示環A已配置給N4(多處理節點106)，環B已配置給N2及N3(多處理節點101及102)，且環C已配置給N1。因此，程序指派機制134已指派程序1給N2，程序2給N4，而程序3給N3。於一替代實施例中，一配置記錄將不被保留，且程序指派機制將詢問每個節點之環基本結構，已決定該等環之配置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

假如一程序(具有其工作/串列, task(s)/thread(s))存取一虛擬位址空間頁, 該虛擬位址空間尚未映對至實際的位址空間, 則該程序之頁由環配置機制132要求, 而該環配置機制將虛擬位址空間之存取頁映對至一相關該程序之環之節點上的實際頁。由於增加執行能力之進一步的限制, 要求一映對一程序之頁可映對只在程序指定節點上相關環程序之頁。換言之, 一旦指派後, 在一特定節點處理機上執行之程序將只被該節點環空間配置儲存。由程序之環屬性所指定之環係位於環基本結構144, 且由環基本結構進入點所索引之環目錄146中的鏈列表係由環中之可用頁搜尋。當可用頁被發現或建立時, 環目錄146中的頁進入點係映對至頁失誤所引起之虛擬位址。假如使用者或系統技巧地結合相似程序與相同環, 在一特定節點環之該等進入點將更包含多於一個相關該環之程序所要求之頁, 建立較少的頁失誤及/或非區域記憶體存取。同樣的, 程序及那些程序所存取之記憶體環兩者皆趨向於保持在該節點上, 藉此增對於整個多處理機系統之區域主要儲存之存取。

如所見, 本發明建立程序及所存取記憶體間之節點的親和性。換言之, 程序被指派給具有一多半包含程序所要求之資料之配置記憶體環之節點。而且, 對於一給定記憶體之資料多半保留於配置之節點, 因為該等要求存去該資料之程序將只指派給那些節點。再者, 假如環配置機制儘可能的在較少的節點配置各別的儲存, 程序節點親和性將由減少跨越節點邊界之非區域儲存之存取, 以減少記憶體存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

取之次數。由本發明所提供之參考之增加的區域性實質上增加了NUMA儲存架構之執行能力。

現在參考圖4，係根據一本發明所述之實施例，敘明在一具有NUMA儲存架構之多處理機系統中，一種程序指派方法之邏輯流程圖。程序從步驟200開始並進行至步驟210，於其中在主要儲存中之一或多個記憶體空間環被預留。此預留部分之可定址記憶體係以一特定的使用者定義之目的而預留。操作系統以從零頁至包含百萬頁之記憶體方塊之不同大小，動態地預留記憶體環。此方法然後進行至步驟220，於其中一預留之記憶體環係配置給系統中之一或多個多處理節點。該操作系統(或系統操作員)將決定環大小並將記憶體環配置給一基於目前與相似系統運用，及系統使用者之一般建議之特定的節點。這些決定及配置係由系統動態地調整為所需之執行統計。並且操作系統可配置或重新配置一環給多於一取決於系統資訊之多處理節點。

此方法進行至步驟240，於其中由系統操作員所給定之環屬性指定，決定程序在執行其間將存取哪個記憶體環。方法進行至決策方塊250，於其中決定多於一多處理節點是否已配置由環屬性所指示之記憶體環。假如記憶體環只配置給一多處理節點，該程序必須指派給環所配置之節點，如步驟260所示。假如在決策方塊250節定環已配置給多於一多處理節點，方法則進行至步驟270，其中記憶體環之運用位準係於每個環所配置之多處理節點決定。在每個節點記憶體環之運用可由追蹤分頁率及相關環之主要儲存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

可用性而決定。具最低運用之多處理節點係以具有最低之分頁率及最高之記憶體環之區域主記憶體可用性而決定。方法然後進行至步驟280，其中程序指派給決定具有相關該程序之最低記憶體環之運用之節點。程序可指派給一不同之節點，但是增進之執行能力係最佳的完成，假如程序指派給一多處理節點，而該多處理節點已配置相關之記憶體環。然後該方法結束於步驟290。

雖然在一最佳實施例中，環預留環配置及程序指派機制係以操作系統軟體而說明，然而熟知此技藝者可由硬體，軟體，或二者之組合而完成。而且值得注意的是本發明雖然一全功能性電腦系統加以敘述，但是本發明之裝置可以不同之程式生成而完成，且本發明應用並不限定於真正執行所使用之特定的訊號產生媒介形態。訊號產生媒介之範例包括：可記錄之形態媒介如軟碟與CD ROMS，及傳送形態媒介如數位與類比通訊鏈。

總而言之，本發明提供一具有NUMA儲存架構之改良的分享記憶體多處理機系統，該NUMA儲存架構指派一程序給一配置給一相關環之節點，並且之後只允許該程序至環所需之記憶體。此導致對於每個提供一給定程序之處理機區域之主要儲存做最大的存取，藉此實質上的增進本發明多處理機系統之執行能力。本發明允許系統使用者或具有操作係同支援知悉統使用者，更有效率的管理所選擇處理機組之工作，其中該組之記憶體空間被定位，藉此最大化對區域主要儲存之存取，並增進記憶體執行能力。雖然本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 13 )

發明係參考一較佳實施例而特定的說明，但是其可使熟知本技藝者在不悖離發明精神及範圍之情況下加以做不同之變換及修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 在一具有非均一性記憶體存取儲存結構之多處理) 機系統中利用節點親和性指派程序

根據本發明，環配置 (pool allocation) 及程序指派機制 (process assignment mechanisms) 於一 NUMA (非均一性記憶體存取) 多處理機系統中，建立程序節點親和性以增進執行能力。多處理機系統包括多個內連接多處理節點，而每個多處理節點包括一或多個處理機，及一區域主記憶體，系統主儲存將於一 NUMA 架構中的多處理節點之區域主記憶體之間分送。一環預留機制保留邏輯主儲存中之記憶體空間之該等環，且環配置機制將那些環配置給多處理節點之區域主記憶體中之實際分頁 (real pages)。給予在多處理機

英文發明摘要 (發明之名稱： **PROCESS ASSIGNMENT BY NODAL AFFINITY IN A MULTIPROCESSOR SYSTEM HAVING NON-UNIFORM MEMORY ACCESS STORAGE ARCHITECTURE**)

According to the present invention, pool allocation and process assignment mechanisms create process nodal affinity in a NUMA multiprocessor system for enhanced performance. The multiprocessor system includes multiple interconnected multiprocessing nodes that each contain one or more processors and a local main memory, the system main storage being distributed among the local main memories of the multiprocessing nodes in a NUMA architecture. A pool reservation mechanism reserves pools of memory space within the logical main storage, and the pool allocation mechanism allocates those pools to real pages in the local main-memory of multiprocessing nodes. Processes to be created on the multiprocessor are given an attribute that indicates an associated pool. Upon creation, the process assignment mechanism will only assign a process to a multiprocessing node that has been allocated the pool indicated by the process' attribute. This process nodal affinity increases accesses by the assigned process to local main storage of that node, thereby enhancing system performance.

## 四、中文發明摘要 (發明之名稱：)

上建立之程序一個可指示一相關環之屬性。一旦建立後，程序指派機制將只指派一程序給一多處理節點，該多處理節點係已配置由程序屬性所指示之環。此程序節點親和性至該節點區域主儲存之指派程序增加存取，以藉此增進系統執行能力。

## 英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種程序指派之方法，該多處理機系統具有多個內連接多處理節點及一在多處理節點之間分送之主要儲存，其中每個多處理節點包括一或多個處理機及一區域主記憶體，該方法包括下列步驟：  
於主要儲存中動態地預留一記憶體空間環；  
將預留之記憶體空間環配置給多個多處理節點之一或多個多處理節點；及  
將一相關記憶體空間環之程序指派給一配置記憶體空間環之多處理節點，以使得對區域主要儲存之存取增加，且增進系統執行能力。
2. 根據申請專利範圍第1項之在一具有非均一性記憶體存取儲存架構之多處理機系統中之程序指派方法，其中該等程序被給予一指示相關程序環之屬性。
3. 根據申請專利範圍第1項之在一具有非均一性記憶體存取儲存架構之多處理機系統中之程序指派方法，其中部分的記憶體係由程序指派節點中之相關環之程序所要求。
4. 根據申請專利範圍第1項之在一具有非均一性記憶體存取儲存架構之多處理機系統中之程序指派方法，尚包括將記憶體空間環配置給多個多處理節點之兩個或更多個處理節點，使得記憶體空間環包括兩個或更多個多處理節點之區域主要儲存中之記憶體空間。
5. 根據申請專利範圍第4項之在一具有非均一性記憶體存

## 六、申請專利範圍

取儲存架構之多處理機系統中之程序指派方法，其中程序係於兩個或更多個多處理節點之一特定多處理節點上，以一種用於每個多處理節點之執行統計之功能被指派。

6. 一種具有非均一性記憶體存取儲存架構之多處理機系統，該多處理機系統包括：

多個內連接多處理節點，其中每個多處理節點包括一或多個處理機，及一區域主記憶體；

系統主要儲存將於一 NUMA 架構中的多處理節點之區域主記憶體之間分送，使得系統主要儲存包括多個內連接多處理節點之區域主記憶體，其中每個區域主記憶體可由多個內連接多處理節點之每個處理機存取；

一環預留裝置，其動態地於主要儲存中預留一或多個記憶體空間環；

一環配置裝置，用以將一預留之記憶體空間環配置給多個互連之多處理節點之一或多個多處理節點；及

一處理指派裝置，其指派一相關於一預留記憶體空間環之程序給配置記憶體空間環之多處理節點。

7. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中該等程序被給予一指示相關程序環之屬性。
8. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中部分的記憶體係由程序指派節點中之相關環之程序所要求。

## 六、申請專利範圍

9. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中環配置機制將記憶體空間環配置給多個多處理節點之兩個或更多個處理節點，使得記憶體空間環包括兩個或更多個多處理節點之區域主要儲存中之記憶體空間。
10. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中程序係於兩個或更多個多處理節點之一特定多處理節點上，以一種用於每個多處理節點之執行統計之功能被指派。
11. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中環預留裝置係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
12. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中環配置機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
13. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中環指派機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
14. 根據申請專利範圍第6項之非均一性記憶體存取儲存架構之多處理機系統，其中環指派機制指派多個程序之每個程序，而每個程序存取一配置該環之多處理節點之環。
15. 在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中該多處理機系

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

統包括多個內連接多處理節點，其中每個多處理節點包括一或多個處理機，及一區域主記憶體，且主要儲存於區域主記憶體之間分送，該程式產物包括：

一程序指派機制，其指派一相關於一預留記憶體空間環之程序給一配置記憶體空間環之多處理節點；及

訊號產生媒介，其產生程序指派機制。

16. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中該等程序被給予一指示相關程序環之屬性。
17. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中部分的記憶體係由程序指派節點中之相關環之程序所要求。
18. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中程序係於兩個或更多個多處理節點之一特定多處理節點上，以一種用於每個多處理節點之執行統計之功能被指派。
19. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中尚包括一環配置機制，其配置一預留的記憶體空間還給多個內連接多處理節點之一或多個多處理節點，其中訊號產生媒介產生環配置機制。

## 六、申請專利範圍

20. 根據申請專利範圍第19項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中環配置機制將記憶體空間環配置給多個多處理節點之兩個或更多個處理節點，使得記憶體空間環包括兩個或更多個多處理節點之區域主要儲存中之記憶體空間。
21. 根據申請專利範圍第19項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中環配置機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
22. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中尚包括一環預留機制，其動態地於主要儲存中預留一或多個記憶體空間環，其中該訊號產生媒介產生環預留機制。
23. 根據申請專利範圍第22項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中環預留裝置係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
24. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中環指派機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
25. 根據申請專利範圍第15項之在一具有非均一性記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中環指派機制指派多個程序之每個程序，而每個程序存取一配置該環之多處理節點之環。

26. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中訊號產生媒介包括可記錄之媒介。

27. 根據申請專利範圍第15項之在一具有非均一性記憶體存取儲存架構之多處理機系統中，一種提供程序指派之程式產物，其中訊號產生媒介包括傳送之媒介。

28. 一種具有非均一性記憶體存取儲存架構之多處理機系統，該多處理機系統包括：

多個內連接多處理節點，：

系統主要儲存於多處理節點之間分送；及

一處理指派裝置，其指派一相對於一預留記憶體空間環之程序給配置記憶體空間環之多處理節點。

29. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，其中該等程序被給予一指示相關程序環之屬性。

30. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，其中程序指派機制向程序指派節點中之相關環要求部分的記憶體。

31. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，其中程序係於兩個或更多個多處理節點之一特定多處理節點上，以一種用於每個多處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

節點之執行統計之功能被指派。

32. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，尚包括一環配置機制，其配置一預留的記憶體空間還給多個內連接多處理節點之一或多個多處理節點。
33. 根據申請專利範圍第32項之非均一性記憶體存取儲存架構之多處理機系統，其中環配置機制將記憶體空間環配置給多個多處理節點之兩個或更多個處理節點，使得記憶體空間環包括兩個或更多個多處理節點之區域主要儲存中之記憶體空間。
34. 根據申請專利範圍第32項之非均一性記憶體存取儲存架構之多處理機系統，其中環配置機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
35. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，其中尚包括一環預留機制，其動態地於主要儲存中預留一或多個記憶體空間環，其中該訊號產生媒介產生環預留機制。
36. 根據申請專利範圍第35項之非均一性記憶體存取儲存架構之多處理機系統，其中環預留裝置係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
37. 根據申請專利範圍第28項之非均一性記憶體存取儲存架構之多處理機系統，其中環指派機制係軟體儲存於主要儲存中，並於多個內連接多處理節點中執行。
38. 根據申請專利範圍第28項之非均一性記憶體存取儲存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

架構之多處理機系統，其中環指派機制指派多個程序之每個程序，而每個程序存取一配置該環之多處理節點之環。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

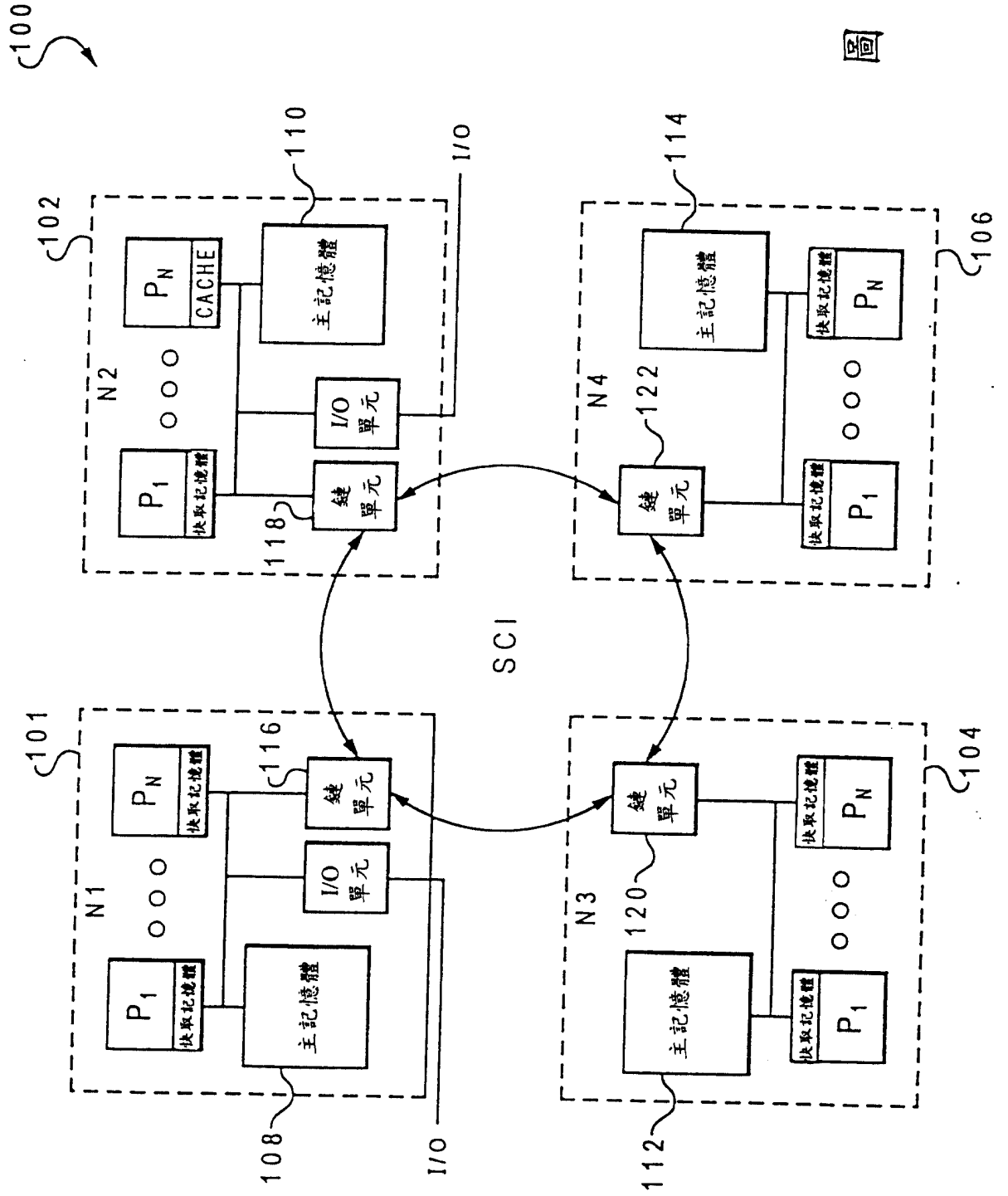


圖 1

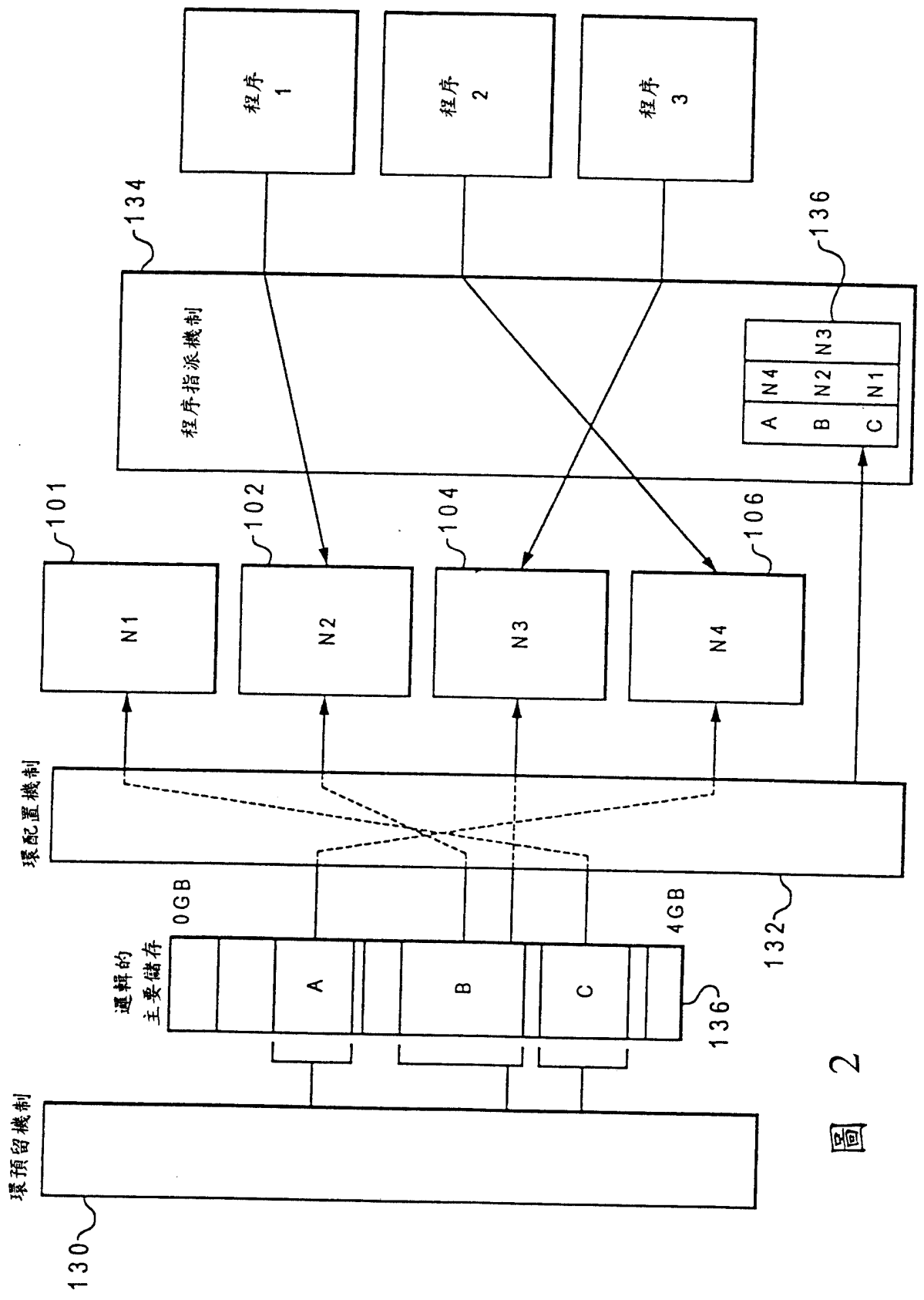


圖 2

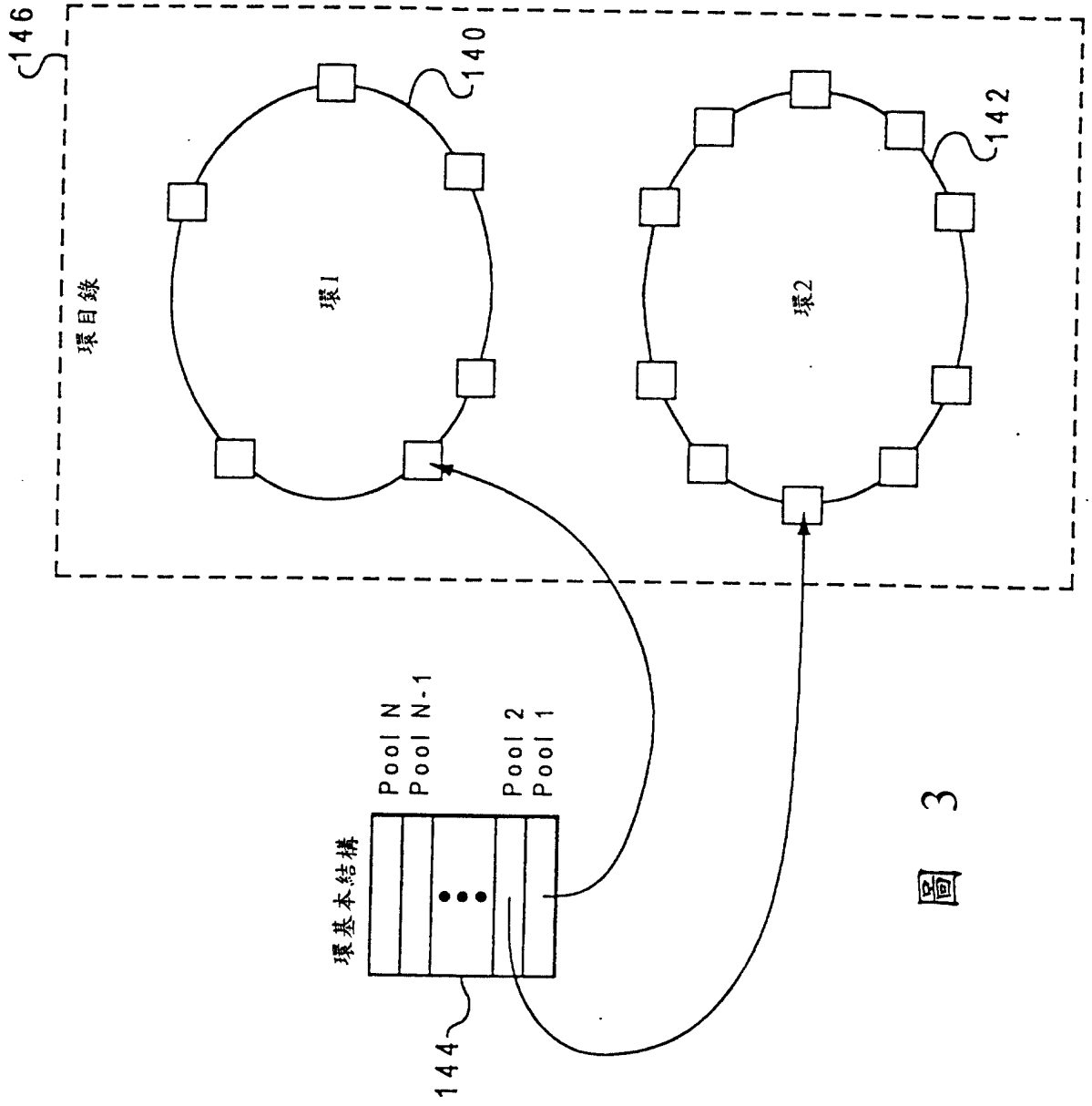


圖 3

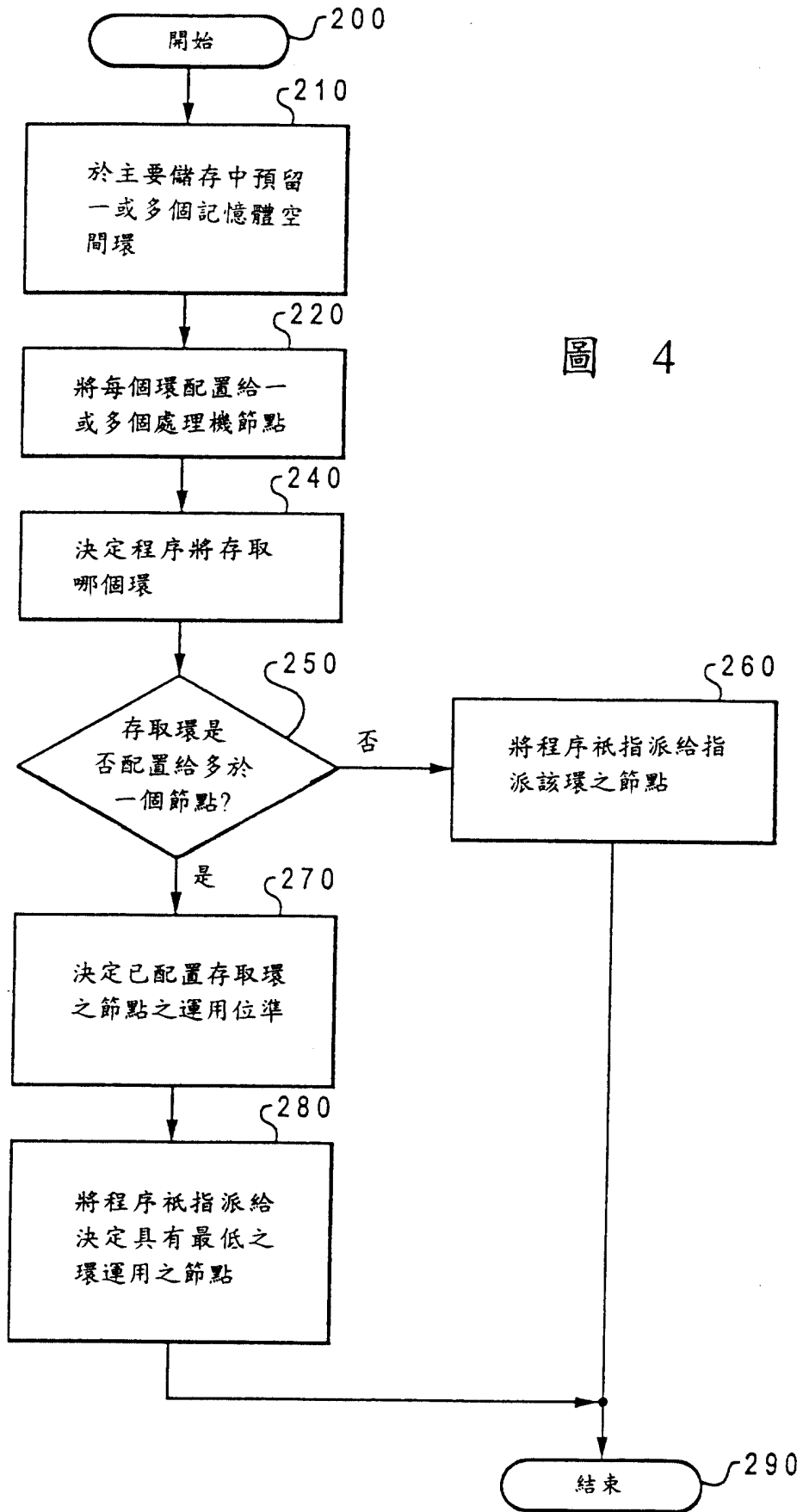


圖 4