(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월19일
(11) 등록번호 10-1621852
(24) 등록일자 2016년05월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/3205 (2006.01) *H01L 21/28* (2006.01)
(21) 출원번호 10-2014-0173755
(22) 출원일자 2014년12월05일
심사청구일자 2014년12월05일
(56) 선행기술조사문헌
US20090246952 A1*
US20020173137 A1
US20100081275 A1
US20100081276 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119, 11호 12 (송도동)
(72) 발명자
김형준
서울 영등포구 국제금융로 108-6, B동 107호 (여의도동, 진주아파트)
김수현
경기 의정부시 신곡로 13, 207동 1603호 (신곡동, 장암현대2차아파트)
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호

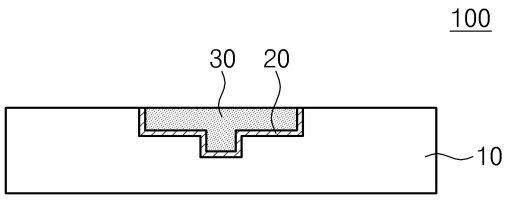
전체 청구항 수 : 총 4 항 심사관 : 강병섭

(54) 발명의 명칭 **반도체 소자 및 이의 제조 방법**

(57) 요 약

본 발명은 반도체 소자 및 이의 제조 방법에 관한 것으로, 기판; 기판상의 도전성 라인; 및 기판과 도전성 라인 사이의 시드층을 포함하는 반도체 소자로서, 시드층은 코발트 티타늄 나이트라이드를 포함하는 반도체 소자를 개시한다.

대 표 도 - 도3



(72) 발명자

윤재홍

서울 성동구 독서당로 175, 101동 401호 (옥수동, 극동그린아파트)

이한보람

서울특별시 강남구 삼성로85길 11 롯데캐슬아파트 101동 1503호

이 발명을 지원한 국가연구개발사업

과제고유번호	10035430
부처명	지식경제부
연구관리전문기관	연세대학교 산학협력단
연구사업명	전자정보 디바이스 산업원천 기술 개발 사업
연구과제명	초미세 고신뢰성 배선 기술 (5/5)
기 여 율	1/1
주관기관	한국반도체연구조합
연구기간	2014.03.01 ~ 2015.02.28

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

기판상에 시드층을 형성하는 단계; 및

상기 시드층상에 도전성 라인을 형성하는 단계를 포함하는 반도체 소자 제조 방법으로서,

상기 시드층은 코발트 티타늄 나이트라이드를 포함하며,

상기 기판상에 시드층을 형성하는 단계는 상기 시드층에서 상기 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율이 0.25 ~ 4 가 되도록 상기 시드층을 형성하며,

상기 시드층은 상기 도전성 라인을 상기 기판상에 전착시키는 씨앗층으로서의 기능과, 상기 도전성 라인의 도전성 물질이 상기 기판으로 확산되는 것을 방지하는 확산방지막으로서의 기능을 동시에 갖는 단일의 박막층으로 이루어지고,

상기 기판상에 시드층을 형성하는 단계는,

바이스(N-테트라-부틸-N'-에틸프로피온아미디네이토)코발트(II)와 제1 반응 가스를 상기 기판상에 순차적으로 노출시키는 제1 사이클을 M회 반복하는 단계; 및

상기 제1 사이클을 M회 반복한 후, 테트라키스-(디메틸아미노)-티타늄과 제2 반응 가스를 상기 기판상에 순차적으로 노출시키는 제2 사이클을 N회 반복하는 단계를 포함하고,

상기 제2 사이클의 반복 횟수(N)에 대한 상기 제1 사이클의 반복 횟수(M)의 비율을 7 ~ 50 으로 하여 상기 시드층을 형성하는 반도체 소자 제조 방법.

청구항 5

삭제

청구항 6

제4 항에 있어서,

상기 기판상에 시드층을 형성하는 단계는 원자층 증착법(atomic layer deposition)에 의해 상기 시드층을 형성하는 반도체 소자 제조 방법.

청구항 7

삭제

청구항 8

제6 항에 있어서,

상기 제1 반응 가스 및 상기 제2 반응 가스는 암모니아 가스를 포함하는 반도체 소자 제조 방법.

청구항 9

제6 항에 있어서,

상기 기판상에 시드층을 형성하는 단계는,

M회의 상기 제1 사이클과 N회의 상기 제2 사이클을 포함하는 증착 사이클을 25 ~ 200회 반복하여 상기 시드층을 형성하는 반도체 소자 제조 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 소자에서 회로 패턴을 형성하기 위하여 주로 구리 배선이 사용되고 있다. 구리 배선을 기판상에 전해 도금하기 전에, 구리가 기판으로 확산되는 것을 차단하기 위한 확산방지막을 기판상에 형성하고, 구리를 기판상에 안정적으로 형성하기 위한 씨앗층을 확산방지막상에 형성하고 있다. 즉, 종래에는 구리 배선을 형성하기 위해 TiN과 같은 확산방지막과 Ru과 같은 씨앗층의 이중 박막을 형성하고 있다. 미국특허공개 US2009/0246952 A1(2009.10.01.공개)에는 코발트 금속 나이트라이드 장벽막의 형성 방법(METHOD OF FORMING A COBALT METAL NITRIDE BARRIER FILM)이 개시되어 있다.

[0003] 기존의 이중 박막 공정은 공정 비용을 증가시키는 요인이 되고 있다. 또한, 반도체 소자의 크기와 회로 선폭이 점점 작아지고 그 구성이 더 복잡해지고 있어, 이중 박막 구조는 최근 반도체 소자의 나노화 추세에 적용되기 어려워지고 있으며, 구리 전해 도금 공정에 상당한 어려움을 초래한다. 또한, 이중 박막 구조는 구리 배선의 저항을 증가시키는 문제도 갖고 있다.

[0004] Co 금속 박막은 다결정 물질이어서 결정립계(grain boundary)를 따라 구리의 확산 경로(diffusion path)가 형성되기 때문에, 확산방지막 특성이 그다지 우수하지 않다. Ru은 귀금속류로 단가 저감이 어려울 뿐만 아니라, 반응물로 산소 등의 산화제를 사용하기 때문에, 유관공정 연계시 박막 산화의 가능성이 있으며, 구리의 경우 표면 산화가 매우 빠르게 일어난다는 단점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 씨앗층 특성과 확산방지막 특성을 동시에 갖는 다기능성의 단일 박막 시드층에 의하여 배선 공정 비용을 저감할 수 있으며, 반도체 소자 생산성을 향상시킬 수 있는 반도체 소자 및 이의 제조 방법을 제공하는 것

을 목적으로 한다.

[0006] 본 발명이 해결하고자 하는 다른 과제는 나노화된 소자에 적합한 특성을 가지며, 원자층 증착 공정시 유관 공정에서의 박막 산화를 방지할 수 있는 반도체 소자 및 이의 제조 방법을 제공하는 것에 있다.

[0007] 본 발명이 해결하고자 하는 또 다른 과제는 균일한 도전성 배선을 형성할 수 있으며, 낮은 비저항 특성에 의해 저항을 감소시키고 전류 소모를 줄일 수 있는 반도체 소자 및 이의 제조 방법을 제공하는 것에 있다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 측면에 따른 반도체 소자는 기판; 상기 기판상의 도전성 라인; 및 상기 기판과 상기 도전성 라인 사이의 시드층을 포함하는 반도체 소자로서, 상기 시드층은 코발트 티타늄 나이트라이드를 포함한다.

[0010] 상기 시드층에서 상기 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율은 0.25 ~ 4 일 수 있다.

[0011] 상기 시드층은 상기 도전성 라인을 상기 기판상에 전착시키는 씨앗층으로서의 기능과, 상기 도전성 라인의 도전성 물질이 상기 기판으로 확산되는 것을 방지하는 확산방지막으로서의 기능을 동시에 갖는 단일의 박막층으로 이루어질 수 있다.

[0012] 본 발명의 다른 일 측면에 따르면, 기판상에 시드층을 형성하는 단계; 및 상기 시드층상에 도전성 라인을 형성하는 단계를 포함하는 반도체 소자 제조 방법으로서, 상기 시드층은 코발트 티타늄 나이트라이드를 포함하는 반도체 소자 제조 방법이 제공된다.

[0013] 상기 기판상에 시드층을 형성하는 단계는 상기 시드층에서 상기 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율이 0.25 ~ 4 가 되도록 상기 시드층을 형성할 수 있다.

[0014] 상기 기판상에 시드층을 형성하는 단계는 원자층 증착법(atomic layer deposition)에 의해 상기 시드층을 형성할 수 있다.

[0015] 상기 기판상에 시드층을 형성하는 단계는, 코발트 함유 전구체와 제1 반응 가스를 상기 기판상에 순차적으로 노출시키는 제1 사이클을 M회 반복하는 단계; 및 티타늄 나이트라이드 함유 전구체와 제2 반응 가스를 상기 기판상에 순차적으로 노출시키는 제2 사이클을 N회 반복하는 단계를 포함하고, 상기 제2 사이클의 반복 횟수(N)에 대한 상기 제1 사이클의 반복 횟수(M)의 비율(M/N)을 7 ~ 50 으로 하여 상기 시드층을 형성할 수 있다.

[0016] 상기 제1 반응 가스 및 상기 제2 반응 가스는 암모니아 가스를 포함할 수 있다.

[0017] 상기 기판상에 시드층을 형성하는 단계는, M회의 상기 제1 사이클과 N회의 상기 제2 사이클을 포함하는 증착 사이클을 25 ~ 200회 반복하여 상기 시드층을 형성할 수 있다.

[0018] 본 발명의 또 다른 일 측면에 따르면, 기판상에 코발트 함유 전구체와 제1 반응 가스를 순차적으로 노출시키는 제1 원자층 증착 사이클을 M회 반복하는 단계; 및 상기 기판상에 티타늄 나이트라이드 함유 전구체와 제2 반응 가스를 순차적으로 노출시키는 제2 원자층 증착 사이클을 N회 반복하는 단계를 포함하며, 상기 기판상에 코발트 티타늄 나이트라이드를 포함하는 시드층을 형성하는 시드층 형성 방법이 제공된다.

[0019] 상기 시드층 형성 방법은 상기 제2 원자층 증착 사이클의 반복 횟수(N)에 대한 상기 제1 원자층 증착 사이클의 반복 횟수(M)의 비율(M/N)을 7 ~ 50 으로 하여 상기 시드층을 형성할 수 있다.

[0020] 상기 시드층 형성 방법은 상기 시드층에서 상기 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율이 0.25 ~ 4 가 되도록 상기 시드층을 형성할 수 있다.

[0021] 상기 제1 반응 가스 및 상기 제2 반응 가스는 암모니아 가스를 포함할 수 있다.

[0022] 상기 시드층 형성 방법은 M회의 상기 제1 원자층 증착 사이클과 N회의 상기 제2 원자층 증착 사이클을 포함하는 증착 사이클을 25 ~ 200회 반복하여 상기 시드층을 형성할 수 있다.

발명의 효과

[0023] 본 발명의 실시 예에 의하면, 씨앗층 특성과 확산방지막 특성을 동시에 갖는 다기능성의 단일 박막 시드층에 의하여 배선 공정 비용을 저감할 수 있으며, 반도체 소자 생산성을 향상시킬 수 있다.

[0024] 또한, 본 발명의 실시 예에 의하면, 나노화된 소자에 적합한 특성을 가지며, 원자층 증착 공정시 유관 공정에서의 박막 산화를 방지할 수 있는 반도체 소자 및 이의 제조 방법이 제공된다.

[0025] 또한, 본 발명의 실시 예에 의하면, 균일한 도전성 배선을 형성할 수 있으며, 낮은 비저항 특성에 의해 저항을 감소시키고 전류 소모를 줄일 수 있는 반도체 소자 및 이의 제조 방법이 제공된다.

[0026] 본 발명의 효과는 상술한 효과들로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

[0027] 도 1 내지 도 3은 본 발명의 일 실시 예에 따른 반도체 소자 제조 방법을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시 예에 따른 시드층 형성 방법의 흐름도이다.

도 5a 내지 도 5c는 본 발명의 실시 예에 따라 기판상에 형성된 시드층(Co:TiN = 2:1)의 열적안정성 특성을 보여주는 그래프로서, 각각 열처리 전(bare), 600℃ 열처리, 700℃ 열처리 후의 Co-TiN 시드층의 열적안정성 특성을 나타낸다.

도 6a 내지 도 6c는 본 발명의 실시 예에 따라 기판상에 형성된 시드층(Co:TiN = 1:2)의 열적안정성 특성을 보여주는 그래프로서, 각각 열처리 전(bare), 600℃ 열처리, 700℃ 열처리 후의 Co-TiN 시편의 열적안정성 특성을 나타낸다.

도 7a는 Co 박막 시편(비교예) 위에 구리가 전해도금된 것을 평면적으로 보여주는 SEM 이미지이다.

도 7b는 Co 박막 시편(비교예) 위에 구리가 전해도금된 단면을 보여주는 SEM 이미지이다.

도 8a는 본 발명의 실시 예에 1에 따라 제조된 Co-TiN 박막 시편 위에 구리가 전해도금된 것을 평면적으로 보여주는 SEM 이미지이다.

도 8b는 본 발명의 실시 예 2에 따라 제조된 Co-TiN 박막 시편 위에 구리가 전해도금된 단면을 보여주는 SEM 이미지이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술하는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되지 않으며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 갖는다. 공지된 구성에 대한 일반적인 설명은 본 발명의 요지를 흐리지 않기 위해 생략될 수 있다.

[0029] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다", "가지다" 또는 "구비하다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030] 본 발명의 실시 예에 따른 반도체 소자 제조 방법은 기판상에 도전성 라인을 배선 공정시, 확산방지막 및 씨앗층 특성을 동시에 갖는 Co-TiN 단일 박막을 기판과 도전성 라인 사이에 형성한다. 본 발명의 실시 예에 의하면, 확산방지막 및 씨앗층 특성을 동시에 갖는 Co-TiN 단일 박막 시드층(seed layer)에 의하여, 구리 배선 공정 비용을 저감할 수 있으며, 반도체 소자 생산성을 향상시킬 수 있다.

[0031] 본 발명의 실시 예에 따른 반도체 소자 공정은 기존에 씨앗층과 확산방지막을 각각 다른 물질로 사용하는 공정에 비하여, 나노화된 반도체 소자에 보다 적합하게 적용될 수 있다. 본 발명의 실시 예에 의하면, 단일 박막의 시드층에서 코발트와 티타늄 나이트라이드의 원자비율을 조절하여 확산방지막 및 씨앗층 특성을 동시에 갖는 다기능성 단일 박막을 형성할 수 있다. 또한, 원자층 증착 공정에서 환원제인 암모니아 가스를 반응 가스로 사용

하여 유관 공정에서의 박막 산화를 방지할 수 있다.

[0032] 도 1 내지 도 3은 본 발명의 일 실시 예에 따른 반도체 소자 제조 방법을 설명하기 위한 도면이다. 도 1을 참조하면, 기판(10)상에 도전성의 회로 패턴(도전성 라인)을 형성하기 위한 홈부(11)를 형성한다. 홈부(11)는 예를 들어, 리소그래피(lithography) 등의 공정에 의해 형성될 수 있다. 기판(10)은 예를 들어, 실리콘과 같은 반도체 기반의 기판, 유리 기판 또는 플라스틱 기판 등으로 제공될 수 있다.

[0033] 도 2를 참조하면, 기판(10)상에 시드층(20)을 형성한다. 시드층(20)은 원자층 증착법(atomic layer deposition)에 의해 기판(10)의 홈부(11)에 형성될 수 있다. 시드층(20)은 코발트 티타늄 나이트라이드(cobalt titanium nitride)를 포함한다. 시드층(20)은 Co-TiN 단일 박막으로 제공될 수 있다. 시드층(20)은 기판(10)의 홈부(11)에 형성될 회로 패턴의 도전성 물질을 기판(10)상에 전착시키는 씨앗층으로서의 기능과, 도전성 물질이 기판(10)으로 확산되는 것을 방지하는 확산방지막으로서의 기능을 동시에 갖는 단일의 박막층으로 이루어질 수 있다.

[0034] 도 3을 참조하면, 기판(10)의 홈부(11) 내의 시드층(20)상에 도전성 라인(30)을 형성한다. 도전성 라인(30)은 예를 들어 구리(Cu)와 같은 도전성 물질로 형성될 수 있다. 도전성 라인(30)은 예를 들어 전해 도금 또는 무전해 도금에 의해 기판(10)상에 형성될 수 있다.

[0035] 본 발명의 실시 예에 따른 반도체 소자(100)는 기판(10), 기판(10)상의 도전성 라인(30) 및 기판(10)과 도전성 라인(30) 사이의 시드층(20)을 포함한다. 시드층(20)에서 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율(Co/TiN)은 0.25 ~ 4 인 것이 바람직하다.

[0036] 시드층(20)에서 Co/TiN 원자비율이 0.25 미만으로 되면 도전성 라인(30)을 기판(10)상에 전착시키는 씨앗층으로서의 기능이 저하될 수 있다. 시드층(20)에서 Co/TiN 원자비율이 4 초과시에는 도전성 라인(30)의 기판(10)으로의 확산을 방지하는 확산방지막으로서의 기능이 저하될 수 있다.

[0037] 도 4는 본 발명의 일 실시 예에 따른 시드층 형성 방법의 흐름도이다. 도 2 내지 도 4를 참조하면, 본 발명의 일 실시 예에 따른 시드층 형성 방법은 기판(10)상에 코발트 함유 전구체와 제1 반응 가스를 순차적으로 노출시키는 제1 원자층 증착 사이클을 M회 반복하는 단계(S10) 및 기판(10)상에 티타늄 나이트라이드 함유 전구체와 제2 반응 가스를 순차적으로 노출시키는 제2 원자층 증착 사이클을 N회 반복하는 단계(S20)를 포함할 수 있다.

[0038] 단계 S10에서, 원자층 증착 진공챔버 내의 기판(10)상에 코발트 함유 전구체가 노출된 후(S11), 아르곤(Ar)과 같은 비활성 가스에 의해 퍼징(purging)되고(S12), 이어서 기판(10)상에 암모니아(NH_3) 가스와 같은 반응 가스가 노출된 후(S13), 비활성 가스에 의해 퍼징되는 제1 원자층 증착 사이클이 수행될 수 있다(S14). 단계 S11 내지 S14로 이루어지는 제1 원자층 증착 사이클은 M회만큼 반복될 수 있다(S15).

[0039] 단계 S10에서 코발트 전구체가 기판(10)상에 흡착되면, 단계 S20에서 제2 원자층 증착 사이클(S21 내지 S24)이 수행된다. 즉, 코발트 전구체가 흡착된 기판(10)상에 티타늄 나이트라이드 함유 전구체가 노출된 후(S21), 아르곤(Ar)과 같은 비활성 가스에 의해 퍼징되고(S22), 이어서 기판(10)상에 암모니아(NH_3) 가스와 같은 반응 가스가 노출된 후(S23), 비활성 가스에 의해 퍼징(S24)되는 제2 원자층 증착 사이클이 수행될 수 있다. 제2 원자층 증착 사이클은 N회 반복될 수 있다(S25).

[0040] 일 실시 예에 있어서, 제2 원자층 증착 사이클의 반복 횟수(N)에 대한 제1 원자층 증착 사이클의 반복 횟수(M)의 비율(M/N)을 7 ~ 50 으로 하여 시드층(30)을 형성할 수 있다. M/N 비율을 7 미만으로 하게 되면 시드층(20)에서 Co/TiN 원자비율이 0.25 미만으로 되어 도전성 라인(30)을 기판(10)상에 전착시키는 씨앗층으로서의 기능이 저하될 수 있다. 반대로, M/N 비율을 50 초과로 하게 되면 시드층(20)에서 Co/TiN 원자비율이 4를 초과하게 되어 도전성 라인(30)의 구리가 기판(10)으로 확산되는 것을 방지하는 확산방지막으로서의 기능이 저하될 수 있다.

[0041] 따라서, 시드층(20)에서 코발트 티타늄 나이트라이드를 이루는 티타늄 나이트라이드(TiN)에 대한 코발트(Co)의 원자비율(Co/TiN)이 0.25 ~ 4 가 되도록, 제2 원자층 증착 사이클의 반복 횟수(N)에 대한 제1 원자층 증착 사이클의 반복 횟수(M)의 비율(M/N)을 7 ~ 50 으로 하여 시드층(30)을 형성할 필요가 있다.

[0042] M회의 제1 원자층 증착 사이클과 N회의 제2 원자층 증착 사이클을 포함하는 증착 사이클을 L회 반복하여 기판(10)상에 시드층(20)을 형성할 수 있다(S30). 본 발명의 일 실시 예에 있어서, 증착 사이클을 25 ~ 200회 반복하여 시드층(20)을 형성할 수 있다.

[0043] 증착 사이클의 반복 횟수(L)가 25 미만이 되면, 기판(10)상에 연속적 박막이 형성되지 않아 전류 소모가 증가되고 시드층(20)의 특성이 저하될 수 있다. 증착 사이클의 반복 횟수가 200 초과시에는 100nm를 초과하는 두께로 시드층(20)이 형성되고, 반도체 소자의 회로 패턴으로 적용되기 어려워진다.

[0044] 본 발명의 실시 예에 의하면, 확산방지막 및 씨앗층 특성을 동시에 갖는 Co-TiN 단일 박막의 시드층에 의하여, 구리 배선 공정 비용을 저감할 수 있으며, 반도체 소자 생산성을 향상시킬 수 있다. 본 발명의 실시 예에 따른 반도체 소자 공정은 기존에 씨앗층과 확산방지막을 각각 다른 물질로 사용하는 공정에 비하여, 나노화된 반도체 소자에 적용되기에 적합한 특성을 갖는다.

[0045] 본 발명의 실시 예에 의하면, 단일 박막의 시드층에서 코발트와 티타늄 나이트라이드의 원자비율을 1:4 내지 4:1 범위로 조절하여 확산방지막 및 씨앗층 특성을 동시에 갖는 다기능성 단일 박막을 형성할 수 있다. 또한, 원자층 증착 공정에서 환원제인 암모니아 가스를 반응 가스로 사용하여, 유관 공정에서의 박막 산화를 방지할 수 있다.

[0046] [실시 예 1]

[0047] 본 발명의 실시 예에 따른 반도체 소자의 씨앗층 특성과 확산방지막 특성을 평가하기 위한 실험을 수행하였다. 원자층 증착(atomic layer deposition) 장비를 이용하여, 원자층 증착 장비의 진공챔버 내에 Si 기판을 배치하고, Si 기판상에 각각 Co-TiN 합금 박막 시드층과 Co 시드층을 형성하였으며, 이를 각각 발명예와 비교예로 하였다. 시드층 증착시 기판의 온도는 200℃로 하였으며, Co 전구체의 온도는 75℃로 하였다.

[0048] (a) Si 기판상에 Co 전구체로서 바이스(N-테트라-부틸-N'-에틸프로피온아미디네이토)코발트(II)(Bis(N-tert-butyl-N'-ethylpropionamidinato)Cobalt(II))를 8초간 노출시킨 후, (b) 아르곤(Ar) 가스로 5초간 퍼징한 다음, (c) 암모니아(NH_3) 반응 가스를 Si 기판상에 8초간 노출시킨 다음, (d) 아르곤 가스로 5초간 퍼징하는 과정을 한 사이클로 하여, (a) 내지 (d) 과정을 30 사이클 반복하였다.

[0049] 이어서, (e) Si 기판상에 TiN 전구체로서 테트라키스-(디메틸아미노)-티타늄(Tetrakis-(di-methylamino)-titanium)을 5초간 노출시킨 후, (f) 아르곤 가스로 5초간 퍼징한 다음, (g) 암모니아(NH_3) 반응 가스를 Si 기판상에 8초간 노출시킨 다음, (h) 아르곤 가스로 5초간 퍼징하는 과정을 한 사이클 수행하였다. 이에 따라 치환반응에 의하여 Si 기판상에 Co-TiN 박막이 형성된다.

[0050] (a) 내지 (d) 과정의 제1 원자층 증착 사이클을 30번 반복하고, (e) 내지 (h) 과정의 제2 원자층 증착 사이클을 1번 수행하는 과정을 포함하는 증착 사이클을 총 23번 반복하였다. 이에 따라, Si 기판상에 약 20 nm 두께의 Co-TiN 단일 박막의 시드층이 원자층 증착되었다. Co-TiN 시드층의 성분을 분석한 결과, Co:TiN 원자비율은 2:1로 측정되었다.

[0051] 도 5a 내지 도 5c는 본 발명의 일 실시 예에 따라 기판상에 형성된 시드층(Co:TiN = 2:1)의 열적안정성 특성을 보여주는 그래프이다. CoTiN 박막의 확산방지막 특성 평가를 위하여, Si 기판에 증착된 Co-TiN 박막에 ex-situ로 Cu 박막을 물리기상증착하였다. 이어서, 시편을 600℃, 700℃ 온도에서 5분간 Ar/H_2 가스를 흘려주면서 열처리하였다. 도 5a 내지 도 5c는 각각 열처리 전(bare), 600℃ 열처리, 700℃ 열처리 후의 Co-TiN 시드층의 열적안정성 특성을 나타낸다.

[0052] 도 5a 내지 도 5c를 참조하면, 600℃ 열처리시 기판에 Cu_xSi_y상이 관찰되지 않았으며, 700℃ 열처리시에 Cu_xSi_y 상(Cu_3Si, Cu_4Si)이 관찰되었다. 이는 700℃ 이상의 열처리 시에 구리가 Co-TiN 박막을 뚫고 Si 기판으로 확산됨을 의미한다. 도 5a 내지 도 5c로부터, 본 발명의 실시 예에 따라 제조된 Co-TiN 박막 시드층은 700℃ 미만의 온도에서 확산방지막 특성을 갖는 것을 확인하였다.

[0053] 비교예인 Co 박막 시편의 경우, 600℃ 열처리시 기판에서 Cu_xSi_y상이 관찰되었다. 따라서, 같은 조건의 열처리 과정에서, Co 단일 박막이 600℃ 이하의 온도에서 확산방지막 특성을 갖는 것과 비교하였을 때, Co-TiN 박막 시드층의 경우 열적 안정성이 100℃ 향상된 것을 알 수 있다. 또한, 본 발명의 실시 예의 경우, 기존의 확산방지막으로 연구된 Al_2O_3, HfO_2 유전층이 약 700℃ 이하에서 확산방지막 특성을 갖는 것과 비교하였을 때 대등한 열적안정성 특성을 갖는 동시에, 더 낮은 비저항 값을 갖기 때문에 소자 전체 저항이 저감되는 장점이 있다.

[0054] [실시 예 2]

[0055] 실시 예 1의 (a) 내지 (d) 과정을 7 사이클 반복하고, (e) 내지 (h) 과정을 1 사이클 수행하는 증착 사이클을

총 45번 반복하는 것을 제외하고, 나머지 공정 조건을 실시 예 1과 동일하게 하여 Co-TiN 시드층을 Si 기판상에 증착하였다. 이에 따라 Si 기판상에 약 20 nm 두께의 Co-TiN 단일 박막의 시드층이 원자층 증착되었으며, Co-TiN 시드층의 성분을 분석한 결과, Co:TiN 원자비율은 1:2 로 측정되었다.

[0056] 도 6a 내지 도 6c는 본 발명의 다른 실시 예에 따라 기판상에 형성된 시드층(Co:TiN = 1:2)의 열적안정성 특성을 보여주는 그래프이다. CoTiN 박막의 확산방지막 특성 평가를 위하여, Si 기판에 원자층 증착된 Co-TiN 박막에 ex-situ로 Cu 박막을 물리기상증착한 후, 시편을 600℃, 700℃ 온도에서 5분간 Ar/H_2 가스를 흘려주면서 열처리하였다. 도 6a 내지 도 6c는 각각 열처리 전(bare), 600℃ 열처리, 700℃ 열처리 후의 Co-TiN 시드층의 열적안정성 특성을 나타낸다.

[0057] 도 6a 내지 도 6c를 참조하면, Co:TiN = 1:2 인 시드층의 경우에도 600℃ 열처리시 Cu_xSi_y상이 관찰되지 않았으며, 700℃ 열처리시에 비로소 Cu_xSi_y상(Cu_3Si, Cu_4Si)이 관찰되었다. 이는 700℃ 이상의 열처리 시에 구리가 Co-TiN 박막을 뚫고 Si 기판으로 확산됨을 의미한다. 즉, 본 발명의 실시 예에 따라 제조된 Co-TiN 박막 시드층은 700℃ 미만의 온도에서 확산방지막 특성을 갖는 것을 확인하였다.

[0058] 비교예인 Co 박막 시편의 경우, 600℃ 열처리시 Cu_xSi_y상이 관찰되었다. 따라서, 같은 조건의 열처리 과정에서, Co 단일 박막이 600℃ 이하에서 확산방지막 특성을 갖는 것과 비교하였을 때, Co-TiN 박막 시드층의 경우 열적안정성이 100℃ 향상된 것을 알 수 있다.

[0059] 도 7a는 Co 박막 시편(비교예) 위에 구리가 전해도금된 것을 평면적으로 보여주는 전자현미경(scanning electron microscopo, SEM) 이미지이고, 도 7b는 Co 박막 시편(비교예) 위에 구리가 전해도금된 단면을 보여주는 SEM 이미지이고, 도 8a는 본 발명의 실시 예에 1에 따라 제조된 Co-TiN 박막 시편 위에 구리가 전해도금된 것을 평면적으로 보여주는 SEM 이미지이고, 도 8b는 본 발명의 실시 예 2에 따라 제조된 Co-TiN 박막 시편 위에 구리가 전해도금된 단면을 보여주는 SEM 이미지이다.

[0060] Co-TiN 박막 시편에 구리 전해도금시, 전착전류를 0.5초간 $80mA/cm^2$ 로 한 후, 10.5초간 $20mA/cm^2$ 로 변화시켜 구리 전해도금을 실시하였다. 비교예인 Co 박막 위에 구리를 전해도금한 경우, 도 7a 및 도 7b에 도시된 바와 같이, 기판상에 구리가 불균일하게 형성되는 것을 알 수 있다. 이에 반해, 본 발명의 실시 예에 따라 CoTiN 박막 위에 구리를 전해도금한 경우, 도 8a 및 도 8b에 도시된 바와 같이, Co 박막에 비해 균일한 구리 박막이 형성되는 것을 알 수 있다.

[0061] 기판상의 시드층 박막 시편에 구리 전해도금 후, 박막의 전체 비저항을 측정한 결과, 비교예인 Co 박막의 경우 비저항이 약 6.09uΩ·cm 값으로 측정되었으며, 본 발명의 실시 예에 따라 제조된 CoTiN 박막의 경우 비저항이 약 4.39uΩ·cm 값으로 측정되었다.

[0062] 따라서, 본 발명의 실시 예에 따라 원자층 증착법으로 Co-TiN 단일 박막을 시드층으로 형성한 경우, Co 박막보다 균일한 구리 박막을 형성할 수 있어 씨앗층 특성이 더 뛰어난 동시에, 전체적으로 낮은 비저항을 갖기 때문에 씨앗층으로 적용시 소자 전체 저항을 감소시키는 이점을 얻을 수 있다.

[0063] 또한, 본 발명의 실시 예에 의하면, 확산방지막 및 씨앗층 특성을 동시에 갖는 Co-TiN 단일 박막 시드층에 의하여, 구리 배선 공정 비용을 저감할 수 있으며, 반도체 소자 생산성을 향상시킬 수 있으며, 구리 선폭 30nm 이하로 나노화된 반도체 소자에 보다 적합하게 적용될 수 있다.

[0064] 이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속하는 것임을 이해하여야 한다. 본 발명의 기술적 보호범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

부호의 설명

[0065] 100: 반도체 소자

10: 기판

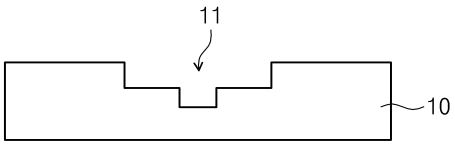
11: 홈부

20: 시드층

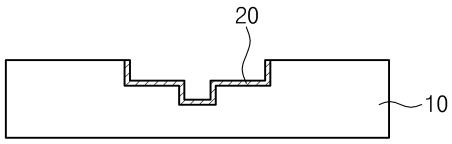
30: 도전성 라인

도면

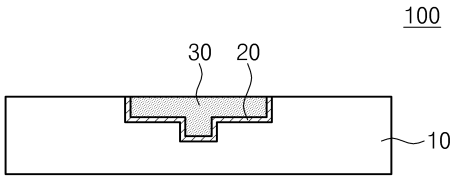
도면1



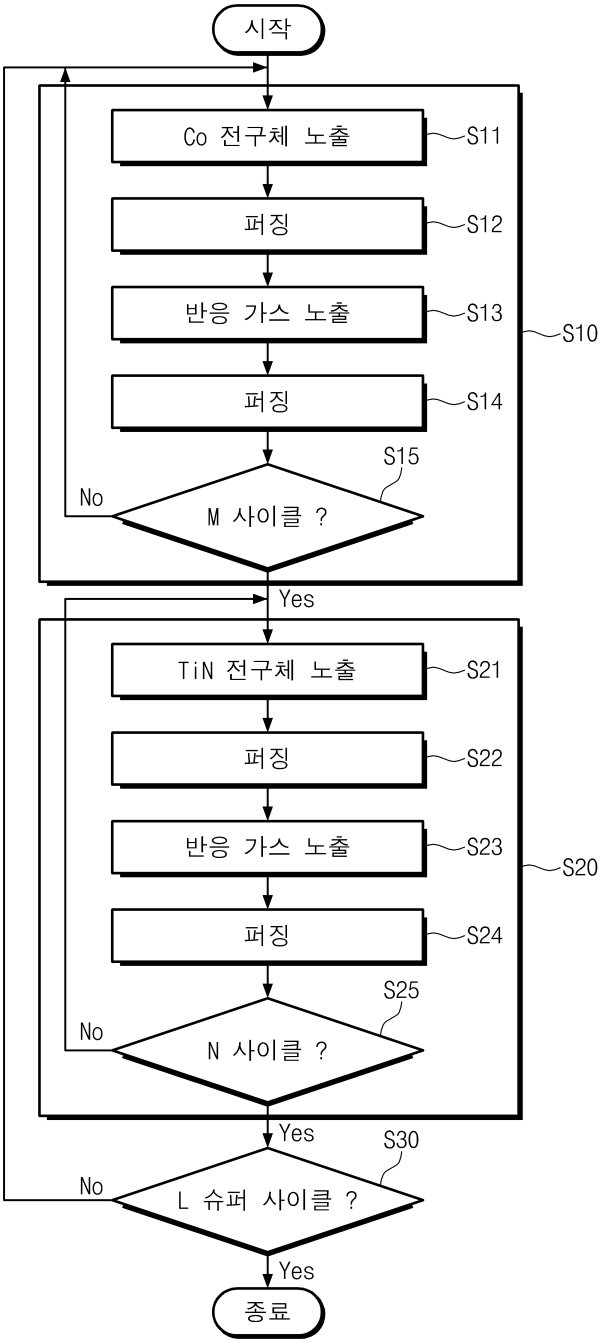
도면2



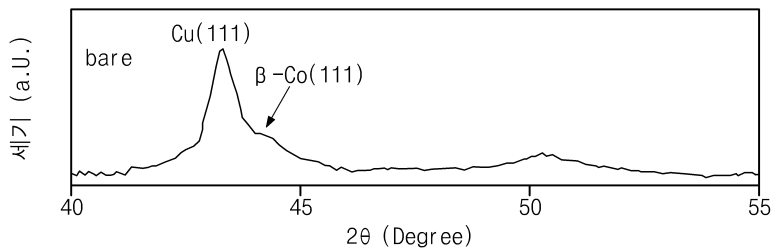
도면3



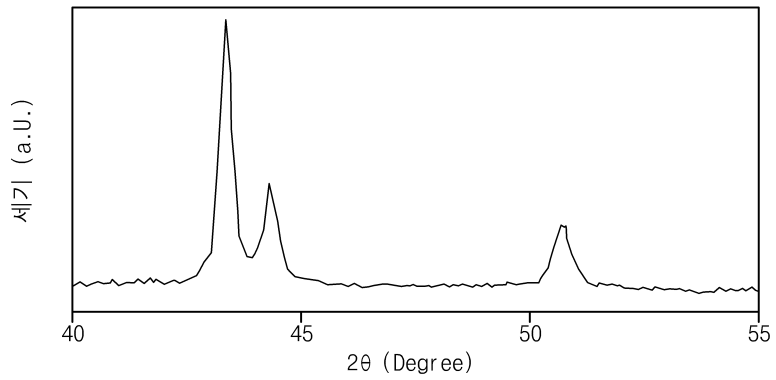
도면4


시작
Co 전구체 노출
S11
퍼징
S12
반응 가스 노출
S13
퍼징
S14
S10
S15
No
M 사이클 ?
Yes
TiN 전구체 노출
S21
퍼징
S22
반응 가스 노출
S23
퍼징
S24
S20
S25
No
N 사이클 ?
Yes
S30
No
L 슈퍼 사이클 ?
Yes
종료

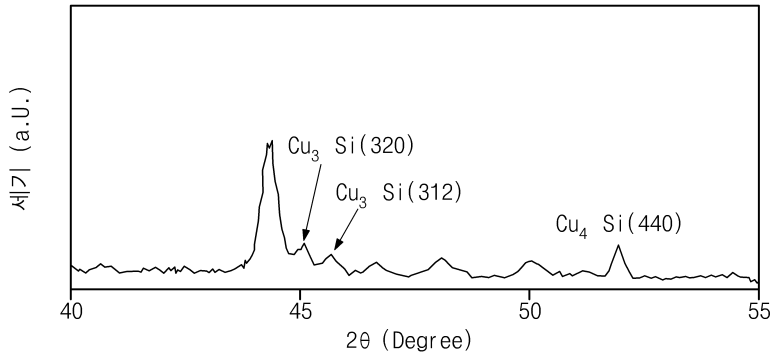
도면5a


세기 (a.U.)
bare
Cu(111)
β-Co(111)
40
45
50
55
2θ (Degree)

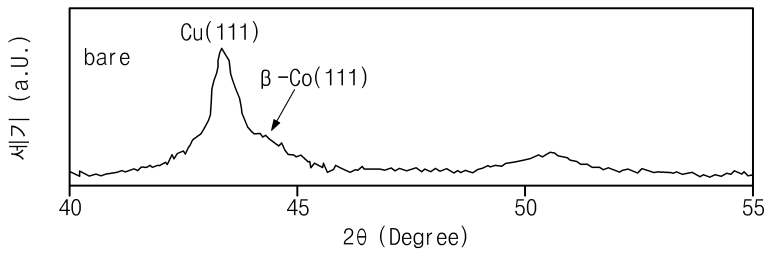
도면5b



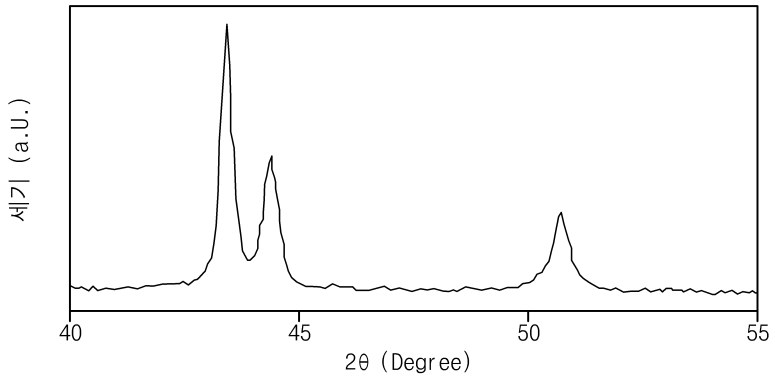
도면5c



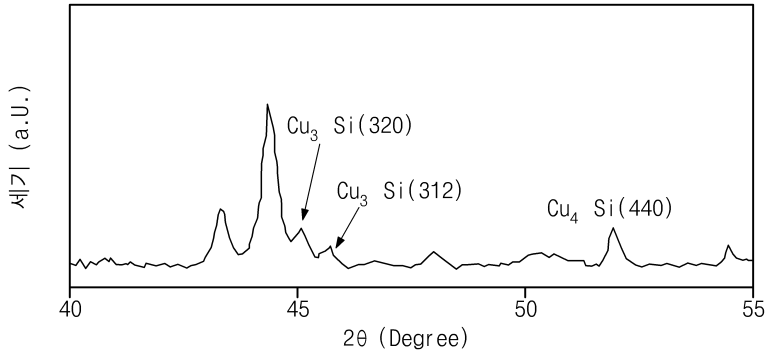
도면6a



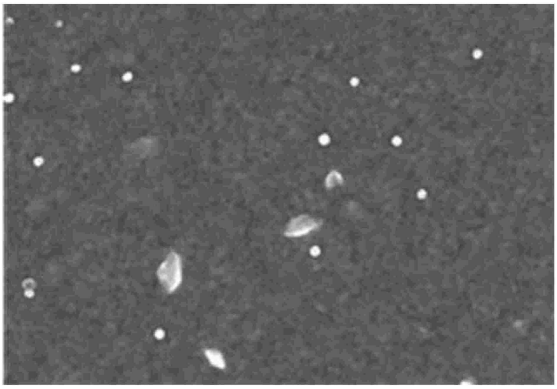
도면6b



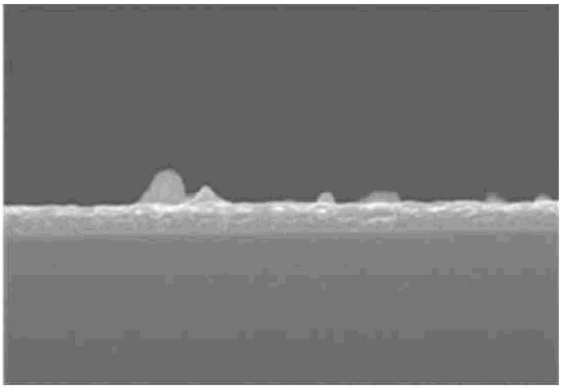
도면6c



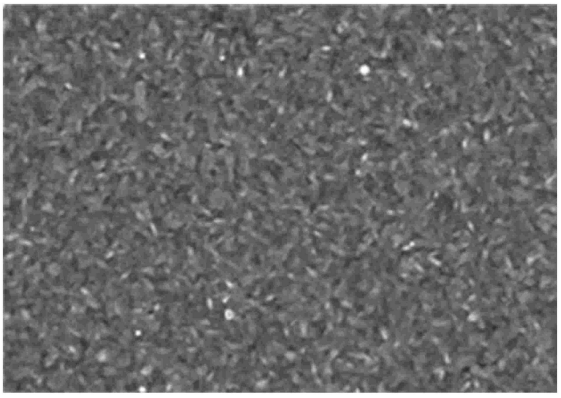
도면7a



도면7b



도면8a



도면8b

