

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

PCT

(10) 国际公布号
WO 2011/124000 A1

- (51) 国际专利分类号:
H01L 29/739 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2010/001418
- (22) 国际申请日: 2010 年 9 月 16 日 (16.09.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010145090.5 2010 年 4 月 9 日 (09.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 骆志炯 (LUO, Zhi-jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, Poughkeepsie, NY 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT

LTD); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 发明名称: 半导体器件及其制作方法

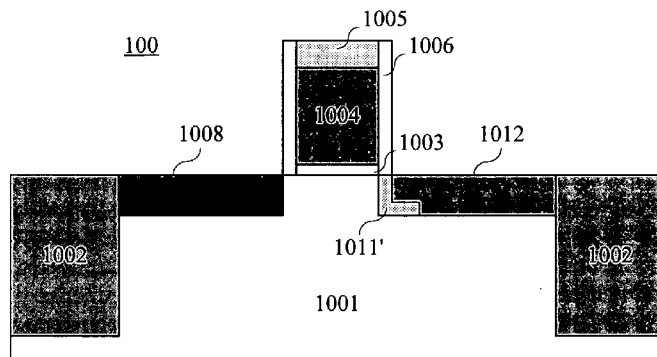


图 7 / Fig. 7

(57) Abstract: A semiconductor device and a method for manufacturing the same are provided. The semiconductor device comprises a first conductive type semiconductor substrate (1001), a gate formed on the semiconductor substrate (1001), a highly doped region (1008) of the first conductive type and a highly doped region (1012) of the second conductive type formed in the semiconductor substrate (1001) along the two sides of the gate respectively, wherein the highly doped region (1012) of the second conductive type is separated from the semiconductor substrate (1001) by a dielectric layer (1011') at the end of one side of the gate. The switching performance of the semiconductor device can be improved.

[见续页]

WO 2011/124000 A1

(57) 摘要:

提供了一种半导体器件及其制作方法。该半导体器件包括：第一导电类型的半导体衬底（1001）；在半导体衬底（1001）上形成的栅极；分别在栅极两侧的半导体衬底（1001）中形成的高掺杂的第一导电类型的区域（1008）和高掺杂的第二导电类型的区域（1012），其中高掺杂的第二导电类型的区域（1012）在栅极一侧的端部通过介质层（1011'）与半导体衬底（1001）隔开。这种半导体器件能够改善开关性能。

半导体器件及其制作方法

技术领域

本发明涉及半导体领域，更具体地，涉及一种能够改进亚阈摆幅的半导体器件及其制作方法。

背景技术

晶体管亚阈状态是 MOSFET（金属氧化物半导体场效应晶体管）的一种重要工作模式。这是 MOSFET 的栅极电压 V_{gs} 处于阈值电压 V_T 之下，又没有出现导电沟道的一种工作状态。这时还是有一股较小的电流通过器件，该电流即称为亚阈电流。亚阈电流虽然较小，但是却能很好地受到栅极电压的控制。所以亚阈状态的 MOSFET 在低电压、低功耗应用时很有利，特别是在逻辑开关和存储器等大规模集成电路应用中非常受到人们的重视。

亚阈值摆幅（subthreshold swing），又称为 S 因子，是 MOSFET 在亚阈状态工作时、用作为逻辑开关时的一个重要参数。它定义为： $S = dV_{gs}/d(\log_{10} I_d)$ ，单位是 [mV/decade]。S 在数值上等于为使漏极电流 I_d 变化一个数量级时所需要的栅极电压增量 ΔV_{gs} ，表示着 I_d - V_{gs} 关系曲线的上升率。S 值与器件结构和温度等有关。室温下 S 的理论最小值为 60 mV/decade。

但是，S 值并不会随着 MOSFET 器件尺寸缩小而同步变小，这严重影响了 MOSFET 器件的阈值电压以及因此影响供电电压能够减小的程度。

有鉴于此，需要提供一种新颖的半导体器件及其制作方法，以实现更为陡峭的开关性能（例如，室温下 $S < 60$ mV/decade）。

发明内容

本发明的目的在于提供一种包括能够改进亚阈摆幅（S）的半导体器件及其制作方法，特别是使得室温下 S 值能够小于 60 mV/decade，以提供更佳的开关性能。

根据本发明的一个方面，提供了一种半导体器件，包括：第一导电类型的半导体衬底；在半导体衬底上形成的栅极；以及分别在栅极两侧的半导体衬底中形成的高掺杂的第一导电类型的区域和高掺杂的第二导电类型的区域，其中，高掺杂的第二导电

类型的区域在栅极一侧的端部通过介质层与半导体衬底隔开。

优选地，第一导电类型可以为 P 型，第二导电类型可以为 N 型；或者所述第一导电类型为 N 型，第二导电类型为 P 型。

优选地，栅极可以包括：在半导体衬底上形成的栅极绝缘层；以及在栅极绝缘层之上形成的高掺杂的第二导电类型的栅极主体。

优选地，高掺杂的第二导电类型的区域可以由近第二导电类型金属材料形成。

优选地，介质层包括氧化物膜或氮化物膜，其厚度小于 50Å。

根据本发明的另一方面，提供了一种制作半导体器件的方法，包括：提供第一导电类型的半导体衬底；在半导体衬底上形成栅极；在栅极的第一侧的半导体衬底中形成高掺杂的第一导电类型的区域；以及在栅极与第一侧相对的第二侧的半导体衬底中形成高掺杂的第二导电类型的区域，其中，在形成高掺杂的第二导电类型的区域之前，在将要形成的该高掺杂的第二导电类型的区域靠近栅极一侧的端部处，形成介质层。

优选地，第一导电类型可以为 P 型，第二导电类型可以为 N 型；或者所述第一导电类型为 N 型，第二导电类型为 P 型。

优选地，形成栅极可以包括：在半导体衬底上形成栅极绝缘层；以及在栅极绝缘层之上形成高掺杂的第二导电类型的栅极主体。

优选地，形成高掺杂的第一导电类型的区域可以包括：在栅极的第二侧，在半导体衬底上形成覆层；在栅极的第一侧，形成高掺杂的第一导电类型的区域；以及去除覆层。

优选地，形成介质层以及形成高掺杂的第二导电类型的区域可以包括：在栅极的第一侧，在半导体衬底上形成保护层；在栅极的第二侧，选择性刻蚀半导体衬底，形成凹入区域；在凹入区域靠近栅极一侧形成介质层；在凹入区域中形成高掺杂的第二导电类型的区域；以及去除保护层。

优选地，所述介质层包括氧化物膜或氮化物膜，其厚度小于 50Å。

优选地，在凹入区域中形成高掺杂的第二导电类型的区域可以包括：在凹入区域中，在半导体衬底上外延生长 Si 或 SiGe，所述 Si 或 SiGe 被高掺杂为第二导电类型。

优选地，在凹入区域中形成高掺杂的第二导电类型的区域可以包括：在凹入区域中，在半导体衬底上沉积 Si，所述 Si 被高掺杂为第二导电类型。

优选地，在凹入区域中形成高掺杂的第二导电类型的区域包括：在凹入区域中，在半导体衬底上沉积近第二导电类型金属材料。

在本发明的半导体器件中，由于基于量子隧穿效应来工作，从而开关速度可以相当高，可以在室温下实现 $S < 60 \text{ mV/decade}$ 。

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~6 示出了根据本发明实施例制作半导体器件的流程中各步骤的视图；以及

图 7 示出了根据本发明实施例的半导体器件的结构示意图；以及

图 8 (a) 和 (b) 示出了根据本发明实施例的半导体器件的工作原理示意图。

具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

图 1~6 示出了根据本发明实施例制作半导体器件的流程中各步骤的视图。以下，将参照这些附图来对根据本发明实施例的各个步骤以及由此得到的半导体器件予以详细说明。

首先，如图 1 所示，提供一第一导电类型（在此，为 P 型）半导体衬底 1001，例如 Si 衬底。并且，在该半导体衬底 1001 上形成晶体管的栅极叠层结构。具体地，该栅极叠层例如包括依次形成的栅极绝缘层 1003、栅极主体 1004、硬掩模层 1005，以及在它们两侧形成的栅极侧墙 1006。其中，栅极绝缘层 1003 例如包括 SiO_2 ，栅极主体 1004 例如包括多晶硅，硬掩模层 1005 以及栅极侧墙 1006 例如包括氮化物 SiN_x 。优选地，栅极主体 1004 可以是高掺杂的第二导电类型（在此，为 N 型）的多晶硅。

本领域普通技术人员可以设想多种工艺来在半导体衬底上制作这种栅极叠层结构。由于这种栅极叠层结构本身与本发明的主旨并无直接关联，在此不再赘述。

这里需要指出的是，在本申请中，所谓“高掺杂”是指掺杂浓度相对于半导体衬底1001的掺杂浓度要高。例如，在此掺杂浓度在 10^{20}cm^{-3} 以上可以称作高掺杂。

优选地，在半导体衬底1001中还可以形成浅沟槽隔离（STI）1002，以增强器件之间的隔离。

然后，如图2所示，在上述形成有栅极叠层结构的半导体衬底1001上形成一覆层1007，并对该覆层1007进行构图，使其覆盖栅极叠层的一侧区域（图中右侧区域）。该覆层1007例如可以直接由光刻胶形成，通过曝光、显影等步骤使得光刻胶留在栅极叠层的右侧区域。当然，该覆层1007也可以是由另外的材料形成的单独层，通过利用光刻对该层进行构图，从而使得该层留在栅极叠层的右侧区域。在图2中示出了覆层1007的一部分留在栅极叠层之上，但是这并不是必须的；该覆层1007只需覆盖栅极叠层的右侧区域即可。

在由覆层1007覆盖住栅极叠层的右侧区域之后，在栅极叠层的另一侧区域（图中左侧区域）中形成高掺杂的第一导电类型（ P^+ ）区域1008。这例如可以通过离子注入（例如，注入硼B）来实现。由于右侧区域被覆层1007所覆盖，因此离子注入不会影响右侧区域。

在形成了区域1008之后，去除覆层1007。

接着，如图3所示，在半导体衬底上形成一保护层1009，并对该层进行构图使得其留在栅极叠层的左侧区域上。该保护层1009例如是氮化物（ SiN_x ）。在图3中示出了保护层1009的一部分留在栅极叠层之上，但是这并不是必须的；该保护层1009只需覆盖栅极叠层的左侧区域即可。

此时，在栅极叠层的右侧区域，通过选择性刻蚀，来对半导体衬底1001进行刻蚀，以形成一凹入区域1010。例如，可以选择对半导体衬底材料（如Si）与氮化物、氧化物（STI 1002、硬掩模1005、栅极侧墙1006、保护层1009）有选择性刻蚀作用的刻蚀剂，来实施该刻蚀。或者也可以通过RIE（反应离子刻蚀）来实施该刻蚀。

随后，如图4所示，在凹入区域1010中在半导体衬底上形成一超薄介质层1011。在此，优选地，该介质层1011的厚度小于 $50\text{\AA}$ 。该介质层1011可以是氧化膜，例如可以通过对半导体衬底进行热氧化来形成，或者也可以通过沉积来形成。可选地，该介质层1011也可以是氮化物膜，例如通过沉积来形成。接下来，如图5所示，对所形成的介质层1011进行构图，以去除该介质层1011远离栅极叠层侧的部分，从而露出半导体衬底1001。最终留下的介质层1011'可以确保随后形成的 N^+ 结（参见附图6、7中1012）

的掺杂浓度具有陡峭的分布特性。

然后，如图6所示，在凹入区域1010中形成高掺杂的第二导电类型（在此，为N型）区域1012。该区域1012例如可以通过在半导体衬底1001上外延生长Si或SiGe来形成，所生长的Si或SiGe被高掺杂为第二导电类型（在此，为N型）。这种掺杂可以在外延生长之后通过离子注入来实现，或者也可以在外延生长过程中通过原位掺杂来实现。可选地，可以沉积Si，该Si被高掺杂为第二导电类型（在此，为N型），掺杂例如通过离子注入或原位掺杂形成。

可选地，可以通过沉积近第二导电类型（在此，为N型）金属来形成区域1012。所谓“近第二导电类型金属”是指费米能级与高掺杂的第二导电类型半导体材料的费米能级相接近的金属。例如，在第二导电类型为N型的情况下，这种金属可以包括Ni、Ti等。

之后，如图7所示，去除保护层1009，就得到根据本发明实施例的最终半导体器件结构。该半导体器件100包括：第一导电类型的半导体衬底1001；在半导体衬底上形成的栅极（1003，1004，1005，1006）；分别在栅极两侧的半导体衬底中形成的高掺杂的第一导电类型的区域1008和高掺杂的第二导电类型的区域1012（例如，在此区域1008形成源极，区域1012形成漏极），其中，高掺杂的第二导电类型的区域1012在栅极一侧的端部通过介质层1011'与半导体衬底隔开。

该半导体器件主要是基于量子隧穿效应来工作的。图8中示意性示出了该半导体器件的能带图，其中（a）示出了未施加栅极偏置时的能带结构，（b）示出了在栅极施加负偏置时的能带结构。其中， E_{cp} 表示 P^+ 结的导带， E_{vp} 表示 P^+ 结的价带， E_{cn} 表示 N^+ 结的导带， E_{vn} 表示 N^+ 结的价带， E_{fp} 表示 P^+ 结的费米能级， E_{fn} 表示 N^+ 结的费米能级。可以看到，在负的栅极偏压下，由于隧穿量子效应，电子将穿过变细的势垒而形成隧穿电流。该隧穿电流受到栅极电压的调制，从而该半导体器件表现为三端子器件。

在该半导体器件中，其导通与否基于负栅极偏压下对带间隧穿的控制。由于电子与势垒的相互作用非常短，从而该器件的渡越时间相对于常规MOS器件的渡越时间要短。因此其开关速度可以相当快，从而可以实现室温下 $S < 60 \text{ mV/decade}$ 的半导体器件。

这里，区域1012在栅极一侧的端部设有介质层1011'。这保证了该区域中沿着PN结的方向具有陡峭的掺杂浓度分布。陡峭的掺杂浓度分布有助于形成窄的势垒，从而有利于隧穿电流的形成。

这里需要指出的是，在以上描述的方法中，分别形成了覆层1007和保护层1009。

它们的目的在于使得能够分别对栅极两侧进行处理从而分别形成 P^+ 结和 N^+ 结，但是这对于本发明的实施并非是必要的。本领域技术人员完全可以想到其他方式来实现对栅极两侧的衬底区域进行分别处理的目的。

在以上的描述中，在第一导电类型为P型、第二导电类型为N型的情况下来进行描述。但是，本发明不限于此，也可以是第一导电类型为N型、第二导电类型为P型。

此外，在以上的描述中，首先形成了高掺杂的第一导电类型的区域1008，然后再形成高掺杂的第二导电类型的区域1012。但是它们之间的形成顺序并不局限于此。也可以先形成高掺杂的第二导电类型的区域1012，然后再形成高掺杂的第一导电类型的区域1008。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种半导体器件 (100), 包括:
第一导电类型的半导体衬底 (1001);
在半导体衬底 (1001) 上形成的栅极; 以及
分别在栅极两侧的半导体衬底 (1001) 中形成的高掺杂的第一导电类型的区域 (1008) 和高掺杂的第二导电类型的区域 (1012),
其中, 高掺杂的第二导电类型的区域 (1012) 在栅极一侧的端部通过介质层 (1011') 与半导体衬底 (1001) 隔开。
2. 根据权利要求 1 所述的半导体器件, 其中, 所述第一导电类型为 P 型, 第二导电类型为 N 型; 或者所述第一导电类型为 N 型, 第二导电类型为 P 型。
3. 根据权利要求 1 所述的半导体器件, 其中, 栅极包括:
在半导体衬底 (1001) 上形成的栅极绝缘层 (1003); 以及
在栅极绝缘层 (1003) 之上形成的高掺杂的第二导电类型的栅极主体 (1004)。
4. 根据权利要求 1 所述的半导体器件, 其中, 所述高掺杂的第二导电类型的区域 (1012) 由近第二导电类型金属材料形成。
5. 根据权利要求 1 所述的半导体器件, 其中, 所述介质层 (1011') 包括氧化物膜或氮化物膜, 其厚度小于 50Å。
6. 一种制作半导体器件 (100) 的方法, 包括:
提供第一导电类型的半导体衬底 (1001);
在半导体衬底 (1001) 上形成栅极;
在栅极的第一侧的半导体衬底中形成高掺杂的第一导电类型的区域 (1008); 以及
在栅极与第一侧相对的第二侧的半导体衬底中形成高掺杂的第二导电类型的区域 (1012),
其中, 在形成高掺杂的第二导电类型的区域 (1012) 之前, 在将要形成的该高掺杂的第二导电类型的区域 (1012) 靠近栅极一侧的端部处, 形成介质层 (1011')。
7. 根据权利要求 6 所述的方法, 其中, 所述第一导电类型为 P 型, 第二导电类型为 N 型; 或者所述第一导电类型为 N 型, 第二导电类型为 P 型。

8. 根据权利要求 6 所述的方法, 其中, 形成栅极包括:

在半导体衬底 (1001) 上形成栅极绝缘层 (1003); 以及

在栅极绝缘层 (1003) 之上形成高掺杂的第二导电类型的栅极主体 (1004)。

9. 根据权利要求 6 所述的方法, 其中, 形成高掺杂的第一导电类型的区域 (1008) 包括:

在栅极的第二侧, 在半导体衬底 (1001) 上形成覆层 (1007);

在栅极的第一侧, 形成高掺杂的第一导电类型的区域 (1008); 以及

去除覆层 (1007)。

10. 根据权利要求 6 所述的方法, 其中, 形成介质层 (1011') 以及形成高掺杂的第二导电类型的区域 (1012) 包括:

在栅极的第一侧, 在半导体衬底 (1001) 上形成保护层 (1009);

在栅极的第二侧, 选择性刻蚀半导体衬底 (1001), 形成凹入区域 (1010);

在凹入区域 (1010) 靠近栅极一侧形成介质层 (1011'); 以及

在凹入区域 (1010) 中形成高掺杂的第二导电类型的区域 (1012); 以及

去除保护层 (1009)。

11. 根据权利要求 10 所述的方法, 其中, 所述介质层 (1011') 包括氧化物膜或氮化物膜, 其厚度小于 50Å。

12. 根据权利要求 10 所述的方法, 其中, 在凹入区域 (1010) 中形成高掺杂的第二导电类型的区域 (1012) 包括:

在凹入区域 (1010) 中, 在半导体衬底上外延生长 Si 或 SiGe, 所述 Si 或 SiGe 被高掺杂为第二导电类型。

13. 根据权利要求 10 所述的方法, 其中, 在凹入区域 (1010) 中形成高掺杂的第二导电类型的区域 (1012) 包括:

在凹入区域 (1010) 中, 在半导体衬底上沉积 Si, 所述 Si 被高掺杂为第二导电类型。

14. 根据权利要求 10 所述的方法, 其中, 在凹入区域 (1010) 中形成高掺杂的第二导电类型的区域 (1012) 包括:

在凹入区域 (1010) 中, 在半导体衬底上沉积近第二导电类型金属材料。

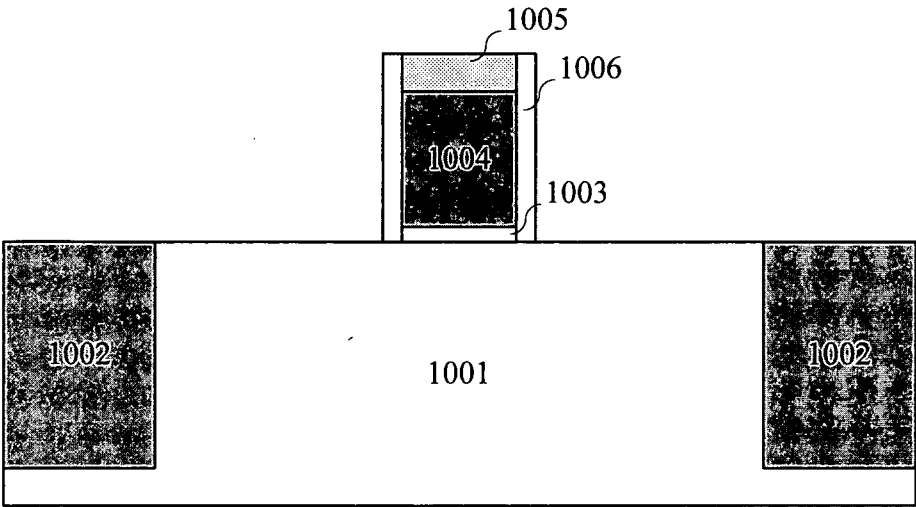


图 1

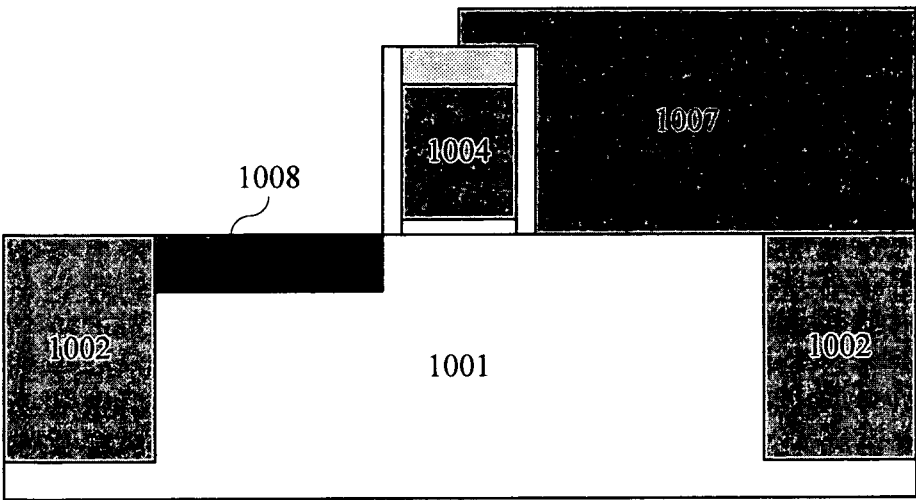


图 2

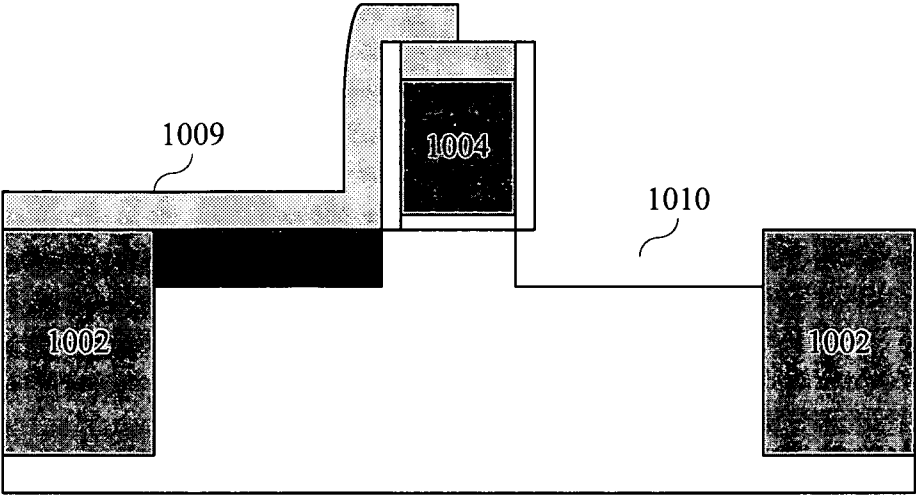


图 3

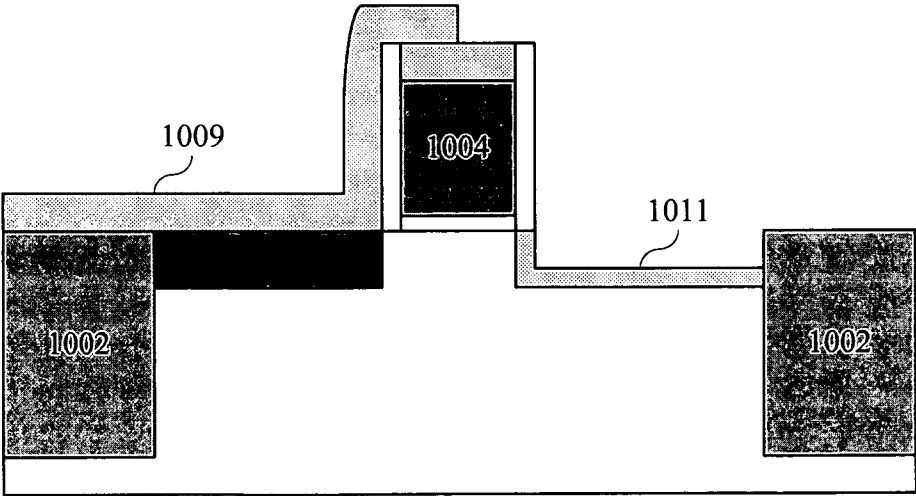


图 4

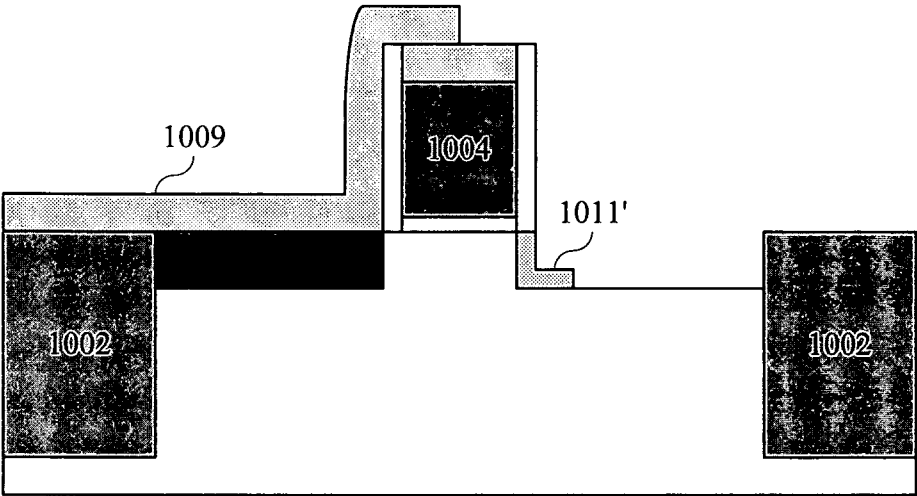


图 5

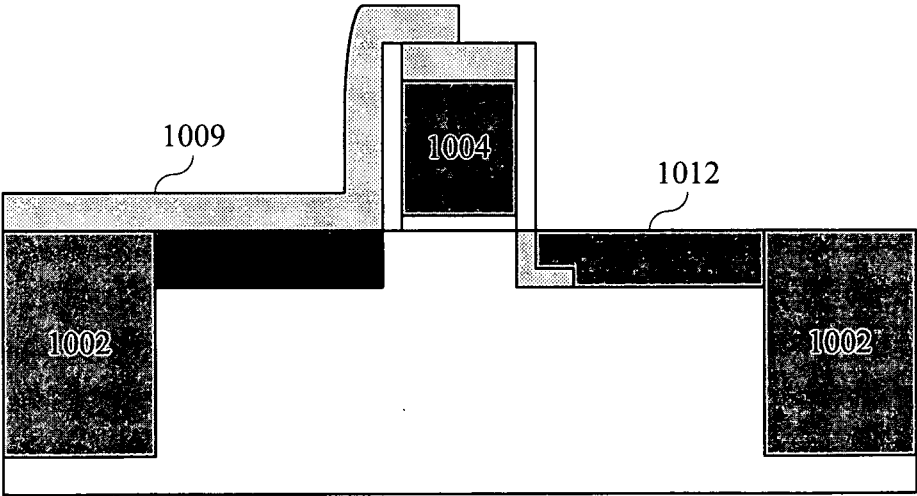


图 6

4/5

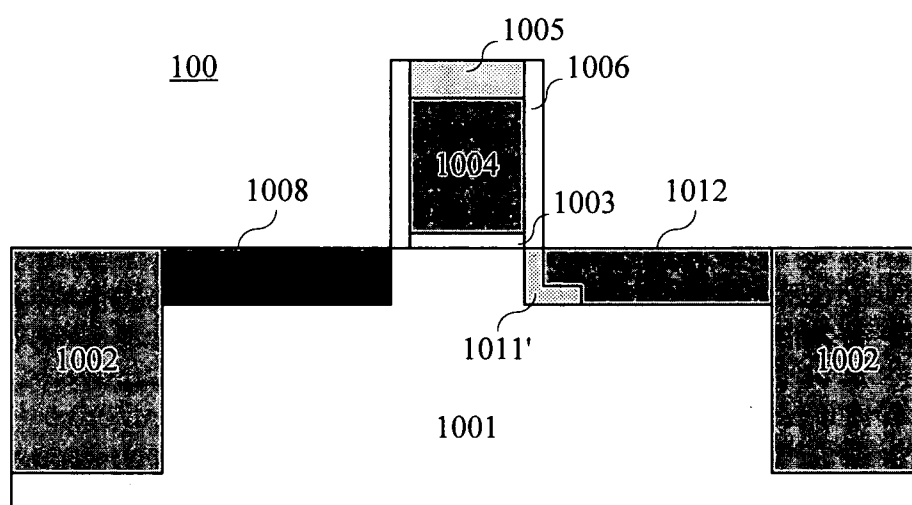


图 7

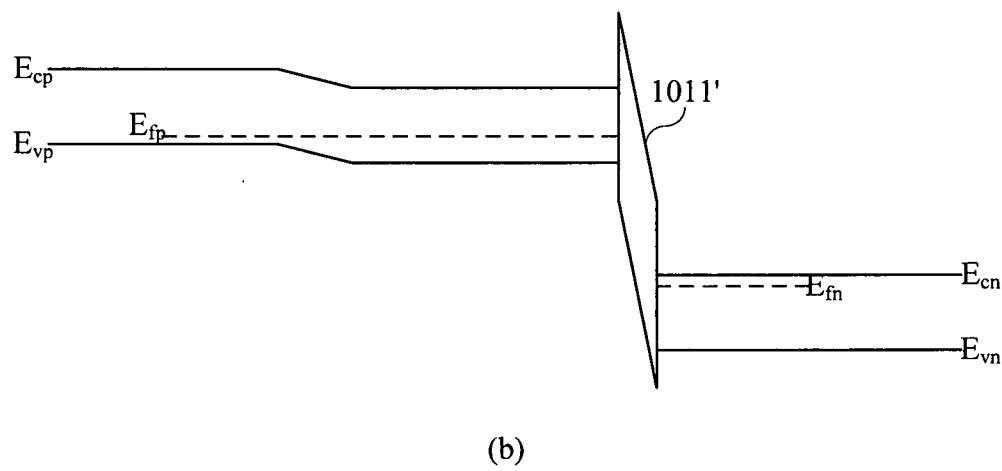
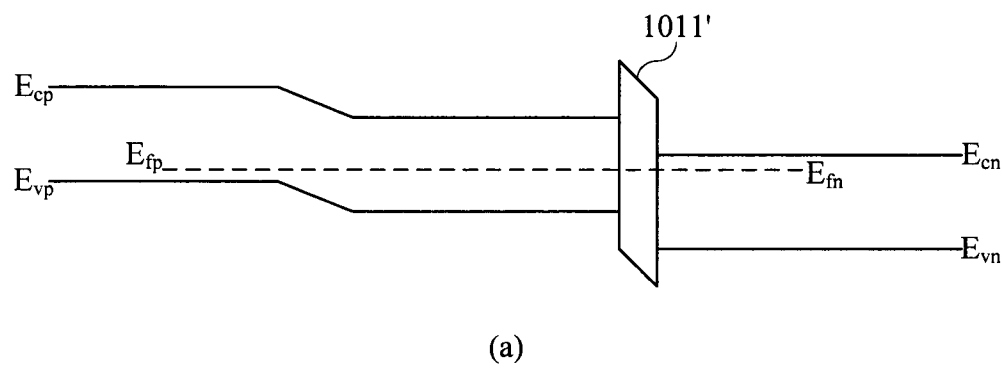


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001418

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI, WPI, EPODOC: subthreshold sub-threshold tunnel+ transistor? gate dielectric isolate+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	C.Le Royer et al. Exhaustive Experimental Study of Tunnel Field Effect Transistors (TFETs): From Materials to Architecture, IEEE, 2009, page 53, Par. 1 to page 54, par. 4, figure 2	1-9
Y	US2007/0178650A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 02 Aug. 2007 (02.08.2007) page 1, pars. 3-4, figure 1	1-9
A	JP11-220122A (SONY CORP.) 10 Aug. 1999 (10.08.1999) the whole document	1-14
A	CN101355102A (TAIWAN INTEGRATED CIRCUIT MFG CORP.) 28 Jan. 2009 (28.01.2009) the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 Dec. 2010 (29.12.2010)	Date of mailing of the international search report 13 Jan. 2011 (13.01.2011)
--	--

Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer YANG Yong Telephone No. (86-10)62411777
--	---

International application No.
PCT/CN2010/001418

Form PCT/ISA /210 (patent family annex) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001418

CLASSIFICATION OF SUBJECT MATTER

H01L 29/739 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号

PCT/CN2010/001418

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-, H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI: 亚阈值 次阈值 阈值 隧穿 穿隧 晶体管 栅 绝缘 介电

WPI, EPODOC: subthreshold sub-threshold tunnel+ transistor? gate dielectric isolate+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	C.Le Royer 等, Exhaustive Experimental Study of Tunnel Field Effect Transistors (TFETs): From Materials to Architecture, IEEE, 2009, 第 53 页, 第 1 段至第 54 页第 4 段, 图 2	1-9
Y	US2007/0178650A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 02. 8 月 2007 (02.08.2007) 第 1 页第 3-4 段, 附图 1	1-9
A	JP11-220122A (索尼株式会社) 10.8 月 1999 (10.08.1999) 全文	1-14
A	CN101355102A (台湾积体电路制造股份有限公司) 28. 1 月 2009 (28.01.2009) 全文	1-14



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

29.12 月 2010 (29.12.2010)

国际检索报告邮寄日期

13.1 月 2011 (13.01.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨永

电话号码: (86-10) **62411777**

关于同族专利的信息

PCT/CN2010/001418

主题的分类

H01L 29/739 (2006.01) i

H01L 21/336 (2006.01) i