



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201428895 A

(43) 公開日：中華民國 103 (2014) 年 07 月 16 日

(21) 申請案號：102138545

(22) 申請日：中華民國 102 (2013) 年 10 月 24 日

(51) Int. Cl. : *H01L21/8246(2006.01)*

*H01L27/115 (2006.01)*

(30) 優先權：2012/11/13 美國

13/675,933

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：岱維司 尼爾 L DAVIS, NEAL L. (US) ; 凱利 大衛 A KEWLEY, DAVID A. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：34 項 圖式數：19 共 37 頁

(54) 名稱

半導體構造及形成半導體構造之方法

SEMICONDUCTOR CONSTRUCTIONS AND METHODS OF FORMING SEMICONDUCTOR CONSTRUCTIONS

(57) 摘要

本發明揭示包含具有一含有交替位準控制閘極材料及中介介電材料之堆疊之一半導體構造的一些實施例。一通道材料面板穿過該堆疊且沿著一第一方向延伸。該面板將該堆疊區分為在該面板之一第一側上之一第一區段及在該面板之一第二側上之一第二區段。記憶體胞堆疊在該通道材料面板與該控制閘極材料之間。該記憶體胞堆疊包含形如具有指向該通道材料面板之開放末端點之容器的胞介電材料，且包含該容器內之電荷儲存材料。一些實施例包含形成半導體構造之方法。





(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201428895 A

(43) 公開日：中華民國 103 (2014) 年 07 月 16 日

(21) 申請案號：102138545

(22) 申請日：中華民國 102 (2013) 年 10 月 24 日

(51) Int. Cl. : *H01L21/8246(2006.01)*

*H01L27/115 (2006.01)*

(30) 優先權：2012/11/13 美國

13/675,933

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：岱維司 尼爾 L DAVIS, NEAL L. (US) ; 凱利 大衛 A KEWLEY, DAVID A. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：34 項 圖式數：19 共 37 頁

(54) 名稱

半導體構造及形成半導體構造之方法

SEMICONDUCTOR CONSTRUCTIONS AND METHODS OF FORMING SEMICONDUCTOR CONSTRUCTIONS

(57) 摘要

本發明揭示包含具有一含有交替位準控制閘極材料及中介介電材料之堆疊之一半導體構造的一些實施例。一通道材料面板穿過該堆疊且沿著一第一方向延伸。該面板將該堆疊區分為在該面板之一第一側上之一第一區段及在該面板之一第二側上之一第二區段。記憶體胞堆疊在該通道材料面板與該控制閘極材料之間。該記憶體胞堆疊包含形如具有指向該通道材料面板之開放末端點之容器的胞介電材料，且包含該容器內之電荷儲存材料。一些實施例包含形成半導體構造之方法。

## 發明摘要

※ 申請案號：102138545

※ 申請日：102.10.24

※IPC 分類：H01L 21/8246 (2006.01)

H01L 21/15 (2006.01)

## 【發明名稱】

半導體構造及形成半導體構造之方法

SEMICONDUCTOR CONSTRUCTIONS AND METHODS OF  
FORMING SEMICONDUCTOR CONSTRUCTIONS

## 【中文】

本發明揭示包含具有一含有交替位準控制閘極材料及中介介電材料之堆疊之一半導體構造的一些實施例。一通道材料面板穿過該堆疊且沿著一第一方向延伸。該面板將該堆疊區分為在該面板之一第一側上之一第一區段及在該面板之一第二側上之一第二區段。記憶體胞堆疊在該通道材料面板與該控制閘極材料之間。該記憶體胞堆疊包含形如具有指向該通道材料面板之開放末端點之容器的胞介電材料，且包含該容器內之電荷儲存材料。一些實施例包含形成半導體構造之方法。

## 【英文】

Some embodiments include a semiconductor construction having a stack containing alternating levels of control gate material and intervening dielectric material. A channel material panel extends through the stack and along a first direction. The panel divides the stack into a first section on a first side of the panel and a second section on a second side of the panel. Memory cell stacks are between the channel material panel and the control gate material. The memory cell stacks include cell dielectric material shaped as containers having open ends pointing toward the channel material panel, and include charge-storage material within the containers. Some embodiments include methods of forming semiconductor constructions.

**【代表圖】**

**【本案指定代表圖】**：第（19）圖。

**【本代表圖之符號簡單說明】**：

- |     |                       |
|-----|-----------------------|
| 10  | 半導體構造/構造              |
| 12  | 基底                    |
| 14  | 堆疊                    |
| 16  | 控制閘極材料/材料             |
| 18  | 中介介電材料/介電材料/材料        |
| 32  | 電荷儲存材料/材料/記憶體胞之電荷儲存材料 |
| 40  | 通道材料                  |
| 90  | 選擇閘極                  |
| 91  | 選擇閘極                  |
| 92  | 選擇閘極                  |
| 94  | 選擇閘極                  |
| 95  | 選擇閘極                  |
| 96  | 選擇閘極                  |
| 104 | 介電材料面板/第一介電材料面板       |
| 105 | 介電材料面板/第一介電材料面板       |
| 106 | 介電材料面板/第一介電材料面板       |
| 107 | 介電材料面板/第一介電材料面板       |
| 130 | 導電觸點                  |
| 160 | 段                     |

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體構造及形成半導體構造之方法

SEMICONDUCTOR CONSTRUCTIONS AND METHODS OF  
FORMING SEMICONDUCTOR CONSTRUCTIONS

## 【技術領域】

半導體構造及形成半導體構造之方法。

## 【先前技術】

記憶體為電子系統提供資料儲存。快閃記憶體係一類型記憶體，且在現代電腦及裝置中具有許多用途。例如，現代個人電腦可具有儲存於一快閃記憶體晶片上之BIOS。如另一實例，電腦及其他裝置變得越來越普遍利用以固態驅動器形式之快閃記憶體來代替習知硬碟。如在又另一實例中，快閃記憶體在無線電子裝置中普及，因為當其等變得標準化時其使製造者能夠支撐支持新的通信協定，且能夠提供遠端升級該裝置之能力以改進特徵。

一典型快閃記憶體包括包含以列及行樣式配置之較大數目個記憶體胞之一記憶體陣列。快閃記憶體可在區塊中擦除及再程式化。

NAND可為快閃記憶體之一基礎架構。一NAND包括串聯耦合至一串聯組合記憶體胞之至少一選擇裝置。在美國專利第7,898,850號中描述例示性NAND架構。

存在發展改良NAND架構及發展形成此NAND架構方法之持續目標。

## 【圖式簡單說明】

圖1至圖19係在一實例實施例之各種製程階段之一半導體構造之示意截面圖。圖1、圖3、圖5、圖7、圖9、圖11、圖13、圖15及圖17

係俯視圖；圖2、圖4、圖6、圖8、圖10、圖12、圖14、圖16及圖18係分別沿著圖1、圖3、圖5、圖7、圖9、圖11、圖13、圖15及圖17之線X-X所得之截面側視圖；且圖19係圖18之構造之一示意截面圖，其中展示圖18之後的一製程階段。

### 【實施方式】

在一些實施例中，NAND架構可經製造以實質上包括垂直NAND串。製造可利用線及空間圖案用於通道區域及隔離區域之形成，此可有利地避免在利用支柱(或其他高縱橫比觸點)支撐通道區域之習知NAND製程中遭遇之困難。在一些實施例中，新NAND架構可由本文所描述之製程造成。儘管在本文所呈現之一些實例實施例中描述NAND架構，本文描述之其他實施例處理可利用用於其他記憶體(諸如，例如，NOR等等)之製造。參考圖1至圖19描述一些實例實施例。

參考圖1及圖2，在俯視圖(圖1)及截面側視圖(圖2)中展示一半導體構造10。

構造10包含藉由一基底12支撐之一堆疊14。堆疊14包括交替位準(例如，片、層等等)控制閘極材料16及中介介電材料18。在堆疊14與基底12之間提供虛線以指示在一些實施例中在基底與堆疊之間可存在額外材料及/或積體電路結構。

基底12可包括半導體材料，且在一些實施例中可包括、主要包含或包含單晶矽。在一些實施例中，基底12可被視為包括一半導體基板。術語「半導體基板」意謂包括半導體材料之任何構造，包含，但不限於，諸如一半導體晶圓之塊狀半導體材料(單獨或在包括其他材料之總成中)，及半導體材料層(單獨或在包括其他材料之總成中)。術語「基板」係指任何支撐結構，包含，但不限於，上文所描述之半導體基板。在一些實施例中，基底12可對應於含有與積體電路製造相關之一或多個材料之一半導體基板。此材料可包含，例如，耐火金屬材

料、障壁材料、擴散材料、絕緣材料等等之一或多種。

控制閘極材料16可包括任何合適組合物或組合物之組合；且在一些實施例中可包括、主要包含或包含各種金屬(例如，鎢、鈦等等)、含有金屬組合物(例如，金屬氮化物、金屬碳化物、金屬矽化物等等)及導電摻雜之半導體材料(例如，導電摻雜之矽、導電摻雜之鍺等等)之一或多種。例如，在一些實施例中，控制閘極材料16可包括、主要包含或包含導電摻雜之矽(諸如，例如，n型摻雜之多晶矽)。

中介介電材料18可包括任何合適組合物；且在一些實施例中可包括、主要包含或包含二氧化矽。

控制閘極材料16之位準可為任何合適厚度( $T_1$ )，且在一些實施例中可具有自約5 nm至約300 nm之一範圍內之一厚度。中介介電材料18之位準可為任何合適厚度( $T_2$ )，且在一些實施例中可具有自約5 nm至約200 nm之一範圍內之一厚度。

本文所描述之實例處理形成垂直NAND串，其中藉由控制閘極位準之數目判定在各串中之記憶體胞之數目。所展示實例實施例具有控制閘極材料16之八個位準。其他實施例可具有多或少於所展示之八個位準。因此，其他實例實施例可具有有總共16控制閘極位準、32控制閘極位準、64控制閘極位準等等之一堆疊。

然後參考圖3及圖4，堆疊14經蝕刻以在堆疊中形成複數個第一溝槽20至22。如圖3之俯視圖中展示，第一溝槽沿著一軸5之一第一方向延伸。在所展示實施例中，第一溝槽經組態為沿著軸5延伸之線。在其他實施例中，第一溝槽可形成沿著軸5彎曲或波動，而不是直線之結構，但是仍可主要沿著軸5之方向延伸。第一溝槽20至22可具有任何合適寬度( $W$ )，且在一些實施例中可具有自約5 nm至約100 nm之一範圍內之寬度。

溝槽20至22可由任何合適處理形成。例如，可跨越構造10之一頂部形成一遮罩(未展示)以界定溝槽之位置，且接著可利用一或多個合適蝕刻以穿過堆疊14圖案化溝槽(在一些實例實施例中，用於形成溝槽20至22之蝕刻可利用 $\text{NF}_3$ 、 $\text{CH}_2\text{F}_2$ 、 $\text{HBr}$ 及 $\text{BCl}_3$ 之一或多種)。隨後，可移除該圖案化遮罩以留下圖3及圖4所繪示結構。圖案化遮罩可包括任何合適材料且可利用任何合適處理形成。例如，圖案化遮罩可包括光學微影圖案化光阻及/或圖案化遮罩可包括透過一節距增加製程圖案化之材料。

溝槽20至22可被視為包括沿著堆疊14之材料16及材料18延伸之內壁23(僅標記其中一些)。

然後參考圖5及圖6，控制閘極材料16沿著溝槽20至22之內壁凹陷以形成複數個腔24(僅標記其中一些)。個別腔藉由中介介電材料18定界於頂部或底部上，且藉由控制閘極材料16沿著一側定界。例如，一些腔具有分別標記為25及27之頂部及底部；且一些腔具有標記為29之藉由控制閘極材料定界之側。

腔可以任何合適距離(D)凹陷入控制閘極材料16內，且在一些實施例中可凹陷至自約5 nm至約100 nm之一範圍內之一距離。

參考圖7及圖8，胞介電材料26(僅標記其中一些)沿著控制閘極材料16之暴露邊緣在腔24內形成。胞介電材料26可係指一第一胞介電材料以將其與隨後形成之其他胞介電材料(下文討論)區分。

胞介電材料26可包括任何合適組合物或組合物之組合；且在一些實施例中可包括、主要包含或包含二氧化矽。此二氧化矽可自實施例中之控制閘極材料16的矽熱生長而成，在該實施例中之控制閘極材料包括、主要包含或包含矽。替代地，或額外地，可沈積至少一些胞介電材料。

胞介電質26可形成為任何合適之厚度，且在一些實例實施例中

可形成至自約10 Å至約200 Å之一範圍內之一厚度。

參考圖9及圖10，第二胞介電材料28(僅標記其中一些)係緊鄰第一胞介電材料26而形成。腔24內之第二胞介電材料可被視為形如具有指向背離鄰近第一胞介電材料26之開放末端的容器。

第二胞介電材料28可包括任何合適組合物或組合物之組合；且在一個實施例中可包括、主要包含或包含氮化矽。

第二胞介電材料可利用任何合適的處理來形成，諸如，(例如)原子層沈積(ALD)、化學氣相沈積(CVD)及物理氣相沈積(PVD)之一或多種。如所展示，保形地形成第二胞介電材料可係有利的，且因此在一個實施例中利用ALD用於形成此材料可係有利的。

在所展示實施例中，中介介電材料18沿著溝槽20至22具有表面31(僅標記其中一些)。第二胞介電質28在腔24內且沿著介電材料18之表面31延伸。在其他實施例中(未展示)，於腔24內之材料28的形成之後，以一合適蝕刻自表面31移除材料28。

材料28可形成至任何合適之厚度，且在一個實施例中可形成至自約50 Å至約200 Å之一範圍內之一厚度。

參考圖11及圖12，一第三胞介電質30(僅標記其中一些)係在由第二胞介電質28界定之容器內形成。在一個實施例中，第二胞介電材料28可包括、主要包含或包含氮化矽；且第三胞介電質30可包括、主要包含或包含二氧化矽。在一個實施例中，第一胞介電質26及第三胞介電質30可包括彼此相同的組合物；且可(例如)都包括、主要包含或包含二氧化矽。在一個實施例中，第三胞介電質可自氮化矽熱生長，且/或可沈積於氮化矽上方。

第三胞介電質30可包括任何合適之厚度，且在一個實施例中可形成至自約10 Å至約100 Å之一範圍內之一厚度。

參考圖13及圖14，電荷儲存材料32(僅標記其中一些)在藉由材料

28界定之容器內形成，且在所展示實施例中直接抵靠材料30。在一些實施例中，第三胞介電質30可被視為部分填充藉由第二胞介電質28界定之容器，且電荷儲存材料32可被視為在此部分填充容器內形成。

電荷儲存材料可包括合適用於在記憶體胞中保留電荷之任何材料。在一些實施例中，電荷儲存材料可包括、主要包含或包含合適摻雜之多晶矽，且因此可經利用以形成記憶體胞之浮動閘極。在一些實施例中，電荷儲存材料可包括電荷捕捉材料，諸如，例如，氮化矽、氮氧化矽、導電奈米點等等。

胞介電質26、28及30，與電荷儲存材料32一起，在腔24(在先前圖式中標記腔，諸如，例如，圖6)內形成記憶體胞堆疊36(僅標記其中一些)。儘管在所展示實施例中利用記憶體胞堆疊內之三個胞介電質，在其他實施例中可使用其他數目之胞介電質。通常，將存在至少一胞介電質。

參考圖15及圖16，閘極介電材料38沿著溝槽20至22之內側壁形成，且然後在此溝槽內形成通道材料40。

閘極介電材料38可包括任何合適組合物或組合物之組合；且在一些實施例中可包括、主要包含或包含二氧化矽、鋇鋁氧化物、二氧化鉛、氧化鋯等等之一或多者。在一些實施例中，閘極介電材料可包括與胞介電質26一相同組合物。例如，在一些實施例中，閘極介電質38及胞介電質26可各包括、主要包含或包含二氧化矽。

閘極介電材料38可用任何合適處理(包含，例如，ALD、CVD及PVD之一或多種)形成。閘極介電材料可形成至任何合適厚度，包括，例如，自約10 Å至約50 Å之一範圍內之一厚度。在所展示實施例中，閘極介電材料跨越藉由材料28界定之容器之開放末端延伸，且跨越電荷儲存材料32延伸。

在一些實施例中，電荷儲存材料32包括矽，且閘極介電材料38

包括藉由此熱氧化此矽形成之二氧化矽。在此實施例中，閘極介電材料可僅沿著材料32之表面，而不是完全沿著溝槽之側壁。

通道材料40可包括任何合適組合物或組合物之組合；且在一些實施例中可包括、主要包含或包含合適摻雜之矽(例如，導電摻雜之多晶矽)。通道材料可用任何合適處理(包含，例如，ALD、CVD及PVD之一或多種)形成。

通道材料40可被視為在溝槽20至22內分別形成面板50至52。此通道材料面板沿著軸5之方向延伸。在一些實施例中，通道材料面板可被視為將堆疊14分成區段。各通道面板可在通道面板之一第一側上形成一第一區段，及在通道面板之一第二側上形成一第二區段，其中第二側與第一側成相對置關係。

參考圖17及圖18，複數個第二溝槽54至57形成於堆疊14內，且如圖17之俯視圖所展示沿著軸5之方向延伸。溝槽54至57可用任何之合適處理(包含，例如，類似於參考用於製作第一溝槽20至22之圖3及圖4之上文所描述之處理)來形成。因此，在一些實施例中，一圖案化遮罩(未展示)可形成於堆疊14上方，一圖案自圖案化遮罩傳送進入堆疊14以形成溝槽54至57，且接著移除遮罩。

第二溝槽係用介電材料60填充。此介電材料可包括任何合適組合物或組合物組合；且在一些實施例中可包括、主要包含或包含二氧化矽。介電材料60可被視為在溝槽54至57內形成介電材料面板104至107。

圖17及圖18亦展示在堆疊14及通道材料40內形成之複數個第三溝槽61至78。第三溝槽沿著軸7延伸，在所展示實施例中該軸7實質上與軸5正交；其中術語「實質上正交」意指在製作及量測之合理容差內該軸5與軸7成正交。溝槽61至78可以任何之合適處理(包含，例如，類似於參考用於製作第一溝槽20至22之圖3及圖4之上文描述之處

理)來形成。因此，在一些實施例中，一圖案化遮罩(未展示)可形成於堆疊14上方，一圖案自圖案化遮罩傳送進入堆疊14及通道材料40內以形成溝槽61至78，且然後移除遮罩。

第三溝槽係以介電材料80填充。此介電材料可包括一合適之組合物或組合物的組合；且在一些實施例中可包括、主要包含或包含二氧化矽。介電材料80可被視為在溝槽61至78內形成介電材料面板108至125。在一些實施例中，介電材料面板104至107可係指第一介電材料面板，且介電材料面板108至125可係指第二介電材料面板。

在所展示實施例中，第二介電材料面板比第一介電材料面板更厚。在其他實施例中，第一介電材料面板與第二介電材料面板彼此可為相同厚度，或第一介電材料面板可比第二介電材料面板更厚。

在一些實施例中，溝槽54至57可先於溝槽61至78形成；在其他實施例中，溝槽61至78可先於溝槽54至57形成；且在又另一實施例中，溝槽61至78可與溝槽54至57同時形成。此外，在一些實施例中可先於填充溝槽61至78用介電材料60填充溝槽54至57(且在一些實施例中甚至先於形成溝槽61至78)；在其他實施例中可先於填充溝槽54至57用介電材料80填充溝槽61至78(且在一些實施例中甚至先於形成溝槽54至57)；且在一些實施例中，溝槽54至57可與填充溝槽61至78同時填充。在溝槽54至57與溝槽61至78同時填充之實施例中，所有溝槽54至57及溝槽61至78可用彼此相同材料填充。在此實施例中，填充溝槽54至57及溝槽61至78之材料可，例如，包括、主要包含或包含二氧化矽。

儘管所展示實施例具有先於形成及填充第二溝槽54至57之形成及用通道材料填充之溝槽20至22；在其他實施例中，溝槽54至57可先於形成及填充溝槽20至22形成及填充。在此其他實施例中，介電材料面板104至107可被視為先於通道材料面板50至52形成。

在一些實施例中，第一介電材料面板104至107可被視為將堆疊14區分為複數個切片150至152，其中個別切片沿著藉由軸5界定之一第一方向延伸(如圖17之俯視圖所展示)。在此實施例中，通道材料面板50至52可被視為沿著此第一方向延伸。在所展示實施例中，通道材料面板50至52近似沿著各切片150至152之中心延伸。

第二介電材料面板108至125沿著藉由軸7界定之一第二方向延伸，其中此第二方向實質上與軸5之第一方向正交。第二介電材料面板108至125與切片150至152之各者形成多對一的對應關係。第二介電材料面板108至125延伸穿過通道材料面板，但僅延伸部分跨越切片，使得具有切片之區域154(在圖17中標記，僅標記一些區域154)，其等在第二介電材料面板邊緣與第一介電材料面板54至57之間之第二介電材料面板108至125之任一邊緣上。區域154使相同位準及相同切片(例如，切片150內之頂位準)內之所有控制閘極材料能夠如一連續單元電耦合。

介電材料面板108至125將通道材料面板50至52區分為複數個段160(在圖17中標記，僅標記一些段160)。如沿著圖18之截面所展示，此段併入垂直NAND串內。各NAND串具有自堆疊14之底部垂直延伸至堆疊14之頂部之複數個記憶體胞堆疊36(僅標記其中一些)。此外，圖18之截面展示選擇閘極90至92之源極區域可耦合至垂直NAND串之底部，且選擇閘極94至96之汲極區域可耦合至垂直NAND串之頂部。所繪示實施例係許多實施例之一者，且在其他實施例中選擇閘極與串之各種關係可為倒裝，或沿著軸7交替。

記憶體胞堆疊36在控制閘極材料16與通道材料40之間，其中記憶體胞堆疊併入沿著控制閘極材料16之位準形成之記憶體胞內。在一些實施例中，記憶體胞堆疊可被視為成對地跨一通道區域。例如，圖18中兩個記憶體胞堆疊標記為胞堆疊36a及36b，其中此胞堆疊相對彼

此在通道材料面板50之相對側上。

在一些實施例中，記憶體胞堆疊36a可為一不同於記憶體胞堆疊36b之記憶體胞之串之部分，且在其他實施例中，記憶體胞堆疊36a及36b可為彼此相同之記憶體胞串之部分。例如，在一些實施例中，記憶體胞堆疊36a可為包含僅在堆疊36a正上方及正下方之記憶體胞之一記憶體胞串之部分；且記憶體胞堆疊36b可為包含僅在堆疊36b正上方及正下方之記憶體胞之一記憶體胞串之部分。因此，圖18中展示之通道材料面板50之部分將兩個不同記憶體胞串(例如，NAND串)彼此分離，但對於此記憶體胞串之兩者係一普通通道。在此實施例之所展示態樣中，在圖18之截面中存在48個別記憶體胞堆疊36，其中通道材料面板50至52之所展示部分之各者將一組八個記憶體胞堆疊與另一組八個記憶體胞堆疊分離(例如，面板50將包括記憶體胞堆疊36a之組與包括記憶體胞堆疊36b之組分離)，但對兩組係一普通通道。

如另一實例，在一些實施例中，在一普通位準沿著一通道之記憶體胞堆疊36電彼此電耦合，且藉此配對以自兩個相鄰的記憶體胞堆疊形成一單一記憶體胞(例如，一NAND記憶體胞)。因此，在一些實施例中，記憶體胞堆疊36a及36b可為一單一記憶體胞之部分。此等實施例可包括將在一通道材料面板之一側上之電荷儲存材料32與在通道材料面板之一相對側上之電荷儲存材料歐姆連接；諸如，例如，將記憶體堆疊36a之電荷儲存材料與記憶體堆疊36b之電荷儲存材料歐姆連接。

不管相鄰的胞堆疊是否彼此耦合以形成一單一記憶體胞，上文所描述之記憶體胞之電荷儲存材料32可包括浮動閘極或電荷捕捉材料；且因此記憶體胞可(例如)對應於SONOS組態、TaNOS組態等等。

參考圖19，構造10之各種結構可藉由形成相鄰的選擇閘極94至96之導電觸點130併入一積體電路以將此選擇閘極連接至其他電路(未

展示)。此其他電路可利用用於自NAND陣列讀取資訊及將資訊寫入NAND陣列。可形成其他觸點(未展示)以將圖19之其他結構組件與其他積體電路(未展示)電耦合。例如，與切片150至152(圖17及圖18)內之NAND串之各種位準相關之控制閘極材料16可電耦合至其他電路以使切片150至152之各者內之各種記憶體胞能夠程式化及/或區塊擦除；且選擇閘極90至92可電耦合至其他電路(未展示)。

上文所討論之記憶體可併入電子系統。此電子系統可在(例如)記憶體模組、器件驅動器、電力模組、通信數據機、處理器模組及特定應用模組中使用且可包含多層、多片模組。電子系統可為廣泛範圍系統之任一者，諸如，例如，計時器、電視、行動電話、個人電腦、汽車、工業控制系統、飛機等等。

圖式中之各種實施例之特定方向僅為繪示目的，且在一些申請案中實施例可相對於所展示方向旋轉。不管結構係在圖式之特定方向或是相對於此方向旋轉，本文所提供之描述，及以下申請專利範圍，關於具有各種特徵之間之所描述關係之任何結構。

隨附繪示之截面圖僅展示截面之平面內之特徵，且為了簡化圖式未展示截面之平面後之材料。

當一結構如在另一結構「上」或「抵靠」另一結構係指在上方，其可直接在其他結構上或可存在中介結構。相比之下，當一結構係指為在另一結構之「直接上」或「直接抵靠」另一結構，不存在中介結構。當一結構係指為「連接」或「耦合」至另一結構，其可直接連接或耦合至其他結構，或可存在中介結構。相比之下，當一結構係指為「直接連接」或「直接耦合」至另一結構，不存在中介結構。

一些實施例包含包括一堆疊之一半導體構造，該堆疊含有交替位準之控制閘極材料及中介介電材料。一通道材料面板穿過堆疊沿著一第一方向延伸。通道材料面板將堆疊區分為在通道材料面板之一第

一側上之一第一區段及在通道材料面板之一第二側上之一第二區段。第二側與第一側成相對置關係。記憶體胞堆疊在通道材料面板與在通道材料面板之兩側上之控制閘極材料之間。記憶體胞堆疊包括形如具有指向通道材料面板之開放末端之容器之胞介電材料，且包括容器內之電荷儲存材料。電絕緣面板延伸穿過通道材料面板及堆疊，且將通道材料面板再區分為複數個段。通道材料面板沿著一第一方向延伸，且電絕緣面板沿著實質上與第一方向正交之一第二方向延伸。

一些實施例包含包括一堆疊之一半導體構造，該堆疊含有交替控制閘極材料及中介介電材料。第一介電材料面板延伸穿過堆疊。第一介電材料面板將堆疊區分為沿著一第一方向延伸之複數個切片。通道材料面板沿著第一方向延伸。個別通道材料面板近似沿著各切片之一中心延伸。複數個第二介電材料面板穿過堆疊且沿著實質上與第一方向正交之一第二方向延伸。第二介電材料面板與各切片係形成多對一的對應關係，延伸穿過通道材料面板，且延伸僅部分跨越切片。記憶體胞堆疊在通道材料面板與控制閘極材料之間。記憶體胞堆疊包括形如具有指向通道材料面板之開放末端之容器之胞介電材料，且包括容器內之電荷儲存材料。

一些實施例包含形成一半導體構造之一方法。形成一堆疊，其中該堆疊包括交替控制閘極材料及中介介電材料。第一溝槽形成於堆疊內，且此第一溝槽沿著一第一方向延伸。控制閘極材料沿著第一溝槽之內壁凹陷以沿著內壁形成複數個腔。腔藉由中介介電材料定界於頂部及底部，且藉由控制閘極材料定界於一側。記憶體胞堆疊形成於腔內。記憶體胞堆疊包括形如容器且具有指向背離藉由控制閘極材料定界之腔之側之開放末端之胞介電材料。記憶體胞堆疊亦包括容器內之電荷儲存材料。在形成記憶體胞堆疊之後，在第一溝槽內形成通道材料面板。通道材料面板沿著第一溝槽之第一方向延伸。第二溝槽形

成於堆疊內且沿著第一方向延伸。第一介電材料面板在第二溝槽內形成。第三溝槽在堆疊及通道材料面板內形成，其中該第三溝槽沿著實質上與第一方向正交之一第二方向延伸。第二介電材料面板在第三溝槽內形成。

**【符號說明】**

5	軸
7	軸
10	半導體構造/構造
12	基底
14	堆疊
16	控制閘極材料/材料
18	中介介電材料/介電材料/材料
20	第一溝槽/溝槽
21	第一溝槽/溝槽
22	第一溝槽/溝槽
23	內壁
24	腔
25	頂部
26	胞介電材料/胞介電質/第一胞介電材料/第一胞介電質
27	底部
28	第二胞介電材料/第二胞介電質/材料/胞介電質
29	側
30	第三胞介電質/材料/胞介電質
31	表面
32	電荷儲存材料/材料/記憶體胞之電荷儲存材料
36	記憶體胞堆疊

- 36a 胞堆疊/記憶體胞堆疊/堆疊/記憶體堆疊
- 36b 胞堆疊/記憶體胞堆疊/堆疊/記憶體堆疊
- 38 閘極介電材料/閘極介電質
- 40 通道材料
- 50 面板/通道材料面板
- 51 面板/通道材料面板
- 52 面板/通道材料面板
- 54 第二溝槽/溝槽/第一介電材料面板
- 55 第二溝槽/溝槽/第一介電材料面板
- 56 第二溝槽/溝槽/第一介電材料面板
- 57 第二溝槽/溝槽/第一介電材料面板
- 60 介電材料
- 61 第三溝槽/溝槽
- 62 第三溝槽/溝槽
- 63 第三溝槽/溝槽
- 64 第三溝槽/溝槽
- 65 第三溝槽/溝槽
- 66 第三溝槽/溝槽
- 67 第三溝槽/溝槽
- 68 第三溝槽/溝槽
- 69 第三溝槽/溝槽
- 70 第三溝槽/溝槽
- 71 第三溝槽/溝槽
- 72 第三溝槽/溝槽
- 73 第三溝槽/溝槽
- 74 第三溝槽/溝槽

75	第三溝槽/溝槽
76	第三溝槽/溝槽
77	第三溝槽/溝槽
78	第三溝槽/溝槽
80	介電材料
90	選擇閘極
91	選擇閘極
92	選擇閘極
94	選擇閘極
95	選擇閘極
96	選擇閘極
104	介電材料面板/第一介電材料面板
105	介電材料面板/第一介電材料面板
106	介電材料面板/第一介電材料面板
107	介電材料面板/第一介電材料面板
108	介電材料面板/第二介電材料面板
109	介電材料面板/第二介電材料面板
110	介電材料面板/第二介電材料面板
111	介電材料面板/第二介電材料面板
112	介電材料面板/第二介電材料面板
113	介電材料面板/第二介電材料面板
114	介電材料面板/第二介電材料面板
115	介電材料面板/第二介電材料面板
116	介電材料面板/第二介電材料面板
117	介電材料面板/第二介電材料面板
118	介電材料面板/第二介電材料面板

- 119 介電材料面板/第二介電材料面板
- 120 介電材料面板/第二介電材料面板
- 121 介電材料面板/第二介電材料面板
- 122 介電材料面板/第二介電材料面板
- 123 介電材料面板/第二介電材料面板
- 124 介電材料面板/第二介電材料面板
- 125 介電材料面板/第二介電材料面板
- 130 導電觸點
- 150 切片
- 151 切片
- 152 切片
- 154 切片之區域/區域
- 160 段

## 申請專利範圍

1. 一種半導體構造，其包括：

一堆疊，其包括交替位準之控制閘極材料及中介介電材料；

一通道材料面板，其穿過該堆疊且沿著一第一方向延伸；該通道材料面板將該堆疊區分為在該通道材料面板之一第一側之一第一區段及在該通道材料面板之一第二側之一第二區段；該第二側與該第一側成相對置關係；

記憶體胞堆疊，其等在該通道材料面板之兩側之該通道材料面板與該控制閘極材料之間；該記憶體胞堆疊包括形如具有指向該通道材料面板之開放末端之容器的胞介電材料，且包括該容器內之電荷儲存材料；及

複數個電絕緣面板，其等延伸穿過該通道材料面板及該堆疊，且將該通道材料面板再區分為複數個段；該通道材料面板沿著一第一方向延伸，且該電絕緣面板沿著實質上與該第一方向正交之一第二方向延伸。

2. 如請求項1之半導體構造，其中該記憶體胞堆疊併入兩串記憶體胞，該兩串記憶體胞彼此垂直地延伸穿過在該通道材料面板之相對側上之該堆疊。

3. 如請求項1之半導體構造，其中沿著該通道面板之該第一側之電荷儲存材料與沿著該通道面板之該第二側之電荷儲存材料歐姆耦合，使得在該通道面板之相對側上之記憶體胞堆疊併入垂直延伸穿過該堆疊之一單一串記憶體胞內。

4. 如請求項1之半導體構造，其中該胞介電材料係第二胞介電材料，且其中該記憶體胞堆疊包括：

沿著該控制閘極材料之第一胞介電材料；

沿著該第一胞介電材料之該第二胞介電質；及

跨越該容器開放末端且跨越該電荷儲存材料之閘極介電材料。

5. 如請求項1之半導體構造，其中該胞介電材料係第二胞介電材料，且其中該記憶體胞堆疊包括：

沿著該控制閘極材料之第一胞介電材料；

沿著該第一胞介電材料之該第二胞介電質；

在該容器內且部分填充該容器之第三胞介電材料；

在該部分填充容器內之該電荷儲存材料；及

跨越該容器開放末端且跨越該電荷儲存材料之閘極介電材料。

6. 如請求項1之半導體構造，其中該電荷儲存材料係浮動閘極材料。

7. 如請求項1之半導體構造，其中該電荷儲存材料係電荷捕捉材料。

8. 如請求項1之半導體構造，其中該控制閘極材料包括導電摻雜之矽。

9. 如請求項8之半導體構造，其中該中介介電材料包括二氧化矽。

10. 一種半導體構造，其包括：

一堆疊，其包括交替控制閘極材料及中介介電材料；

延伸穿過該堆疊之第一介電材料面板；將該堆疊區分為複數個切片之該第一介電材料面板；沿著一第一方向延伸之該切片；

沿著該第一方向延伸之通道材料面板；大致沿著各切片之一中心延伸之個別通道材料面板；

穿過該堆疊且沿著實質上與該第一方向正交之一第二方向延

伸之複數個第二介電材料面板；該第二介電材料面板與各切片係形成多對一的對應關係，延伸穿過該通道材料面板，且延伸僅部分跨越該切片；及

在該通道材料面板與該控制閘極材料之間之記憶體胞堆疊；該記憶體胞堆疊包括形如具有指向該通道材料面板之開放末端之容器的胞介電材料，且包括在該容器內之電荷儲存材料。

11. 如請求項10之半導體構造，其中該胞介電材料係第二胞介電材料，且其中該記憶體胞堆疊包括：

沿著該控制閘極材料之第一胞介電材料；

沿著該第一胞介電材料之該第二胞介電質；

跨越該容器開放末端且跨越該電荷儲存材料之閘極介電材料；及

其中該第一胞介電材料與該閘極介電材料係彼此為一相同組合物。

12. 如請求項11之半導體構造，其中該第一胞介電材料及該閘極介電材料包括二氧化矽。

13. 如請求項12之半導體構造，其中該第二介電材料包括氮化矽。

14. 如請求項10之半導體構造，其中該胞介電材料係第二胞介電材料，且其中該記憶體胞堆疊包括：

沿著該控制閘極材料之第一胞介電材料；

沿著該第一胞介電材料之該第二胞介電質；

在該容器內且部分填充該容器之第三胞介電材料；

在該部分填充容器內之該電荷儲存材料；

跨越該容器開放末端且跨越該電荷儲存材料之閘極介電材料；及

其中該第一胞介電材料與該第三胞介電材料彼此係一相同組

合物。

15. 如請求項14之半導體構造，其中該第一胞介電材料及該第三胞介電材料包括二氧化矽。
16. 如請求項15之半導體構造，其中該第二介電材料包括氮化矽。
17. 如請求項10之半導體構造，其中該電荷儲存材料係浮動閘極材料。
18. 如請求項10之半導體構造，其中該電荷儲存材料係電荷捕捉材料。
19. 如請求項10之半導體構造，其中該通道材料面板包括導電摻雜之矽。
20. 如請求項10之半導體構造，其中該第一介電材料面板與該第二介電材料面板彼此係一相同組合物。
21. 如請求項20之半導體構造，其中該第一介電材料面板及該第二介電材料面板包括二氧化矽。
22. 一種形成一半導體構造之方法，其包括：

形成包括交替之控制閘極材料及中介介電材料之一堆疊；

在該堆疊中形成複數個第一溝槽且沿著一第一方向延伸；

使該控制閘極材料沿著該第一溝槽之內壁凹陷，以沿著該內壁形成複數個腔，該腔藉由該中介介電材料定界於頂部及底部，且藉由該控制閘極材料定界於一側；

在該腔內形成記憶體胞堆疊，該記憶體胞堆疊包括形如容器且具有指向背離藉由該控制閘極材料定界之該腔之該側之開放末端的胞介電材料；該記憶體胞堆疊亦包括在該容器內之電荷儲存材料；

形成該記憶體胞堆疊後，在該等第一溝槽內形成通道材料面板；該等通道材料面板沿著該等第一溝槽之該第一方向延伸；

在該堆疊內形成複數個第二溝槽且沿著該第一方向延伸；

在該等第二溝槽內形成第一介電材料面板；

在該堆疊及通道材料面板內形成複數個第三溝槽，且沿著實質上與該第一方向正交之一第二方向延伸；及

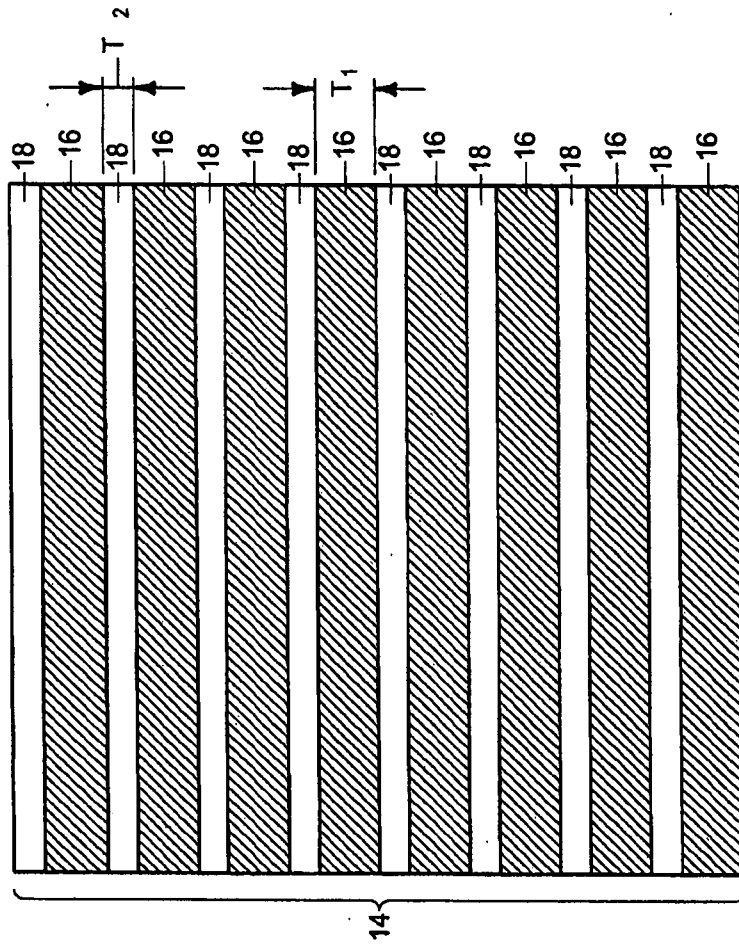
在該等第三溝槽內形成複數個第二介電材料面板。

23. 如請求項22之方法，其中該胞介電材料係第二胞介電材料，且其中該記憶體胞堆疊包括直接抵靠該控制閘極材料之第一胞介電材料，且包括與該第一胞介電材料相鄰之該第二胞介電材料。
24. 如請求項22之方法，其中該等第一介電材料面板係在該等通道材料面板之後形成。
25. 如請求項22之方法，其中該等第一介電材料面板係在該等通道材料面板之前形成。
26. 如請求項22之方法，其中該等第二介電材料面板係在該等第一介電材料面板之後形成。
27. 如請求項26之方法，其中相鄰的第一介電材料面板係以一距離彼此間隔開，且其中該等第二介電材料面板僅延伸該距離之一部分。
28. 如請求項22之方法，其中該等第二介電材料面板係在該等第一介電材料面板之前形成。
29. 如請求項22之方法，其中該等第二介電材料面板係與該等第一介電材料面板同時形成。
30. 如請求項22之方法，其中該電荷儲存材料係浮動閘極材料。
31. 如請求項22之方法，其中該電荷儲存材料係電荷捕捉材料。
32. 如請求項22之方法，其中該等第三溝槽係與該等第二溝槽同時形成。

33. 如請求項22之方法，其中該等第三溝槽係在該等第二溝槽之前形成。
34. 如請求項22之方法，其中該等第三溝槽係在該等第二溝槽之後形成。

圖式

10



10

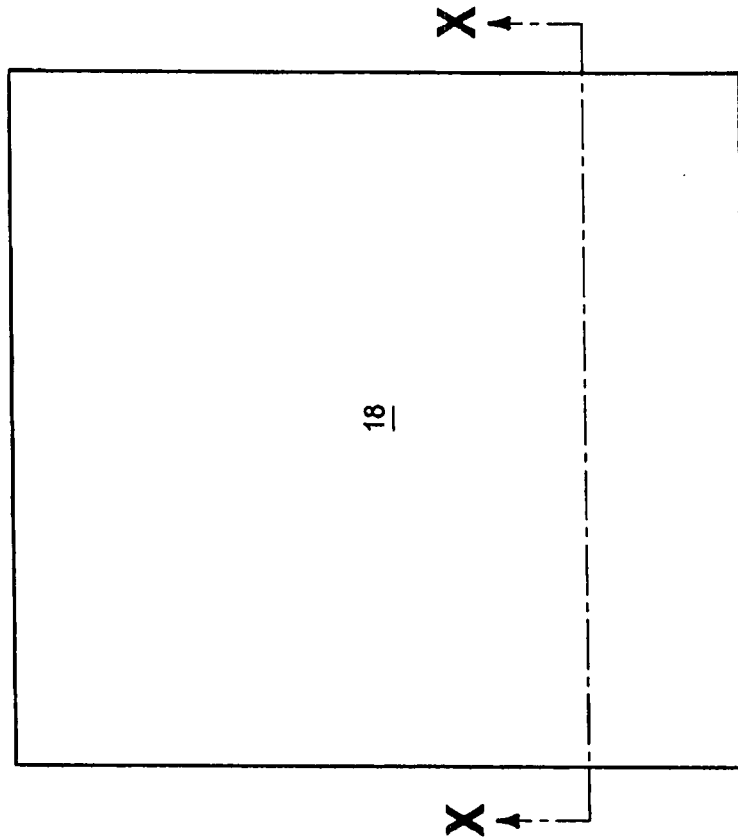


圖 1

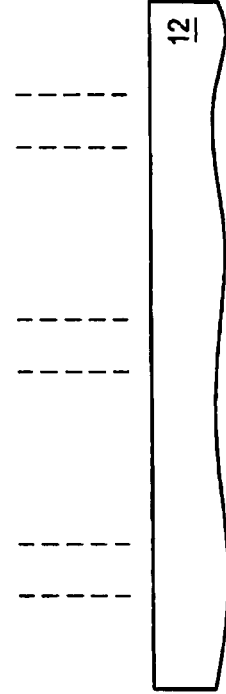


圖 2

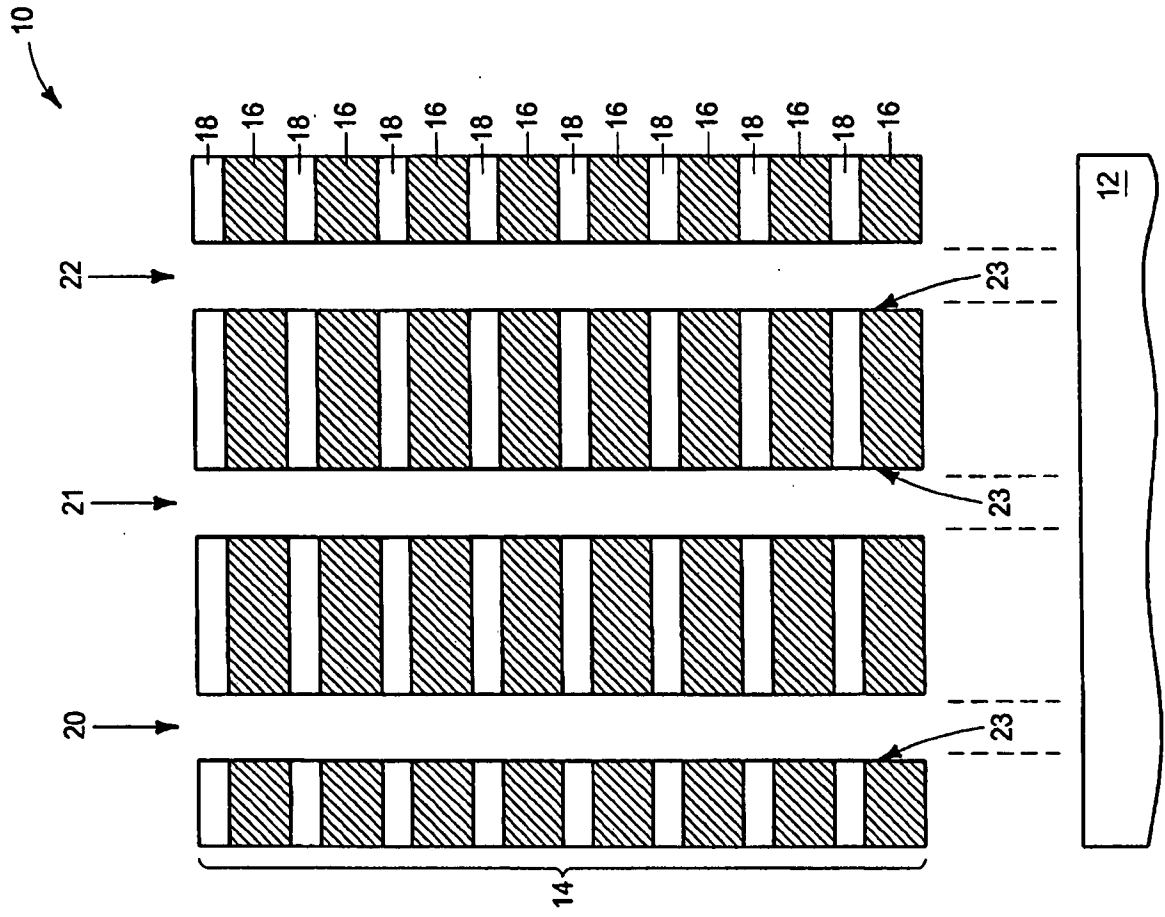


圖 4

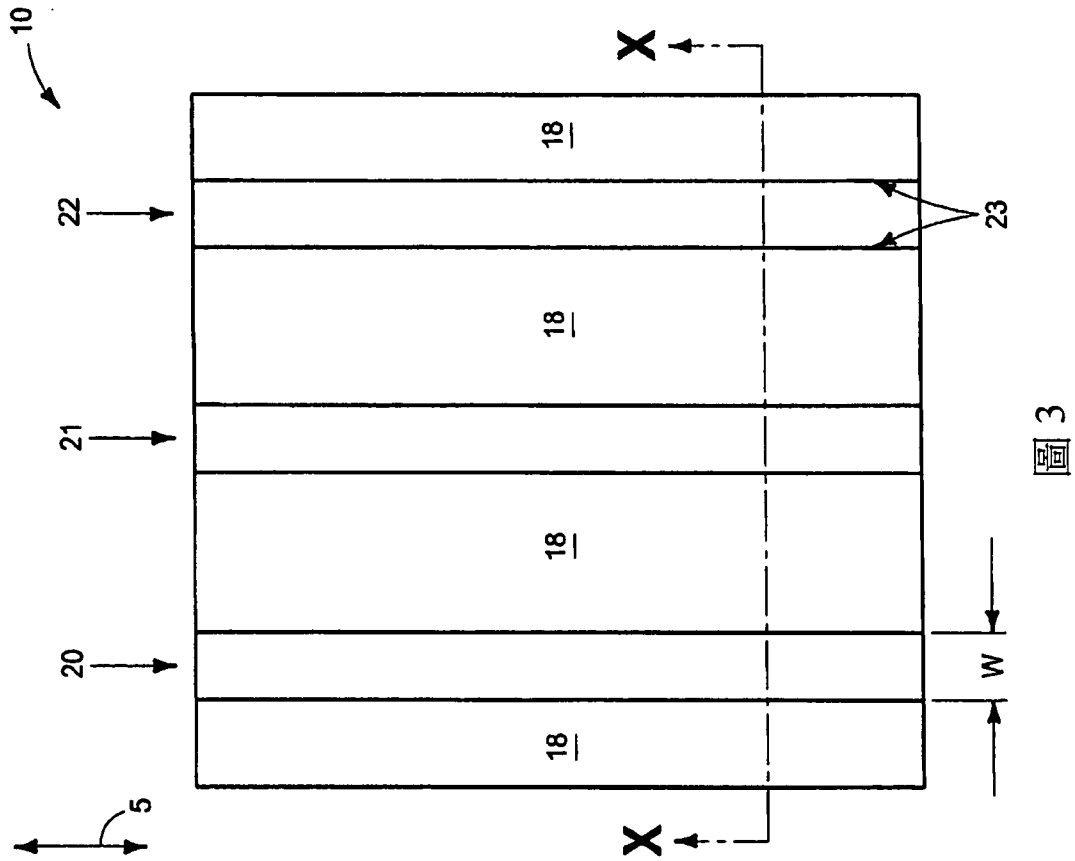


圖 3

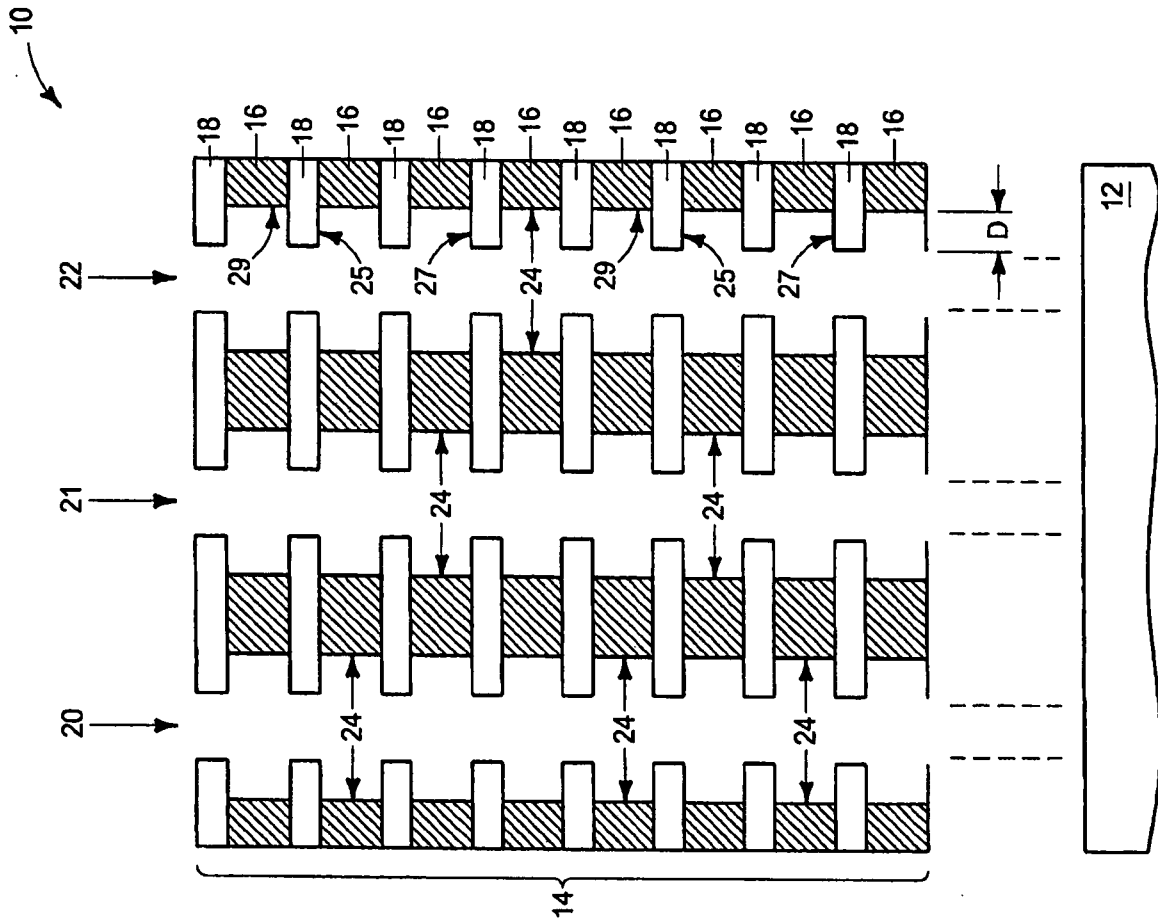


圖 6

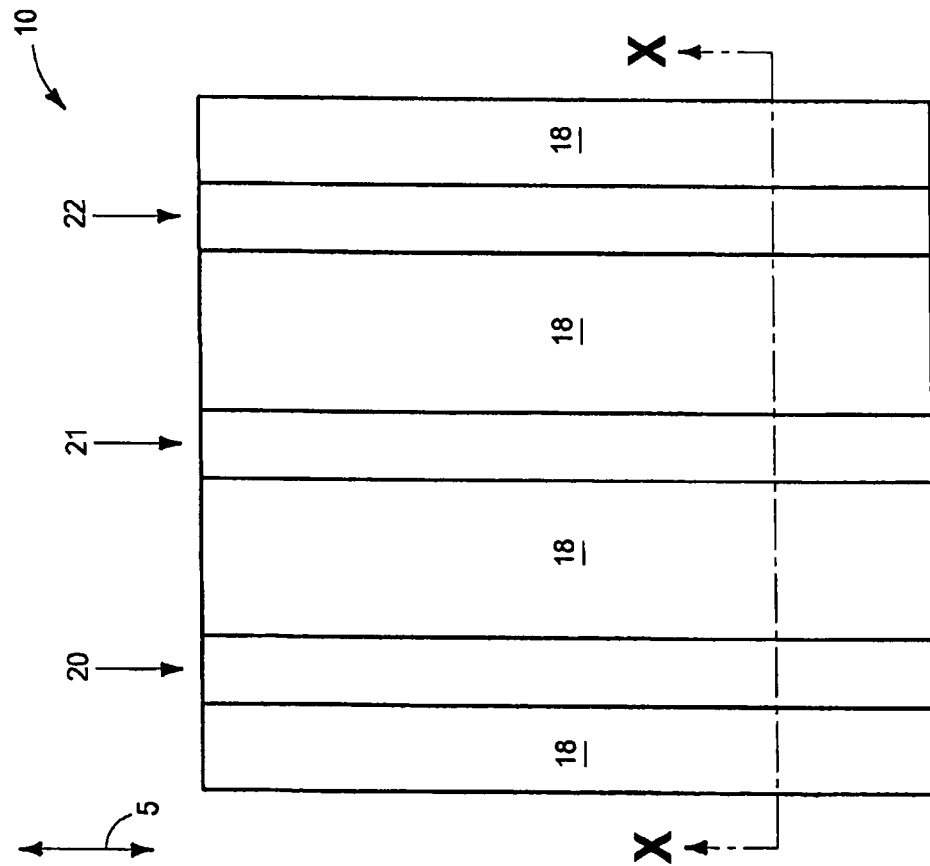


圖 5

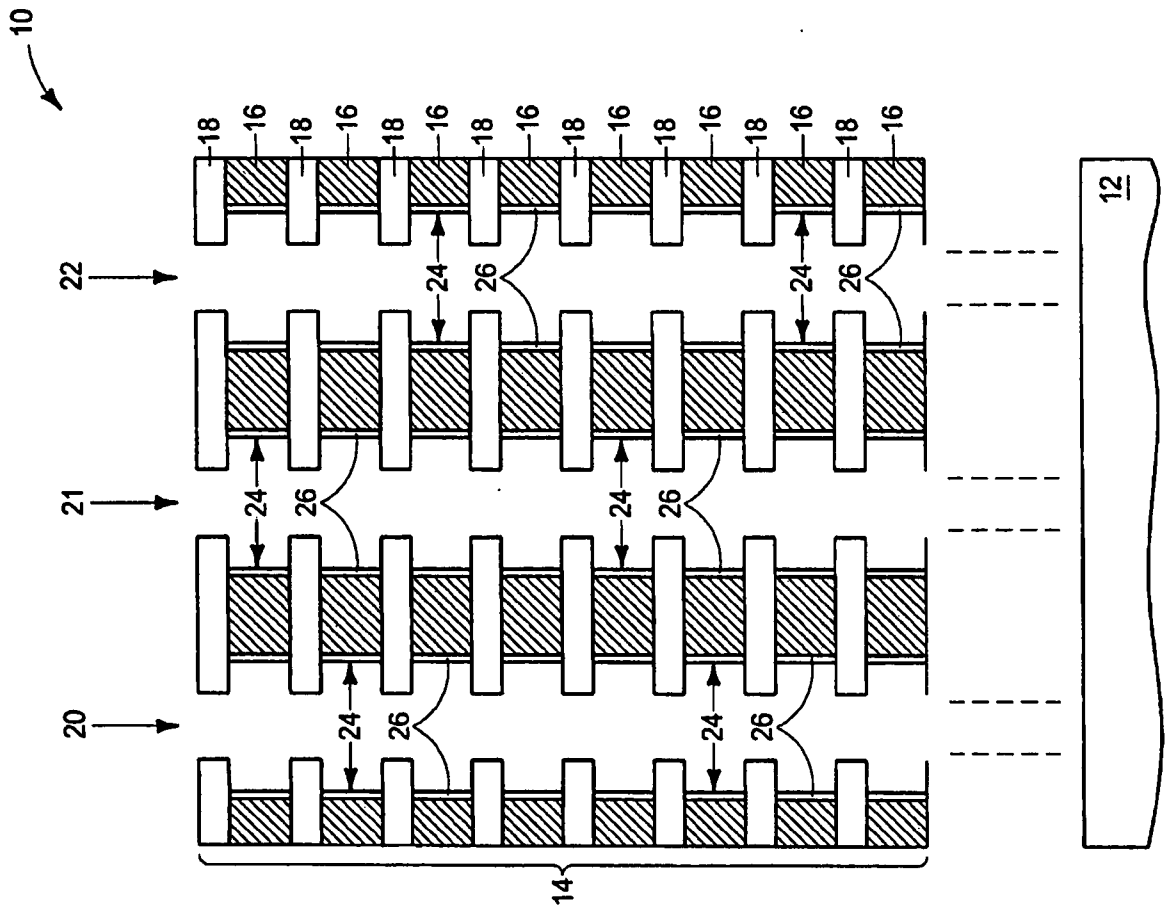


圖 7

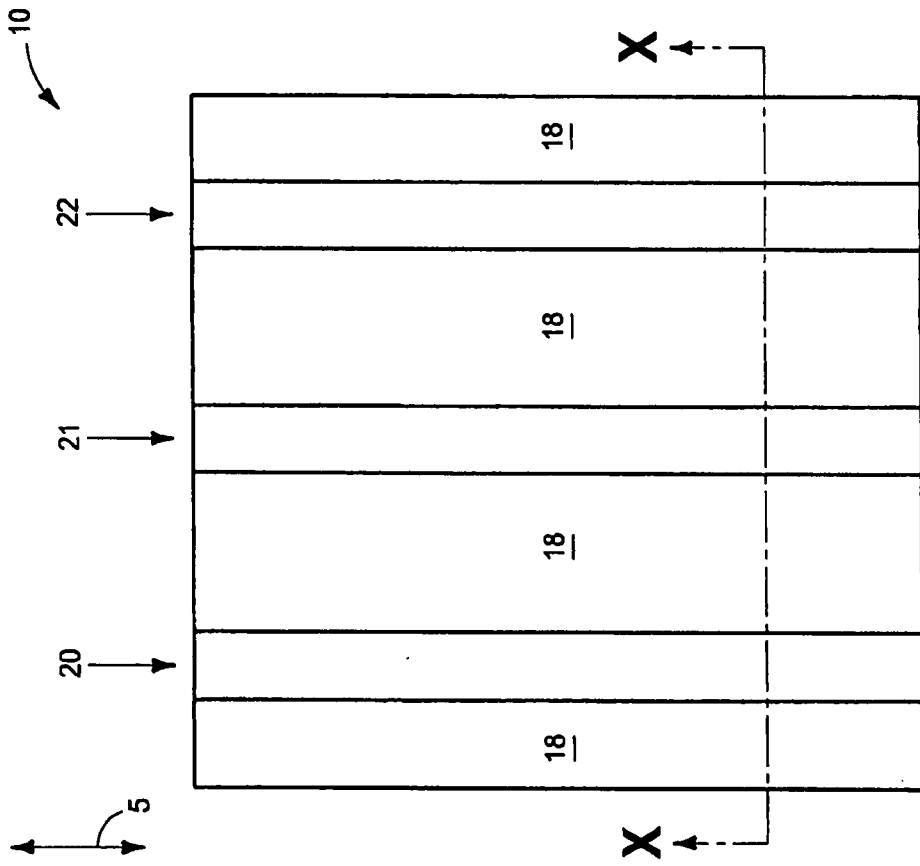


圖 8

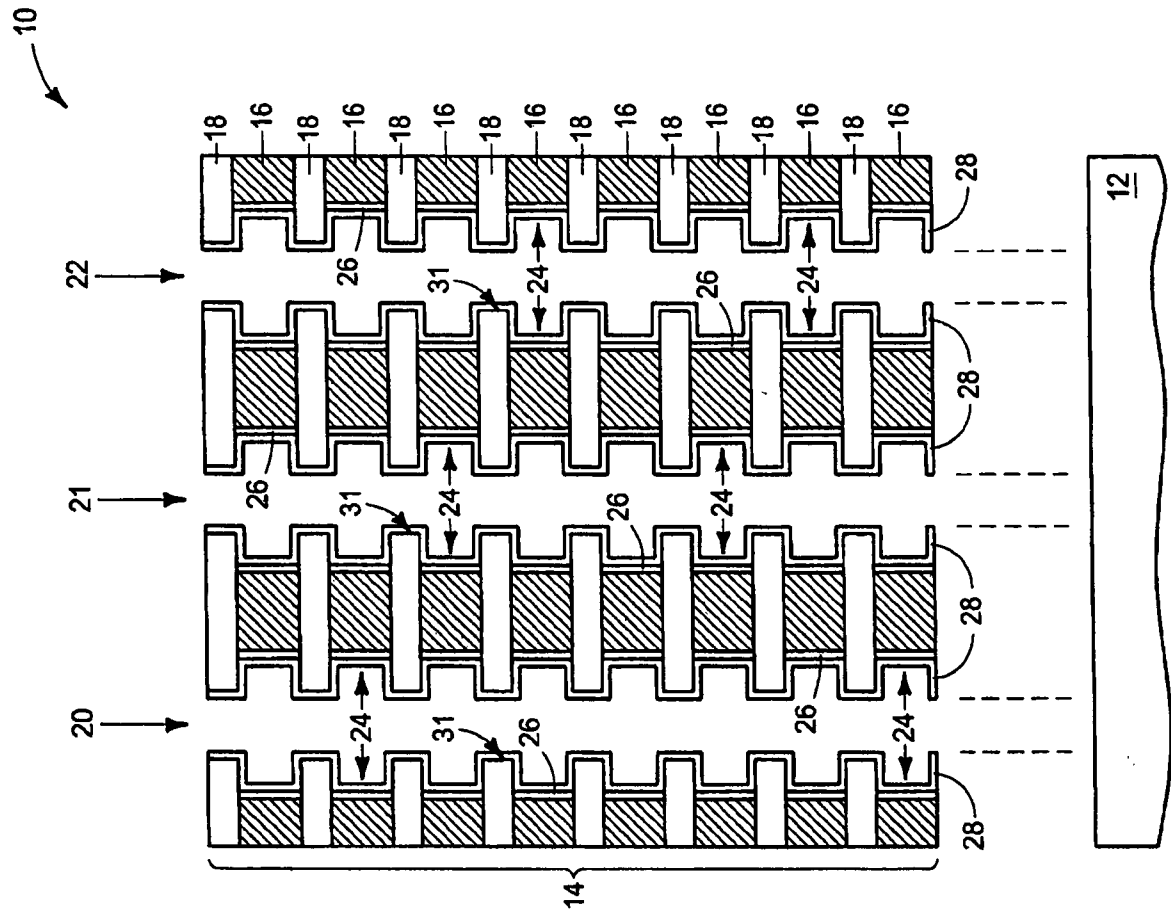


圖 10

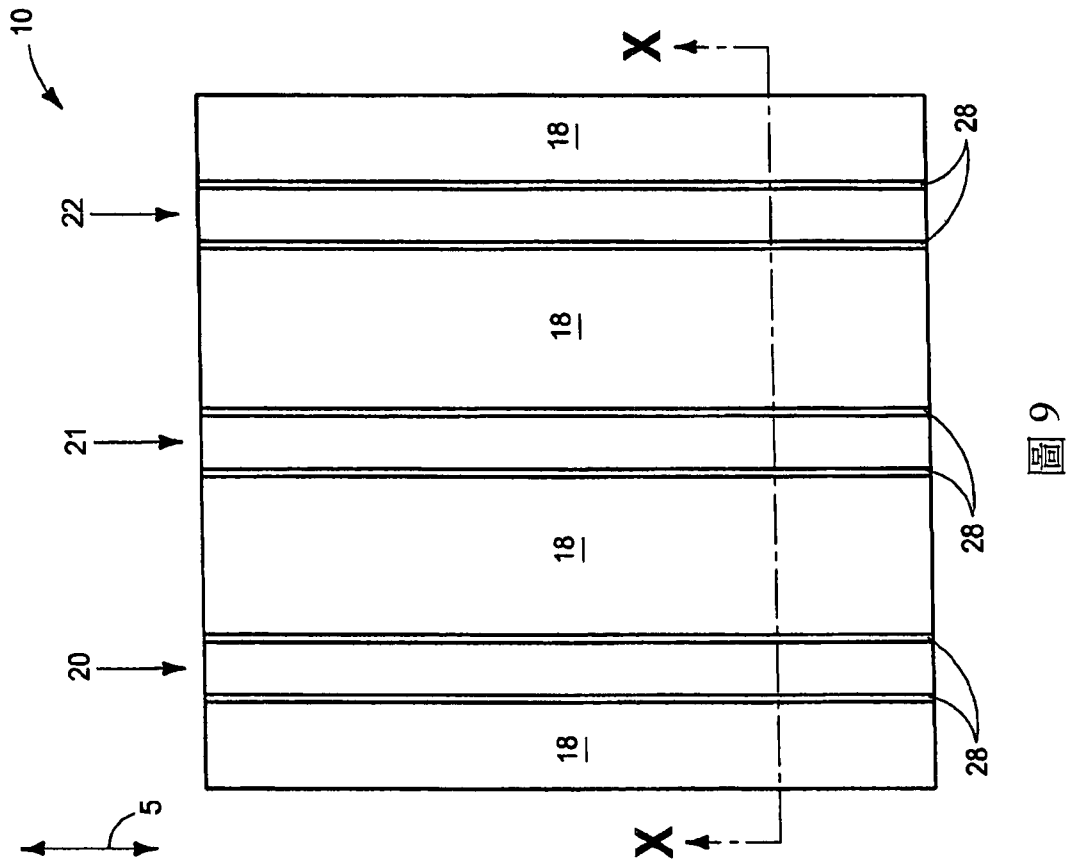


圖 9

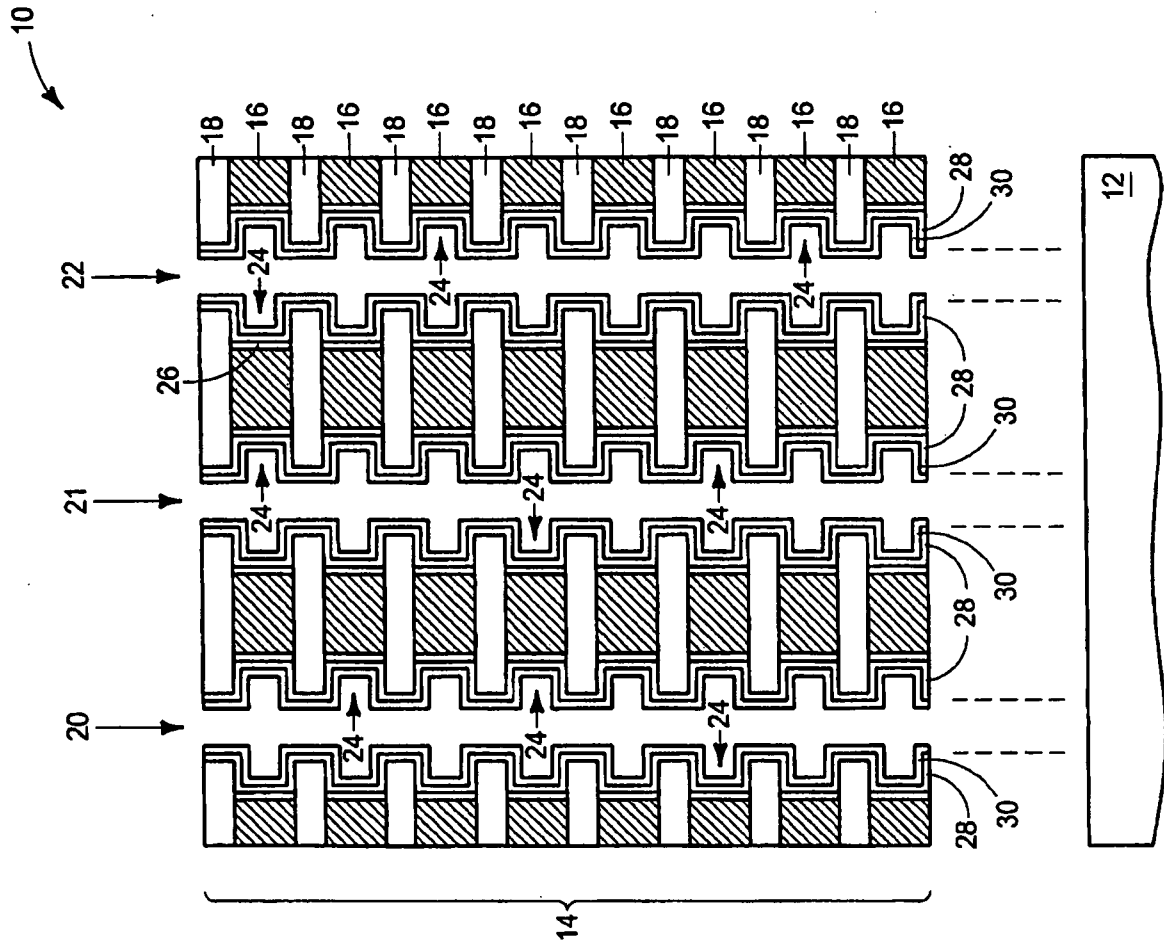


圖 12

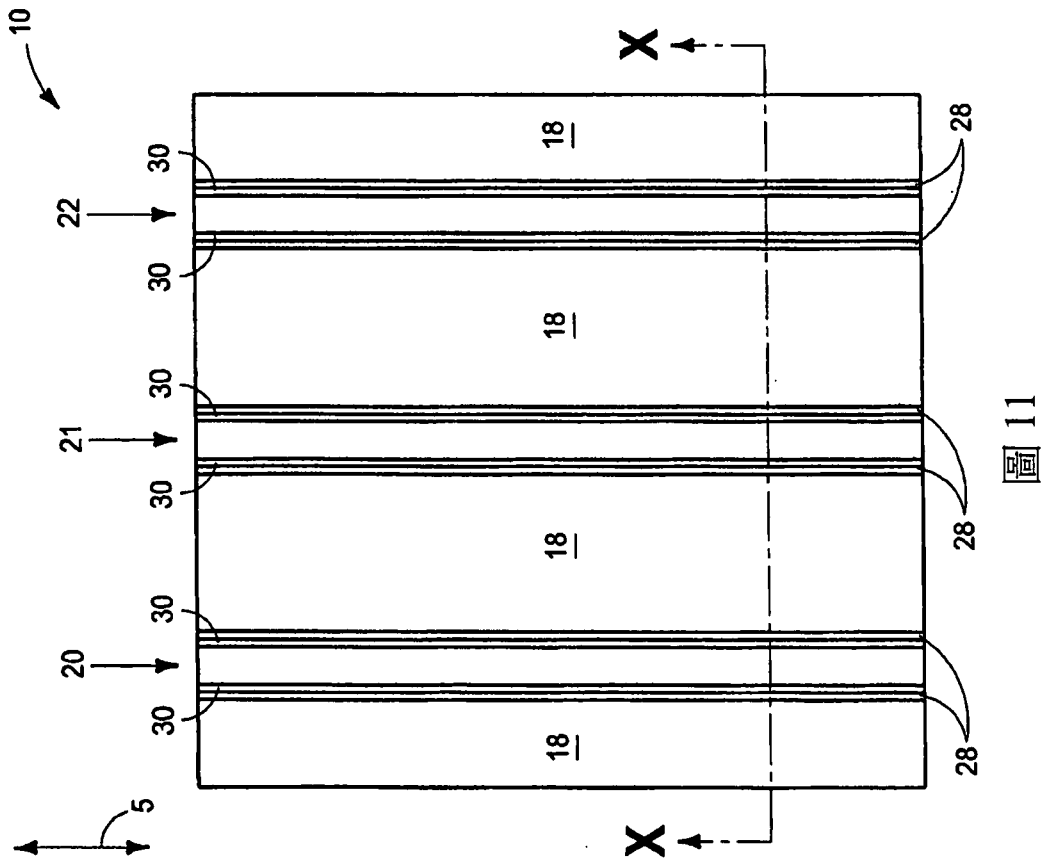


圖 11

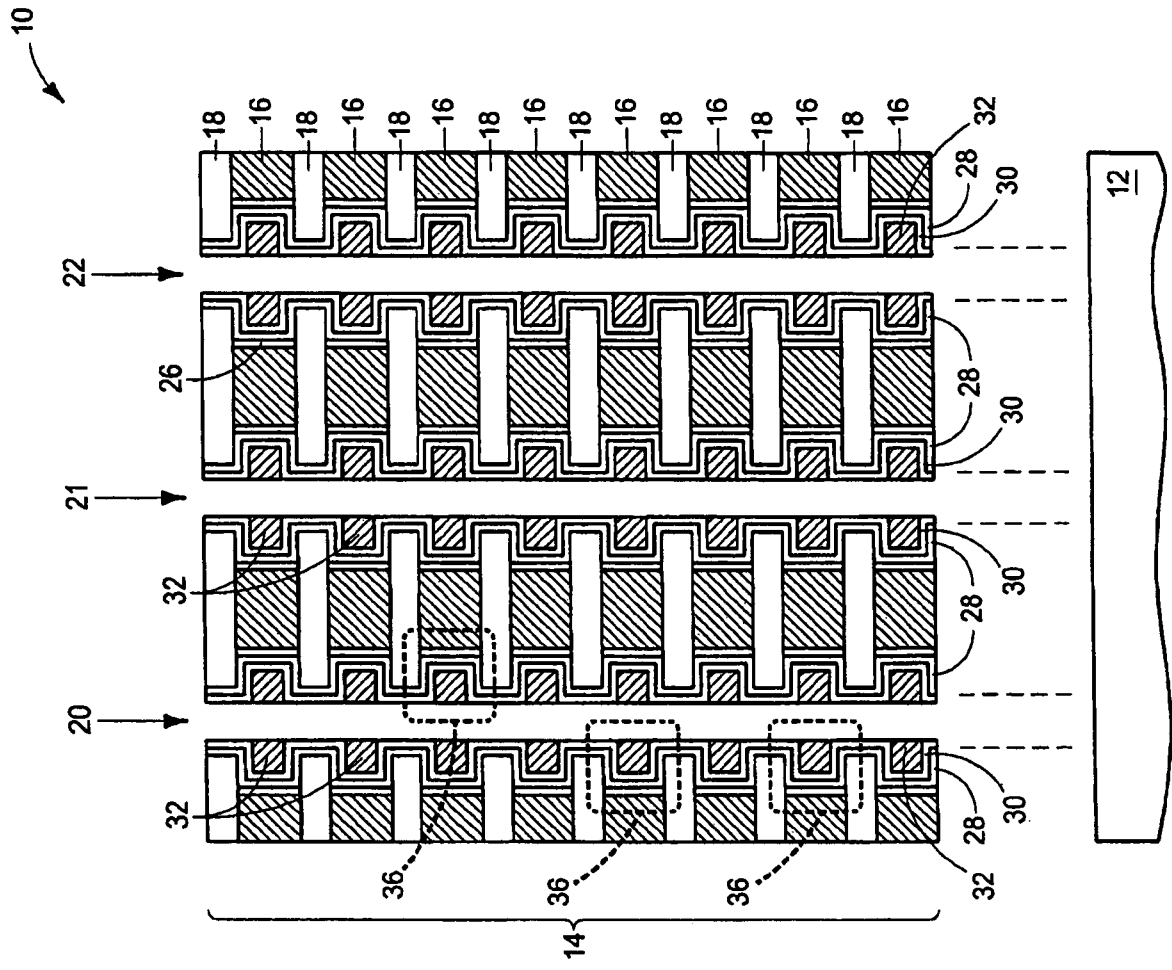


圖 14

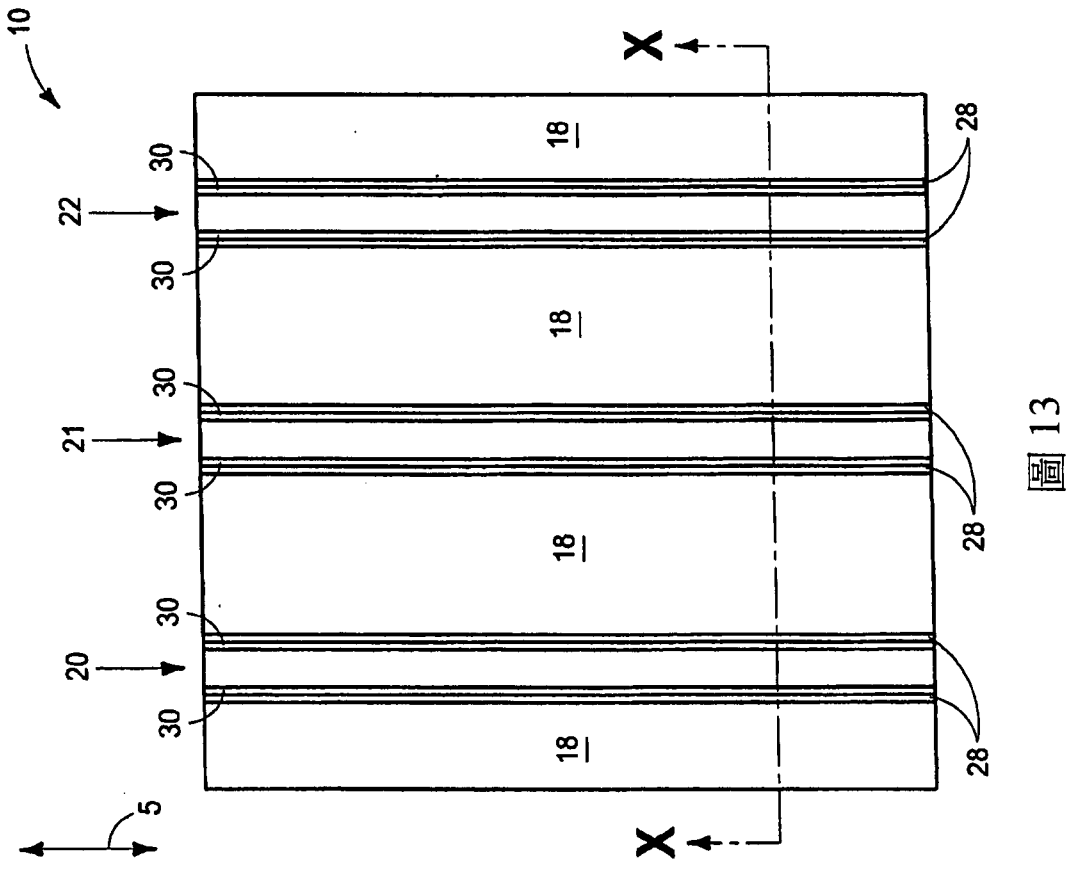


圖 13

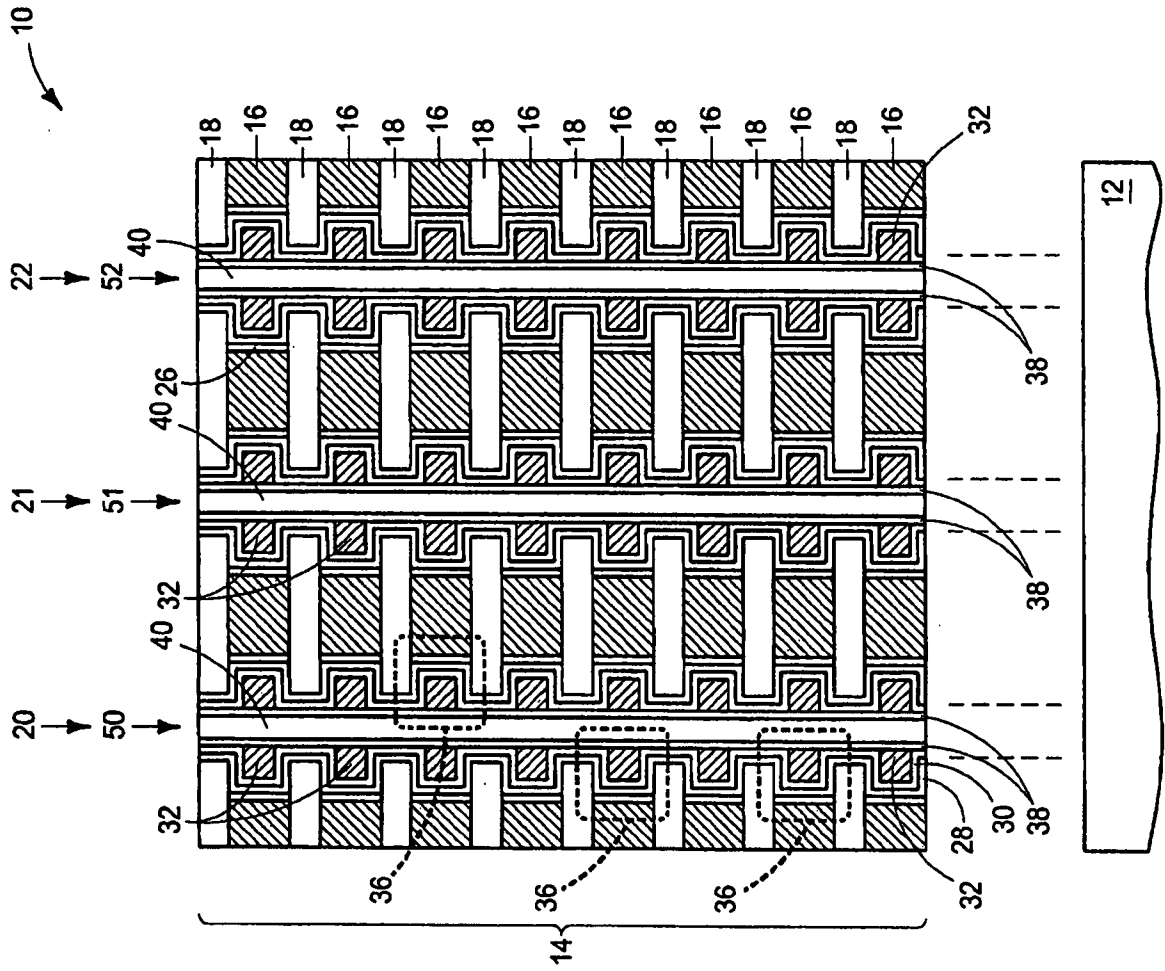


圖 15

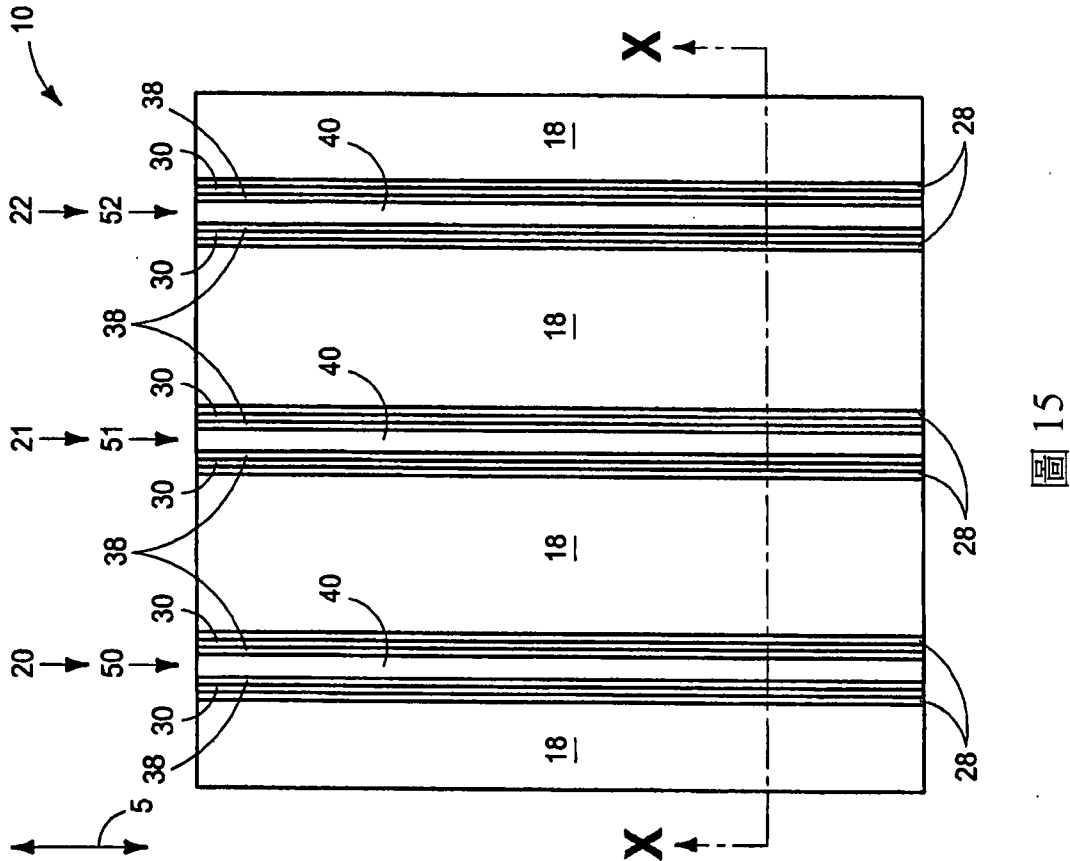


圖 16

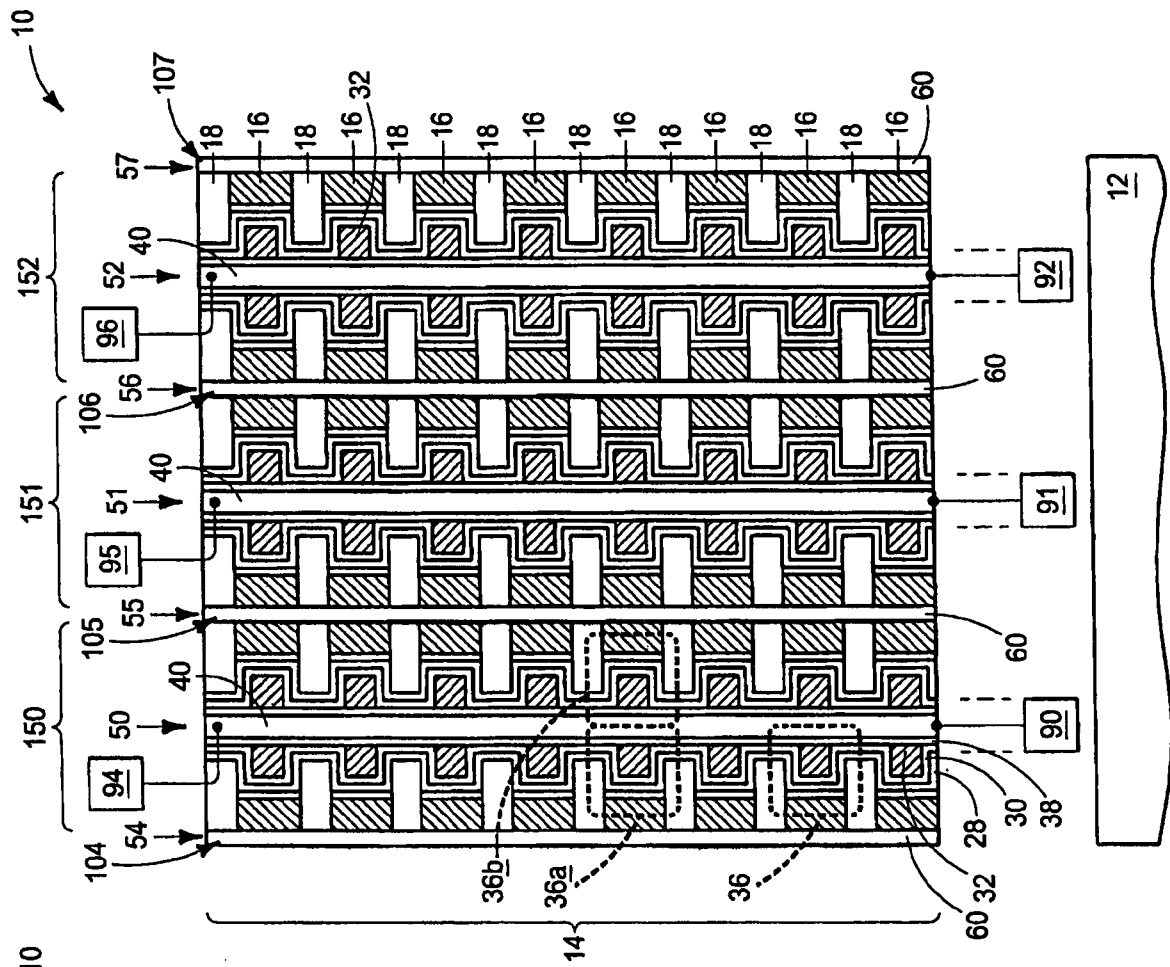


圖 17

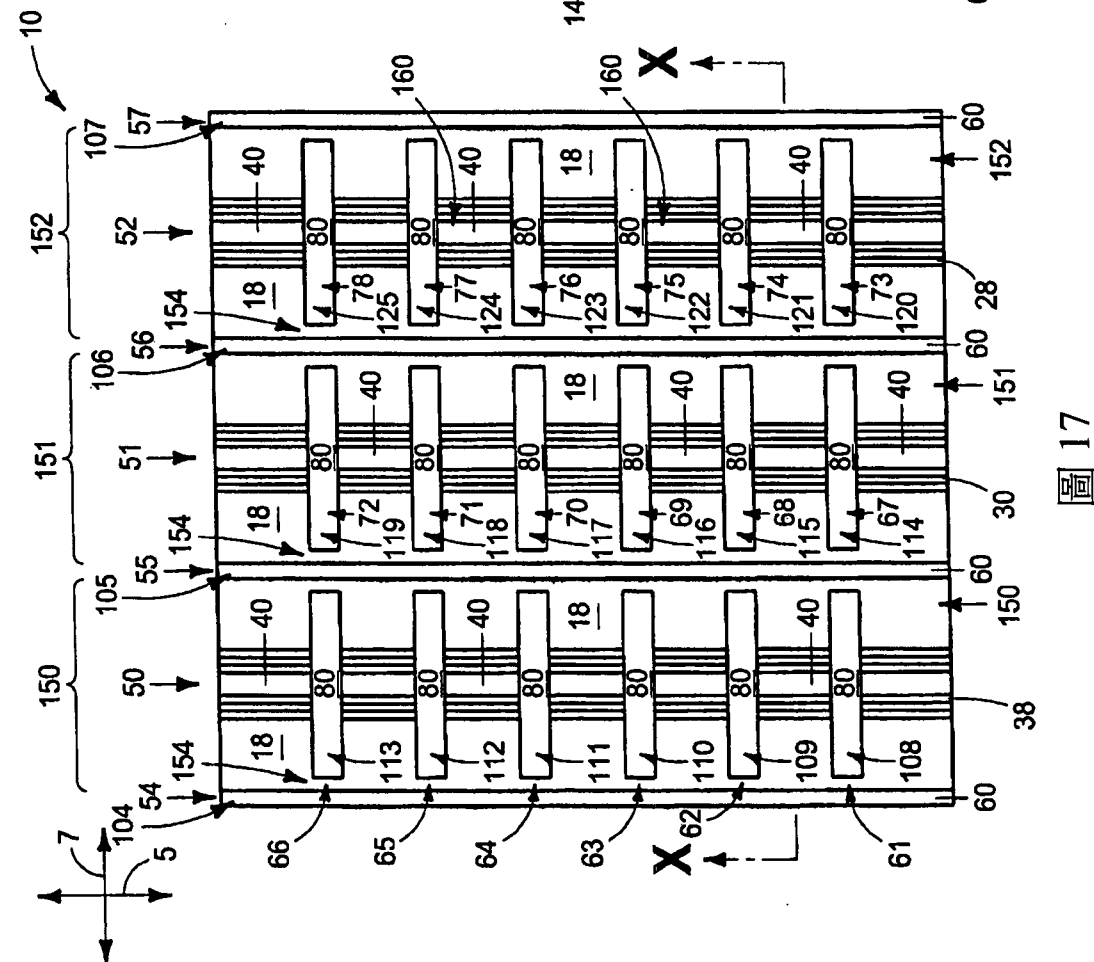


圖 18

10

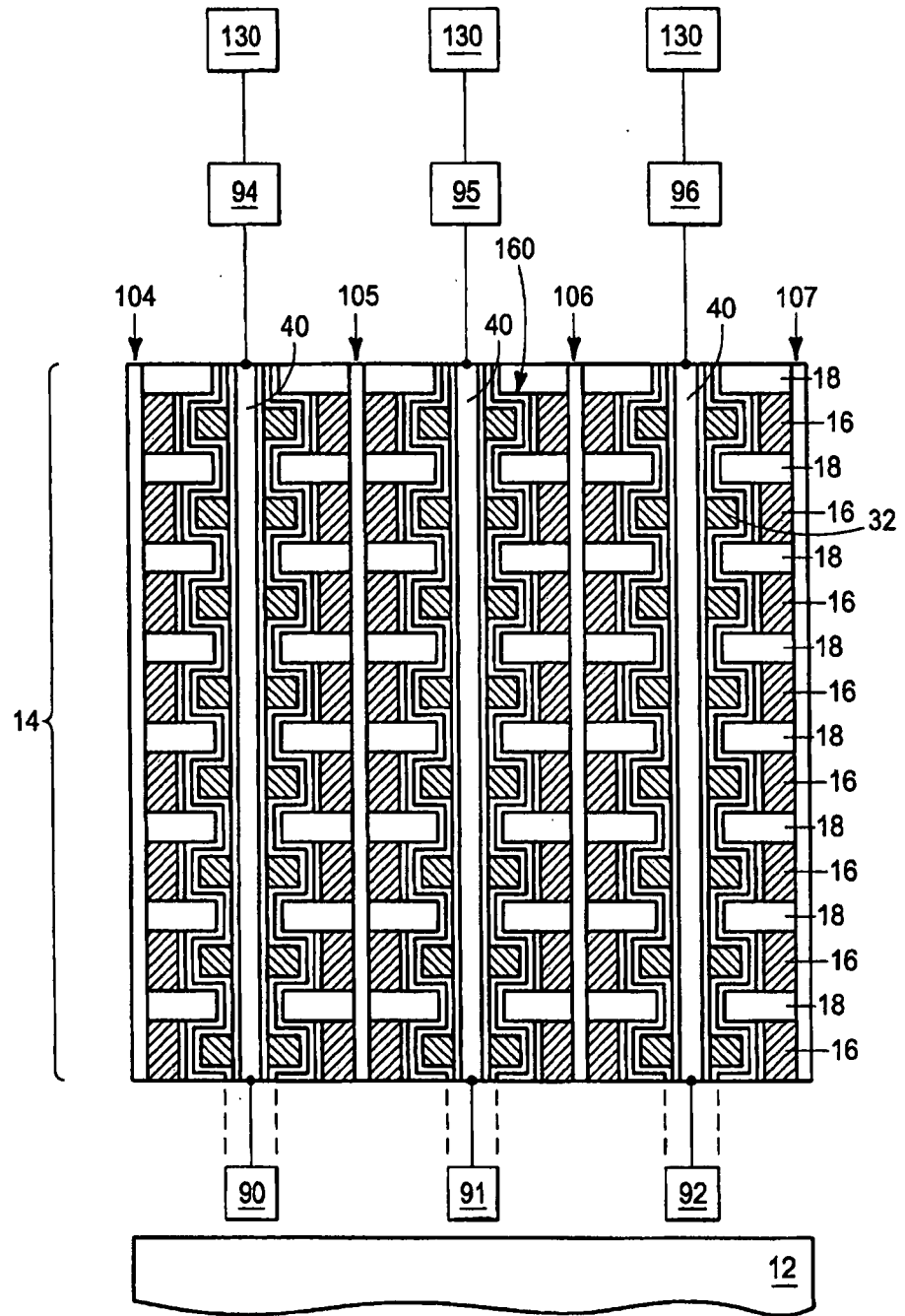


圖 19