



(12) 发明专利

(10) 授权公告号 CN 113687979 B

(45) 授权公告日 2025. 01. 14

(21) 申请号 202111168284.1

(22) 申请日 2016.05.27

(65) 同一申请的已公布的文献号
申请公布号 CN 113687979 A

(43) 申请公布日 2021.11.23

(30) 优先权数据
62/168828 2015.05.31 US
14/865956 2015.09.25 US

(62) 分案原申请数据
201680024940.1 2016.05.27

(73) 专利权人 英特尔公司
地址 美国加利福尼亚州

(72) 发明人 J·B·哈尔伯特 K·S·拜因斯

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 周学斌

(51) Int.Cl.
G06F 11/10 (2006.01)
G11C 11/40 (2006.01)
G11C 11/4076 (2006.01)
G11C 11/4078 (2006.01)
G11C 29/42 (2006.01)
G11C 29/44 (2006.01)
G11C 29/52 (2006.01)
G11C 29/56 (2006.01)

(56) 对比文件
CN 103098029 A, 2013.05.08
CN 104572517 A, 2015.04.29

审查员 邱祥吉

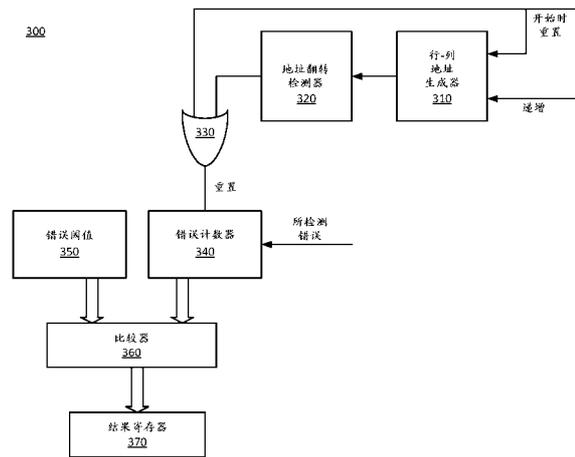
权利要求书2页 说明书16页 附图5页

(54) 发明名称

采用错误计数器和内部地址生成的管芯上 ECC

(57) 摘要

本发明涉及采用错误计数器和内部地址生成的管芯上ECC,以及涉及一种存储器子系统实现管理错误纠正信息。存储器装置对存储器位置的范围内部执行错误检测,并且对所检测的各错误使内部计数递增。存储器装置包括ECC逻辑,以生成指示内部计数与对存储器装置预设的错误的基准数量之间的差的错误结果。存储器装置能够向系统的关联主机提供错误结果,以便仅暴露所累加的错误数量,而没有从结合到系统中之前暴露内部错误。能够使存储器装置能够生成内部地址,以运行从存储器控制器所接收的命令。能够使存储器装置能够在经过在其中对错误计数的存储区的第一遍之后重置计数器。



1. 一种随机存取存储器RAM装置,包括:
存储器阵列;
错误计数寄存器,用于存储错误结果以供关联的存储器控制器存取;以及
错误检查和纠正ECC模块,用于执行内部错误检查和纠正ECC操作以检查和纠正针对存储器阵列的多行的错误,其中所述错误检查和纠正ECC模块用于在内部生成地址信息以针对所述内部错误检查和纠正ECC操作来寻址所述多行,所述错误检查和纠正ECC模块包括用于累加错误计数的计数器,所述错误计数要响应于在多行中的任何行中检测到所述错误而被递增,其中错误检查和纠正ECC模块用于作为累加的错误计数与非零错误阈值之间的差来生成错误结果并将所述错误结果存储在所述错误计数寄存器中,其中所述错误阈值表示要从所述错误结果中排除的预设错误数量。
2. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误检查和纠正ECC模块用于响应于由所述随机存取存储器RAM装置发起错误检测测试而执行所述内部错误检查和纠正ECC操作。
3. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误检查和纠正ECC模块用于执行所述内部错误检查和纠正ECC操作以检查和纠正在有界地址空间内的针对所述存储器阵列的所述多行的错误。
4. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误检查和纠正ECC模块用于对所述存储器阵列的所有行执行所述内部错误检查和纠正ECC操作。
5. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误检查和纠正ECC模块用于响应于检测到向先前测试的地址的地址翻转而自动重置所述累加的错误计数。
6. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误检查和纠正ECC模块进一步包括用于存储所述错误结果以指示自部署到系统中以来的错误的数目的寄存器。
7. 根据权利要求1所述的随机存取存储器RAM装置,其中所述错误阈值包括在制造过程期间为所述随机存取存储器RAM装置配置的错误的数目。
8. 根据权利要求1所述的随机存取存储器RAM装置,其中所述随机存取存储器RAM装置包括易失性动态随机存取存储器DRAM装置。
9. 根据权利要求1所述的随机存取存储器RAM装置,其中所述随机存取存储器RAM装置包括非易失性随机存取存储器RAM装置。
10. 一种系统,包括:
存储器控制器;以及
并行耦合的多个随机存取存储器RAM装置,其中随机存取存储器RAM装置包括:
存储器阵列;
错误检查和纠正ECC模块,用于执行内部错误检查和纠正ECC操作以检查和纠正针对所述存储器阵列的多行的错误,其中所述错误检查和纠正ECC模块用于在内部生成地址信息以针对所述内部错误检查和纠正ECC操作来寻址所述多行,所述错误检查和纠正ECC模块包括用于累加错误计数的计数器,所述错误计数要响应于在多行中的任何行中检测到错误而被递增,其中所述错误检查和纠正ECC模块用于作为累加的错误计数与非零错误阈值之间的差而生成错误结果,其中所述错误阈值表示从所述错误结果中排除的预设错误数量;以及

寄存器,用于存储所述错误结果以供关联的存储器控制器存取;

其中所述随机存取存储器RAM装置独立于基于由所述存储器控制器提供的校验位的错误纠正而对数据提供内部错误纠正。

11.根据权利要求10所述的系统,其中所述错误检查和纠正ECC模块用于响应于由所述随机存取存储器RAM装置发起错误检测测试而执行所述错误检查和纠正ECC操作。

12.根据权利要求10所述的系统,其中所述错误检查和纠正ECC模块用于响应于检测到向先前测试的地址的地址翻转而自动重置所述累加的错误计数。

13.根据权利要求10所述的系统,其中所述随机存取存储器RAM装置包括易失性动态随机存取存储器DRAM装置。

14.根据权利要求10所述的系统,其中所述随机存取存储器RAM装置包括非易失性随机存取存储器RAM装置。

15.根据权利要求10所述的系统,其中所述存储器控制器用于针对跨所述多个随机存取存储器RAM装置的系统级错误检查和纠正ECC应用来自所述多个随机存取存储器RAM装置的错误结果。

16.根据权利要求10所述的系统,进一步包括以下中的一项或多项:

通信地耦合到所述存储器控制器的至少一个处理器;

通信地耦合到至少一个处理器的显示器;或者

通信地耦合到至少一个处理器的网络接口。

17.一种存储器控制器,包括:

用于从多个存储器装置接收数据的硬件接口,其中存储器装置包括管芯上错误检查和纠正ECC电路,其用于执行内部错误检查和纠正ECC操作以检查和纠正针对所述存储器装置的多行的错误,其中所述错误检查和纠正ECC电路用于在内部生成地址信息以针对所述内部错误检查和纠正ECC操作来寻址所述多行,所述错误检查和纠正ECC电路具有用于累加错误计数的计数器,所述错误计数要响应于在所述存储器装置的多行中的任何行中检测到所述错误而被递增,其中所述管芯上错误检查和纠正ECC电路用于作为累加的错误计数与非零错误阈值之间的差来生成错误结果以存储在所述存储器装置的错误计数寄存器中,其中所述错误阈值表示要从所述错误结果中排除的预设错误数量;以及

系统级错误检查和纠正ECC电路,用于针对所述多个存储器装置执行错误检查和纠正ECC操作,所述系统级错误检查和纠正ECC电路基于由所述存储器控制器提供给所述多个存储器装置的校验位以及来自所述多个存储器装置的错误计数来执行错误纠正。

18.根据权利要求17所述的存储器控制器,其中所述硬件接口用于向所述存储器装置的模式寄存器发送命令以使得所述存储器装置执行错误检查并且用所述存储器装置清理以生成用于所述错误检查和清理的地址信息。

19.根据权利要求18所述的存储器控制器,其中所述存储器装置用于响应于检测到向先前测试的地址的地址翻转而自动重置所述累加的错误计数。

20.根据权利要求17所述的存储器控制器,其中所述错误的基准数目包括在所述存储器装置的制造测试期间所检测到的错误的数目。

采用错误计数器和内部地址生成的管芯上ECC

[0001] 本申请为分案申请,其母案的发明名称为“采用错误计数器和内部地址生成的管芯上ECC”,申请日为2016年5月27日,申请号为201680024940.1。

[0002] 相关用例

[0003] 本申请是基于2015年5月31日提交的美国临时专利申请No. 62/168,828的非临时专利申请。本申请要求那个临时申请的优先权益。通过引用将临时申请结合于此。

技术领域

[0004] 本发明的实施例一般涉及存储器装置,以及更特定来说涉及提供选择性内部错误纠正信息的存储器。

[0005] 著作权声明/许可

[0006] 本专利文档的公开的部分可包含受到著作权保护的资料。著作权所有者不反对任何人复制本专利文档或专利公开,因为它出现在专利和商标局专利文件或记录中,但在其他方面仍保留所有著作权权利。著作权声明适用于如下及其附图中所述的所有数据以及以下所述的任何软件:著作权 © 2015, Intel Corporation, 著作权所有, 不得翻印。

背景技术

[0007] 计算装置使用存储器装置来存储供处理器运行其操作的数据和代码。随着存储器装置的大小的减小和密度的增加,它们在处理期间遭遇更多错误、被称作产率问题。因此,存储器装置甚至采用现代处理技术也遭遇增加的比特故障。要减轻比特故障,现代存储器装置提供内部错误纠正机制、例如ECC (错误纠正码)。存储器装置内部生成ECC数据,并且在存储器装置内部使用ECC数据。存储器装置内的内部错误纠正能够作为对系统配置成在存储器装置与存储器控制器之间的数据交换中使用的无论什么全系统错误纠正或错误减轻的补充。

[0008] 由存储器装置所纠正的SBE (单比特错误)对存储器控制器或主机系统看来好像不存在错误。因此,如果附加错误在制造之后在存储器装置中累加,则存储器装置将继续执行ECC,并且存储器装置增加的故障数量可能不是主机系统可见的。存储器装置传统上会需要识别与内部错误纠正有关的信息,以提供与错误累加有关的信息。但是,暴露错误纠正信息能够提供与过程和制造有关的专有信息、例如内部错误信息或者与内部错误纠正有关的细节。当前没有在无需暴露与内部错误纠正有关的信息的情况下揭示与存储器装置内的错误累加有关的信息的机制。

发明内容

[0009] 按照本发明第一方面的一种同步动态随机存取存储器 (SDRAM) 装置,包括:

[0010] 存储器阵列;以及

[0011] 错误检查和纠正 (ECC) 电路,用于对存储器阵列的多行执行ECC操作,所述ECC电路包括计数器,用于响应于在多行中的任何行中检测到错误而累加要递增的错误计数,其中

ECC电路用于作为累加的错误计数与要在递增错误结果之前达到的非零错误阈值之间的差来生成错误结果。

[0012] 按照本发明第二方面的一种具有存储器装置的系统,包括:

[0013] 存储器控制器;以及

[0014] 并行耦合的多个同步动态随机存取存储器 (SDRAM) 装置,其中SDRAM装置包括:

[0015] 存储器阵列;以及

[0016] 错误检查和纠正 (ECC) 电路,用于对所述存储器阵列的多行执行ECC操作,所述ECC电路包括计数器,用于响应于在多行中的任何行中检测到错误而累加要递增的错误计数,其中所述ECC电路用于作为累加的错误计数与要在递增错误结果之前达到的非零错误阈值之间的差而生成错误结果;

[0017] 其中所述SDRAM装置独立于基于由所述存储器控制器提供的校验位的错误纠正而对数据提供内部错误纠正。

[0018] 按照本发明第三方面的一种用于管理存储器中的错误纠正信息的方法,包括:

[0019] 利用同步动态随机存取存储器 (SDRAM) 装置内的ECC电路对存储器阵列的多行发起错误检查和纠正 (ECC) 操作;

[0020] 响应于在多行中的任何行中检测到错误而累加要递增的错误计数;以及

[0021] 作为累加的错误计数与要在递增错误结果之前达到的非零错误阈值之间的差而生成错误结果。

附图说明

[0022] 以下描述包括对具有以本发明的实施例的实现的举例的方式所给出的说明的附图的论述。附图应当被理解为以举例的方式而不是以限制的方式。如本文所使用的,对一个或多个“实施例”的引用要被理解为描述本发明的至少一个实现中所包括的特定特征、结构和/或特性。因此,本文中出现的诸如“在一个实施例中”或者“在备选实施例中”之类的短语描述本发明的各种实施例和实现,并且不一定全部指的是同一实施例。但是,它们也不一定相互排斥。

[0023] 图1是具有存储器装置(其能够暴露供外部存储器控制器来使用的内部错误纠正比特)的系统的实施例的框图。

[0024] 图2是具有存储器装置(其能够暴露供外部存储器控制器来使用的内部错误纠正比特)的系统的实施例的框图。

[0025] 图3是其中存储器装置生成用于运行所接收命令的内部地址的系统的实施例的框图。

[0026] 图4是用于管理内部ECC信息、包括生成内部地址的过程的实施例的流程图。

[0027] 图5是其中能够实现生成内部地址的存储器装置的计算系统的实施例的框图。

[0028] 图6是其中能够实现生成内部地址的存储器装置的移动装置的实施例的框图。

[0029] 下面是某些细节和实现的描述,其中包括附图的描述,附图可描绘以下所述的实施例的一些或全部,以及论述本文所呈现的发明概念的其他潜在的实施例或实现。

具体实施方式

[0030] 如本文所述,存储器子系统实现管理错误纠正信息。存储器装置对存储器位置的范围内部执行错误纠正,并且对所检测的各错误使内部计数递增。存储器装置包括ECC逻辑,以生成指示内部计数与对存储器装置预设的错误的基准数量之间的差的错误结果。存储器装置能够向系统的关联主机提供错误结果,以便仅暴露所累加的错误数量,而没有从结合到系统中之前暴露内部错误。在一个实施例中,存储器装置能够生成内部地址,以运行从存储器控制器所接收的命令。在一个实施例中,存储器装置能够在经过在其中对错误计数的存储区的第一遍之后重置计数器。

[0031] 在一个实施例中,存储器装置生成内部地址,以运行从存储器控制器所接收的命令。存储器装置执行错误纠正,以纠正所访问数据中的单比特错误(SBE),并且生成指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数。存储器装置向存储器控制器提供错误计数,以便仅暴露制造之后所累加的SBE的数量。在一个实施例中,存储器装置能够在经过在其中对错误计数的存储区的第一遍之后重置计数器。

[0032] 对存储器装置的引用能够适用于不同存储器类型以及特定来说适用于具有体组架构的任何存储器。存储器装置一般指的是易失性存储器技术。易失性存储器是其状态(以及因此其上所存储的数据)在对装置中断电力时是不确定的存储器。非易失性存储器指的是其状态即使在对装置中断电力时也是确定的存储器。动态易失性存储器要求刷新装置中所存储数据以保持状态。动态易失性存储器的一个示例包括DRAM(动态随机存取存储器)或者一些变体、例如同步DRAM(SDRAM)。如本文所述的存储器子系统可与多种存储器技术兼容,例如DDR4(DDR版本4,由JEDEC于2012年9月所发布的初始规范)、LPDDR4(低功率双倍数据传输率(LPDDR)版本4, JESD209-4, 由JEDEC于2014年8月最初发布)、WIO2(宽I/O 2(Wide I/O 2), JESD229-2, 由JEDEC于2014年8月最初发布)、HBM(高带宽存储器DRAM, JESD235, 由JEDEC于2013年10月最初发布)、DDR5(DDR版本5, 当前由JEDEC正讨论)、HBM2(HBM版本2, 当前由JEDEC正讨论)和/或其他以及基于这类规范的衍生或扩展的技术。

[0033] 用于诸如WIO2和LPDDR4之类的技术的DRAM装置的当前设计是内部包括额外比特来存储错误纠正数据(例如ECC(错误纠正码)信息)。对内部ECC, DRAM使用单错误纠正(SEC)(其每128数据比特利用8个专用ECC比特)内部检测和纠正单比特错误(SBE)。外部数据传递大小和内部预取大小在LPDDR4和WIO2的情况下均为128比特。但是对内部ECC, 这些设计传统上缺乏跟踪DRAM中的错误累加的方法, 这使装置易于累加错误, 直到错误的数量压倒管芯上或内部ECC纠正SBE的能力。如果过多错误累加, 则装置会将具有未纠正错误的数据传给存储器控制器, 从而引起故障。

[0034] 如果DRAM没有执行内部错误纠正, 则系统可以能够执行系统级错误纠正, 但是DRAM内的所有错误则将是可见的。暴露与所有错误有关的信息会暴露内部错误信息, 这能够揭示存储器装置制造商专有的并且一般被认为不期望在行业内共享的信息。如本文所述, 系统能够提供相对错误计数以指示自将存储器装置装运或者部署于系统中以来已经累加多少错误。如本文所述的相对错误能够指示超过错误的基准数量已经累加多少错误。存储器装置的错误的基准数量是在制造测试期间所检测的错误的数量。错误的累加能够如通过与基准数量相比对错误总数进行计数来确定。但是要注意, 甚至在制造期间所检测的内部错误也能够是专有信息, 装置制造商能够内部配置这种数量, 并且将存储器装置配置成

仅暴露所累加的差。

[0035] 通常,在正常操作期间,为内部ECC所实现的DDR4 DRAM装置不发信号通知关于已经纠正单比特错误。在一个实施例中,在制造期间,装置上的单比特错误的总数永久地被存储在存储器装置中。例如,错误的数量能够被存储在错误阈值寄存器中。所存储的错误阈值计数表示制造测试期间所检测的单比特错误的总数。在一个实施例中,错误阈值寄存器不是用户和/或主机系统直接可读的。在一个实施例中,存储器装置包括对SBE进行计数的错误计数器连同将错误计数器的结果与错误阈值寄存器进行比较的比较器。

[0036] 在一个实施例中,存储器装置包括地址生成器,以生成用于所接收命令的内部地址。因此,存储器装置能够控制要访问存储器装置的哪些位置以及什么时间访问。存储器装置然后能够内部管理错误检测,并且相对于错误的基准数量对错误的数量进行计数。内部生成地址能够使存储器装置能够内部重置错误累加计数器,并且防止内部错误计数继续增加。在经过存储器空间的第一遍之后没有重置计数器的情况下,用户能够潜在地运行错误测试两次(其中错误继续累加),并且然后简单地将错误的数量分成两半,以暴露与内部错误和内部错误纠正有关的信息。通过重置计数器,每次运行错误测试时,将揭示错误的相同数量,甚至当连续运行时。

[0037] 在一个实施例中,在重置期间清除错误计数器。在一个实施例中,错误计数器通过设置模式寄存器比特(例如MRx 比特 A[y])来启用,并且最初被清除。一旦被启用,计数器能够对检测单比特错误的每一个读取递增。通过仅允许DRAM生成读取阵列的地址来允许经过阵列的一个单遍。一旦经过所有存储器位置的单遍完成,则在一个实施例中,控制逻辑读取相对错误计数结果,并且重置计数器。在一个实施例中,相对错误计数能够被存储在多功能寄存器中,其然后能够由主机(例如存储器控制器)来读出。例如存储器装置能够将相对错误计数存储在多功能寄存器(例如MPR3、页面3寄存器)中。在一个实施例中,寄存器或其他存储位置包括表示自启用寄存器以来所检测的错误的数量与所存储错误计数之间的差的计数。在一个实施例中,除了报告所累加错误之外,存储器装置还能够报告包含错误的最高数量的一行或多行的地址。在一个实施例中,存储器装置能够报告多少错误被包含在具有错误的最高数量的行中。在一个实施例中,管芯上或DRAM内部计数器能够生成用于经过存储器资源或存储器装置阵列的读错误遍的内部地址。在经过阵列的读错误遍的开始,能够清除相对错误计数结果寄存器。在经过阵列的一遍之后,相对计数能够从DRAM读出。在一个实施例中,如果尝试第二遍,则在第二遍开始之前清除错误结果寄存器。

[0038] 图1是具有存储器装置(其能够暴露供外部存储器控制器使用的内部错误纠正比特)的系统的实施例的框图。系统100包括计算装置中的存储器子系统的元件。主机110表示主机计算平台,其运行操作系统(OS)和应用。OS和应用运行引起存储器存取的操作。主机110包括处理器或处理单元,其能够是单核或多核处理器。系统100能够被实现为SOC或者采用独立组件来实现。当多个存储器装置120被包括在系统100中时,各存储器装置能够与主机或者与其他存储器装置分开地独自管理其内部ECC。

[0039] 存储器控制器112表示控制逻辑,其响应(一个或多个)处理器对操作的运行而生成存储器存取命令。在一个实施例中,系统100包括多个存储器控制器。在一个实施例中,系统100每通道包括一个或多个存储器控制器,其中通道进行耦合以访问多个存储器装置。各通道是到存储器的单独访问路径,因此多个不同存储器存取能够在不同通道上并行发生。

在一个实施例中,存储器控制器112是主机110的组成部分、例如在与主机处理器相同的管芯或封装空间上所实现的逻辑。因此,存储器控制器能够被实现为与主机处理器相同的管芯的组成部分,或者在芯片(SoC)配置上被耦合到系统中的主机处理器。

[0040] 存储器装置120表示系统100的存储器资源,并且能够是例如DRAM装置。存储器装置120各包括多个存储器阵列122。存储器阵列122表示其中存储器装置120存储数据比特的逻辑。存储器装置120包括I/O逻辑126,其表示使存储器装置能够耦合到存储器控制器112的互连逻辑。I/O逻辑126能够包括命令/地址总线(通常称作C/A总线、CMD/ADDR总线或ADD/CMD总线)。I/O逻辑126还能够包括数据总线和其他信号线。I/O逻辑126能够包括信号线、连接器、驱动器、收发器、端接控制和/或实现存储器控制器与存储器装置之间的通信的其他逻辑。

[0041] 在一个实施例中,存储器装置120包括ECC 124,其表示实现内部错误纠正的逻辑和存储器。因此,ECC 124表示存储器装置120生成并且使用内部错误纠正比特的能力。在一个实施例中,ECC 124是存储器装置120(未具体示出)内的内部控制器的组成部分。这种内部控制器控制存储器装置的操作、例如命令的接收和处理以及命令的运行,包括控制运行命令并且响应来自(存储器装置外部的)存储器控制器的请求而返回数据的操作的定时。在一个实施例中,ECC 124能够完全或部分被实现为与内部控制器分开的电路。在一个实施例中,ECC 124使存储器装置120能够执行地址的范围中的各存储器位置的读取并且检测和纠正SBE,以及对所纠正的每个SBE使错误计数递增。

[0042] 在一个实施例中,存储器控制器112生成对ECC计数的命令或请求,以确定来自存储器装置120的所累加错误。为了描述中的清楚起见,考虑ECC 124处理这种请求,并且能够生成计数以响应这种请求。ECC 124能够使存储器响应从存储器控制器所接收的错误测试命令而执行检测错误的一系列操作。例如,ECC 124能够包括或者有权访问计数器,所述计数器被递增以跟踪所读取存储器位置中的所检测错误。如本文所述,存储器装置120能够生成经过存储器空间的存储器位置或者针对错误待测试的存储器地址位置的范围的序列运行。

[0043] 在一个实施例中,ECC 124确定存储器空间中的错误的数量,并且生成所纠正错误的计数。在一个实施例中,ECC 124通过计算所检测错误的数量与部署前对存储器装置预设的错误的已知数量之间的差来生成相对错误计数。例如,预设的错误能够是在制造测试期间所生成的阈值或基准数量,以检测制造时在装置中存在的错误的数量。在一个实施例中,ECC 124包括或者有权访问比较器逻辑,所述比较器逻辑能够基于阈值来计算差。

[0044] 在一个实施例中,当ECC 124接收执行错误测试的连续命令时,它将确定什么时候已经测试存储器阵列的整个存储器空间,并且能够重置错误计数。因此,每次执行错误检查时,ECC 124能够重新开始错误计数,以及所生成的计数与指示装置的错误的阈值或基准数量的预设数量之间的差也将每次重新开始。在一个实施例中,当存储器子系统被重置时,ECC 124还能够响应开始条件而重置错误计数。

[0045] 图2是具有存储器装置(其能够暴露供外部存储器控制器使用的内部错误纠正比特)的系统的实施例的框图。系统200是图1的系统100的实施例的一个示例。系统200图示响应从存储器控制器210所接收的命令而生成用于内部操作的地址的存储器装置220内的地址生成逻辑240。存储器装置220和存储器控制器210经由装置之间的I/O接口(未具体示出)

进行通信。

[0046] 地址生成240能够包括地址计数器,其由存储器装置220内的内部控制器(未具体示出)用来确定哪一个地址空间以对操作进行寻址、例如读取以检测错误。传统上,存储器控制器生成用于ECC测试的地址,以及存储器装置简单地运行在存储器控制器所指示的地址所提供的命令。但是,通过存储器装置220内的地址生成240,存储器控制器能够简单地生成用于ECC测试的命令或请求,并且允许存储器装置本身内部生成地址。地址生成240能够包括跟踪被测试地址的机制(例如计数器)。因此,存储器装置本身能够管理错误纠正测试。

[0047] 存储器装置220包括数据存储装置222,其表示存储器装置220中的存储空间,其中存储器装置写入从存储器控制器210所接收的数据,并且访问所存储数据以发送给存储器控制器210。在一个实施例中,存储器装置220包括ECC逻辑230。ECC逻辑230表示存储器装置用来计算错误纠正的逻辑。例如,ECC逻辑230能够使存储器装置220能够检测和纠正从被测试地址的范围之内的存储器位置所取的用于数据的SBE。ECC逻辑230能够表示存储器装置内控制从在存储器装置220内部到在存储器控制器210外部的错误纠正的应用。ECC逻辑230能够至少部分在处理器装置内例如通过存储器装置220的内部控制器来实现。在一个实施例中,ECC逻辑230完全或部分在与内部控制器分开的电路内被实现。

[0048] 在一个实施例中,ECC控制逻辑230包括或使用存储器220中所存储的信息。更具体来说,ECC控制逻辑230能够使用阈值232,其表示存储器装置220的错误的基准数量。在一个实施例中,BIOS(基本输入/输出系统)或其他逻辑能够确定错误的基准数量,并且写入该数量供存储器装置220中的寄存器或其他存储位置内的永久存储。通过使用阈值232,ECC控制逻辑230能够生成指示所累加错误的数量的错误输出,而没有暴露基准数量。例如,错误输出能够指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量。

[0049] 在一个实施例中,ECC控制逻辑230包括或使用计数器234,其是指示多少错误存在(例如,多少SBE被检测和纠正)于数据存储装置222中的计数器。计数器234能够由ECC控制逻辑230在经过数据存储空间的每遍来重置,以确定多少错误存在。因此,计数器234能够针对所检测的各错误累加计数,但是一旦已经检查整个存储空间则将不会继续累加错误。在一个实施例中,再次检查存储空间将使ECC控制逻辑230确定地址生成器240已经达到存储空间的最大地址,并且因而将响应检测到计数器已经翻转而重置计数器234。当地址生成器240完成所有地址并且返回到开始地址时,计数器翻转。

[0050] 在一个实施例中,ECC控制逻辑230能够生成错误输出,所述错误输出包括具有所累加错误的最高数量的行的指示。因此,在一个实施例中,ECC控制逻辑230以每行为基础来累加错误,并且识别具有错误的最高数量的行。例如,计数器234能够包括多个计数器。计数器234能够包括用于每行的计数器,其全部能够被合计以得到所检测错误的总数。计数器234能够包括累加所有行的所有错误的全局计数器以及在每行结束时被重置的行计数器。这种独自行计数能够与最高行计数进行比较,并且如果计数超过当前最高计数,则新计数能够被存储在存储位置中,并且还存储该行的地址。在一个实施例中,如果计数与最高计数相同,则将不改变计数,但是将存储多个行地址。在向存储器控制器210提供错误结果时,ECC控制逻辑230能够报告所累加错误的总数以及具有最高错误计数的行的指示。报告具有最高错误计数的行能够包括报告行的计数以及具有最高计数的一行或多行的地址。在一个实施例中,报告具有最高错误计数的行包括报告行地址而不是错误数量的计数。

[0051] 在一个实施例中,存储器装置220包括寄存器224,其表示其中ECC控制逻辑230能够存储错误计数和/或错误报告数据的一个或多个存储位置或寄存器。例如,ECC控制逻辑230能够在寄存器224中记录超过存储器装置220的阈值的所累加错误的总数。在一个实施例中,寄存器224包括模式寄存器或者多功能寄存器或其他存储位置。在一个实施例中,寄存器224能够包括或指向存储指示具有错误的最高数量的一行或多行的行地址信息的其他存储位置。在一个实施例中,寄存器224表示存储器控制器210可访问的存储器装置220内的存储装置,其使存储器控制器210能够访问报告数据。在一个实施例中,存储器装置220向存储器控制器210发送报告数据。

[0052] 在一个实施例中,存储器控制器210包括ECC 212,其表示供在系统200中的系统级使用的ECC逻辑。将会理解,ECC控制逻辑230是被耦合到存储器控制器210的各存储器装置内的逻辑,其ECC 212表示对于从各存储器装置所接收的数据执行ECC的存储器控制器210内的逻辑。通过对数据执行ECC操作并且然后将数据传递给存储器控制器,ECC控制逻辑230的操作结果能够对存储器控制器210是透明的。在一个实施例中,ECC 212是存储器控制器210的电路内所包括的逻辑。在一个实施例中,ECC 212是存储器控制器电路外部的逻辑,其是存储器控制器可访问的,并且能够执行与系统200内的ECC相关的一个或多个操作。例如,在一个实施例中,ECC 212能够包括被耦合到存储器控制器210的处理器或SoC中的ECC电路。

[0053] 但是,存储器控制器210还能够提供用于系统200的ECC,其不仅基于来自存储器装置220的数据,而且还基于来自多个所连接存储器装置的数据。因此,不仅如本文所述来自存储器装置220的错误计数能够提供与存储器装置本身的使用寿命有关的信息,而且它还能够作为存储器控制器210的元数据用于系统级ECC实现而进行操作。通过了解来自存储器装置级的所纠正错误,存储器控制器能够调整其错误纠正操作。

[0054] 图3是其中存储器装置生成用于运行所接收命令的内部地址的系统的实施例的框图。系统300是按照系统100和/或系统200的ECC控制逻辑的一个实施例。将会理解,系统300能够是系统的逻辑的组成部分,并且能够包括附加逻辑(未具体示出)。例如,系统300能够表示具体用于暴露超过阈值的错误的逻辑,而没有具体图示被用来执行错误检测或者接收和处理命令的逻辑。

[0055] 在一个实施例中,ECC控制逻辑接收发起ECC测试的命令。在一个实施例中,ECC控制逻辑是存储器装置内的管芯上控制器的组成部分。控制器控制存储器装置的操作,包括生成内部命令和/或控制信号,以引起运行存储器装置所接收的命令所需的操作。控制逻辑能够生成开始时重置信号,并且将该信号传给存储器装置内部的行-列地址生成器310。开始能够是装置被加电和初始化的任何时间以及主机计算机系统配置成执行ECC测试以确定所累加错误的数量的任何时间。开始时重置信号能够是指示是否重置计数器的二元(真/假)信号。

[0056] 在一个实施例中,管芯上控制器能够生成递增信号。递增信号能够向后一操作发信号通知关于操作的递增。在一个实施例中,管芯上控制器提供作为对地址生成器310的输入的递增信号。地址翻转检测器320能够确定什么时候计数器的递增使计数器在初始地址重新开始。地址翻转检测器320能够生成指示翻转的输出。在一个实施例中,输出是指示翻转条件的二元(真/假)信号。

[0057] 在一个实施例中,地址翻转检测器320向XOR逻辑330提供其输出。在一个实施例中,ECC控制逻辑还提供作为对XOR逻辑330的输入的开始时重置信号。XOR逻辑330能够对两个输入信号执行XOR(“异或”)操作,并且在任一个条件为真时输出二元输出。在一个实施例中,如果任一个条件为真,则系统300重置错误计数器340。因此,作为示例考虑下列条件:其中如果初始化系统,则重置计数器;或者如果内部地址生成器的地址翻转以在初始地址再次开始,则重置计数器。

[0058] 除了重置操作之外,错误计数器340能够接收作为输入的错误检测信号。错误检测逻辑(未具体示出)检测存储器位置中的错误,并且能够生成指示错误的二元信号。在一个实施例中,错误计数器340接收错误指示信号,并且每次检测到错误时使错误计数递增。因此,错误计数器340能够累加错误,以及系统300能够在开始时重置和地址翻转的条件时重置错误计数。

[0059] 错误阈值350表示对其中结合系统300的存储器装置所预计的错误的阈值数量或基准数量。错误阈值350能够通过制造测试来设置,并且在存储器装置的使用寿命期间不发生变化。比较器360能够确定错误阈值350与错误计数器340之间的差。超过错误阈值350的错误计数器340中的计数被提供给结果寄存器370。将会理解,通过仅存储错误阈值350与错误计数器340之间的差,系统能够仅报告所累加错误,而没有暴露与内部错误有关的信息。在一个实施例中,结果寄存器370是主机系统可用于读取的,以确定在存储器装置的使用寿命中所累加的错误数量,不包括装置的制造时存在的错误的数量。

[0060] 在一个实施例中,除了结果寄存器370之外或者作为结果寄存器370的组成部分,系统300还包括指示具有错误的最高数量的数据的一行或多行的存储装置。在一个实施例中,系统300存储一行或多行的地址信息,并且向关联存储器控制器报告地址。在一个实施例中,如果确定某一行具有错误的最高数量或者等于错误的最高数量,则地址生成器310记录该行的地址。

[0061] 图4是用于管理内部ECC信息、包括生成内部地址的过程的实施例的流程图。过程400使存储器装置内部的ECC逻辑能够管理内部ECC信息,所述内部ECC信息能够有选择地被暴露于关联存储器控制器/主机。制造商制造存储器装置(402),并且对装置执行制造测试(404)。在一个实施例中,测试包括采用内部ECC来确定新装置中存在的错误的数量的测试,并且能够在装置被部署或结合于计算装置时对其配置内部错误纠正。制造商能够存储作为存储器装置的阈值或基准数量的错误的数量(408)。制造商能够将该数量存储在存储器装置内的寄存器或其他存储器或存储位置中。存储器装置将使用阈值数量作为用于确定多少错误在存储器装置的使用寿命中进行累加的基准。将会理解,各存储器装置能够具有基于对装置的单独测试的不同阈值。

[0062] 在一个实施例中,阈值适用于将被测试的存储器位置的范围。在一个实施例中,存储器位置的范围是用于存储器装置的整个可用地址空间。在一个实施例中,存储器位置的范围是用于存储器装置的可用地址空间的子集。在一个实施例中,在存储器装置被结合到系统中时的操作期间,存储器装置接收访问命令(410)。在一个实施例中,这种命令能够包括对地址空间的范围(例如全部存储器地址空间或者存储器地址空间的子集)执行错误测试的命令。在一个实施例中,响应该命令和/或响应发起错误检测测试,存储器装置重置生成内部地址的地址计数器,并且重置错误计数(412)。通过在开始错误检测测试之前重置错

误计数,如果要求存储器测试被执行多次,则存储器装置能够防止双重计数错误。

[0063] 在一个实施例中,存储器装置生成用于被执行以运行(一个或多个)所请求命令的操作的内部地址(414)。在一个实施例中,存储器装置确定内部所生成的地址翻转是否已经发生(416)。在一个实施例中,响应地址翻转(416的“是”分支),存储器装置能够重置错误计数(418)。如果地址翻转尚未发生(416的“否”分支),则地址先前在错误计数的当前循环期间尚未针对错误而被检查。通过内部生成地址并且检测翻转,存储器装置能够防止对存储器位置的相同错误两次计数,并且提供错误的更准确计数。因此,地址翻转检测能够在每次测试所选存储器地址空间时发生。

[0064] 在一个实施例中,存储器装置内的内部ECC逻辑响应(一个或多个)所请求命令而识别和纠正SBE(420)。在一个实施例中,所请求命令是错误测试命令,其触发存储器装置以依次经过存储器位置的所识别范围或者经过全部存储器位置。在一个实施例中,错误测试命令由存储器装置来控制,并且存储器装置读取存储器位置的范围之内的各存储器位置。在读取位置的内容时,存储器装置能够对内容执行ECC,并且使用已知技术来执行SBE纠正。

[0065] 在一个实施例中,错误的检测以每行为基础来跟踪,以确定存储器装置内具有错误的最高数量的一行或多行。这种每行错误跟踪能够通过使用多个计数器以跟踪总错误和每行的错误来实现。在一个实施例中,除了存储总所累加错误之外,还存储每行错误的最高数量。例如,能够存储错误的最高数量,并且然后测试或后续行能够引起当前行的错误与所存储最高计数的比较。在一个实施例中,还存储被检测为具有错误的最高数量的一行或多行的地址信息。如果当前行的错误计数等于最高计数,则能够存储当前行的地址信息。如果当前行的错误计数高于所存储最高计数,则能够改写该计数,并且任何地址信息也能够通过当前行的地址信息来替代。在经过地址的范围中的所有行之后,计数应当包括每行错误的最高数量的计数,并且能够包括计数所应用于的一行或多行的地址信息。

[0066] ECC逻辑能够在每次执行测试时累加错误的总数。在存储器装置的使用期限中,错误的数量可能随着装置老化而增加。在一个实施例中,如果尚未达到待测试范围中的最后一个地址(422的“否”分支),则存储器装置能够使地址递增,并且对另一个存储器位置重复进行测试。在一个实施例中,如果已经达到待测试范围中的最后一个地址(422的“是”分支),则ECC逻辑将操作测试期间所纠正或检测的SBE的数量与所存储阈值(其指示从制造时存在的数量或者存储器装置结合到系统中之前存在的错误的数量)进行比较(424)。ECC逻辑能够存储当前所检测的错误与阈值数量之间的差(426)。所存储差能够称作错误结果、错误计数或错误报告。

[0067] 在一个实施例中,存储器装置的ECC逻辑在主机可访问的寄存器中存储错误结果。例如,存储器装置能够将错误结果存储到模式寄存器、多功能寄存器或者其他寄存器或存储位置,其能够由主机的存储器控制器或可比逻辑来访问。如果计数中存在差,则存储器装置已经形成更多错误,并且如果错误的数量变得过大,则能够通知主机系统。例如,存储器装置能够在主机装置可访问的寄存器或其他存储器位置中存储该差。在一个实施例中,存储器装置能够配置成周期地向主机提供该数量。尽管共享与在存储器装置的使用寿命中累加错误有关的信息,但是因为存储器装置控制地址生成和用于错误检测的计数器,所以它能够揭示自制造以来所累加的错误,而没有揭示总错误信息。在一个实施例中,存储器装置的ECC逻辑还报告具有错误的最高数量的行的地址信息和/或具有错误的最高数量的行的

错误的计数。

[0068] 在一个实施例中,例如当经过存储器位置的范围之内的所有地址的循环或传递已经完成时,存储器装置记录对存储器位置的范围的测试的完成已经发生。在一个实施例中,系统在存储器子系统的开始或发起时重置所检测错误的计数。在一个实施例中,待重置错误的计数是错误的内部计数,其与错误的阈值或基准数量进行比较。在一个实施例中,错误的计数是能够从存储结果的寄存器或存储器位置来重置的错误结果。

[0069] 图5是其中能够实现生成内部地址的存储器装置的计算系统的实施例的框图。系统500表示按照本文所述的任何实施例的计算装置,并且能够是膝上型计算机、台式计算机、服务器、游戏或娱乐控制系统、扫描仪、复印机、打印机、路由或交换装置或者其他电子装置。系统500包括处理器520,其为系统500提供指令的处理、操作管理和运行。处理器520能够包括任何类型的微处理器、中央处理单元(CPU)、处理核心或者其他处理硬件,以便为系统500提供处理。处理器520控制系统500的整体操作,并且能够是或者包括一个或多个可编程通用或专用微处理器、数字信号处理器(DSP)、可编程控制器、专用集成电路(ASIC)、可编程逻辑装置(PLD)等或者这类装置的组合。

[0070] 存储器子系统530表示系统500的主存储器,并且为将要由处理器520所运行的代码或者将要在运行例程中所使用的数据值提供暂时存储。存储器子系统530能够包括一个或多个存储器装置,例如只读存储器(ROM)、闪速存储器、一个或多个种类的随机存取存储器(RAM)或其他存储器装置或者这类装置的组合。除了其他以外,存储器子系统530还存储和托管操作系统(OS)536,以提供软件平台供系统500中的指令的执行。另外,其他指令538被存储并且从存储器子系统530来运行,以提供系统500的逻辑和处理。OS 536和指令538由处理器520来运行。存储器子系统530包括存储器装置532,其中它存储数据、指令、程序或其他项。在一个实施例中,存储器子系统包括存储器控制器534,其是生成命令并且向存储器装置532发出命令的存储器控制器。将会理解,存储器控制器534能够是处理器520的物理部分。

[0071] 处理器520和存储器子系统530被耦合到总线/总线系统510。总线510是一种抽象,其表示通过适当桥接器、适配器和/或控制器所连接的任一个或多个独立物理总线、通信线路/接口和/或点对点连接。因此,总线510能够包括例如系统总线、外设组件互连(PCI)总线、超传输或工业标准架构(ISA)总线、小型计算机系统接口(SCSI)总线、通用串行总线(USB)、或者电气和电子工程师协会(IEEE)标准1394总线(通常称作“火线”)中的一个或多个。总线510的总线还能够对应于网络接口550中的接口。

[0072] 系统500还包括一个或多个输入/输出(I/O)接口540、网络接口550、一个或多个内部大容量存储装置560以及被耦合到总线510的外围接口570。I/O接口540能够包括一个或多个接口组件,用户经过其与系统500进行交互(例如视频、音频和/或字母数字接口)。网络接口550为系统500提供通过一个或多个网络与远程装置(例如服务器、其他计算装置)进行通信的能力。网络接口550能够包括以太网适配器、无线互连组件、USB(通用串行总线)或者其他基于有线或无线标准的或者专有接口。

[0073] 存储装置560能够是或者包括用于按照非易失性的方式来存储大量数据的任何常规介质,例如一个或多个基于磁、固态或光的磁盘或光盘或者组合。存储装置560按照永久状态(即,尽管对系统500的电力中断,也保留值)来保存代码或指令和数据562。存储装置

560能够一般被认为是“存储器”，但是存储器530是运行或操作存储器，以向处理器520提供指令。虽然存储装置560是非易失性的，但是存储器530能够包括易失性存储器（即，如果对系统500中断电力，则数据的值或状态是不确定的）。

[0074] 外围接口570能够包括以上没有具体提及的任何硬件接口。外设一般指的是相关地连接到系统500的装置。相关连接是一种连接，其中系统500提供软件和/或硬件平台，操作运行于所述平台上，并且用户与所述平台进行交互。

[0075] 在一个实施例中，存储器子系统530包括内部ECC逻辑580，其表示按照本文所述的任何实施例来管理用于存储器532的内部ECC的逻辑。在一个实施例中，内部ECC 580生成用于进行经过读取的一遍以执行错误测试的地址。内部ECC 580能够生成指示自制造装置以来已经累加多少错误的相对计数。因此，能够暴露错误的数量，以示出自制造装置以来已经形成多少错误。在一个实施例中，内部ECC 580能够包括重置内部计数器（其提供错误累加信息）的逻辑。

[0076] 图6是其中能够实现生成内部地址的存储器装置的移动装置的实施例的框图。装置600表示移动计算装置，例如计算平板、移动电话或智能电话、无线使能电子阅读器，可佩戴计算装置或其他移动装置。将会理解，一般示出组件的某些，但是在装置600中并非示出这种装置的所有组件。

[0077] 装置600包括处理器610，其执行装置600的主要处理操作。处理器610能够包括一个或多个物理装置，例如微处理器、应用处理器、微控制器、可编程逻辑装置或者其他处理部件。由处理器610所执行的处理操作包括操作平台或操作系统（其上运行应用和/或装置功能）的运行。处理操作包括与和人类用户或者和其他装置的I/O（输入/输出）相关的操作、与电力管理相关的操作和/或与将装置600连接到另一个装置相关的操作。处理操作还能够包括与音频I/O和/或显示I/O相关的操作。

[0078] 在一个实施例中，装置600包括音频子系统620，其表示与向计算装置提供音频功能所关联的硬件（例如音频硬件和音频电路）和软件（例如驱动程序、编解码器）组件。音频功能能够包括扬声器和/或耳机输出以及麦克风输入。用于这类功能的装置能够被集成到装置600中或者被连接到装置600。在一个实施例中，用户通过提供音频命令（其由处理器610来接收和处理）来与装置600进行交互。

[0079] 显示子系统630表示提供视觉和/或触觉显示以供用户与计算装置进行交互的硬件（例如显示装置）和软件（例如驱动程序）组件。显示子系统630包括显示接口632，其包括被用来向用户提供显示的特定屏幕或硬件装置。在一个实施例中，显示接口632包括与处理器610分开的、执行与显示相关的至少一些处理的逻辑。在一个实施例中，显示子系统630包括触摸屏幕装置，其向用户提供输出和输入两者。在一个实施例中，显示子系统630包括高清晰度（HD）显示器，其向用户提供输出。高清晰度能指具有大约100 PPI（每英寸像素）或更大的像素密度的显示器，并且能够包括诸如全HD（例如1080p）、视网膜显示器、4K（超高清晰度或UHD）等的格式。

[0080] I/O控制器640表示与和用户的交互相关的硬件装置和软件组件。I/O控制器640能够进行操作以管理作为音频子系统620和/或显示子系统630的组成部分的硬件。另外，I/O控制器640图示用于连接到装置600的附加装置的连接点，用户通过所述连接点可与系统进行交互。例如，能够被附连到装置600的装置可包括麦克风装置、扬声器或立体声系统、视频

系统或其他显示装置、键盘或小键盘装置或者其他I/O装置,供与诸如读卡器或其他装置之类的特定应用配合使用。

[0081] 如上所提及,I/O控制器640能够与音频子系统620和/或显示子系统630进行交互。例如,经过麦克风或其他音频装置的输入能够为装置600的一个或多个应用或功能提供输入或命令。另外,能够提供音频输出,作为对显示输出的替代或补充。在另一个示例中,如果显示子系统包括触摸屏幕,则显示装置还充当输入装置,其能够至少部分由I/O控制器640来管理。装置600上还可能存在附加按钮或开关,以提供由I/O控制器640所管理的I/O功能。

[0082] 在一个实施例中,I/O控制器640管理装置,例如加速计、照相装置、光传感器或其他环境传感器、陀螺仪、全球定位系统(GPS)或者能够被包括在装置600中的其他硬件。输入能够是直接用户交互的一部分,以及向系统提供环境输入以影响其操作(例如对噪声的滤波、对亮度检测调整显示、对照相装置应用闪光或者其他特征)。在一个实施例中,装置600包括电力管理650,其管理电池电力使用、电池的充电以及与省电操作相关的特征。

[0083] 存储器子系统660包括用于存储装置600中的信息的(一个或多个)存储器装置662。存储器子系统660能够包括非易失性(如果中断对存储器装置的电力状态不会改变)和/或易失性(如果中断到存储器装置的电力状态是不确定的)存储器装置。存储器660能够存储应用数据、用户数据、音乐、照片、文档或其他数据以及与系统600的应用和功能的运行相关的系统数据(无论是长期的还是暂时的)。在一个实施例中,存储器子系统660包括存储器控制器664(其也能够被认为是系统600的控制的组成部分,并且能够潜在地被认为是处理器610的组成部分)。存储器控制器664包括生成命令并且向存储器装置662发出命令的调度器。

[0084] 连接性670包括硬件装置(例如无线和/或有线连接器和通信硬件)和软件组件(例如驱动程序、协议栈),以便使装置600能够与外部装置进行通信。外部装置可能是独立装置(例如其他计算装置、无线接入点或基站)以及外设(例如耳机、打印机或其他装置)。

[0085] 连接性670能够包括多个不同类型的连接性。概括来说,装置600被图示为具有蜂窝连接性672和无线连接性674。蜂窝连接性672一般指的是由无线运营商所提供、例如经由GSM(全球移动通信系统)或者变化或衍生、CDMA(码分多址)或者变化或衍生、TDM(时分复用)或者变化或衍生、LTE(长期演进一又称作“4G”)或者其他蜂窝服务标准所提供的蜂窝网络连接性。无线连接性674指的是不是蜂窝的无线连接性,并且能够包括个人区域网络(例如蓝牙)、局域网(例如WiFi)和/或广域网(例如WiMax)或者其他无线通信。无线通信指的是通过使用经过非固体介质的调制电磁辐射来传递数据。有线通信经过固体通信介质进行。

[0086] 外围连接680包括硬件接口和连接器以及软件组件(例如驱动程序、协议栈),以进行外围连接。将会理解,装置600能够是其他计算装置的外围装置(“至”682)以及具有与其连接的外围装置(“自”684)。装置600通常具有“对接”连接器,以便连接到其他计算装置,用于诸如管理(例如下载和/或上传、变更、同步)装置600上的内容之类的用途。另外,对接连接器能够允许装置600连接到某些外设,所述外设允许装置600控制例如向视听或其他系统的内容输出。

[0087] 除了专有对接连接器或其他专有连接硬件之外,装置600还能够经由通用或者基于标准的连接器来进行外围连接680。通用类型能够包括通用串行总线(USB)连接器(其能够包括多个不同硬件接口的任一个)、包括MiniDisplayPort(MDP)的DisplayPort、高清晰

度多媒体接口 (HDMI)、火线或其他类型。

[0088] 在一个实施例中,存储器子系统660包括内部ECC逻辑690,其指的是按照本文所述的任何实施例来管理用于存储器662的内部ECC的逻辑。在一个实施例中,内部ECC 690生成用于进行经过读取一遍以执行错误测试的地址。内部ECC 690能够生成指示自制造装置以来已经累加多少错误的相对计数。因此,能够暴露错误的数量,以示出自制造装置以来已经形成多少错误。在一个实施例中,内部ECC 690能够包括重置内部计数器(其提供错误累加信息)的逻辑。

[0089] 在一个方面,一种用于管理存储器中的错误纠正信息的方法包括:在存储器装置内对存储器位置的范围内部执行错误检测;对所检测的各错误使内部计数递增;生成指示内部计数与对存储器装置预设的错误的基准数量之间的差的错误结果,预设基于在结合到系统中之前对存储器装置所检测的错误的数量;以及向系统的关联主机提供错误结果,以便仅暴露存储器装置结合到系统中之后所累加的错误的数量。

[0090] 在一个实施例中,执行错误检测包括响应从主机所接收的错误测试命令而执行检测错误的一系列操作。在一个实施例中,对存储器位置的范围执行错误检测包括对整个存储器装置执行错误检测。在一个实施例中,执行错误检测还包括在存储器装置中对存储器位置的范围内部生成地址。在一个实施例中,对所检测的各错误使内部计数递增还包括对存储器位置的范围中所执行的每个单比特错误(SBE)检测和纠正使计数递增。在一个实施例中,错误的基准数量包括对存储器装置的制造测试期间所检测的错误的数量。在一个实施例中,提供错误结果还包括在寄存器中存储错误结果以供主机来访问。在一个实施例中,提供错误结果还包括指示具有错误的最高数量的行。在一个实施例中,指示具有错误的最高数量的行包括报告行的地址以及行中的错误的数量。在一个实施例中,还包括在存储器位置的范围完成时重置内部计数。

[0091] 在一个方面,一种具有内部错误纠正的存储器装置包括:在存储器装置内部的错误检测逻辑,对存储器位置的范围执行内部错误检测;计数器,对所检测的各错误使内部计数递增;比较器逻辑,生成指示内部计数与对存储器装置预设的错误的基准数量之间的差的错误结果,预设基于在结合到系统中之前对存储器装置所检测的错误的数量;以及寄存器,存储错误报告,以供关联主机来访问,而没有暴露基准数量。

[0092] 在一个实施例中,执行内部错误检测的错误检测逻辑能够响应从关联主机所接收的错误测试命令而执行检测错误的一系列操作。在一个实施例中,执行对存储器位置的范围的内部错误检测的错误检测逻辑能够执行对整个存储器装置的错误检测。在一个实施例中,执行内部错误检测的错误检测逻辑能够对存储器位置的范围内部生成存储器装置内的地址。在一个实施例中,使内部错误计数递增的计数器包括能够对存储器位置的范围中所执行的每个单比特错误(SBE)检测和纠正使内部计数递增的计数器。在一个实施例中,错误的基准数量包括对存储器装置的制造测试期间所检测的错误的数量。在一个实施例中,计数器还能够能够在存储器位置的范围完成时重置内部计数。在一个实施例中,还包括识别具有错误的最高数量的行的错误检测逻辑以及存储具有错误的最高数量的行的指示的存储装置。在一个实施例中,该指示包括行的地址以及行中的错误的数量。在一个实施例中,存储装置包括寄存器。

[0093] 在一个方面,一种系统包括:存储器控制器,耦合到存储器装置,存储器控制器能

够对所耦合存储器装置生成错误检测命令;存储器装置,耦合到存储器控制器,存储装置包括输入/输出(I/O)逻辑,接收来自存储器控制器的命令;ECC(错误纠正码)逻辑,能够在存储器装置内内部执行ECC,以纠正从存储器位置的范围所取的数据中所检测的单比特错误(SBE),生成指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数,并且向存储器控制器提供错误计数,而没有暴露基准数量。

[0094] 其中存储器装置是按照以上所阐述存储器装置的方面的任何实施例的存储器装置的系统。在一个方面,一种设备包括执行运行用于按照方法的方面的任何实施例来管理错误纠正信息的方法的操作的部件。在一个方面,一种制造产品包括其上存储有内容的计算机可读存储介质,其在访问时引起运行用于按照方法的方面的任何实施例来管理错误纠正信息的方法的操作的执行。

[0095] 在一个方面,一种用于管理存储器中的错误纠正信息的第二方法包括:响应来自关联存储器控制器的读访问请求而取存储器装置中的数据;执行存储器装置中的内部错误纠正,以纠正所取数据中所检测的单比特错误(SBE);基于制造测试来生成指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数;以及向存储器控制器提供错误计数,以便仅暴露制造之后所累加的SBE的数量。

[0096] 在一个实施例中,读访问请求是存储器控制器所生成的错误检测测试例程的组成部分。在一个实施例中,执行内部错误纠正还包括内部生成存储器装置内的地址,以用于取数据。在一个实施例中,提供错误计数包括在寄存器中存储错误计数以供存储器控制器访问。在一个实施例中,还包括在存储器位置的范围的完成时重置错误计数。在一个实施例中,还包括在存储器装置的发起时重置错误计数。在一个实施例中,还包括:识别具有SBE的最高数量的行;以及提供具有SBE的最高数量的行的指示。在一个实施例中,该指示包括行的地址以及行中的错误的数量。

[0097] 在一个方面,一种具有内部错误纠正的存储器装置包括:存储器装置内部的逻辑,响应来自关联存储器控制器的读访问请求而取数据,并且执行内部错误纠正,以纠正所取数据中所检测的单比特错误(SBE);计数器,基于制造测试使指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数递增;以及向存储器控制器提供错误计数、以便仅暴露制造之后所累加的SBE的数量的逻辑。

[0098] 第二存储器装置还包括用于按照第二方法的方面的任何实施例的用于运行的特征。在一个方面,一种设备包括执行运行用于按照第二方法的方面的任何实施例来管理错误纠正信息的方法的操作的部件。在一个方面,一种制造产品包括其上存储有内容的计算机可读存储介质,其在访问时引起运行用于按照第二方法的方面的任何实施例来管理错误纠正信息的方法的操作的执行。

[0099] 在一个方面,一种用于管理存储器中的错误纠正信息的第三方法包括:在存储器装置从关联存储器控制器接收命令;随存储器装置内部生成地址,以执行运行命令的操作;执行存储器装置中的内部错误纠正,以纠正所取数据中所检测的单比特错误(SBE);基于制造测试来生成指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数;以及向存储器控制器提供错误计数,以便仅暴露制造之后所累加的SBE的数量。

[0100] 在一个实施例中,执行错误检测包括响应从主机所接收的错误测试命令而执行检测错误的一系列操作。在一个实施例中,对存储器位置的范围执行错误检测包括对整个存

存储器装置执行错误检测。在一个实施例中,执行错误检测还包括在存储器装置中对存储器位置的范围内部生成地址。在一个实施例中,生成错误计数包括对存储器位置的范围中所执行的超过基准的每个单比特错误(SBE)检测和纠正使计数递增。在一个实施例中,生成错误计数还包括对所执行的每个SBE检测和纠正使计数递增,将计数与基准进行比较,并且仅存储超过基准的SBE的数量。在一个实施例中,错误的基准数量包括对存储器装置的制造测试期间所检测的错误的数量。在一个实施例中,提供错误计数还包括在寄存器中存储错误计数以供主机访问。在一个实施例中,还包括在存储器位置的范围的完成时重置错误计数。在一个实施例中,还包括:识别具有SBE的最高数量的行;以及提供具有SBE的最高数量的行的指示。在一个实施例中,该指示包括行的地址以及行中的错误的数量。

[0101] 在一个方面,一种具有内部错误纠正的存储器装置包括:存储器装置内部的逻辑,从关联存储器控制器接收命令,随存储器装置内部生成地址,以执行运行命令的操作,并且执行内部错误纠正,以纠正所取数据中所检测的单比特错误(SBE);计数器,基于制造测试来生成指示超过对存储器装置预设的SBE的基准数量的所纠正SBE的数量的错误计数;以及向存储器控制器提供错误计数、以便仅暴露制造之后所累加的SBE的数量的逻辑。

[0102] 第三存储器装置还包括用于按照第三方法的方面的任何实施例的运行的特征。在一个方面,一种设备包括执行运行用于按照第三方法的方面的任何实施例来管理错误纠正信息的方法的操作的部件。在一个方面,一种制造产品包括其上存储有内容的计算机可读存储介质,其在访问时引起运行用于按照第三方法的方面的任何实施例来管理错误纠正信息的方法的操作的执行。

[0103] 本文所图示的流程图提供各种过程动作的序列的示例。流程图能够指示要通过软件或固件例程所运行的操作以及物理操作。在一个实施例中,流程图能够图示有限状态机(FSM)(其能够通在硬件和/或软件中来实现)的状态。虽然以特定序列或顺序被示出,但是除非另加说明,否则动作的顺序能够被修改。因此,所图示实施例应当仅被理解为示例,并且过程能够按照不同顺序来执行,以及一些动作能够并行来执行。另外,在各种实施例中,能够省略一个或多个动作;因此,并非在每一个实施例中都要求全部动作。其他过程流程是可能的。

[0104] 就本文描述各种操作或功能的程度来说,它们能够被描述或定义为软件代码、指令、配置和/或数据。内容能够是直接可执行的(“对象”或“可执行”形式)源代码或者差代码(“增量”或“补丁”代码)。本文所述实施例的软件内容能够经其存储有内容的制造产品或者经由操作通信接口以经由通信接口发送数据的方法来提供。机器可读存储介质能够使机器执行所述的功能或操作,并且包括存储采取机器(例如计算装置、电子系统等)可访问形式的信息的任何机制,例如可记录/不可记录介质(例如只读存储器(ROM)、随机存取存储器(RAM)、磁盘存储介质、光存储介质、闪速存储器装置等)。通信接口包括与硬连线、无线、光等介质的任一个进行接口以便与另一个装置进行通信的任何机制,例如存储器总线接口、处理器总线接口、因特网连接、磁盘控制器等。能够通过提供配置参数和/或发送信号以准备通信接口来提供描述软件内容的数据信号,来配置通信接口。通信接口能够经由被发送给通信接口的一个或多个命令或信号来访问。

[0105] 本文所述的各种组件能够是用于执行所述操作或功能的部件。本文所述各组件包括软件、硬件或者这些的组合。组件能够被实现为软件模块、硬件模块、专用硬件(例如专

用硬件、专用集成电路 (ASIC)、数字信号处理器 (DSP) 等)、嵌入式控制器、硬连线电路系统等。

[0106] 除了本文所述的内容之外,能够对本发明的所公开实施例和实现进行各种修改,而没有背离它们的范围。因此,本文中的说明和示例应当被解释为是说明性而不是限制性的。本发明的范围应当仅参照以下权利要求书来衡量。

100

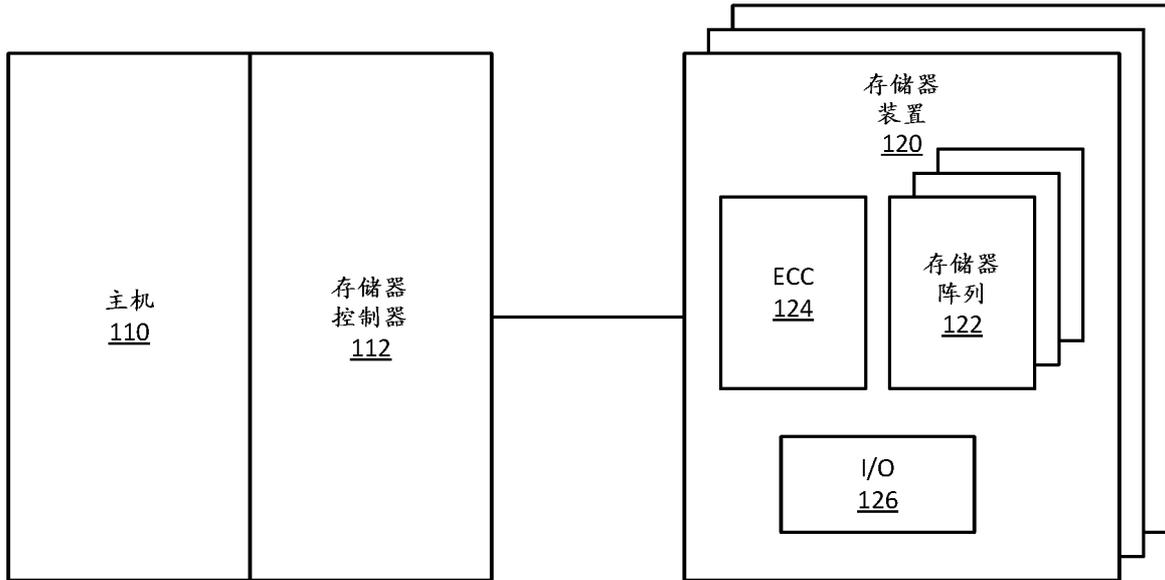


图 1

200

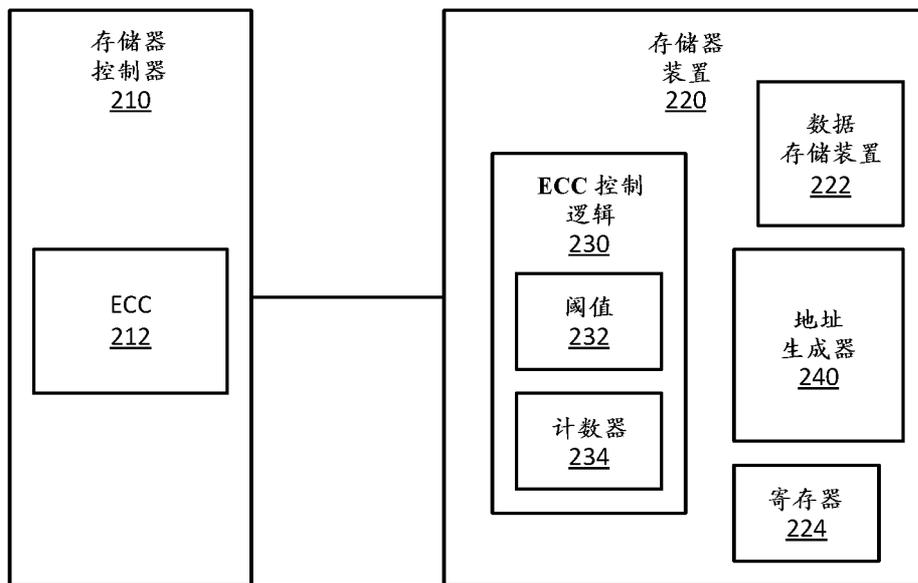


图 2

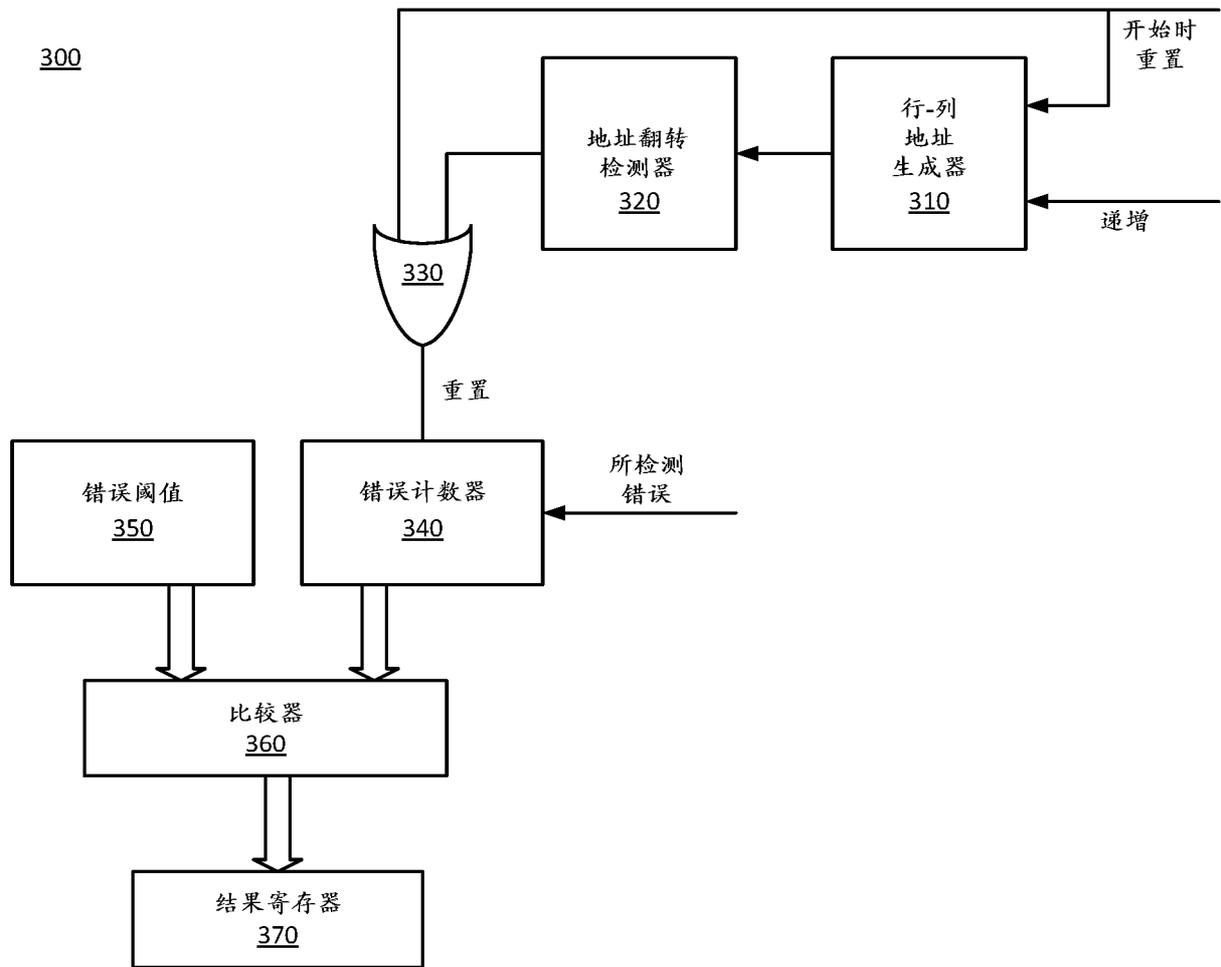


图 3

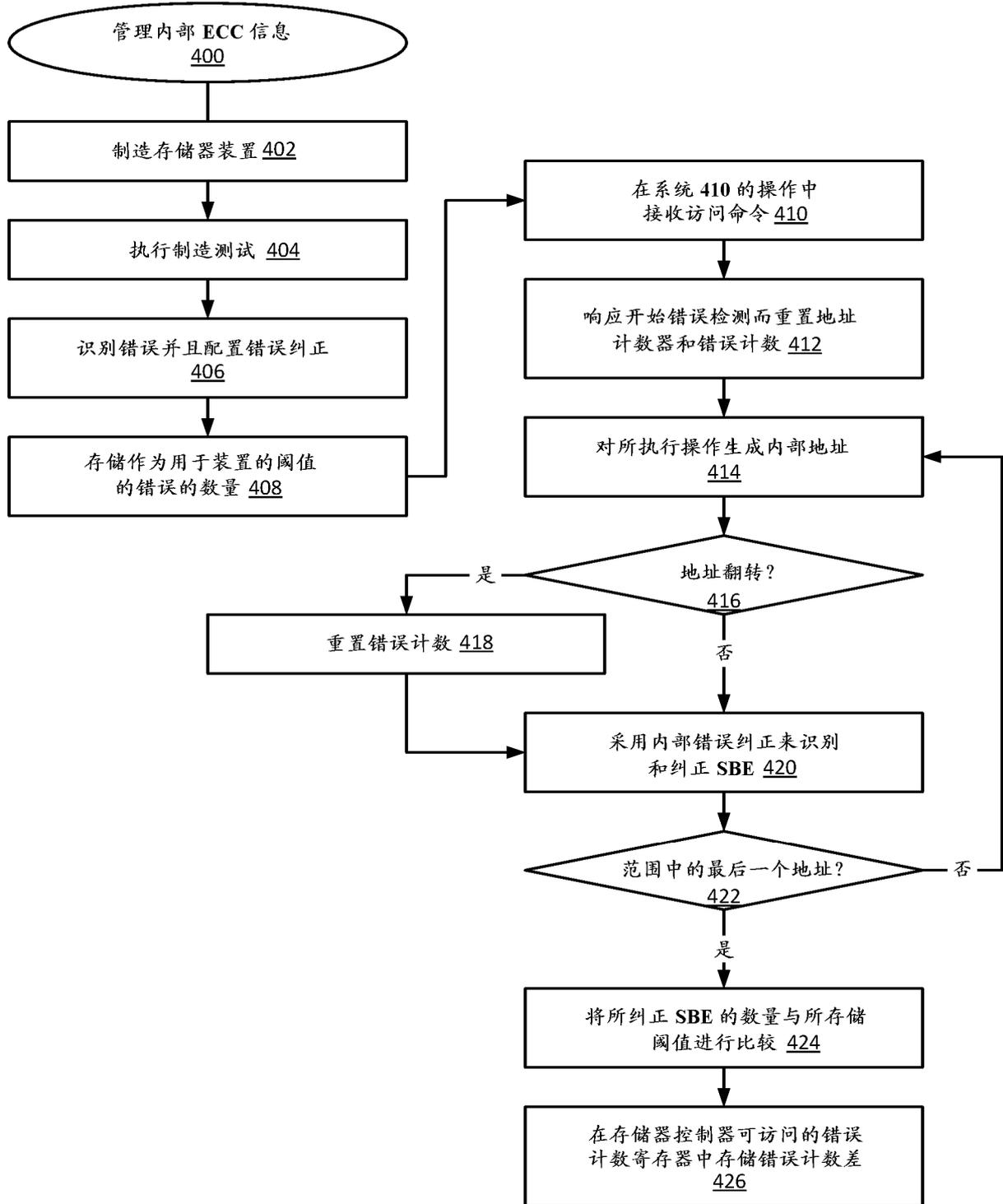


图 4

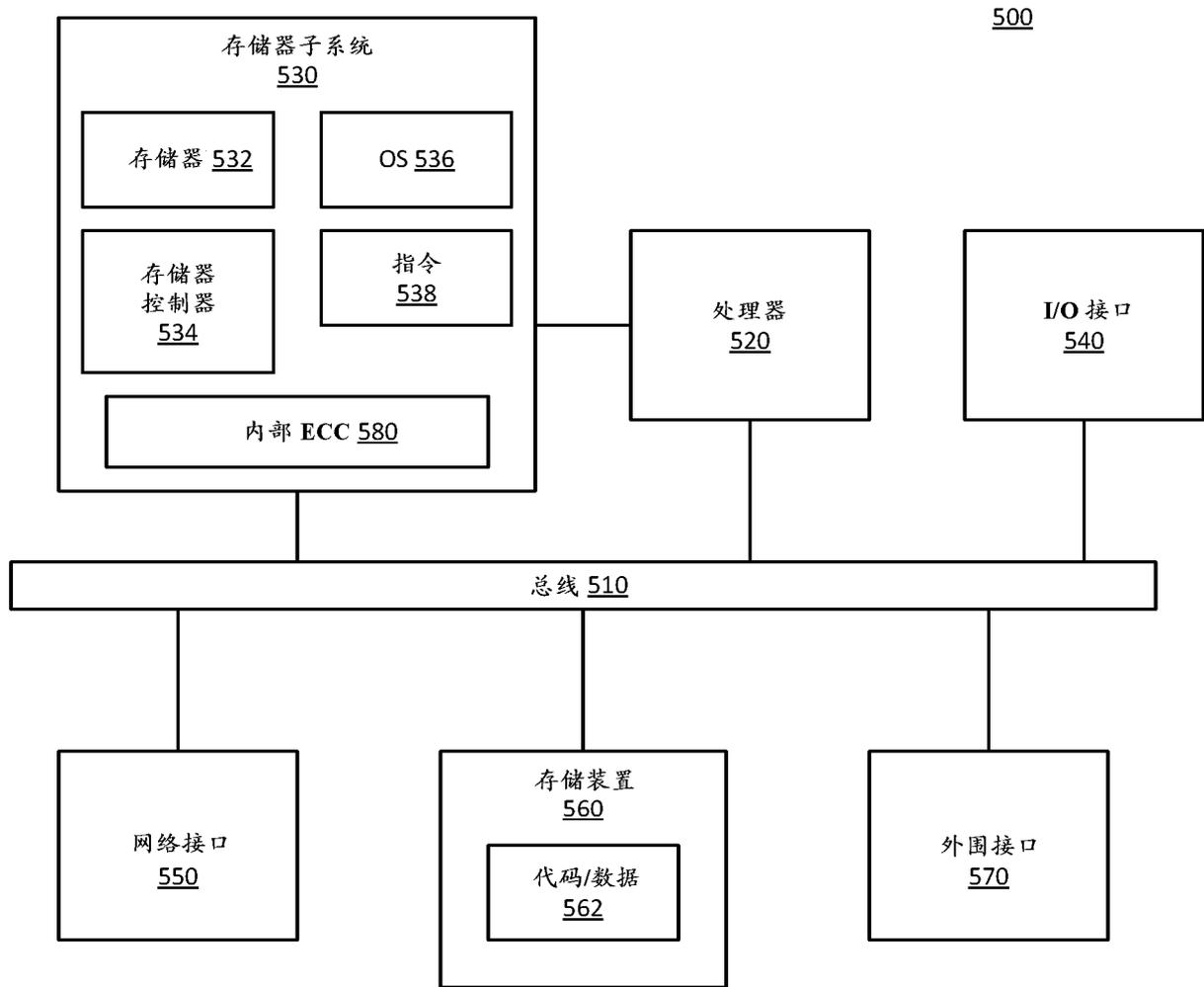


图 5

600

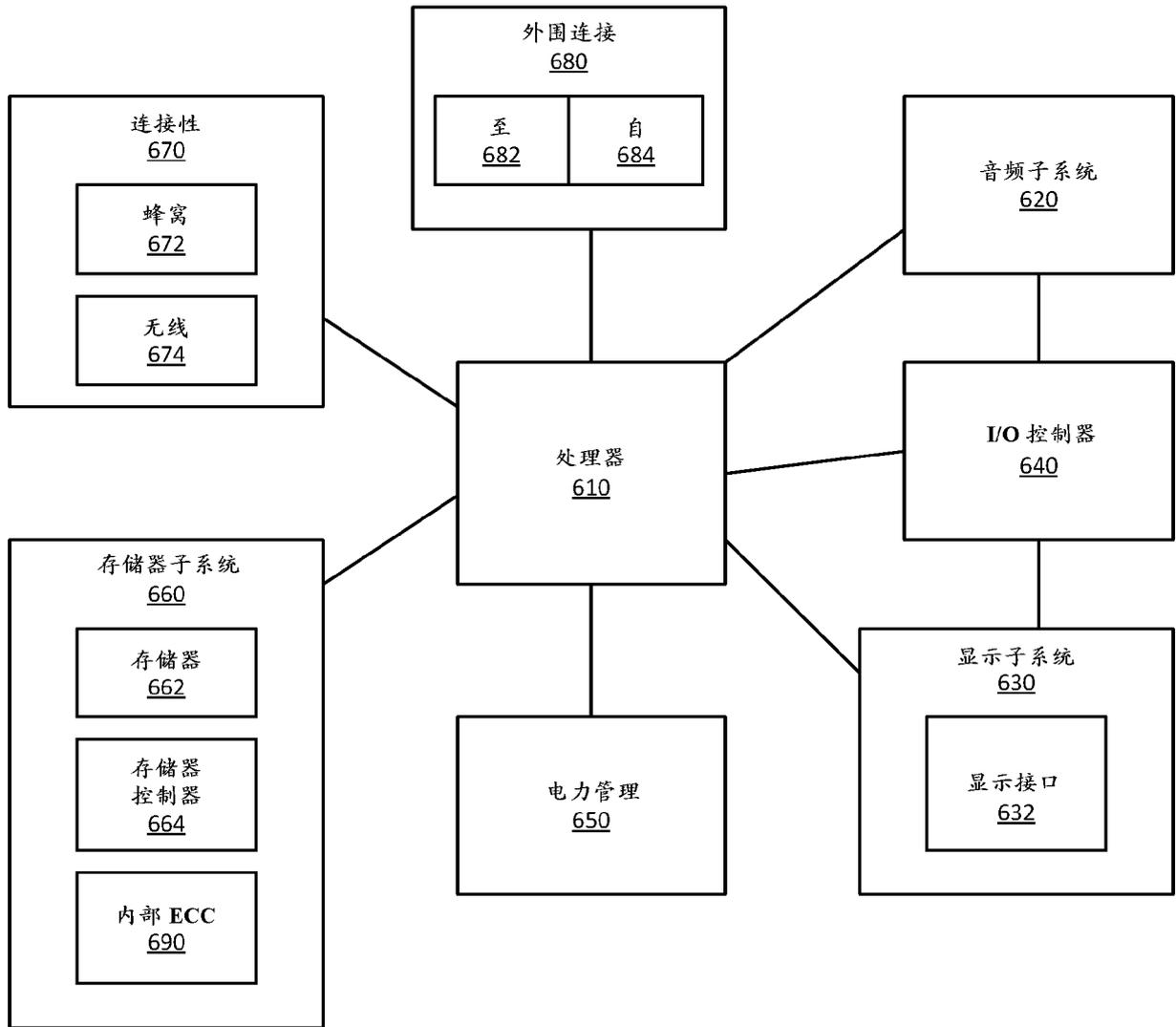


图 6