

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5366127号  
(P5366127)

(45) 発行日 平成25年12月11日 (2013.12.11)

(24) 登録日 平成25年9月20日 (2013.9.20)

(51) Int.Cl.		F I	
HO 1 L 21/82	(2006.01)	HO 1 L 21/82	M
HO 1 L 27/118	(2006.01)	HO 1 L 27/04	A
HO 1 L 21/822	(2006.01)		
HO 1 L 27/04	(2006.01)		

請求項の数 6 (全 34 頁)

(21) 出願番号	特願2008-305100 (P2008-305100)	(73) 特許権者	504378124
(22) 出願日	平成20年11月28日 (2008.11.28)		スパンション エルエルシー
(65) 公開番号	特開2010-129895 (P2010-129895A)		アメリカ合衆国 カリフォルニア州 94
(43) 公開日	平成22年6月10日 (2010.6.10)		088-3453 サニーベイル デグウ
審査請求日	平成23年8月25日 (2011.8.25)		イン ドライブ 915
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(72) 発明者	有賀 健太
			東京都新宿区西新宿二丁目7番1号 富士
			通マイクロエレクトロニクス株式会社内
		(72) 発明者	橘 大
			東京都新宿区西新宿二丁目7番1号 富士
			通マイクロエレクトロニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 アナログ集積回路

(57) 【特許請求の範囲】

【請求項1】

複数のトランジスタセルが、アレイ状に配置されたアナログ回路用セルアレイを有するアナログ集積回路であって、

前記複数のトランジスタセルは、PMOSトランジスタセルと、NMOSトランジスタセルと、を備え、

同種のトランジスタセルが、4行ずつ、4列以上連続して配置されており、4行ずつ、4列以上連続して配置された同種のトランジスタセルの中心部分の2×2個のトランジスタセルを使用したコモンセントロイド配置の、共通の重心を有する2つのトランジスタ対を備え、

前記複数のトランジスタセルの各トランジスタセルは、

隣接して順に配置された第1ソース領域、第1チャネル領域、共通のドレイン領域、第2チャネル領域および第2ソース領域と、

前記第1チャネル領域および前記第2チャネル領域上にそれぞれ配置された第1ゲート電極および第2ゲート電極と、を備え、

前記第1ゲート電極と前記第2ゲート電極は接続して使用され、

前記第1ソース領域と前記第2ソース領域は接続して使用されることを特徴とするアナログ集積回路。

【請求項2】

各トランジスタセルは、前記第1ゲート電極と前記第2ゲート電極を接続する接続電極

を備える請求項 1 に記載のアナログ集積回路。

【請求項 3】

各トランジスタセルの前記第 1 ゲート電極および前記第 2 ゲート電極は、それぞれ前記第 1 チャネル領域および前記第 2 チャネル領域の外側に伸び、外側の部分に配線コンタクトを備える請求項 1 または 2 に記載のアナログ集積回路。

【請求項 4】

各トランジスタセルの境界部分に設けられ、各トランジスタセルのウェルに給電するための拡散領域を備える請求項 1 から 3 のいずれか 1 項に記載のアナログ集積回路。

【請求項 5】

使用されるトランジスタセルの前記第 1 チャネル領域および前記第 2 チャネル領域上には、金属配線が配置されない請求項 1 から 4 のいずれか 1 項に記載のアナログ集積回路。

10

【請求項 6】

前記中心部分以外のトランジスタセルをダイオード接続した2 つのトランジスタセルであって、前記コモンセントロイド配置の各トランジスタ対の 2 個のトランジスタセルの前記第 1 ゲート電極と前記第 2 ゲート電極に接続されるトランジスタセルを備え、前記ダイオード接続した 2 つのトランジスタセルは、前記共通の重心に対して点対称の位置に配置されている請求項 1 に記載のアナログ集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、アナログ回路用セルアレイおよびそのようなアナログ回路用セルアレイを使用して形成したアナログ集積回路に関する。

【背景技術】

【0002】

所望のデジタル回路を有するデジタル集積回路を短いリードタイムで製造するために、ゲートアレイを利用することが知られている。ゲートアレイは、トランジスタや論理回路要素などの基本セルを多数アレイ状に配列したものである。これにユーザの所望のデジタル回路に応じた配線パターンを形成することにより、簡単にデジタル集積回路が製造できる。

【0003】

30

図 1 は、ゲートアレイの 4 個の基本セルに配線パターンを形成した例を示す図である。図 1 の例では、2 個の PMOS 基本セル PMOSC1 および 2 個の NMOS 基本セル NMOSC1 が隣接して配置されている。PMOS 基本セル PMOSC1 は、P 型拡散領域 PREG1 と、PREG1 の上に形成された 2 本のポリシリコンゲート電極 POLYG と、を有する。2 本の POLYG の間が P 型トランジスタのドレイン領域 DRAIN で、2 本の POLYG の両側が P 型トランジスタのソース領域 SOURCE である。すなわち、この基本セルには、2 個の PMOS トランジスタを形成できる。同様に、NMOS 基本セル NMOSC1 は、N 型拡散領域 NREG1 と、NREG1 の上に形成された 2 本のポリシリコンゲート電極 POLYG と、を有する。2 本の POLYG の間が N 型トランジスタのドレイン領域 DRAIN で、2 本の POLYG の両側が N 型トランジスタのソース領域 SOURCE である。すなわち、この基本セルには、2 個のトランジスタを形成できる。隣接する PMOSC1 の間には N 型拡散領域 NREG1 が、隣接する NMOSC1 の間には P 型拡散領域 PREG1 が、それぞれ形成される。基本セル PMOSC1 および NMOSC1 のゲート電極 POLYG、ドレイン領域 DRAIN、ソース領域 SOURCE および素子間の拡散領域 PREG1、NREG1 は、金属配線 METAL1 とコンタクト CONTACT1 により接続される。

40

【0004】

PMOSC1 および NMOSC1 を基本単位として、多数の基本単位がアレイ状に配置される。

【0005】

50

なお、図1の例では、各基本単位PMOSC1およびNMOSC1には、2個のトランジスタを形成できるが、1個のトランジスタのみを形成できる場合もある。また、各基本単位の2個のトランジスタは、駆動能力を2倍にするために、同じ動作をするトランジスタとして使用する場合もあるが、2個の個別のトランジスタとして動作するように使用することが可能である。同じ動作をするトランジスタとして使用する場合には、ドレイン領域は共通であり、2本のゲート電極および2個のソース領域はそれぞれ電氣的に接続される。また、2個の個別のトランジスタとして動作する場合には、2本のゲート電極および2個のソース領域の少なくとも一方は電氣的に接続されない。このように、各基本単位PMOSC1およびNMOSC1の2個のトランジスタは、基本的には1個ずつ使用されることを前提として形成されている。

10

**【0006】**

デジタル回路用のゲートアレイは広く知られているので、詳しい説明は省略する。

**【0007】**

近年、アナログ回路は、高い集積度を有するとともに、短いリードタイムで製造することが要望されている。

**【0008】**

デジタル回路は、0または1の所定のレベル範囲の2値信号を出力するかまたはそのような2値信号で動作すればよく、所定の製造誤差範囲であれば正常に動作する回路を容易に製造することが可能である。これに対して、アナログ回路は、電圧値や電流値などの信号のアナログ値が動作や出力に直接関係する。そのため、製造誤差による素子の特性差の影響を受け易いという問題があった。そこで、アナログ回路は、仕様に応じて個別に設計され、製造段階でも調整などを行い、所望の製造を実現していた。

20

**【0009】**

アナログ回路では、製造時のイオン注入の分布や、酸化膜厚さの分布などのために、配置位置によりトランジスタの特性に差を生じる。このような特性の差を相殺するために、コモンセントロイド配置と呼ばれる配置方法が知られている。例えば、差動アンプの差動対をなす2個のトランジスタの特性に差があるとアナログ回路の誤差が大きくなるので、差動対をなす2個のトランジスタがコモンセントロイド配置される。

**【0010】**

図2は、P型トランジスタの差動対のコモンセントロイド配置のレイアウト例を示す図である。差動対をなす一方の第1P型トランジスタPMAD1は、PMAD1AとPMAD1Bで形成され、差動対をなす他方の第2P型トランジスタPMAD2は、PMAD2AとPMAD2Bで形成される。PMAD1AとPMAD1Bは対角に配置され、PMAD2AとPMAD2Bも対角に配置され、4個のトランジスタが長方形の頂点をなす。4個のP型トランジスタPMAD1A、PMAD1B、PMAD2A、PMAD2Bのソース領域は、一層目の金属配線NDSAおよび二層目の金属配線NDSB、コンタクトCONT1およびスルーホールVIA1を介して接続される。2個のP型トランジスタPMAD1A、PMAD1Bのドレイン領域は、金属配線NDD1A、NDD1B、コンタクトCONT1およびスルーホールVIA1を介して第1の出力に接続される。2個のP型トランジスタPMAD2A、PMAD2Bのドレイン領域は、金属配線NDD2A、NDD2B、コンタクトCONT1およびスルーホールVIA1を介して第2の出力に接続される。2個のP型トランジスタPMAD1A、PMAD1Bのゲート電極は、金属配線IMOP1およびコンタクトCONT1を介して第1の入力に接続される。2個のP型トランジスタPMAD2A、PMAD2Bのゲート電極は、金属配線IPOP1およびコンタクトCONT1を介して第2の入力に接続される。

30

40

**【0011】**

図2に示すように、差動対をなす2個のトランジスタをそれぞれ2個のトランジスタで形成し、それらをコモンセントロイド配置することで、イオン注入の分布や、酸化膜厚さの分布などの影響を相殺して、差動対をなす2個のトランジスタの特性差を低減できる。

トランジスタのマッチングを悪化させる他の要因として、アンテナ効果が知られている

50

。

アンテナ効果とは、MOSトランジスタの製造時に、プラズマを使用したプロセス（製造工程）において、プラズマの電荷に起因して、MOSトランジスタのゲート酸化膜に、電氣的ストレスが加わり、信頼性の問題や、MOSトランジスタの特性変動が引き起こされることを指している。ゲート酸化膜に接続された金属配線の加工時に、加工途中の金属配線が、電荷を集めて、ゲート酸化膜に損傷を与える可能性があることから、アンテナ効果と一般に呼ばれることが多い。

プラズマプロセスでの配線加工時に、アンテナ（ゲートに接続された金属配線）が集めた電荷により、MOSトランジスタのしきい値電圧  $V_{th}$  が変動し、不均一なアンテナ効果により、差動対を構成するMOSトランジスタのマッチングが劣化することが指摘されている。

10

アンテナ効果によって、MOSトランジスタが受けるストレスを軽減するために、従来より、アンテナダイオードと呼ばれるダイオード素子を保護すべきMOSトランジスタのゲートノードへ挿入する方法が知られていた。

アンテナダイオードは、プラズマプロセスでの配線加工時に電流放電経路として働き、ゲート酸化膜の受ける損傷を防ぐ効果がある。製造後の通常の動作時には、逆バイアスされているので、多少のリーク電流と、容量、面積の増加は招くが、動作にはほとんど影響しないようになっている。

【0012】

MOSトランジスタのチャンネル上に配線がある場合と、無い場合で、トランジスタのしきい値電圧  $V_{th}$  が変化する事が知られている。

20

MOSトランジスタのチャンネルとゲート酸化膜の界面では、結晶構造が急激に変化するために、ダングリングボンドと呼ばれる未結合手が存在する。このダングリングボンドはキャリアのトラップとして働くために、水素でダングリングボンドを終端することが望ましいといわれている。チャンネル直上に金属配線がある場合、製造工程の終盤で、水素でダングリングボンドを終端するよう働くアニール工程で、水素がチャンネル界面に到達することを妨げる場合がある。従って、マッチングが必要なMOSトランジスタ上の配線は、ないほうが望ましいといわれている。あるいは、マッチングが必要なトランジスタ部分においては、MOSトランジスタのチャンネル部分の上空の配線も含めて、同じ形状でなければ

30

【0013】

【特許文献1】特開平8-97387号公報

【特許文献2】特開平11-8319号公報

【特許文献3】特公平7-28013号公報

【特許文献4】特開2001-177357号公報

【非特許文献1】Hyungcheol Shin, Zhi-Jian Ma and Chenming Hu, "Impact of Plasma Charging Damage and Diode Protection on Scaled Thin Oxide," in Proc. IEEE International Electron Device Meeting, pp.18.3.1-18.3.4, 1993.

【非特許文献2】Donggun Park, Chenming Hu, Scott Zheng, and Nguyen Bui, "A Full-Process Damage Detection Method Using Small MOSFET and Protection Diode," IEEE ELECTRON DEVICE LETTERS, VOL. 17, NO. 12, pp.563-565, DECEMBER 1996.

40

【非特許文献3】Li-Da Huang, Xiaoping Tang, Hua Xiang, D. F. Wong, and I-Min Liu, "A Polynomial Time-Optimal Diode Insertion/Router Algorithm for Fixing Antenna Problem," IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 23, NO. 1, pp.141-147, JANUARY 2004.

【非特許文献4】Hans Tuinhout, Marcel Pelgrom, Red Penning de Vries, Maarten Vertregt, "Effects of Metal Coverage on MOSFET Matching," in Proc. IEEE International Electron Device Meeting, pp.29.3.1-29.3.4, 1996.

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 1 4 】

このため、アナログ回路の集積度を高めるのは難しく、製造までのリードタイムも長いという問題があった。

## 【 0 0 1 5 】

開示の実施形態は、短いリードタイムで製造でき、高い集積度を有するアナログ回路を実現する。

## 【課題を解決するための手段】

## 【 0 0 1 6 】

実施形態に開示されたアナログ回路用セルアレイは、複数のトランジスタセルが、アレイ状に配置されたアナログ回路用セルアレイであり、回路仕様に応じて配線パターンを形成することにより、高い集積度を有する所望のアナログ回路が短いリードタイムで製造できる。各トランジスタセルは、隣接して順に配置された第1ソース領域、第1チャネル領域、共通のドレイン領域、第2チャネル領域および第2ソース領域と、第1チャネル領域および第2チャネル領域上にそれぞれ配置された第1ゲート電極および第2ゲート電極と、を備え、第1ゲート電極と第2ゲート電極は接続して使用され、第1ソース領域と第2ソース領域は接続して使用される。

## 【発明の効果】

## 【 0 0 1 7 】

実施形態のアナログ回路用セルアレイは、回路仕様に応じて配線パターンを形成するだけで高精度のアナログ回路を容易に製造できるので、製造のリードタイムを大幅に短縮できる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 8 】

図3は、実施形態のアナログ回路用セルアレイの基本構成を示す図である。図3に示すように、実施形態のアナログ回路用セルアレイは、PMOS基本セルPMOSC2を4行12列で配列したPMOSアレイARYP1と、NMOS基本セルNMOSC2を4行12列で配列したNMOSアレイARYN1と、を有する。このアナログ回路用セルアレイを有する半導体装置は、このほかに、入力信号端子、出力信号端子、電源端子などを有し、さらにアナログ回路用セルアレイを動作させるために必要な回路部分なども有するが、ここでは図示を省略している。また、ゲートアレイなどのデジタル回路部分に、図3のアナログ回路用セルアレイを搭載して、アナログ/デジタル回路混載半導体装置を実現することも可能である。これら48個のPMOS基本セルPMOSC2および48個のNMOS基本セルNMOSC2に配線パターンを形成して所望のアナログ回路を実現する。

## 【 0 0 1 9 】

図3に示すように、PMOSアレイARYP1およびNMOSアレイARYN1は、4行の基本セル列を有する。差動対などをなすトランジスタ対など特性差が小さいことを要求されるトランジスタは、2行目および3行目の基本セルで実現することが望ましい。すなわち、高精度を要求されるトランジスタなどは、PMOSアレイARYP1およびNMOSアレイARYN1のエッジに隣接しない基本セルを使用して形成する。また、後述するアンテナダイオードなど、特性誤差の許容範囲の大きな素子は、1行目および4行目の基本セルで実現しても、精度低下の問題は生じない。

## 【 0 0 2 0 】

高精度のトランジスタなどを、PMOSアレイARYP1およびNMOSアレイARYN1のエッジに隣接しない基本セルで形成し、コモンセントロイド配置するには、PMOSアレイARYP1およびNMOSアレイARYN1は4行、4列の構成が最小となる。しかし、行数および列数はこれらより大きくてもよく、例えば、6行6列のNMOSアレイと6行6列のPMOSアレイを用いることも可能である。また、単純なアナログ回路は少ない基本セルで実現可能であるが、複雑なアナログ回路を実現するには多数の基本セルが必要である。従って、アレイ構成の異なる複数種類のアナログ回路用セルアレイを用意しておき、実現するアナログ回路に応じて適宜選択可能にすることが望ましい。

## 【 0 0 2 1 】

図4は、図3のPMOSアレイARYP1における4×4のPMOS基本セルPMOSC2の部分を示す図である。図4に示すように、1個のPMOSC2は、P型拡散領域PREG1と、2個のポリシリコンゲート電極POLYG1、POLYG2と、を有する。以下、PREG1は実線の矩形パターンとして示し、POLYGはクロス斜線のハッチング図形として示した。また、特に断らない限り、同じ層のパターンは同じ方法で図示するものとし、説明の重複を避けるものとする。2個のポリシリコンゲート電極POLYG1、POLYG2の下部分のP型拡散領域PREG1が、第1および第2チャンネル領域である。2個のポリシリコンゲート電極POLYG1、POLYG2の間のP型拡散領域PREG1の部分が、共通ドレイン領域である。2個のポリシリコンゲート電極POLYG1、POLYG2の外側のP型拡散領域PREG1の部分が、第1および第2ソース領域である。ここでは、1個のPMOSC2は二点鎖線で示す範囲を有し、このようなPMOSC2が4行×12列で配列され、各行の間にはN型拡散領域NREG1が連続して設けられる。第1および第2チャンネル領域の幅は、適切なチャンネル長、すなわちゲート長に設定され、ゲート長は例えば2μmである。P型拡散領域PREG1の幅は、チャンネル幅、すなわちゲート幅であり、ゲート幅は例えば10μmに設定される。ゲート長およびゲート幅は、アナログ回路の仕様およびレイアウトの容易さなどから決定される。なお、以下の説明では、POLYG1およびPOLYG2をまとめてPOLYGと称する場合がある。

10

## 【 0 0 2 2 】

図5は、図4に示したPMOS基本セルPMOSC2の部分に、一層目の金属配線METAL1を形成した状態を示す。後述するように、実際にアナログ回路を形成する場合には、各基本セルのポリシリコンゲート電極POLYG、ドレイン領域およびソース領域は、ほかの基本セルの電極、電源電極、入力端子および出力端子などに、一層目の金属配線METAL1を介して接続される。しかし、ここでは説明を簡単にするために、電極間の接続が行われない状態を示している。

20

## 【 0 0 2 3 】

図5では、METAL1はクロス斜線のハッチング図形として示、CONT1は正方形とその頂点を対角線で結んだ図形として示している。

## 【 0 0 2 4 】

図5に示すように、PMOS基本セルPMOSC2は、2個のポリシリコンゲート電極POLYG1、POLYG2のP型拡散領域PREG1外に伸びた上下部分に設けられた4個のコンタクトGATE1、GATE2、GATE3、GATE4と、中央の共通ドレイン領域の上に設けられたドレイン電極DRAIN1と、両側のソース領域の上に設けられたソース電極SOURCE1、SOURCE2と、を有する。さらに、1行目の基本セルの上側および4行目の基本セルの下側のN型拡散領域NREG1の上には一層目の金属配線METAL1が設けられ、NREG1に接続される。2個のポリシリコンゲート電極POLYG1とPOLYG2および2個のソース電極SOURCE1とSOURCE2は、ドレイン電極DRAIN1に対して対称に配置される。これにより、基本セルPMOSC2には、2個の同じサイズのPMOSTランジスタが形成される。4個のコンタクトGATE1、GATE2、GATE3、GATE4は、2個のPMOSTランジスタのゲートとMETAL1との接続のためのコンタクト部分である。DRAIN1は、2個のPMOSTランジスタの共通ドレイン電極であり、SOURCE1、SOURCE2は2個のPMOSTランジスタのソース電極である。

30

40

## 【 0 0 2 5 】

図4および図5では、PMOS基本セルPMOSC2がレイアウトの基本単位であり、基本セルはP型トランジスタのバックゲート電極となるN型拡散領域NREG1を、上下の境界部分に有する。

## 【 0 0 2 6 】

後述するように、使用される基本セルの2個のゲート電極は共通に接続され、2個のソ

50

ース電極は共通に接続される。これにより、基本セル単位で、電流の向きが反対となる2つのトランジスタの並列接続が実現される。

【0027】

微細化のすすんだMOSトランジスタの製造工程では、斜め方向からイオンを注入するような工程が採用されることがある。このような場合、例えば、ポリシリコンゲート電極POLYGの右側と左側で、ソース、ドレインの拡散層の高濃度領域とゲート電極のオーバーラップ幅が異なることが起こりえる。これは、POLYGの右側と左側で、実効の寄生抵抗が異なる状況を生じさせる。そのため、POLYGの右側拡散層をソース、左側拡散層をドレインとする場合と、POLYGの左側拡散層をソース、右側拡散層をドレインとする場合で、MOSトランジスタの特性が異なる状況を生じる。このような製造工程の性質から、マッチングの必要なトランジスタ同士では、電流の流れる向きまで含めて、素子の形状、素子の使用法をそろえる必要がある。以下、しきい値電圧 $V_{th}$ やドレイン電流などの素子特性を一致させることをマッチングと称する。

10

【0028】

ところが、レイアウト時の電流の向きは、回路結線を確認するLVSと呼ばれるソフトウェアやDRCと呼ばれるソフトウェアでは、確認することができない。なぜなら、MOSトランジスタの電流の流れる向きを知るためには、回路の動作を理解し、マッチングが必要な素子を認識するという複雑な回路の全体の理解が必要となるためである。このため、従来は、電流の向きまで含めた素子の配置の同一性の確認は人手に頼るのが一般的であった。

20

【0029】

そのため、単一のMOSトランジスタのソース、ドレインを入れ替えることで、特性が変動し、例えば、ソース、ドレインの実効寄生抵抗が異なるような場合には、電流の流れる方向まで考慮して、対称性を確保することが望ましい。

【0030】

図5のレイアウトでは、PMOS基本セルPMOSC2を、ドレインを共通とする2つのPMOSトランジスタとすることで、ソースからドレインに流れる電流の向きが異なる2つのトランジスタが基本セル内に含まれるようにできる。これにより、基本セルを単位として、基本セルと基本セルを、例えば、コモントロイド配置とすると、基本セル内部での電流の向きを考慮しなくても必然的に、電流の向きが異なるトランジスタの電流の合計電流を加算して、電流の向きが異なるMOSトランジスタの不一致を相殺できるようになる効果が得られる。

30

【0031】

また、PMOS基本セルPMOSC2は、PMOSのバックゲート電極となるN型拡散領域NREG1を含み、基本セル構造に基板あるいはWELL給電のための拡散領域を含むよう構成することで、N型WELLの給電部分を別途用意する必要がなくなる。

【0032】

基本単位を電流の向きが反対となる2つのトランジスタの並列接続としておくことで、図5の基本セルの構造を守っている限り、電流の向きを詳細に考慮したり、検証する必要がなくなる利点が得られる。つまり、電流の向きが異なることによる特性のずれを見落とす可能性をゼロとできる。

40

【0033】

アナログ回路で、オフセット電圧をできるだけ小さくするためには、使用するトランジスタの特性をできるだけ一致させておかなければならない。レジストの露光の不均一性やエッチング時の不均一性の影響を避けるために、同じ形状のMOSトランジスタを使用し、精度を必要とする素子の周辺にダミー素子を配置することが、従来より一般的だった。ところが、最近の微細化のすすんだMOSトランジスタにおいては、意図的にチャネルに応力を加えることにより電流駆動能力の向上を図る場合があることから分かるように、素子分離領域の応力の違いによる移動度の変化が無視できない。トレンチ型の分離構造が採用されることが多いので、この分離領域の形状、ソース、ドレインの電極部分の形状、

50

分離領域との比率など、M O S トランジスタのチャネル部分の応力に影響する要素も、すべて同じ構造となるように配慮、配置する必要がある。

【 0 0 3 4 】

同一形状の P M O S トランジスタを繰り返しならべた構造においても、N 型の W E L L 給電部分は、必ずどこかに必要となる。さらに、N 型の W E L L 給電部分を、例えば、P M O S トランジスタを繰り返し並べた構造の一番外側に配置するような方法を採用すると、W E L L 給電部分自体が分離領域の形状の同一性を損なうことに、発明者らは、気づいた。つまり、W E L L 給電部分も含めて、同一の形状を繰り返すほうが、分離領域まで含めたトランジスタ構造の対称性、同一性が確保できるので望ましい。そのため、このような対称性を実現するための、基本トランジスタセル構造、配線構造を、工夫する必要がある。

10

【 0 0 3 5 】

図 5 のレイアウトは、この W E L L 給電部分も含めて、同一の形状を繰り返し、かつ素子への配線が可能な構造となっている。図 5 は N 型の W E L L への給電部分 N R E G 1 も含めて、P M O S 基本セル P M O S C 2 が繰り返し構造となっていることを示している。2 点鎖線で示した基本セル P M O S C 2 が縦、横に繰り返され、上下のセルで、N R E G 1 が共有される構造となっている。P M O S 基本セル P M O S C 2 の境界を表す 2 点鎖線が N 型 W E L L の給電領域 N R E G 1 の中央部分にあるのは、このことを表わしている。このようなセル構造（基本構造）とすることで、分離領域まで含めたトランジスタ構造の対称性、同一性が保たれ、チャネル部分の応力の違いを極力小さくする効果が得られる。これにより移動度の一致の程度が向上する。

20

【 0 0 3 6 】

さらに、4 個のコンタクト G A T E 1 , G A T E 2 , G A T E 3 , G A T E 4 をあらかじめ用意しておき、各コンタクトを独立して M E T A L 1 に接続できるようにすることで、どの方向からでもゲートに給電することが可能となり、またゲート配線部分の規則性も向上する効果が得られる。

【 0 0 3 7 】

上記のように、使用される基本セルの 2 個のゲート電極は共通に接続して使用される。そこで、図 4 に示した 2 個の各基本セルのポリシリコンゲート電極 P O L Y G を、接続された形で形成してもよい。図 6 は、接続された形で形成した基本セルのポリシリコンゲート電極 P O L Y G に対して一層目の金属配線 M E T A L 1 を形成した状態を示す。

30

【 0 0 3 8 】

図 5 に示した 2 つのトランジスタのゲートが独立した構造では、例えば、パワーダウン用の素子などで、電流の流れる方向を気にしなくてよい場合には、ソース電極とドレイン電極を入れ替えて、2 つの独立なトランジスタとして使用できる可能性を残している。しかし、電流の異なる 2 つのトランジスタを基本セル内で並列接続するという基本的な考え方からは、図 6 のように、基本セル内部で、2 個のゲートを直接 P O L Y G 配線で接続してしまってもかまわない。配線もできるだけ対称に配置しておくことが望ましいこと、配線だけの回路変更の可能性を考慮すると、P O L Y G と M E T A L 1 とのコンタクト部分は 4 箇所となるが、この 4 つのゲートと M E T A L 1 接続部分に配線するだけで、基本セル内部のゲートに電位を供給、接続できるので、信号配線の引き出しの自由度が大きくなる効果が得られる。

40

【 0 0 3 9 】

次に、実施形態のアナログ回路用セルアレイにおける配線について説明する。

【 0 0 4 0 】

M O S トランジスタのチャネル上に配線がある場合と、ない場合で、トランジスタのしきい値電圧  $V_{th}$  が変化することが知られている。M O S トランジスタのチャネルとゲート酸化膜の界面では、結晶構造が急激に変化するために、ダングリングボンドと呼ばれる未結合手が存在する。このダングリングボンドはキャリアのトラップとして働くために、水素でダングリングボンドを終端することが望ましいといわれている。チャネル直上に金

50



属配線がある場合、製造工程の終盤で、水素でダングリングボンドを終端するよう働くアニール工程で、水素がチャンネル界面に到達することを妨げる場合がある。従って、マッチングが必要なMOSトランジスタ上の配線は、ないほうが望ましいといわれている。あるいは、マッチングが必要なトランジスタ部分においては、MOSトランジスタのチャンネル部分の上部の配線も含めて、同じ形状でなければならないといわれている。

#### 【0041】

トランジスタのしきい値電圧 $V_{th}$ の変化を避けるために、図5のレイアウトにおいて、P型拡散領域PREG1と2個のポリシリコンゲートPOLYGが重なった領域、すなわちトランジスタの反転層が形成されるチャンネル上部には配線を置かないことが必要である。

10

#### 【0042】

図7は、1個のPMOS基本セルPMOSC2における配線例を示す図であり、(A)は一層目の金属配線METAL1を配線した状態を、(B)は二層目の金属配線METAL2を配線した状態を示す。図7の(A)および(B)に示すように、PMOS基本セルPMOSC2は、横方向(電流経路方向)の一層目金属配線METAL1の配線チャンネルを少なくとも3つ備える。基本セル構造内の2つの横方向METAL1配線チャンネルと、隣接基本セルと共有する横方向METAL1配線チャンネルを1つ備える(共有なので $0.5 + 0.5 = 1$ )。場合によっては、基本セル構造内の横方向METAL1配線チャンネルは5つであってもかまわない。いずれにしろ、PMOSTランジスタの電流チャンネル上には配線を配置しない。

20

#### 【0043】

また、PMOS基本セルPMOSC2は、縦方向(ゲート幅方向)の二層目金属配線METAL2の配線チャンネルを少なくとも4つ備える。基本セル構造内に3つの縦方向METAL2配線チャンネルと、隣接基本セルと共有する縦方向METAL2配線チャンネルを1つ備える。基本セル構造内の3つの縦方向METAL2配線チャンネルは、基本セルPMOSC2のドレイン電極およびソース電極(METAL1)の上部とする。場合によっては、基本セル構造内のMETAL2配線チャンネルは6つであってもかまわない。また、隣接基本セルと共有する縦方向METAL2配線チャンネルの下部は、METAL1配線の縦方向配線にも使用できる。

#### 【0044】

30

上記のように、横方向(電流経路方向)の一層目金属配線METAL1の基本セル構造内の2つの横方向METAL1配線チャンネルと、隣接基本セルと共有する横方向METAL1配線チャンネルを1つ備えることで、WELL給電のための配線のほかに、2つの横方向信号配線を用意できる。

#### 【0045】

また、基本セルの構造を、ドレインを共通、ソースを独立な2つの電極としたので、2つのソース、ドレイン、ゲート、WELLの5つのノードをMETAL1で配線しなければならない。これを可能とするために、ゲートとPOLYGのコンタクト部分のMETAL1とは別に配線チャンネルが必要となる。セル構造の対称性を保つためには、隣接セルと共有するMETAL1配線チャンネルのほかに偶数本のMETAL1配線チャンネルを用意することが必要である。

40

#### 【0046】

さらに、METAL1配線チャンネルをMOSトランジスタの電流が流れる電流チャンネル(POLYGとPREG1が重なる部分)を避けて、用意することで、ゲートチャンネルの上部部分に金属配線を配置しない構造が可能となり、金属配線による $V_{th}$ の変動を避けることが可能となり、相対精度が向上する。

#### 【0047】

同様に、基本セルPMOSC2のMETAL1で構成されるドレイン電極、ソース電極の上部とし、縦方向(ゲート幅方向)の二層目金属配線METAL2の配線チャンネルを、基本セル構造内に3つの縦方向METAL2配線チャンネルと、隣接基本セルと共有する縦

50

方向METAL2配線チャンネルを1つとすることで、4つの縦方向信号配線可能な領域を確保できる。

【0048】

METAL2配線チャンネルをMOSトランジスタの電流が流れる電流チャンネル(POLYGとPREG1が重なる部分)を避けて、用意することで、電流チャンネルの上部部分に金属配線を配置しない構造が可能となり、金属配線によるV<sub>th</sub>の変動を避けることが可能となり、相対精度が向上する。そして、METAL2配線チャンネルをMOSトランジスタの電流が流れる電流チャンネルを避けるために、METAL1で構成されるドレイン電極、ソース電極の上部を、METAL2の配線チャンネルとし、隣接セルと共有するチャンネルを設けることで、セル構造の対称性を保つことができる。

10

【0049】

図8は、実施形態のレイアウトにおける配線チャンネルの考え方を説明するための図であり、縦方向配線および横方向配線を回路接続とは関係なく可能な配線として示している。

【0050】

PMOSトランジスタの電流チャンネル部分の上部を配線禁止とするので、METAL2配線は、縦方向に伸びる。PMOS基本セルPMOSC2同士で共有するセル間の縦方向配線、ソース上、ドレイン上の配線の4本の配線が、1列あたりに可能な縦方向METAL2配線となる。横方向METAL1配線は、NREG1上の配線に加えて、NREG1とゲートコンタクト部分との隙間の横方向配線が可能なMETAL1の横方向配線となる。つまり、基本セル1行あたり、3本の横方向METAL1配線が可能な構造となっている。NREG1上の配線チャンネルは、上下の隣接セルと共有されている。

20

【0051】

NREG1配線は原則としてVDD配線とすることがNREG1へのVDD給電の観点から望ましいが、必要であれば、特定の部分で、VDDではなく信号配線として使用する。NREG1のすべての領域でVDDを必ずMETAL1から給電しなければならないわけではないことを利用すれば、NREG1上のある部分のMETAL1配線を信号配線として使用できる。さらに、P型基本セルの場合、NREG1上の配線は、原則としてVDD配線となるが、必要なときには、局所的に信号配線として使用可能である。基本セルの左右の端に、縦方向のMETAL1配線が図示されているのは、縦方向METAL2配線の直下をMETAL1配線領域としても使用できることを示している。あるいは、このセルとセルの左右の境界をMETAL1の縦方向配線として使用できるように、セル構造を設計している。このように、セル境界部分をMETAL1配線が通過可能として縦方向に信号を接続可能なセル構造を採用しておくことで、後述するようなアンテナダイオードの接続が可能となる効果が得られる。

30

【0052】

以上、PMOSアレイARYP1における4×4のPMOS基本セルPMOSC2の部分の構成を説明したが、NMOSアレイARYN1における4×4のNMOS基本セルNMOSC2の部分の構成は、拡散層の極性が逆であることを除けば同様であり、図示および説明は省略する。

【0053】

次に、上記のような実施形態のアナログ回路用セルアレイを利用してシリーズレギュレータのバンドギャップ回路を形成する実施形態を説明する。

40

【0054】

マイクロコントローラ(MCU)は、電子機器のプログラマブルな部品として使用される。半導体加工技術の進歩、つまり微細化の進展とともに、MCUの適用される領域はますます拡大している。微細化の進展とともに、MCUの処理能力の向上が続いていることと、機能あたりのコストの低下が継続していることが背景として挙げられる。微細化の進展とともに、デジタル回路を構成する微細MOSトランジスタの素子耐圧は下がっている。例えば、ゲート長0.18μmのCMOS回路では、電源電圧は1.8V程度が一般的である。一方、自動車用途などでは、MCUのインタフェース電圧として伝統的な5Vが

50

求められることも多い。MCU外部から供給する電源電圧、インタフェース電圧は例えば、5Vとすることが求められ、一方、内部回路の素子耐圧から決まるデジタル回路部分の電源電圧は、例えば、1.8Vとすべき場合がある、このような場合には、外部部品を削減するために、MCUにシリースレギュレータを搭載し、外部から供給した5V電源から1.8V電源を発生し、内部のデジタル回路に供給するような構成が一般的となっている。

#### 【0055】

図9は、シリースレギュレータ回路の一例を示す図であり、外部から供給した5V電源から1.8V電源を発生するシリースレギュレータの一般的な構成を示す。シリースレギュレータは、基準電圧を発生するバンドギャップ回路BGR1と、誤差アンプEAMP1と、出力トランジスタPMP1と、レギュレータ出力電位を分圧する抵抗分圧回路を有する。抵抗分圧回路は、レギュレータ出力電位を分圧する抵抗RF1と抵抗RF2を有する。図9において、Vbgrはバンドギャップ回路BGR1が出力する基準電圧を、EAMP01は誤差アンプEAMP1の出力を、VOUTはレギュレータ出力を、DIVO1は抵抗分圧回路の出力を、VDDは例えば外部から供給する5V電源を、GNDはGND電位(0V)を、示している。以下の説明では、Rで始まる素子名は抵抗を、PMで始まる素子名はPMOSトランジスタを、表わしているものとする。

#### 【0056】

図9のレギュレータ回路では、バンドギャップ回路BGR1が、温度、電源電圧に依存しない基準電圧であるバンドギャップ電圧Vbgr(1.2V)を発生する。RF1とRF2の抵抗分圧回路は、レギュレータ出力電位VOUTを、例えば、2/3に分圧した分圧出力を発生する。誤差アンプEAMP1により、出力トランジスタPMP1のゲートを制御し、抵抗分圧回路出力DIVO1と、基準電圧(バンドギャップ電圧)Vbgr(1.2V)が一致するように負帰還制御する。

#### 【0057】

レギュレータ出力 $\times 2/3$ の電位DIVO1と、バンドギャップ電圧の電位Vbgr(1.2V)が一致するので、例えば、レギュレータ出力電位VOUTは、温度、電源電圧、負荷電流に(理想的には)依存せず、1.8Vの一定電位に制御される。

#### 【0058】

バンドギャップ電圧は、理想的には、1.2V程度の電位となり、温度、電源電圧に依存しないが、実際には、CMOSバンドギャップ回路を構成するMOSトランジスタの誤差などに起因して、回路毎にその出力電圧は変化する。典型的なCMOSバンドギャップ回路では、例えば、 $1.2V \pm 8\%$ 程度の出力電位の絶対値の幅がある。

#### 【0059】

基準電圧Vbgrが、例えば、 $1.2V \pm 8\%$ とすると、レギュレータ出力電位VOUTも、上の例では(誤差アンプのオフセット電圧を無視すると)、 $1.2V \pm 8\%$ となり、変動幅を絶対値で表現すると、 $1.2V \pm 140mV$ となる。つまり、レギュレータ出力電位VOUTは1.8Vを中心として、1.66Vから1.94Vに分布する。

#### 【0060】

レギュレータの出力電圧VOUTは、ゲート長 $0.18\mu m$ のCMOS回路で構成されたロジック回路の電源電圧となるので、サンプルによっては、MCUのロジック回路の電源電圧が1.66Vとなり、別のサンプルでは、MCUのロジック回路の電源電圧が1.94Vとなることを意味している。

#### 【0061】

MCUのロジック回路の電源電圧が低い場合には、ロジック回路を構成する基本回路の遅延時間が大きくなるので、動作周波数の面から不利になる。一方、MCUのロジック回路の電源電圧の上限は、素子の信頼性の観点(例えばTDD(Time-Dependent Dielectric Breakdown、酸化膜経時破壊)、ホットキャリア劣化などの観点)から、例えば2.0V以下としたいなどの制限がある。

#### 【0062】

10

20

30

40

50

レギュレータの出力電位の誤差が大きいと、信頼性から決まる電源電圧の上限を満足しながら、動作速度の要請から決まるレギュレータの出力する電源電圧の下限を同時に満足することが難しくなる。

【 0 0 6 3 】

例えば、レギュレータ回路においては、このような背景から、バンドギャップ回路の出力電圧精度をできるだけ改善することが要求されている。

【 0 0 6 4 】

図 1 0 は、バンドギャップ回路の一例を示している。アナログ集積回路では、温度、電源電圧に依存しない基準電圧が必要な場合、バンドギャップ回路と呼ばれる基準電圧回路が広く用いられている。デジタル回路との混載が容易なことから重要な C M O S アナログ集積回路においても、バンドギャップ回路は、安定な基準電圧回路として広く用いられてきた。

10

【 0 0 6 5 】

バンドギャップ回路では、順バイアスされた p n 接合の電位と、絶対温度 ( T ) に比例 ( P T A T、Proportional To Absolute Temperature と一般に称されている ) する電圧を加算することで、温度に依存しない基準電圧を得る各種の回路が考案され実用に供されてきた。順バイアスされた p n 接合の電位は ( p n 接合の電位を 1 次式で近似すれば、あるいは、1 次式で近似できる範囲内では )、CTAT ( Complementary To Absolute Temperature : 絶対温度に対して負の線形依存性 ) であることが知られている。この順バイアスされた p n 接合の電位に ( 適切な ) P T A T 電圧を加算することで、ほぼ温度に依存しない基準電圧が得られることが知られている。

20

【 0 0 6 6 】

このようなバンドギャップ回路の典型的な回路例を図 1 0 に示している。図 1 0 において、Q 1、Q 2 は p n p バイポーラトランジスタ ( 以下 p n p B J T と略す ) を、R 1、R 2、R 3 は抵抗 ( その抵抗値も R 1、R 2、R 3 で示すものとする。 ) を、AMP 1 はオペアンプ回路を、G N D は G N D 端子を、V b g r は出力基準電位を、N O D E 1、I M、I P は内部のノードを、示している。抵抗に添えられた値は、抵抗値の例を、B J T に添えられた数字は、B J T の相対的な面積の比を示す。

【 0 0 6 7 】

図 1 0 のバンドギャップ回路の動作を簡単に説明する。B J T のベース、エミッタ間電圧あるいは、p n 接合の順方向電圧を V b e で表わすと、その、p n 接合の順方向電圧と絶対温度 T の関係は、概略、式 ( 1 ) となることが知られている。

30

【 0 0 6 8 】

$$V_{be} = V_{eg} - aT \quad (1)$$

( V b e : p n 接合の順方向電圧、V e g : シリコンのバンドギャップ電圧、約 1 . 2 V、a : V b e の温度依存性、約 2 m V / ° C、T : 絶対温度 ) ( a の値はバイアス電流により異なるが、実用領域で、概略 2 m V / ° C 程度となることが、知られている。 )

また、B J T のエミッタ電流 I E と電圧 V b e の関係は、概略、式 ( 2 ) となることが知られている。

【 0 0 6 9 】

$$I_E = I_0 \exp ( q V_{be} / k T ) \quad (2)$$

( I E : B J T のエミッタ電流あるいはダイオードの電流、I 0 : 定数 ( 面積に比例 )、q : 電子の電荷、k : ボルツマン定数 )

40

オペアンプ AMP 1 による負帰還により、AMP 1 の電圧利得が十分大きい場合には、AMP 1 の入力 I M と I P の電位がほぼ等しくなって回路が安定する。このとき、図 1 0 に示すように、R 1 と R 2 の抵抗の値を、例えば 1 : 1 0 ( 1 0 0 k : 1 M ) に設計しておく、と、Q 1 と Q 2 に流れる電流の大きさは、1 0 : 1 となり、Q 1 に流れる電流を 1 0 I で、Q 2 に流れる電流を I で表わす。( Q 1、Q 2 の下に添えられた I × 1 0 と I は、この電流の相対関係を示す。 )

仮に、Q 2 のエミッタ面積は、Q 1 のエミッタ面積の 1 0 倍とし ( 図 1 0 の Q 1、Q 2

50

に添えられた  $\times 1$ 、 $\times 10$  は、このエミッタ面積の相対関係を示す。) 、 $Q1$  のベース、エミッタ間電圧を  $V_{be1}$  で、 $Q2$  のベース、エミッタ間電圧を  $V_{be2}$  で表わすと、式 (2) より、式 (3) と式 (4) の関係があることがわかる。

【0070】

$$10 \times I = I0 \exp(q V_{be1} / k T) \quad (3)$$

$$I = 10 \times I0 \exp(q V_{be2} / k T) \quad (4)$$

両辺それぞれを割り算し、 $V_{be1} - V_{be2} = V_{be}$  と表わすと、式 (5) 、式 (6) が得られる。

【0071】

$$100 = \exp(q V_{be1} / k T - q V_{be2} / k T) \quad (5)$$

$$V_{be} = (k T / q) \ln(100) \quad (6)$$

つまり、 $Q1$  と  $Q2$  のベース、エミッタ間電圧の差、 $V_{be}$  は、 $Q1$  と  $Q2$  の電流密度比 100 の対数 ( $\ln(100)$ ) と熱電圧 ( $k T / q$ ) で表わされる。この  $V_{be}$  が抵抗  $R3$  の両端の電位差に等しいので、抵抗  $R2$ 、 $R3$  には、 $V_{be} / R3$  の電流が流れる。

【0072】

従って、抵抗  $R2$  の両端の電位差  $V_{R2}$  は、式 (7) で表わされる。

【0073】

$$V_{R2} = V_{be} R2 / R3 \quad (7)$$

$I_P$  の電位と、 $I_M$  の電位は、 $V_{be1}$  で等しいので、基準電圧  $V_{bgr}$  の電位は式 (8) で表わされる。

【0074】

$$V_{bgr} = V_{be1} + V_{be} R2 / R3 \quad (8)$$

$p n$  接合の順方向電圧  $V_{be1}$  は温度の上昇にともなって減少する負の温度依存性を持ち (式 (1) :  $V_{be} = V_{eg} - a T$ ) 、一方  $V_{be}$  は式 (6) に示されるように温度に比例して大きくなる。適切に定数を選ぶことで、基準電圧  $V_{bgr}$  の値が温度に依存しないように設計できる。そのときの  $V_{bgr}$  の値は、シリコンのバンドギャップ電圧に相当する約  $1.2 V$  ( $1200 mV$ ) となる。

【0075】

このように、図 10 の回路では、回路定数を適切に選ぶことで、温度に依存しないバンドギャップ電圧を比較的簡単な回路で発生することが可能となっていた。

【0076】

図 10 のバンドギャップ回路では、上で説明したように、比較的単純な回路で、基準電圧を発生できる利点があったが、一方、次に説明するような欠点もあった。

【0077】

図 11 に、図 10 のバンドギャップ回路の問題点を示す。

【0078】

図 11 において、 $Q1$ 、 $Q2$  は  $p n p$  バイポーラトランジスタ (以下  $p n p B J T$  と略す) を、 $R1$ 、 $R2$ 、 $R3$  は抵抗 (その抵抗値も  $R1$ 、 $R2$ 、 $R3$  で示すものとする。) を、 $IAMP1$  は理想オペアンプ回路を、 $GND$  は  $GND$  端子を、 $V_{bgr}$  は出力基準電位を、 $NODE1$ 、 $I_M$ 、 $I_P$  は内部のノードを、 $V_{OFF}$  はオペアンプのオフセット電圧を表わす等価電圧源を、 $IIM$  は理想オペアンプ  $IAMP1$  の - 側の入力端子を、示している。抵抗に添えられた値は、抵抗値の例を、 $B J T$  に添えられた数字は、 $B J T$  の相対的な面積の比を示す。

【0079】

図 10 のバンドギャップ回路の問題点を説明するために、図 10 の  $AMP1$  を、図 11 では、理想オペアンプ  $IAMP1$  と、等価オフセット電圧  $V_{OFF}$  で示した。基本的な動作は図 10 の説明で述べたので、図 11 では、オフセット電圧  $V_{OFF}$  が出力  $V_{bgr}$  の電圧にどう影響するかを説明する。

【0080】

10

20

30

40

50

CMOS回路で、バンドギャップ回路、とくに図10のような回路を構成する場合、オペアンプのオフセット電圧の影響は避けることができない。理想的には、図10のAMP1の入力電位 $I_M$ と $I_P$ が等しい場合、AMP1の出力電位は、(例えば)電源電圧の1/2程度の電位となる。しかし実際の集積回路では、アンプを構成する素子の特性が完全に一致することはないので、AMP1の出力電位が、(例えば)電源電圧の1/2程度の電位となる電位は、それぞれのアンプによって異なり、そのときの入力電位の差電位はオフセット電圧と呼ばれる。典型的なオフセット電圧は $\pm 10\text{ mV}$ 程度であることが知られている。

#### 【0081】

このような、現実のアンプの特性がバンドギャップ回路の出力電位に、どう影響するかを説明するために、図11では、図10のAMP1を、理想オペアンプ $IAMP1$ と、等価オフセット電圧 $VOFF$ で示している。理想オペアンプ $IAMP1$ のオフセット電圧は $0\text{ mV}$ とする。

#### 【0082】

図10の理想的な回路では、 $I_M$ と $I_P$ の電位が一致した。一方、現実の回路では、仮想的な理想オペアンプ入力 $IIM$ と $IP$ の電位が一致するので、 $I_M$ と、 $I_P$ の電位は、オフセット電圧 $VOFF$ に相当する電位に相当する値分ずれる。簡単のために、理想状態で抵抗 $R3$ の両端に加わる電位差を式(9)で表わす。

#### 【0083】

$$VR3 = Vbe \quad (9)$$

図11の抵抗 $R3$ に加わる電位差 $VR3'$ は概略式(9')で表わされる。(VOFFはオフセット電圧VOFFの値を示すものとする。)

$$VR3' = Vbe + VOFF \quad (9')$$

抵抗 $R2$ の両端の電位差 $VR2'$ は、式(10)で表される。

#### 【0084】

$$VR2' = (Vbe + VOFF) R2 / R3 \quad (10)$$

したがって、 $Vbgr$ は式(11)で表わされる。

#### 【0085】

$$Vbgr = Vbe1 + VOFF + (Vbe + VOFF) R2 / R3 \quad (11)$$

図3のように $R2 / R3 = 5$ とすると、 $Vbgr$ の値は、理想値にオフセット電圧を(約)6倍した値を加えた値となる。

#### 【0086】

図10、図11の回路では、できるだけオペアンプのオフセット電圧の影響を小さくするために、Q1に対してQ2の面積を10倍に、さらに、Q1に流れる電流をQ2に流れる電流の10倍とした例を示している。これにより例えば $R3$ の両端の電位差は、式(12)で表される。

#### 【0087】

$$Vbe = (kT / q) \ln(100) = 26\text{ mV} \times 4.6 = 120\text{ mV} \quad (12)$$

式(12)に示されるように、電位差は $120\text{ mV}$ と比較的大きな値とできる。これによりVOFFの影響を比較的小さく抑えることが可能だが、この場合でも、約 $600\text{ mV}$ の $Vbe$ にPTAT電圧を加算して $1200\text{ mV}$ のバンドギャップ電圧を得るためには、式(12)の値を5倍して、 $Vbe1$ に加算しなければならない。このため、オフセット電圧VOFFがある場合には $(1 + 5) = 6$ 倍程度、VOFFの影響が増幅されて、 $Vbgr$ に影響する。(図11中に示したBGR出力の式は、このオフセット電圧の影響を示している。)

つまり、図10の回路は、比較的単純な回路構成で、バンドギャップ回路を構成できる利点をもっているが、オペアンプ回路のオフセット電圧により、達成される基準電圧 $Vbgr$ の精度が制限されるという限界を持っている。

#### 【0088】

以上、図10の回路を例に、バンドギャップ回路の出力電圧の精度を改善するためには

10

20

30

40

50

、BGR回路に使用するオペアンプのオフセット電圧を極力小さくすることが必要なことを説明した。前述のように、従来より、オフセット電圧をできるだけ小さくするためのレイアウトの工夫としてコモンセントロイドが知られている。

【0089】

図12はオペアンプ回路をトランジスタレベルで示している。

【0090】

図12において、PMAC1、PMAC2、PMAC3はカレントミラーを構成するPMOSTランジスタを、PMAD1、PMAD2は差動対を構成するPMOSTランジスタを、RB1はバイアス用の抵抗を、NMAL1、NMAL2は差動対の負荷を構成するNMOSTランジスタを、NMAD1はソース接地の増幅段を構成するNMOSTランジスタを、CC1は位相補償容量を、IMOP1は-側のオペアンプ入力を、IPOP1は+側のオペアンプ入力を、NDD1、NDD2は差動対のドレインノードを、NDS1は差動対の共通ソースノードを、VDDは例えば5V電源を、GNDはGND電位(0V)を、OUTOP1はオペアンプの出力を、それぞれ示している。

【0091】

図12の回路は一般的なオペアンプ回路なので、詳細な動作の説明は省略する。

【0092】

図12のオペアンプ回路の入力換算オフセットをできるだけ小さくするために、マッチングが必要な素子は、まず、PMOSTランジスタPMAD1とPMAD2であることが知られている。NMOSTランジスタNMAL1とNMAL2の素子特性も一致している必要がある。このようなマッチングが必要なトランジスタや素子のレイアウト手法として、前述のコモンセントロイド配置が知られている。

【0093】

前述の図2は、図12のPMOSTランジスタPMAD1とPMAD2をコモンセントロイド配置とする場合のレイアウト例を示している。コモンセントロイド配置については、図2で説明したので説明を省略する。

【0094】

以上、レギュレータ回路の出力電圧精度にバンドギャップ回路の出力電圧が関係していること、このバンドギャップ回路の出力電圧精度が重要なこと、バンドギャップ電圧の精度をできるだけ高く保つためには、オペアンプのオフセット電圧を小さくすること、そのための手法としてコモンセントロイド配置が知られていることを説明した。

【0095】

オペアンプのオフセット電圧や、デジタル回路に影響する要因としてアンテナ効果が知られている。アンテナ効果とは、MOSTランジスタの製造時に、プラズマを使用したプロセス(製造工程)において、プラズマの電荷に起因して、MOSTランジスタのゲート酸化膜に、電氣的ストレスが加わり、信頼性の問題や、MOSTランジスタの特性変動が引き起こされることを指している。ゲート酸化膜に接続された金属配線の加工時に、加工途中の金属配線が、電荷を集めて、ゲート酸化膜に損傷を与える可能性があることから、アンテナ効果と一般に呼ばれることが多い。

【0096】

従来より、プラズマプロセスでの配線加工時に、アンテナ(ゲートに接続された金属配線)が集めた電荷により、MOSTランジスタのしきい値電圧 $V_{th}$ が変動し、不均一なアンテナ効果により、差動回路のオフセット電圧が増加することが指摘されている。

【0097】

図13は、アンテナ効果を説明する図である。図13において、PML1、PML2はPMOSTランジスタを、NML1、NML2はNMOSTランジスタを、VDDは回路形成後に+の電源となる端子を、GNDは回路形成後にGNDとなる端子を、METAL1は一層目金属配線を、METAL2は二層目金属配線を、VIA1はスルーホールを、IPLSMはプラズマ工程で流れる電流を、示している。

【0098】

図13のMETAL1、METAL2、VIA1の表示方法は図2、図12と同じであるので説明は省略する。

【0099】

図13の(A)は、METAL2のエッチング時(パターニング時)に流れる電流IPLSMを示している。METAL2のエッチング時には、図13の(A)のような配線形状では、METAL2がVIA1、METAL1に接続されているので、PML1、NML1のドレイン接合に接続されている。従って、エッチング時に配線により集められた電荷は、例えば、PML1、NML1のドレインの接合のリーク電流により放電される経路が存在する。

【0100】

一方、図13の(B)は、METAL2をエッチングする前の段階、METAL1のエッチング時に流れる電流を示している。図13の(B)のような配線構造では、METAL1のエッチング時には、PML1、NML1のドレインに接続されるMETAL1と、PML2、NML2のゲートに接続されるMETAL1が異なる配線となる。このため、PML1、NML1のドレインに接続されるMETAL1が集めた電荷は、図7の(A)に示したのと同様の経路(PML1、NML1のドレイン)で放電される。しかし、PML2、NML2のゲートだけに接続されたMETAL1が、METAL1のエッチング時に集めた電荷は、放電経路がない。このため、プラズマ工程で集められた電荷は、ゲート酸化膜を通して流れるしかなく、トンネル電流となってIPLSMが、ゲート酸化膜を流れる。この電流により、例えば、MOSトランジスタの $V_{th}$ の変化が引き起こされる。あるいは、ゲート酸化膜が損傷を受ける。

【0101】

このような、配線加工時のゲート酸化膜の損傷を避けるために、従来より、アンテナダイオードと呼ばれる保護ダイオードが使用されている。

【0102】

図14は、この保護のためのダイオードの例を示している。図14と図13の違いはダイオードDIO1と、DIO1の接続のためのMETAL1の形状の違いだけなので、この部分を説明する。

【0103】

図14の(A)は、図13の(A)と同じく、METAL2の加工時に流れる電流を示している。図13の(A)でもMETAL2の加工時には、加工しているメタルにドレイン接合が接続されているので、ゲート酸化膜に電流が流れることはなかった。図14においても配線構造が図13と同じなので、METAL2の加工時にプラズマ工程で配線が集める電荷がゲート酸化膜の損傷の原因となることはない。図13の(B)では、METAL1の加工時にMETAL1がゲート酸化膜だけに接続されているパターンが存在することにより、METAL1加工時の電荷がゲート酸化膜に流れ、酸化膜の損傷の原因となることがあった。このような状況を回避するために、図14の構造では、アンテナダイオードと呼ばれるダイオードDIO1がゲートに接続されるMETAL1配線に接続されている。このような電流経路DIO1を用意しておくことで、ゲートに接続されるMETAL1の加工時に、ゲート酸化膜に電流が流れることを防ぐことができる。METAL1が集めた電荷は、例えば、DIO1のリーク電流となって、図14の(B)のIPLSMの経路で放電される。DIO1は、配線の加工時には、電流放電経路として働くが、製造後の通常の動作時には、逆バイアスされているので、多少のリーク電流と、容量、面積の増加は招くが、動作には、ほとんど影響しないようになっている。

【0104】

図15は、このアンテナダイオードの平面構造の一例を、図16は断面構造の一例を示している。図15のPOLYG、NREG1、PREG1、CONT1、METAL1などの表示の方法は、図1の表示方法と同じなので重複する説明は省略する。図15のDIO1はアンテナダイオードとなる部分を示している。図15に示すように、ごく小さい面積のダイオードをゲート電極に接続されるMETAL1に接続することでゲート酸化膜を

10

20

30

40

50



保護できることが知られている。例えば、P型基板中に、N型の拡散領域NREG1を  
おいて、メタル(METAL1)に接続することで、逆バイアスされたダイオードを、ゲ  
ート電極に接続される配線に接続することができる。

#### 【0105】

図16において、PSUBはP型基板を、PREG1はP型の拡散領域(P+領域とし  
て示した)を、NREG1はN型の拡散領域(N+領域として示した)を、GNDはGN  
D端子となる部分を、METAL1は一層目の金属配線を、METAL2は2層目の金属  
配線を、示している。図16に示すように、P型の基板PSUBは、製造後の動作時には  
、GND電位となるので、PSUBがDIO1のアノードとなり、NREG1がカソード  
となる。つまり、既に説明したように、逆バイアスされるので、回路の動作には影響しない。

10

#### 【0106】

図14から図16で説明したように、ゲート酸化膜の保護のために、アンテナダイオ  
ードを使用することで、デジタル回路用の微細MOSトランジスタの劣化や破壊を防いだり  
、アナログ回路部分のオフセット電圧の増加を防げることが知られていた。

#### 【0107】

以上説明した技術に基づいて、ここでは図17に示すようなバンドギャップ回路を製造  
する。

#### 【0108】

図17において、PMAC2、PMAC3は電流源を構成するPMOSトランジスタを  
、PMAD1、PMAD2は差動対を構成するPMOSトランジスタを、R1、R2、R  
3は抵抗を、NMAL1、NMAL2は差動対の負荷を構成するNMOSトランジスタを  
、NMAD1はソース接地の増幅段を構成するNMOSトランジスタを、CC1は位相補  
償容量を、IMは-側のオペアンプ入力を、IPは+側のオペアンプ入力を、NDD1、  
NDD2は差動対のドレインノードを、NDS1は差動対の共通ソースノードを、VDD  
は例えば5V電源を、GNDはGND電位(0V)を、Vbgrはバンドギャップ回路出力  
を、Q1、Q2はpnpバイポーラトランジスタ(以下pnpBJTと略す)を、BJT  
に添えられた数字は、BJTの相対的な面積の比を、PMGD1とPMGD2はアンテナ  
ダイオードとして働くトランジスタを、PB1はバイアス電位を、示している。(Rで始  
まる素子名は抵抗を、PMで始まる素子名はPMOSトランジスタを、NMで始まる素子  
名はNMOSトランジスタを、Cで始まる素子名は容量を、表わしているものとする。)

20

30

図17で、図10および図12の回路に相当する素子、ノード部分には、同じ名称を与  
えて、対応関係がわかるように示している。

#### 【0109】

図12で説明したように、オペアンプ回路の入力換算オフセットをできるだけ小さくす  
るために、マッチングが必要な素子は、まず、PMOSトランジスタPMAD1とPMA  
D2となる。NMOSトランジスタNMAL1とNMAL2の素子特性も一致している必要  
がある。

#### 【0110】

図18は、図17のバンドギャップ回路のP型MOSトランジスタ対をなす2個のPM  
OSトランジスタPMAD1とPMAD2、およびアンテナダイオードをなす2個のPM  
OSトランジスタPMGD1とPMGD2の部分を、アナログ回路用セルアレイを用いて  
形成したレイアウト例を示す図である。図18は、このレイアウト例を、METAL1ま  
での配線の例として示している。

40

#### 【0111】

図18において、CONT1はコンタクトを、PREG1はP型の拡散領域を、MET  
AL1は1層目の金属配線を、POLYGはPoly-Siゲート電極(ポリシリコンゲ  
ート電極)を、NREG1はN型の拡散領域を、VDDは+の電源となる領域を、PMA  
D1A、PMAD1Bは、図17のPMAD1を分割配置したトランジスタを、PMAD  
2A、PMAD2Bは図17のPMAD2を分割配置したトランジスタを、PMGD1、

50

P M G D 2 はアンテナダイオードとして働く P M O S トランジスタを、示す。

【 0 1 1 2 】

図 1 8 の P M A D 1 A および P M A D 1 B は、図 1 7 の P M A D 1 を分割配置したトランジスタであり、P M A D 2 A および P M A D 2 B は図 1 7 の P M A D 2 を分割配置したトランジスタである。P M A D 1 A と P M A D 1 B、P M A D 2 A と P M A D 2 B を対角に配置し、コモンセントロイド配置を実現している。

【 0 1 1 3 】

例えば、酸化膜厚さなどが製造時に場所によって、不均一となったとする。P M A D 1 は、左に配置された P M A D 1 A と、右に配置された P M A D 1 B を並列接続している。一方、P M A D 2 も左に配置された P M A D 2 B と、右に配置された P M A D 2 A を並列

10

【 0 1 1 4 】

また、前述のように、微細化のすすんだ M O S トランジスタの製造工程では、斜め方向からイオンを注入するような工程が採用されることがある。このような場合、例えば、P o l y - S i ゲート電極 P O L Y G の右側と左側で、ソース、ドレインの拡散層の高濃度領域とゲート電極のオーバーラップ幅が異なることが起こりえる。これは、P O L Y G の右側と左側で、実効の寄生抵抗が異なる状況を生じさせ、P O L Y G の右側拡散層をソース、左側拡散層をドレインとする場合と、P O L Y G の左側拡散層をソース、右側拡散層をドレインとする場合で、M O S トランジスタの特性が異なる状況を生じる。このような製造

20

【 0 1 1 5 】

ところが、レイアウト時の電流の向きは、回路結線を確認する L V S と呼ばれるソフトウェアや D R C と呼ばれるソフトウェアでは、確認することができない。なぜなら、M O S トランジスタの電流の流れる向きを知るためには、回路の動作を理解し、マッチングが必要な素子を認識するという複雑な回路の全体の理解が必要となるためである。このため、従来は、電流の向きまで含めた素子の配置の同一性の確認は人手に頼るのが一般的であった。図 1 8 のレイアウトでは、図 1 8 に示すようにドレインを共通とする 2 つの M O S トランジスタを基本レイアウト単位として採用しているため、この問題が解決される。

30

【 0 1 1 6 】

図 1 8 では、レイアウトの基本単位をドレインを共通とするゲート幅、ゲート長の等しい 2 つの P M O S トランジスタとしている。中央部分 D R A I N 1 をドレイン、左と右の電極をソースとしているので、基本セル単位内で、電流の向きが反対となる 2 つのトランジスタの並列接続が実現されている。これにより、図 1 8 のように、P M A D 1 と P M A D 2 のコモンセントロイド配置する場合に、それぞれのトランジスタの個々の電流の向きは考慮しなくてよい効果が得られる。なぜなら、P M A D 1 A、P M A D 1 B、P M A D 2 A、P M A D 2 B それぞれが、右向きの電流を流すとトランジスタと、左向きの電流を流すトランジスタの並列接続となっているので、電流の向きの違いによる特性のずれは相殺されるからである。

40

【 0 1 1 7 】

基本単位を電流の向きが反対となる 2 つのトランジスタの並列接続としておくことで、図 1 8 の基本セルの構造を守っている限り、電流の向きを詳細に考慮したり、検証する必要がなくなる利点を得られる。つまり、電流の向きが異なることによる特性のずれを見落とす可能性をゼロとできる。

【 0 1 1 8 】

図 1 8 で、4 行、4 列に配置された基本 P M O S トランジスタセル P M O S C 2 のアレイの周辺部分は従来のダミー素子と同様に機能する。つまり、規則的に繰り返されたトランジスタ配列の中央部分は、より、周辺部分の影響を受けず、加工の均一性が向上することが期待され、この部分に、マッチングの必要な素子を配置する。

50

## 【0119】

図18でも、PMAD1A、PMAD2A、PMAD1B、PMAD2Bを配列（アレイ）の中央部分に配置しているのは、このためである。

## 【0120】

ゲート酸化膜を保護するアンテナダイオードを、仮にトランジスタアレイ部分の外に専用のアンテナダイオードを用意した場合、METAL1配線での接続が困難になる問題がある。また、規則的に配置したトランジスタ配列に、形状の異なるダイオードを配置しようとする、トランジスタ形状、分離領域の形状の均一性、同一性が保てなくなる。さらに、例えば、PMOS基本セル内部にダイオードを配置すると、レイアウト単位の同一性の問題は解決できるが、実際には使用しないダイオードを多数用意しておくことになり、占有面積の観点から不利となる。

10

## 【0121】

そこで、本実施形態のレイアウトでは、アンテナダイオードとして、基本セルのトランジスタの、例えばドレイン電極を利用する。（ソース電極であってもよい。）

図17の回路図に示すように、例えば、マッチングの必要なPMOSTランジスタのゲートを保護するために、ゲートをVDD電位としたPMOSTランジスタのドレイン電極をMETAL1配線により、PMAD1、PMAD2のゲートに接続しておく。PMGD1、PMGD2のゲートとソースをVDDとしておくことで、PMGD1、PMGD2はOFF状態となり、トランジスタとしては機能しない。このPMGD1、PMGD2のドレイン接合をダイオードとして利用することで、トランジスタアレイの規則性、同一性を損なうことなくアンテナダイオードによるゲート酸化膜の保護が可能となる。図18に示すように、PMOS基本セルとPMOS基本セルの左右の辺は、METAL1が配線できるように、配線チャネルを確保しておく。このような基本セル構造を採用しておくことで、コモンセントロイド配置したPMOS基本セルのゲートをMETAL1配線で接続し、さらに、アンテナダイオードとなるトランジスタのドレインとの接続が可能となる。

20

## 【0122】

PMOSアレイの中央部分にマッチングの必要なトランジスタを配置し、アンテナダイオードはアレイの端の部分を利用する。アンテナダイオードに特性の一致は必要ないためである。図18の例ではアレイの一番上の行にPMGD2を配置し、アレイの一番下の行にアンテナダイオードPMGD1を配置する例を示した。2行目と3行目にPMAD1とPMAD2を配置しているので、縦方向にMETAL1でアンテナダイオードと保護すべきゲートを接続する配線が必要となる。つまり、必然的に、縦方向のMETAL1配線が利用可能な配置としてトランジスタアレイを構成する必要がある。図18は、これを満たす構造の一例となっている。

30

## 【0123】

素子分離領域の均一性、周期性を保つために、基本セル構造にPMOSのN型WELLに給電するN領域NREG1を含めているので、基本セルの行と行の間にWELL給電領域が存在する。すべてのNREG1領域にMETAL1でVDD電位を給電する必要はないが、原則として、NREG1の部分はMETAL1でVDD電位を給電（コンタクトCONTACTで接続）することが望ましい。また、ゲートPOLYG部分には、POLYGの接続のためのMETAL1との接続部分が必要なので（図5のGATE1、GATE2、GATE3、GATE4）、回路を構成するためには横方向の配線可能領域がNREG1上の空間とは別に必要となる。

40

## 【0124】

そこで、図18のNREG1とゲートのコンタクト部分との隙間に、横方向にMETAL1配線が可能な領域を確保している。この部分の配線領域をMETAL1配線としているのは、縦方向配線をMETAL2配線とするほうが、都合がよいためである。

## 【0125】

図19は、図18に、METAL2とVIA1を追加して表示した図となっている（一部METAL1も追加されている）。図18の構造で、各部のノードを接続したり、外部

50

に引き出したりすることが可能なことを説明する図となっている。層が重なって分かりにくい部分は、図 18 を参照しながら各部の接続の例を説明する。

【 0 1 2 6 】

図 19 を用いて、M E T A L 2 配線も含めてレイアウトの説明をすすめる。図 19 において、M E T A L 2 は 2 層目の金属配線を、V I A 1 はスルーホールを、I M、I P、V D D、N D S 1、N D D 1、N D D 2 は、図 18 の同じ名前の回路ノードに対応する部分を、示している。図 19 において、P V I A 1 は黒く塗りつぶした正方形として示した。M E T A L 1 は斜め ( - ) 4 5 度の縞模様のハッチング図形として示した。M E T A L 2 は水平垂直方向の縞模様のハッチング図形として示した。その他の層の表示方法は他の図と同じとなっている。

10

【 0 1 2 7 】

図 18 で、P M G D 2 のドレインと P M A D 2 A、P M A D 2 B のゲートを M E T A L 1 で接続できることが分かる。同様に P M A D 1 A、P M A D 1 B のゲートと P M G D 1 のドレインを M E T A L 1 で接続可能なことが分かる。図 19 は、P M A D 1、P M A D 2 のソース、ドレイン、P M G D 1、P M G D 2 のゲート、ソースを配線する例を示している。

【 0 1 2 8 】

P M A D 1 A、P M A D 2 A、P M A D 2 B、P M A D 1 B のソース電極は、共通のソースノード N D S 1 に接続されなければならない。これを実現するために、ソース電極上の縦方向 M E T A L 2 配線で、V I A 1 を経由して、これら差動対の P M O S トランジスタのソースを共通ノードに接続する。トランジスタのソース、ドレインには、拡散層と配線を接続するためのコンタクト C O N T 1 と M E T A L 1 が ( 図 18 に示すように ) 必ず存在するので、これらの上部を縦方向に配線する配線層は必然的に M E T A L 2 となる。従って、P M A D 1 A と P M A D 2 B のソースを接続する 2 本の M E T A L 2 配線、P M A D 2 A、P M A D 1 B のソースを接続する 2 本の M E T A L 2 配線どうしを接続する配線は、M E T A L 1 あるいは 3 層目の配線 M E T A L 3 となる。

20

【 0 1 2 9 】

図 19 では、N D S 1 として示した横方向 M E T A L 1 配線に、これらソース電極を引き出した M E T A L 2 を V I A 1 で接続する例が示されている。

【 0 1 3 0 】

図 18 の説明で、横方向配線を M E T A L 1 とし、縦方向配線を M E T A L 2 配線とするほうが都合のいいことを述べたが、図 19 のように縦方向に M E T A L 2 配線を使用するほうが M E T A L 1 を縦方向配線とするより縦方向配線の総数を確保できるからである。ソース、ドレイン部分に M E T A L 1 配線がすでに存在するので、縦方向配線に M E T A L 1 を使用しようとする、トランジスタと隣接するトランジスタの間の領域しか使用できなくなる。これに対して、M E T A L 2 配線を縦方向配線に使用すると、ドレイン、ソースの上部部分を縦方向配線チャネルとして利用できる利点が生まれる。

30

【 0 1 3 1 】

すでに説明したように、M O S トランジスタの電流チャネル上に配線がある場合と、ない場合で、トランジスタのしきい値電圧  $V_{th}$  が変化する場合がある。これを避けるためには、図 19 で、P R E G 1 と P O L Y G が重なった領域、トランジスタの反転層が形成されるチャネル上部には配線を置けない。図 19 でも、トランジスタの電流チャネル部分にはいっさいの配線を配置していない。このことから、縦方向に M E T A L 2 配線を使用して、ドレイン、ソースの上部を配線チャネルとして使用する利点が理解できる。

40

【 0 1 3 2 】

アレイの最上部の M E T A L 1 配線は V D D として図示している。N 型 W E L L 領域の給電部分なので、この部分の M E T A L 1 は V D D に接続される。また、アレイの行と行の間の W E L L 給電部分で M E T A L 1 配線が可能な部分も V D D となる。これら M E T A L 1 配線同士を M E T A L 2 で縦方向に接続することで、V D D を各部に給電できる。また電源構造もメッシュ状となり都合がいい。

50

## 【0133】

図18ではPMGD2のゲート、ソースがVDDに接続されていなかったが、アレイ周辺のVDD配線と、縦方向METAL2配線、横方向METAL1配線を利用して、図19のPMGD2のように配線可能となる。PMGD1もPMGD2と同様の考え方で、ゲートとソースにVDDを供給することが可能なことは図19のPMGD1部分を見れば明らかであろう。

## 【0134】

NDD1はPMAD1A、PMAD1Bのドレインに接続されなければならない。図19ではNDD1は、METAL2配線として示した。VIA1と横方向METAL1配線、縦方向METAL2配線を使用して接続できる。図18では、図を簡単にするために図示していないが、PMAD2Bのドレイン電極は、図19では、METAL1配線を使用してMETAL2のNDD2に接続している。基本セルのゲートとMETAL1の接続部分の間をMETAL1配線が通過可能なサイズとしておくことで、図19のような接続が可能となる。

## 【0135】

トランジスタのゲート長Lはアナログ回路の場合1μmから2μm程度と大きいので、図5のPMOS基本セルPMOSC2のGATE1とGATE3、GATE2とGATE4のMETAL1の隙間にMETAL1配線を通すことは十分可能である。

## 【0136】

PMAD2Bのドレイン上にはPMAD1Aのドレイン配線のためのMETAL2配線が通過しているので、PMAD2BはMETAL1でドレインを引き出している。同様に、PMAD2Aのドレイン電極の接続もゲートコンタクト部分のメタルの間を通るMETAL1配線で引き出している。PMAD2Aのドレイン上にはPMAD1Aのゲート電極とPMAD1Bのゲート電極を引き出すためのMETAL2配線IMが通過しているためである。

## 【0137】

METAL2配線IM、IPは、縦方向に、PMAD1、PMAD2のゲートに接続される。PMAD1、PMAD2のゲートは、PMGD1、PMGD2のドレインをアンテナダイオードとして保護しているので、これらのMETAL1配線をMETAL2配線に接続して外部にとりだすことができる。

## 【0138】

図19では、差動対PMAD1、PMAD2、これらのアンテナダイオードの接続だけを図示したが、図19の考え方で、同様に任意の回路を構成できることはいうまでもない。図18、図19に示したような基本セルの構造と配線チャネルの考え方で、コモンセントロイド配置を実現できる。図で使用していないトランジスタは未配線のまま図示しているが、これらの素子を回路素子として使用してよいこと、アレイの列数も図示の都合で4列としたが、任意の列数でかまわないこと、行数も4行としたが、アレイの中心部分を使用するための最低限の行数で、より大きい行数でもかまわないこと、周辺部分のトランジスタを未使用のトランジスタとする場合には、ゲート、ドレイン、ソースなどを簡単に電源電位に固定できることはいうまでもない。WELL給電部分のコンタクト、METAL1配線も完全には図示していないが、必要に応じて、配線が可能な範囲でVDD電位を給電すればよい。

## 【0139】

以上、図17のバンドギャップ回路のオペアンプのPMOSTランジスタPMAD1とPMAD2を、PMOSアレイARYP1を利用して実現する例を説明した。オペアンプ回路のNMOSTランジスタNMAL1とNMAL2も、同様にNMOSアレイARYN1を利用して実現することが可能である。

## 【0140】

図20は、NMOSアレイARYN1におけるNMOSアレイの配置、接続例をMETAL2配線までを図示して示している。図21は、図20のMETAL2部分を取り除い

10

20

30

40

50

てMETAL 1までを示している。これらの図を用いて、PMOSを例に説明した発明の考え方でNMOS回路部分も構成できることを説明する。

【0141】

図17のバンドギャップ回路のオペアンプのオフセット電圧をできる限り小さくするためには、NMAL 1とNMAL 2の特性がそろっている必要がある。NMAD 1とNMAL 1、NMAL 2の特性も一致していることが望ましいが、図が複雑になるので、ここでは、NMAL 1とNMAL 2をコモントロイド配置とする例を図20、図21を用いて説明する。

【0142】

図20、図21のレイアウト層の表現方法はこれまで説明した図と同じとなっている。NMOSTランジスタ部分なので、ソース、ドレイン部分を形成するのがNREG 1であること、PMOSアレイではNREG 1で形成されていたWELL給電部分がP基板の給電部分PREG 1となっていること以外、PMOSアレイと同様に作られている。

【0143】

図20において、NDD 1、NDD 2は、図17の回路ノードNDD 1、NDD 2に対応する配線を示している。NMAL 1とNMAL 2を分割し、NMAL 1A、NMAL 1BとNMAL 2A、NMAL 2Bとし、コモントロイド配置としている。NMAL 1はゲートとドレインが同じノードとなるので、図21に示すように、ゲート部分のコンタクト部分のMETAL 1とドレイン部分のMETAL 1が接続されている。

【0144】

図20に示すように、METAL 2配線NDD 1をVIA 1によりNMAL 1Aのドレインに接続し、NMAL 2Bのゲート部分のMETAL 1とNDD 1をVIA 1で接続することで、例えば、NDD 1を接続、配線することが可能である。NDD 2についても同様に、縦方向のMETAL 2配線をVIA 1でドレインに接続することで、NMAL 2Aと接続可能となる。NMAL 2Bのドレイン上には、図20の場合、例えば、NDD 1のMETAL 2配線があるので、METAL 1配線でドレインを引き出しNDD 2に接続すればよい。GND配線は、PREG 1に給電するMETAL 1配線、縦方向のMETAL 2配線を使用して、ソース電極に接続すればよい。

【0145】

図20、図21に示すように、この場合、NMOSのソース電位はGNDなので、PMOSの差動回路部分より、配線がより単純になる。PMOS差動回路部分では、ソース電位がVDDではないので、NDS 1配線のための配線が必要となるが、NMAL 1、NMAL 2ではNMOSTランジスタのソースはP型基板給電部分と同電位でよく、必要な信号配線総数が少なくてすむ。つまり、図18のようなソース電位が電源電位ではない回路部分がレイアウト可能であれば、実用上十分な回路が、発明の考え方で配線可能、実現可能となる。

【0146】

図22は、図8と同様にNMOSTランジスタ部分の配線可能領域に、仮想的に配線を配置して示した図となっている。PMOSの場合と拡散層の極性が逆になっていることを除いて、同様に配線可能なこと、NMOSTランジスタにおいても、電流チャネル上部を避けて配線チャネルを配置できることがわかる。

【0147】

次に、基本セルの繰り返し構造の他の例を図23から図28を用いて説明する。

【0148】

図23はPMOSアレイの基本構造の他の例を示している。層の表示の方法は図5と同じとなっている。図5では、基本セルとしてセルの上下でN型WELLに給電するためのNREG 1を配置した構造を示した。図23では、セルの上下に加えて、セルの左右にもWELL給電部分を追加した構造となっている。WELL給電部分も含めて繰り返し構造を実現する必要があることを、図5では説明した。アレイの左右の端でWELLに電位を供給するためのNREG 1を基本セル構造に取り込むことで、列数が少ない場合でもアレ

10

20

30

40

50

イ端部の影響を軽減できる。

【0149】

セルの左右にもWELL給電部分を設ける構造は、NMOS基本セルの繰り返し構造にも適用可能である。

【0150】

図24は、図6の基本セル内部で、2つのPMOSトランジスタのゲート同士をPOLYGで直接接続した構造に、セルの左右にもWELL給電部分を設ける構造を適用した場合の基本構造を示す。図18のPMGD1にみられるように、ゲートとMETAL1のコンタクト部分の間を、METAL1の配線を通して信号を引き出すような場合には、図24のセル構造のほうが、配線しやすくなる。図24の構造は、当然NMOS基本セルにも適用可能である。

10

【0151】

PMOSアレイの基本構造とNMOSアレイの基本構造は同じ例を説明してきたが、これら可能な構造を組み合わせ使用し得ることはいうまでもないであろう。

【0152】

図25は、図8で示したPMOSアレイのMETAL2までの配線チャネルの考え方を、3層目の配線METAL3に適用した一例となっている。図25で、METAL3は3層目金属配線の層を示している。図25では、METAL3はPOLYGとは逆の傾きの斜めハッチングかつ、矩形の外側が2点鎖線の図形として表示した。

【0153】

20

原則として、横方向配線にMETAL1を割り当て、縦方向配線をMETAL2とすることが配線の容易さの観点から望ましいことを説明してきた。このため、METAL3はMETAL2と直交する横方向配線とすることが自然となる。図25は、METAL1配線の一部をMETAL3配線とする場合となっている。実際の回路の配線ではなく、可能な配線として図示している。

【0154】

図26は、METAL3配線の他の例となっている。METAL1はゲートとMETAL1のコンタクトのために、POLYGの端部にすでに存在する。このため、POLYGの端部はMETAL1の信号配線チャネルとしては使用できないが、METAL3配線では、このPOLYGの端の部分も含めて、配線チャネルとすることも可能である。トランジスタの反転層が形成される部分の上部を配線領域としないことは、同様である。

30

【0155】

図27は、図8で示したPMOSアレイの4層目金属配線METAL4の配線チャネルの考え方を示している。図27で、METAL4はMETAL2と同様の水平垂直方向の縞模様ハッチングに加えて、外周を2点鎖線として図示した。

【0156】

METAL2と同様の考え方で、図27のMETAL4の配線チャネルを配置してよい。電流チャネル上部には、配線領域を置かない。

【0157】

図28はバイアス回路の例を示している。このようなバイアス回路も本発明のレイアウト方法で配置できる例を、以下示す。

40

【0158】

図28において、PMBC1、PMBC2、PMBC3はバイアス回路を構成するPMOSトランジスタを、NMBC1、NMBC2、NMBC3はバイアス回路を構成するNMOSトランジスタを、RB2は抵抗を、PMAC2、PMAC3は例えば、図12のPMOSトランジスタを、PB1はPMOSトランジスタのバイアス電位を、ENはイネーブル信号を、ENXはLで回路が動作状態となるENと逆相のイネーブル信号を、NB1はNMOSトランジスタのバイアス電位を、NDS1、Vbgrは図12の同名のノードを、NDNS1はNMBC2のソースのノードを、示す。

【0159】

50

図29は、図28のバイアス回路のPMOS部分のレイアウトの一例を示している。レイアウトの層の表現方法は他の図にそろえた。また対応する回路ノード名も一部示している。図29ではMETAL2配線までを図示し、図30ではMETAL1だけを示した。

【0160】

これら図29、図30を用いて、図33のバイアス回路のレイアウト例の説明をすすめる。

【0161】

図28でマッチングが必要となるトランジスタ対はPMB C 1とPMB C 2となるPMAC 2、PMAC 3もこれらと同じ特性であることが望ましい。

【0162】

図29では、PMB C 1をPMB C 1 AとPMB C 1 Bに分割し、PMB C 2をPMB C 2 AとPMB C 2 Bに分割し、コモンセントロイド配置としている。同様にPMAC 2とPMAC 3も分割し、コモンセントロイド配置とするレイアウト例となっている。図30に見られるように、これら8つのトランジスタはゲート電位が共通なので、それぞれの行でMETAL1配線でゲートを横方向に接続できる。また、これらのゲート電極はPMB C 2のドレインにも接続されるので、図30に示すように、PMB C 2 Aのドレインとゲート電極がMETAL1で接続され、PMB C 2 BのドレインとゲートがMETAL1で接続されている。

【0163】

図30から分かるように、これら8つのトランジスタのゲートはMETAL1でドレインに接続されているので、PMB C 2のドレインがアンテナダイオードとして働く。コモンセントロイド配置された分割されたPMB C 2、PMB C 1、PMAC 2、PMAC 3のドレイン電極どうしを、縦方向METAL2配線と、横方向METAL1配線を利用して相互に接続していけば、回路接続が完成する。また、これらトランジスタのソース電位はVDDなので縦方向のMETAL2配線を利用してソースにVDDを供給していけばよい。

【0164】

このような基本的な考え方にもとづいて、配線したのが図29となっている。異なる信号線が上部にある場合のドレイン電極の引き出しはゲートコンタクト部分の間からMETAL1で信号を引き出ししている。PMB C 1 Bのドレイン電極の引き出し、PMAC 3 Bのドレイン電極の引き出しが、このような方法によっている。NDS1やVbgrを横方向配線に接続することで、例えば、図19のNDS1に接続可能となりPMOS差動回路が完成する。Vbgr配線に関連する回路部分は説明していないが、縦方向配線、横方向配線を使用して所望の位置まで、配線を引き出すことが可能である。ドレインの配線、NDS1、Vbgrはアンテナ効果を心配する必要がないので、図29、図19のような構成が効果的である。

【0165】

PMCB3はPB1をVDD電位とするためのパワーダウン制御のための素子となっている。PB1配線をドレインに接続し、ソースをVDDとし、ゲートをENとすることで、図28の回路接続を実現することができる。パワーダウンに関する制御用の素子は特性の一致の必要がないので、図29、図30に示すように、アレイの最上段に配置している。このように、マッチングの必要ない素子、マッチングの優先度の低い素子を周辺に配置し、中心部分に最もマッチングが必要な素子を配置していくことで、アレイの周辺部分が無駄にすることなく、アレイの中心部分に対してはダミーとしての効果を発揮させることが可能となる。

【0166】

図29、図30では、図28のバイアス回路のPMOS部分を例に、レイアウトの実現例を示したが、図19、図29と同様の考え方で、バイアス回路のNMOS部分も容易にレイアウト可能なことはいうまでもない。

【0167】

10

20

30

40

50



以上説明してきた、回路構成、レイアウトによりオペアンプのオフセット電圧をより小さくすることが可能となる。これによりバンドギャップ回路の出力電圧精度の改善が期待できる。さらには、バンドギャップ回路を使用したレギュレータ回路の出力電圧精度も向上する。

【 0 1 6 8 】

以上、実施形態を説明したが、開示の技術は、記載した実施形態に限定されるものでなく、各種の変形例が可能であることは、当業者には容易に理解されることである。

【図面の簡単な説明】

【 0 1 6 9 】

【図 1】図 1 は、従来のデジタル回路用ゲートアレイの構成と配線例を示す図である。

10

【図 2】図 2 は、オペアンプ回路のトランジスタ対をコモンセントロイド配置したレイアウト例を示す図である。

【図 3】図 3 は、実施形態のアナログ回路用セルアレイにおける P M O S 基本セルおよび N M O S 基本セルの配列例を示す図である。

【図 4】図 4 は、実施形態のアナログ回路用セルアレイにおける P M O S 基本セルのゲートポリシリコンと拡散層の配置例を示す図である。

【図 5】図 5 は、実施形態のアナログ回路用セルアレイにおける P M O S 基本セルの構造例を示す図である。

【図 6】図 6 は、実施形態のアナログ回路用セルアレイにおける P M O S 基本セルの構造の変形例を示す図である。

20

【図 7】図 7 は、実施形態のアナログ回路用セルアレイにおける各 P M O S 基本セルの配線領域を説明する図である。

【図 8】図 8 は、実施形態のアナログ回路用セルアレイにおける配線領域を説明する図である。

【図 9】図 9 は、実施形態に係るレギュレータ回路の回路例を示す図である。

【図 1 0】図 1 0 は、レギュレータ回路内のバンドギャップ回路（ B G R 回路 ）の回路例を示す図である。

【図 1 1】図 1 1 は、バンドギャップ回路（ B G R 回路 ）のオフセット電圧と出力電圧の関係を示す図である。

【図 1 2】図 1 2 は、バンドギャップ回路（ B G R 回路 ）内のオペアンプ回路の回路例を示す図である。

30

【図 1 3】図 1 3 は、アンテナ効果を説明する図である。

【図 1 4】図 1 4 は、アンテナ効果を防ぐためのアンテナダイオードの例を示す図である。

。

【図 1 5】図 1 5 は、アンテナダイオードのレイアウトの従来例を示す図である。

【図 1 6】図 1 6 は、アンテナダイオードの断面構造の一例を示す図である。

【図 1 7】図 1 7 は、実施形態のアナログ回路用セルアレイを使用して実現するオペアンプ回路とアンテナダイオードの回路を示す図である。

【図 1 8】図 1 8 は、コモンセントロイド配置した図 1 7 のオペアンプ回路の P 型トランジスタ対とアンテナダイオードを、実施形態のアナログ回路用セルアレイを使用して実現するレイアウト例を、一層目金属配線まで示した図である。

40

【図 1 9】図 1 9 は、コモンセントロイド配置した図 1 7 のオペアンプ回路の P 型トランジスタ対とアンテナダイオードを、実施形態のアナログ回路用セルアレイを使用して実現するレイアウト例を、二層目金属配線まで示した図である。

【図 2 0】図 2 0 は、コモンセントロイド配置した図 1 7 のオペアンプ回路の N 型トランジスタ対を、実施形態のアナログ回路用セルアレイを使用して実現するレイアウト例を、二層目金属配線まで示した図である。

【図 2 1】図 2 1 は、コモンセントロイド配置した図 1 7 のオペアンプ回路の N 型トランジスタ対を、実施形態のアナログ回路用セルアレイを使用して実現するレイアウト例を、一層目金属配線まで示した図である。

50

【図 2 2】図 2 2 は、実施形態のアナログ回路用 N M O S セルアレイの配線チャネルを説明する図である。

【図 2 3】図 2 3 は、実施形態のアナログ回路用セルアレイの P M O S 基本セル構造の変形例を示したである。

【図 2 4】図 2 4 は、実施形態のアナログ回路用セルアレイの P M O S 基本セル構造の変形例を示したである。

【図 2 5】図 2 5 は、実施形態のアナログ回路用 P M O S セルアレイの 3 層目の配線チャネルを説明する図である。

【図 2 6】図 2 6 は、実施形態のアナログ回路用 P M O S セルアレイの 3 層目の配線チャネルを説明する図である。

10

【図 2 7】図 2 7 は、実施形態のアナログ回路用 P M O S セルアレイの 4 層目の配線チャネルを説明する図である。

【図 2 8】図 2 8 は、実施形態のアナログ回路用セルアレイで実現するバイアス回路の例を示した図である。

【図 2 9】図 2 9 は、バイアス回路の P M O S 部分のレイアウト例を、二層目配線まで示した図である。

【図 3 0】図 3 0 は、バイアス回路の P M O S 部分のレイアウト例を、一層目配線まで示した図である。

【符号の説明】

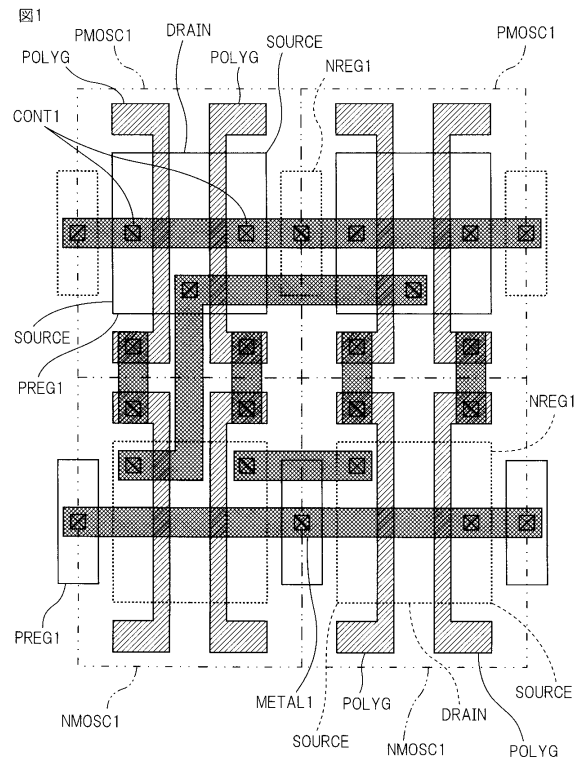
【 0 1 7 0 】

20

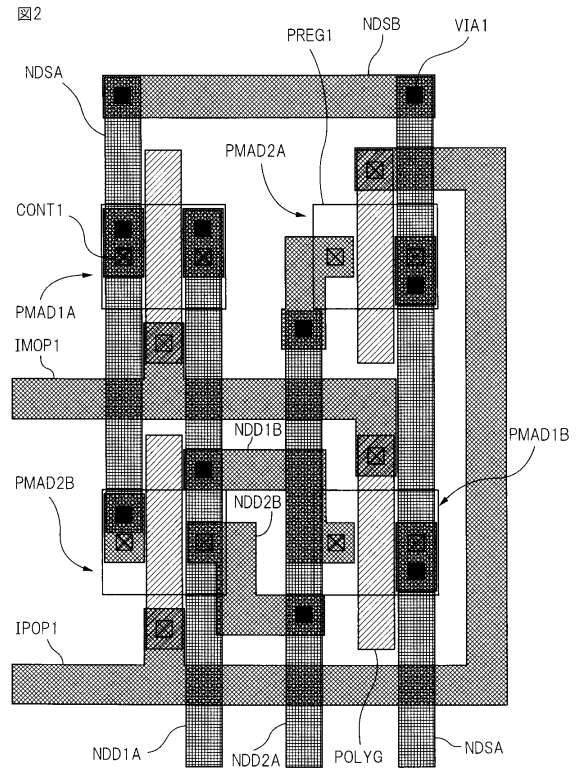
P M O S C 2	P M O S 基本セル
N M O S C 2	N M O S 基本セル
A R Y P 1	P M O S アレイ
A R Y N 1	N M O S アレイ
P R E G 1	P 型拡散領域
N R E G 1	N 型拡散領域
P O L Y G	ゲート電極
D R A I N 1	( 共通 ) ドレイン
S O U R C E 1	第 1 ソース
S O U R C E 2	第 2 ソース
G A T E 1 - G A T E 4	ゲートコンタクト
C O N T 1	コンタクト

30

【図 1】

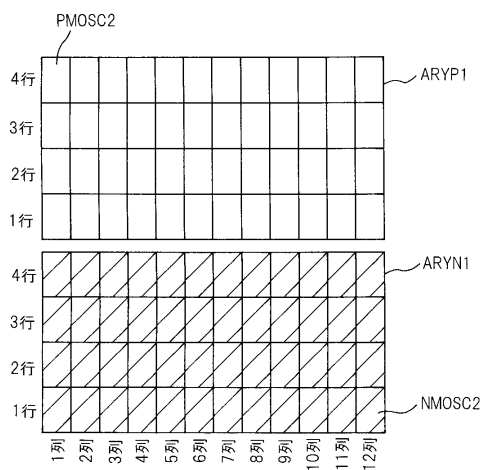


【図 2】

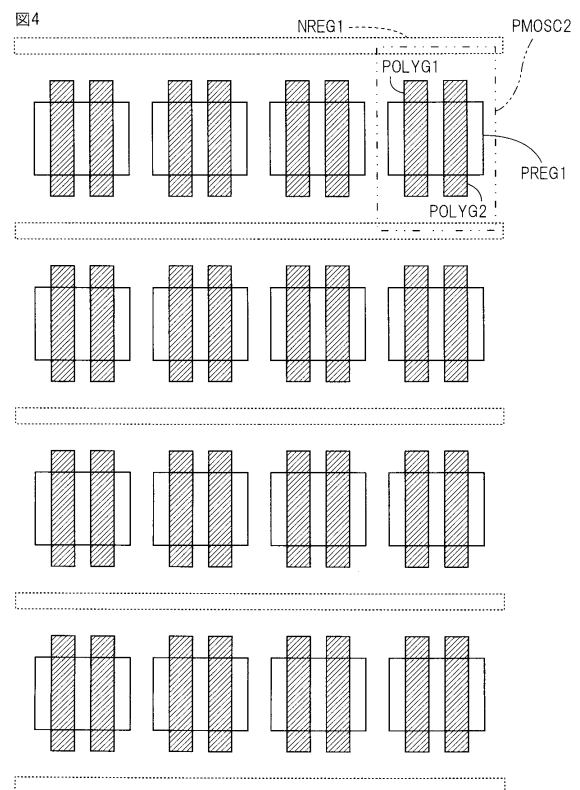


【図 3】

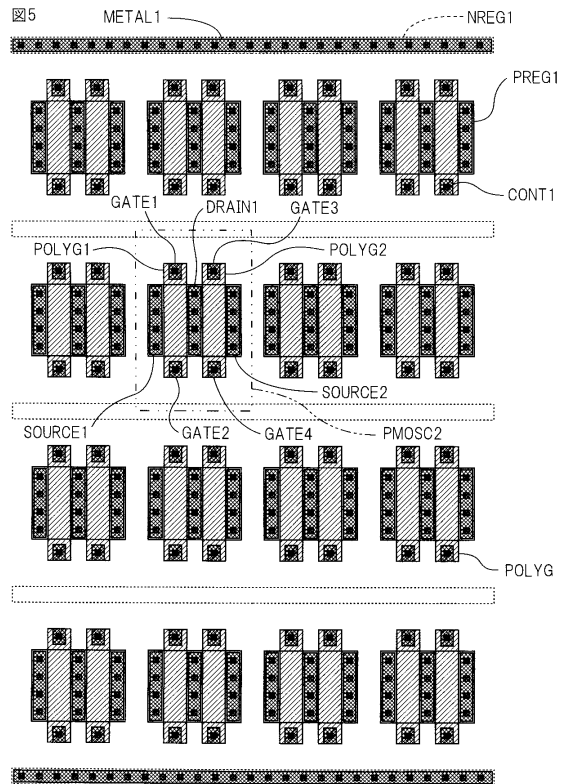
図 3



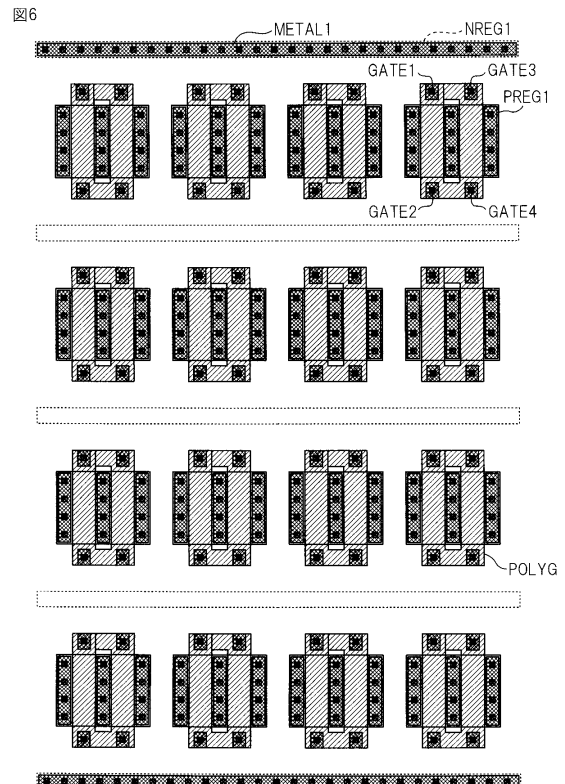
【図 4】



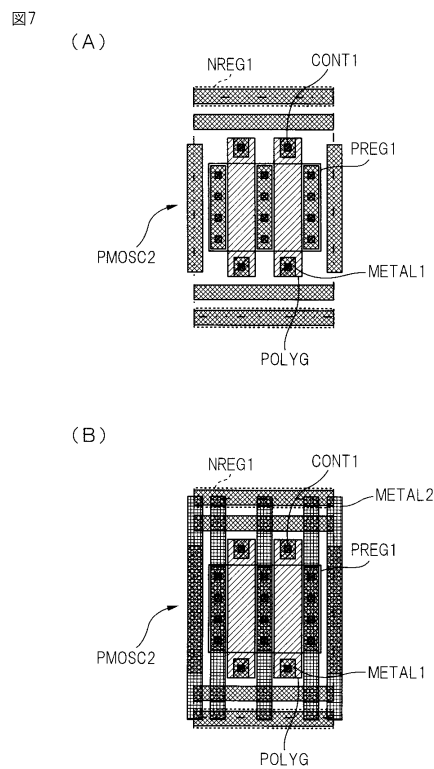
【図 5】



【図 6】



【図 7】



【図 8】

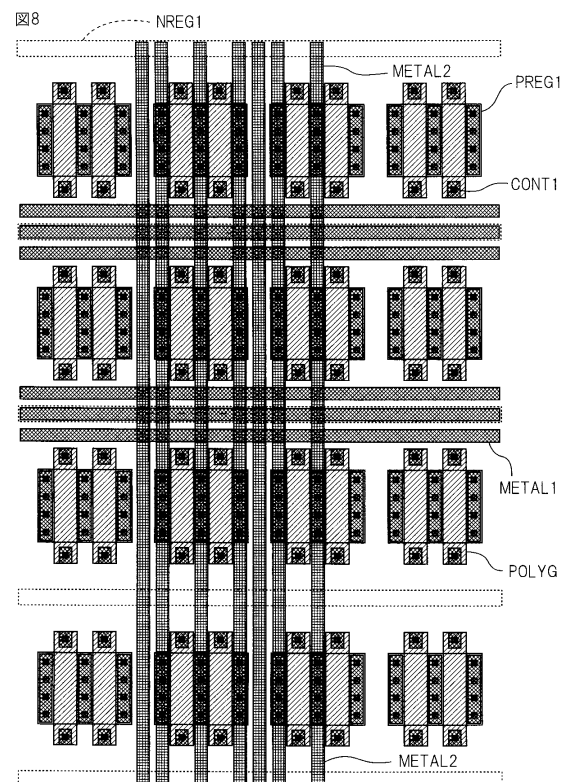


图 11

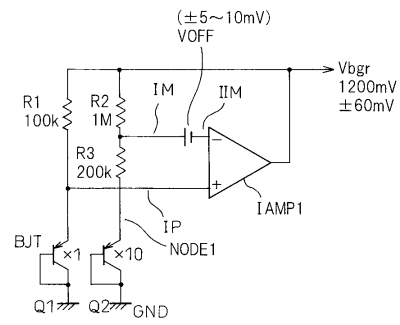


图 10

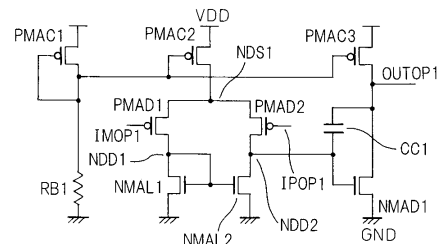
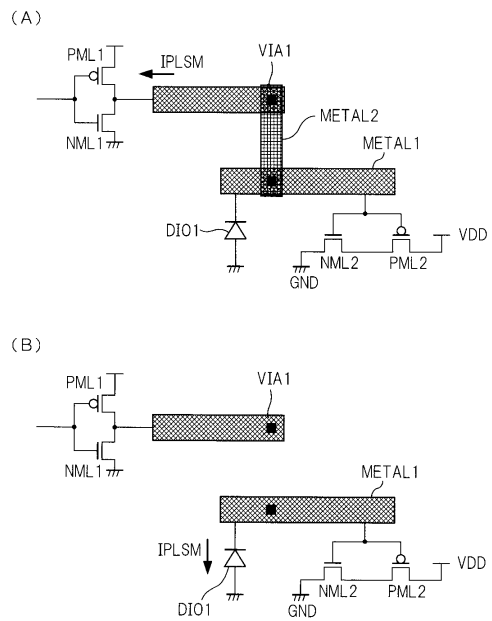
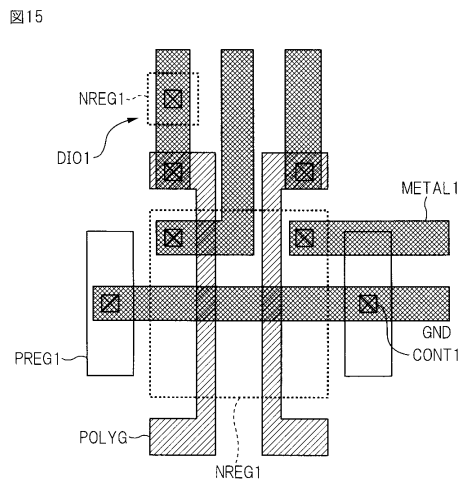


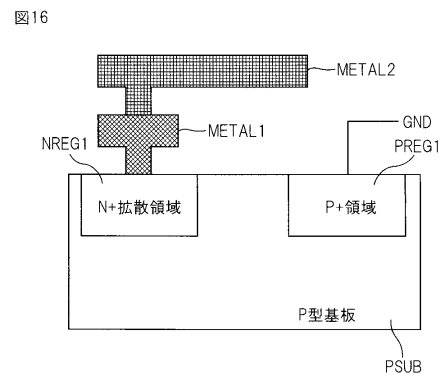
图13



【図 15】

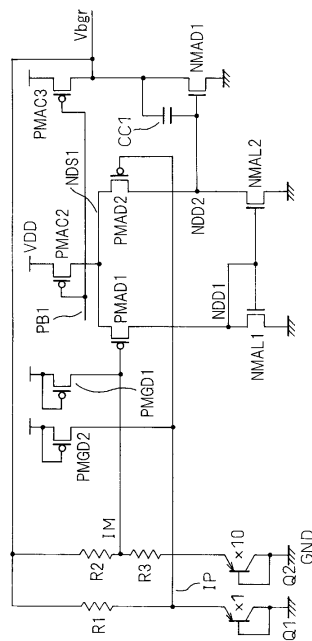


【図 16】

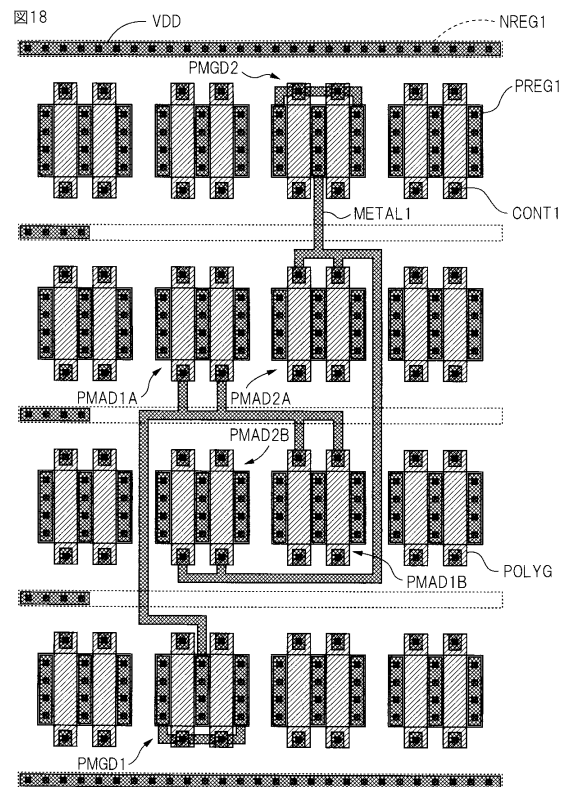


【図 17】

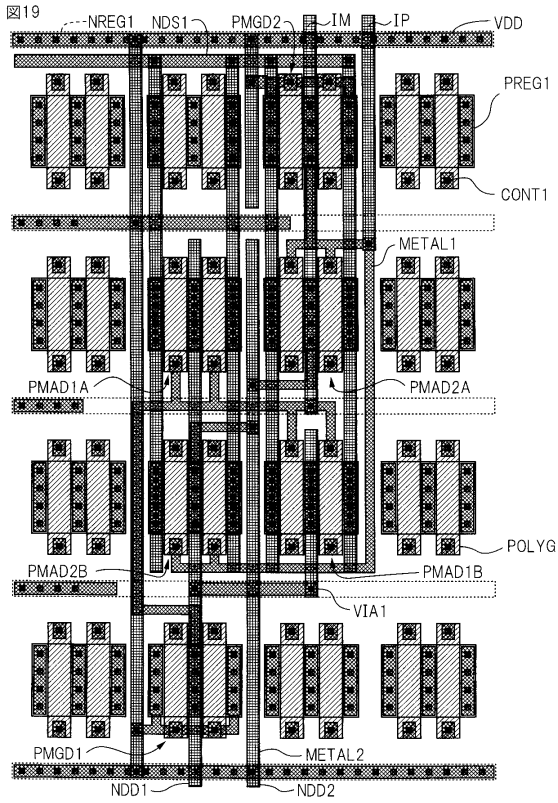
図 17



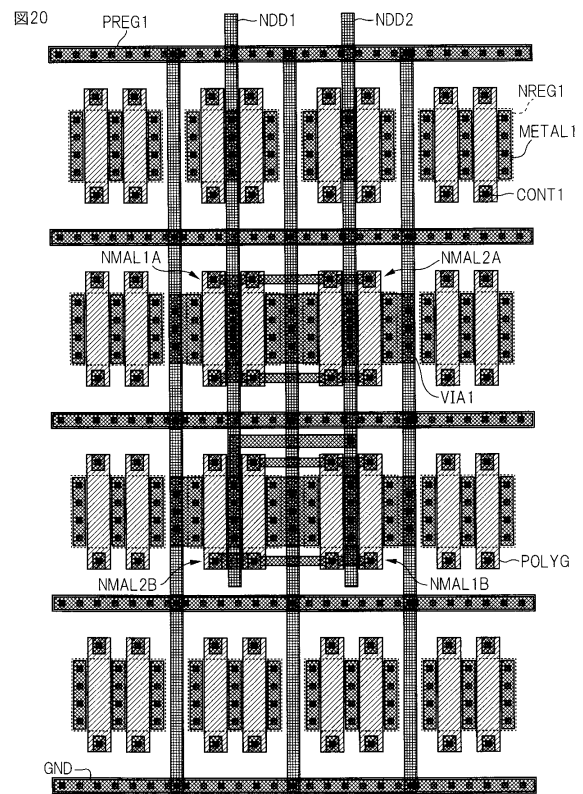
【図 18】



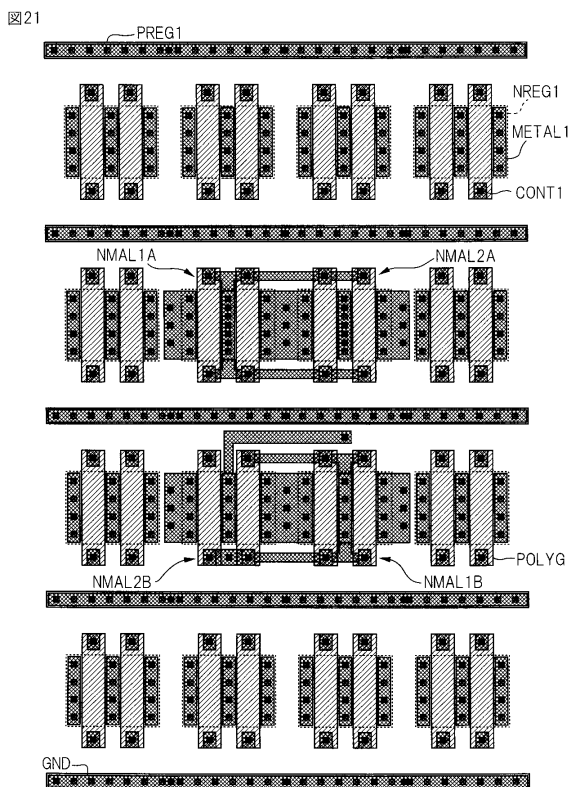
【図 19】



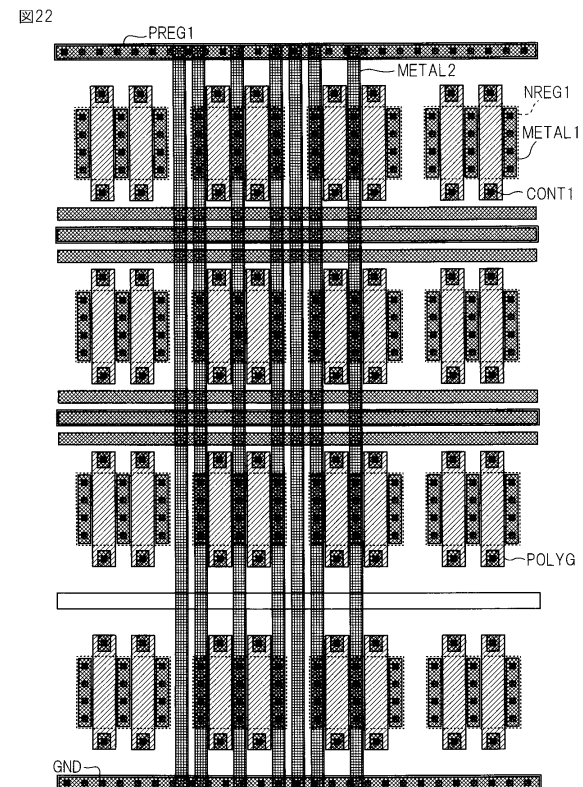
【図 20】



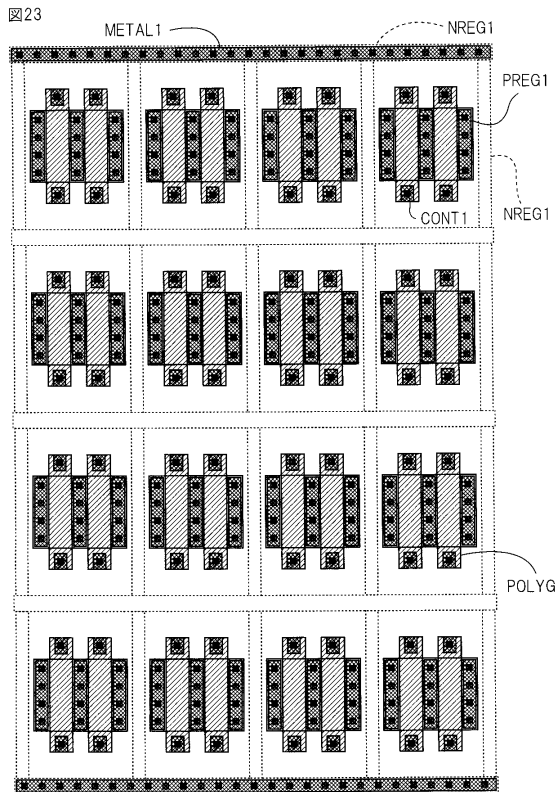
【図 21】



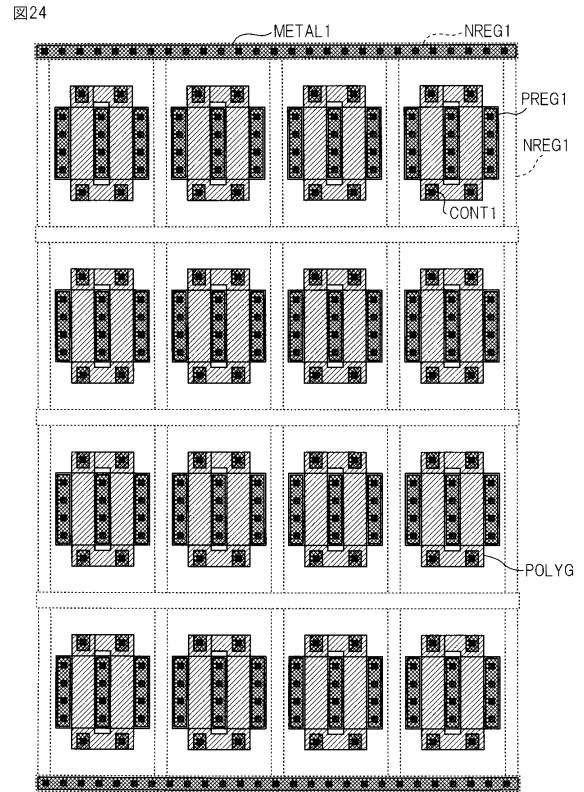
【図 22】



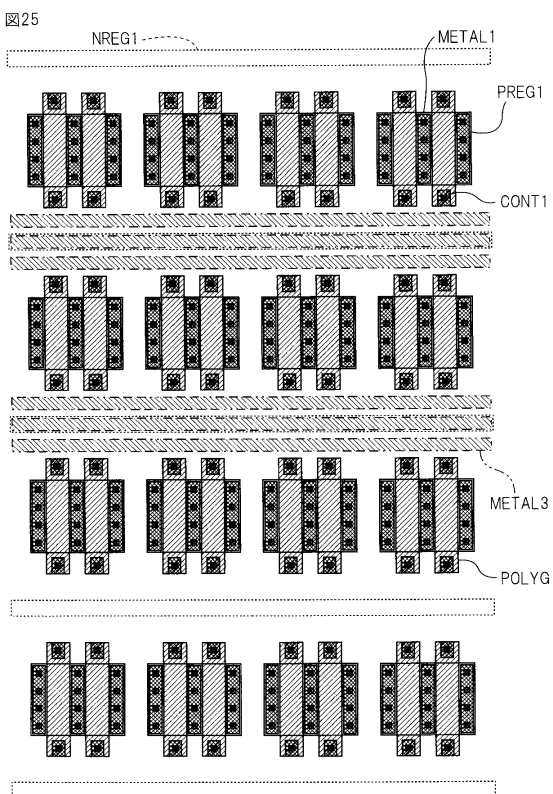
【図 23】



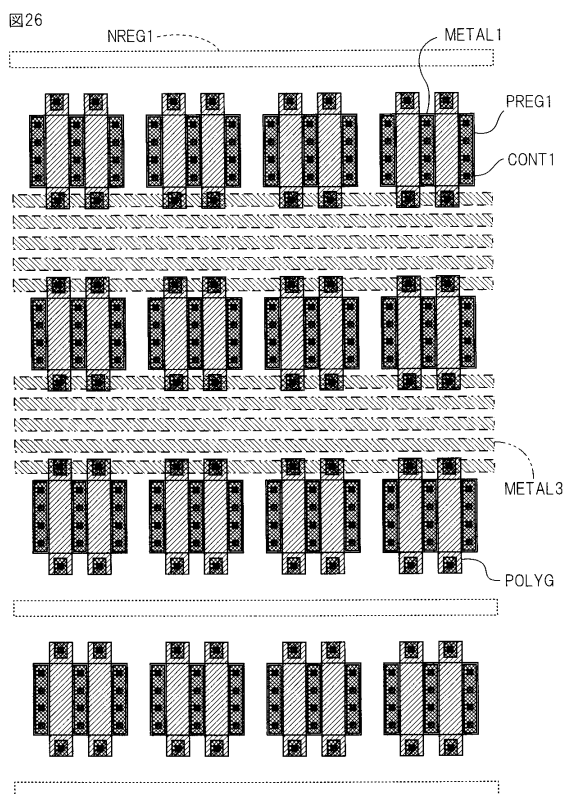
【図 24】



【図 25】

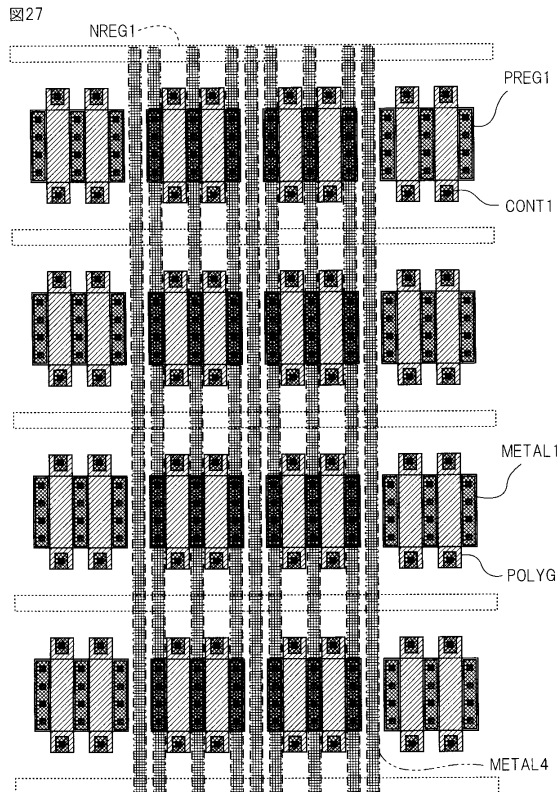


【図 26】

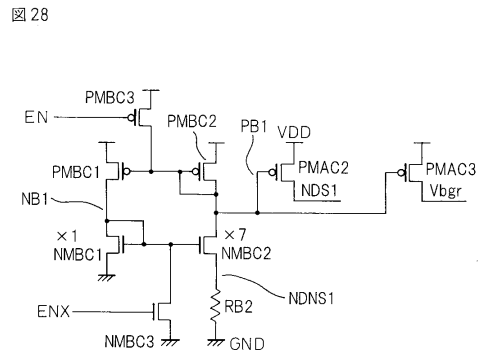




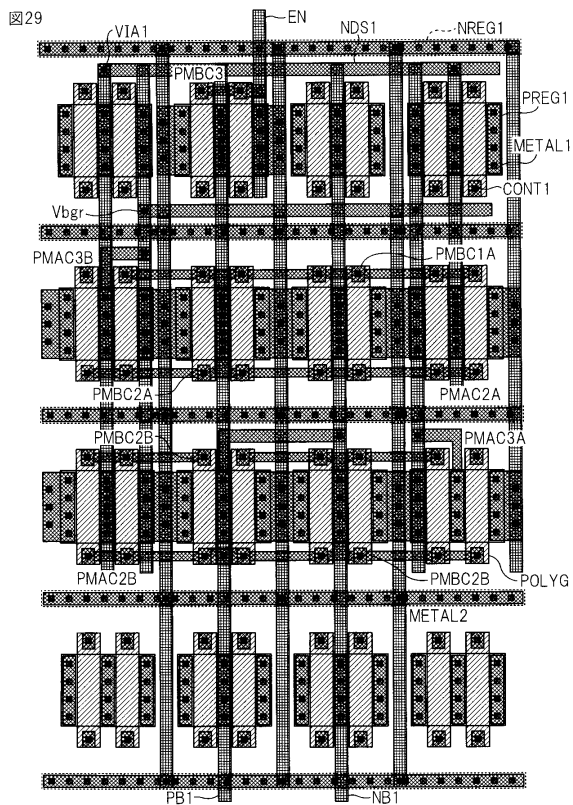
【図 27】



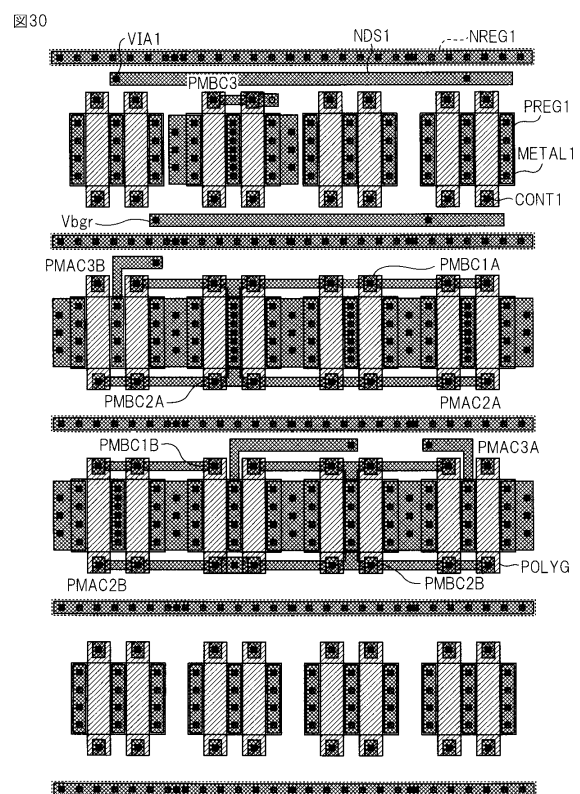
【図 28】



【図 29】



【図 30】



---

フロントページの続き

(72)発明者 岡田 浩司

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

審査官 須原 宏光

(56)参考文献 特開2002-368117(JP,A)

特開2004-281467(JP,A)

特開2007-036194(JP,A)

特開2001-358221(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 27/04