

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 12 月 31 日 (31.12.2014)



(10) 国际公布号
WO 2014/205935 A1

- (51) 国际专利分类号:
G01R 1/02 (2006.01) *G01R 1/073* (2006.01)
- (21) 国际申请号: PCT/CN2013/084152
- (22) 国际申请日: 2013 年 9 月 25 日 (25.09.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310259568.0 2013 年 6 月 26 日 (26.06.2013) CN
- (71) 申请人: 中国科学院深圳先进研究院 (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城学苑大道 1068 号, Guangdong 518055 (CN)。
- (72) 发明人: 蒋力 (JIANG, Li); 中国香港特别行政区新界沙田香港中文大学, Hong Kong (CN)。 徐强 (XU, Qiang); 中国香港特别行政区新界沙田香港中文大学, Hong Kong (CN)。 李慧云 (LI, Huiyun); 中

国广东省深圳市南山区西丽深圳大学城学苑大道 1068 号, Guangdong 518055 (CN)。 徐国卿 (XU, Guoqing); 中国香港特别行政区新界沙田香港中文大学, Hong Kong (CN)。 苏少博 (SU, Shaobo); 中国广东省深圳市南山区西丽深圳大学城学苑大道 1068 号, Guangdong 518055 (CN)。 张晓龙 (ZHANG, Xiaolong); 中国广东省深圳市南山区西丽深圳大学城学苑大道 1068 号, Guangdong 518055 (CN)。

(74) 代理人: 北京三聚阳光知识产权代理有限公司 (SUNSHINE INTELLECTUAL PROPERTY INTERNATIONAL CO., LTD.); 中国北京市海淀区海淀南路甲 21 号中关村知识产权大厦 A 座 5 层 503 室, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU,

[见续页]

(54) Title: TEST SUBSTRATE AND PROBE CARD MANUFACTURED USING SAME

(54) 发明名称: 一种测试基板及采用该测试基板制造的探针卡

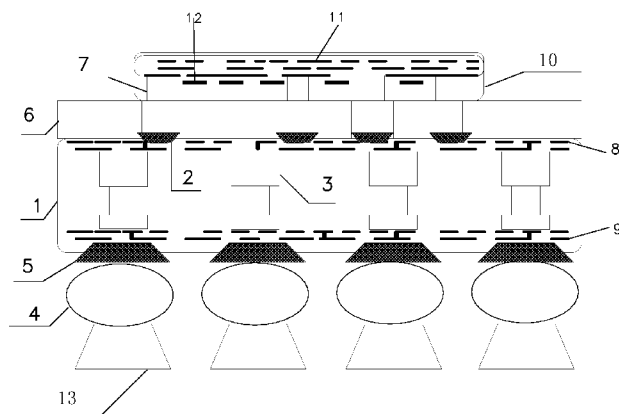


图 6 / FIG. 6

(57) Abstract: Provided are a test substrate and a probe card manufactured using the test substrate. Test-end micro bulges (2) on a top surface of the test substrate are arranged according to the layout of contacts (7) to be detected at the bottom of a wafer (10) to be detected, are correspondingly connected to through-substrate via holes (3) via top wirings (8) and are electrically conducted, the through-substrate via holes (3) are correspondingly connected to detection bulges (4) on the bottom surface of the test substrate and are electrically conducted, and the detection bulges (4) match test probes (13) in size, so that a one-to-one correspondence signal relationship between the test probes (13) and the test-end micro bulges (2) and the contacts (7) to be detected is established, and the problem that there is no way for the test probes (13) to directly detect each contact (7) to be detected due to the test probes (13) being too big and the contacts (7) to be detected being too small in the related art is solved. By overlaying an anisotropic conductive resin on the top surface of the test substrate, the test-end micro bulges (2) can be electrically conducted without the need for them to come into contact with the contacts (7) to be detected, thereby avoiding damage to the wafer (10) and improving the signal transmission property.

(57) 摘要:

[见续页]



WO 2014/205935 A1



LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供一种测试基板及采用该测试基板制造的探针卡, 所述测试基板顶部表面上的测试端微凸起(2)按照待测晶片(10)底部待测触点(7)的布局进行排列, 通过顶层布线(8)与过基板穿孔(3)对应连接并电导通, 过基板穿孔(3)与测试基板底部表面的探测凸起(4)对应连接并电导通, 探测凸起(4)与测试探针(13)的尺寸相匹配, 建立了测试探针(13)与测试端微凸起(2)和待测触点(7)间一一对应的信号关系, 解决了现有技术中因测试探针(13)尺寸过大而待测触点(7)尺寸过小, 无法通过测试探针(13)直接对每一待测触点(7)进行检测的问题。通过在测试基板顶部表面铺上异方性导电胶, 使得测试端微凸起(2)与待测触点(7)无需接触即可电导通, 避免了对晶片(10)的损伤且提高了信号传输性质。

一种测试基板及采用该测试基板制造的探针卡

技术领域

本发明涉及一种测试基板及采用该测试基板制造的探针卡,具体是一种在半导体制造业,用来对芯片进行检测的一种测试基板及采用该测试基板制造的探针卡,属于电子测试技术领域。

背景技术

随着芯片制造工艺的不断进步,芯片的体积不断减小同时运算速度不断提高。然而,随着半导体制成工艺进入深纳米级,芯片的性能已经无法像原来那样继续提高,主要受以下因素影响:(1)芯片互连上的延迟已经取代器件本身的延迟,成为提高芯片速率的最大障碍;(2)随着集成度的不断提高,芯片中集成了更多数量的不同工艺的器件,如数字逻辑器件、模拟器件和射频器件等,芯片中器件数量的增加导致芯片的面积增大,同时不同器件间的连线也随之增加,同时使芯片制造工艺的复杂度也不断增加,严重影响进一步提高芯片的集成度和运行速度。为了延续摩尔定律,产生了三维芯片的技术思路。

三维芯片是指将未封装的晶片 10 在垂直方向上进行堆叠,并封装成一颗完整的芯片。这些堆叠在一起的晶片 10 通过一种叫做“过硅穿孔”(Through Silicon Via, 简称 TSV)的技术来互相传递信号。图 1a 为两层晶片 10 堆叠在一起的立体图,如图 1a 所示,第一层晶片 10 的衬底 20 被削薄后就可以让待测触点 7,在三维芯片中即为过硅穿孔穿透第一层晶片 10 的衬底 20。过硅穿孔与第二层晶片 10 的晶片布线层 11 连在一起,起到了在晶片器件层 12 传递信号(包括数据/电源/接地/时钟信号)的作用。图 1b 中显示了三个晶片 10,通过粘合层 22 粘结堆叠在一起的剖面图,如图 1b 所示,每一层晶片 10 都通过待测触点 7,即过硅穿孔和相邻晶片 10 建立了信号联系。通过三维芯片的方式,增大了芯片中器件的集成密度,减少信号延迟,降低芯片功耗,更重要的是,不同工艺的芯片可以通过堆叠方式集成在一起,减少了

多工艺芯片制造的成本和风险。但是三维芯片在制造过程中引入的各种缺陷导致三维芯片的良品率过低。其中很重要的一个原因是晶片 10 在堆叠封装前没有进行检测，而在晶片 10 上形成过硅穿孔的工艺非常复杂，很容易在形成过硅穿孔时给晶片 10 带来缺陷导致晶片无法正常使用，而将未经检测的多片晶片 10 进行堆叠封装后，任何一个晶片 10 发生故障，都将导致整个三维芯片无法使用，这就导致了三维芯片的良品率过低。

为了解决这一难题，业界和学术界提出了一种可以有效提高三维芯片良品率的方法，即堆叠前测试。其基本原理就是在堆叠封装前先对晶片 10 进行测试，把有故障的晶片 10 丢弃，以保障进行堆叠封装的晶片 10 都是无故障的晶片，提高三维芯片的良品率。但是，晶片 10 在堆叠封装前只是一片裸晶片，其不具有任何可以外接测试工具的管脚，因此如何将测试信号输入到晶片 10 上的器件中以及如何将测试信号从晶片 10 上的器件中引出成为一个难题。

现有的堆叠前测试方案主要分为两类：

(1) 正面探测，如图 2a 所示，即测试探针 13 不直接接触待测触点 7，即过硅穿孔，而是通过触碰晶片 10 正面专门设计的测试衬垫 19 来传递测试信号。正面探测的优点是不用磨薄晶片 10，但缺点就是测试衬垫 19 面积比较大，占用较多的片上面积，增加了测试时间和成本，而且过硅穿孔的另一端埋在晶片衬底 20 中，无法直接对过硅穿孔进行测试。为了解决这一问题，有研究人员设计出内建自检 (built in self test) 结构对过硅穿孔进行测试，如 M. Cho, C. Liu, D. Kim, S. Lim, 和 S. Mukhopadhyay, 在 IEEE/ACM Int, Conf. (美国计算机学会/电子和电气工程师协会国际学术会议) 以及 Computer- Aided Design, pp. 694-697, 2010. (2010 年计算机辅助设计 694 到 697 页) 发表的论文 “Design Method and Test Structure to Characterize and Repair TSV Defect Induced Signal Degradation in 3D System” 就介绍了这样一种方案，但这类方法需要为每个过硅穿孔设计对应的自检结构电路。目前三维芯片中往往有上千个过硅穿孔，密度也在 $10000/\text{mm}^2$ 上下，因此这类方法会占用大量的芯片面积和布线资源。而且自检结构电路往往有很多模拟器件，在数字器件中加入模拟器件，不但极大的增

加了制造成本，而且这些模拟器件非常容易受到周围数字电路的干扰，导致较大的测试误差，另外，上述方法只提供了对过硅穿孔的测试，而无法通过过硅穿孔测试晶片 10 上的电路。

(2) 背面探测，如图 2b 所示，既测试探针 13 直接接触晶片 10 背面的待测触点 7，即过硅穿孔，并经由过硅穿孔来传递测试信号。背面探测虽然没有正面探测方法所具有的那些缺点，但它同样有很多不足。首先测试探针 13 的尺寸最小只能达到 35 微米，但目前过硅穿孔的尺寸最小已经达到 4.4 微米以下。显然，这种巨大的差距造成了无法用测试探针 13 准确探测过硅穿孔，如图 3 所示，由于测试探针 13 和过硅穿孔之间巨大的尺寸差距，一个测试探针 13 同时覆盖多个过硅穿孔，无法做到对单个过硅穿孔的直接探测；其次为了能够让过硅穿孔裸露，晶片 10 必须被削薄到 50 微米左右的厚度，而另一方面，必须给晶片 10 施加足够的压力才能让测试探针 13 和过硅穿孔充分接触。在这种压力下，这个厚度的晶片 10 非常容易损坏。而且削薄后的晶片 10 很容易弯曲及表面不平整，这就使得某些测试探针 13 无法与过硅穿孔充分接触，大大影响了测试信号的质量。

考虑到过硅穿孔和测试探针 13 之间有如此大的尺寸差距，现有技术又提出一种允许每个测试探针 13 接触多个过硅穿孔的方法，如 B. Noia 和 K. Chakrabarty 于 2011 年在 Proc. IEEE International Test Conference, pp. 1-10（美国电气电子工程师协会期刊第 1-10 页）发表的论文“Pre-bond Probing of TSVs in 3D stacked ICs”，就公开了每个测试探针 13 接触多个待测触点 7，即过硅穿孔的方案，如图 4 所示，多个被同一个测试探针 13 探测的过硅穿孔有一端被短路在一起，形成一个过硅穿孔网络(TSV group)。为了能够区别地测试每个过硅穿孔，在过硅穿孔的另一端，连接一个带开关的测试触发器 23 (Gated Scan Flip flop)，所有这些带开关的测试触发器 23 最终连成测试扫描链，通过控制对应的触发器开关，他们可以控制让测试信号只通过网络中的某个选定的过硅穿孔，通过测量过硅穿孔充放电的时间估计其电阻/电容值来确定是否有缺陷。这一方法虽然间接地解决了对过硅穿孔探测的难题，但也有很多局限性，首先，由于使用了测试扫描链，使这种方法只能进行模块化测试，即只能测试数字电路，这一局限对于三维芯片

尤为致命，因为三维芯片的一大优势就是在一个芯片中集成多种不同工艺的晶片 10（包括模拟电路、RF 视频电路、存储器等）。这些非数字电路的晶片 10 都无法使用上面提出的方法；其次，这种测试手段不可避免的需要改变原始晶片内部的电路，这种侵入式的设计方法在实际的生产中有很大的局限性；最后，同一个网络中的过硅穿孔是无法同时并行测试的，比如，如果每个测试探针 13 接触五个过硅穿孔，那么就需要五个时钟周期来完成对所有的过硅穿孔的测试。所以，实际上，这个方法用了以时间换取空间的策略，测试完所有的过硅穿孔的话消耗的时间太长，测试效率太低。

公开号为 CN 102478950 A，发明名称为“直接针测式的探针测试装置”的专利文献，公开了一种包括空间转换器的探针测试装置，最下方为垂直式探针组，与待测装置接触，上方连接空间转换器以及探针接口板等组件，虽然所述探针组包括多个垂直式探针，相较于传统的探针卡，尺寸有了明显的缩小，但采用现有的制作工艺探针无法做到与过硅穿孔的尺寸相匹配（过硅穿孔可达 4.4 微米以下，而测试探针最小也只能达到 35 微米）。并且虽然通过空间转换器提供了使布线空间从较小间距转换成较大间距的接口，但因空间转换器是在电路板的尺寸量级上制作的，因此通过垂直式探针和空间转换器无法对微米级的过硅穿孔同时进行逐个检测，不适用于对三维芯片、2.5 维芯片的晶片进行堆叠前测试。

发明内容

本发明所要解决的技术问题是现有技术中芯片测试装置尺寸过大，而构成三维芯片中的晶片上的过硅穿孔尺寸小且排列密度大，无法同时对过硅穿孔逐个进行检测，因而不适用于对三维芯片的晶片进行封装前的检测，从而提供一种能够同时对每个过硅穿孔进行检测，适用于三维芯片的晶片封装前的检测的一种测试基板及采用该测试基板制造的探针卡。

为解决上述技术问题，本发明是通过以下技术方案实现的：

本发明涉及一种测试基板，用于对晶片进行堆叠前测试，包括：

多个测试端微凸起，按照与所述晶片底部的待测触点相同的布局排列于

所述测试基板的基座的顶部表面，且每一所述测试端微凸起与所述待测触点的尺寸相匹配；

多个过基板穿孔，其顶部通过顶层布线与所述测试端微凸起一一对应连接并电导通；

多个探测凸起，排列于所述测试基板的基座的底部表面，每一所述探测凸起与每一所述过基板穿孔的底部对应电连接，且每一所述探测凸起与每一测试探针的尺寸相匹配。

所述测试端微凸起通过刻蚀技术在所述测试基板的基座的顶部表面形成。

作为一种可选的实施方式，所述过基板穿孔按照与所述探测凸起相同的布局进行排列。

作为另一种可选的实施方式，所述测试基板的基座的底部设置有底层布线，所述过基板穿孔通过所述底层布线与所述探测凸起一一对应连接并电导通。

所述探测凸起按照与测试探针相同的布局设置于所述测试基板的基座的底部表面。

所述测试基板的基座的顶部表面覆盖一层弹性胶层，所述弹性胶层与所述测试端微凸起与所述待测触点垂直对应的部分电导通，其余部分绝缘。

所述弹性胶层为异方性导电胶。

所述测试基板的基座由绝缘的硅材料或玻璃材料制成。

所述过基板穿孔包括贯穿所述测试基板的基座的通孔，镀于所述通孔内表面的绝缘材质及所述通孔内灌注的金属材料。

所述待测触点为过硅穿孔或待测端微凸起；

所述待测端微凸起是通过刻蚀技术在所述晶片的底部形成。

一种采用所述测试基板制造的探针卡，通过去除探测凸起，并在所述测

试基板的基座的底层增加布线，将测试信号通过新增的布线传递到位于所述测试基板的基座的顶部表面的每个测试端微凸起，并通过所述测试端微凸起，传递到位于所述晶片底部的每个待测触点上，并将测试后的信号输出，对所述晶片进行检测；所述待测触点为过硅穿孔或待测端微凸起；所述待测端微凸起是通过刻蚀技术在所述晶片的底部形成。

本发明的上述技术方案相比现有技术具有以下优点：

(1) 本发明所述的测试基板，包括多个测试端微凸起，排列于所述测试基板的基座的顶部表面，按照与待测晶片底部的待测触点一一对应的位置进行布局；多个过基板穿孔，其顶部通过顶层布线与所述测试端微凸起一一对应连接并电导通，其底部与位于所述测试基板的基座的底部表面的探测凸起对应相连并电导通，所述探测凸起与每一测试探针的尺寸相匹配，从而建立起位于待测晶片底部的待测触点与测试探针间的一一对应的信号联系。因为待测触点，比如过硅穿孔的间距很密，密度在 $10000/\text{mm}^2$ 上下，过基板穿孔的尺寸可以做的很大，比如 100 微米，这种大尺寸的设计可以使过基板穿孔的制造缺陷率几乎为零，且过基板穿孔的间距也要远大于待测触点，比如过硅穿孔的间距。通过这种布局，可以将待测触点间较小的间距转换为过基板穿孔间的较大的间距，因为测试基板的缺陷率几乎为零，因此，可以通过这种测试基板同时对待测触点（比如过硅穿孔）进行测试，测试时，测试探针与探测凸起一一对应接触，将测试信号通过探测凸起传送到过基板穿孔，过基板穿孔通过顶层布线和测试端微凸起将测试信号传送到待测晶片的待测触点，比如过硅穿孔上，并通过待测晶片上的布线传递测试信号，对整个待测晶片进行检测，筛除不合格的晶片，因为所有经过检测的晶片均为合格晶片，从而提高了三维芯片或者 2.5 维芯片的良品率。且因为所述待测触点（比如过硅穿孔）与测试端微凸起为一一对应关系，所述测试端微凸起与过基板穿孔为一一对应，而所述过基板穿孔与探测凸起一一对应，且所述探测凸起的尺寸与测试探针尺寸相匹配，因而所述测试探针就间接的相当于同时对每一待测触点（比如过硅穿孔）进行检测，缩短了检测时间，减少了测量误差。

(2) 本发明所述的测试基板，只要测试基板足够大，就可以让所有的

信号同时进入所有的待测触点（比如过硅穿孔），大大提高了测试带宽。

（3）本发明所述的测试基板，由于所有的待测触点（比如过硅穿孔），都可以同时被探测到，因此本发明不需要在晶片内加入任何侵入式的结构即可进行测试，节省了布线资源，减少了线路间的相互干扰，减小了测量误差。

（4）本发明所述的测试基板，通过待测触点和待测晶片上的布线将测试信号传送到待测晶片上的所有器件，通过对待测晶片的所有输入输出的检测，对待测晶片进行功能性测试，因此，可以对数字电路、模拟电路、射频电路等进行测试，扩大了可测试范围。

（5）利用本发明所述的测试基板制作的探针卡，通过去除探测凸起，并在所述测试基板的基座的底层增加布线，将测试信号通过新增的布线传递到位于所述测试基板的基座的顶部表面的每个测试端微凸起，并通过所述测试端微凸起，传递到位于所述晶片底部的每个待测触点上，并将测试后的信号输出，对所述晶片进行检测。无需引入第三方测试探针即可对晶片进行检测，简化了测试设备。

附图说明

为了使本发明的内容更容易被清楚的理解，下面结合附图，对本发明作进一步详细的说明，其中，

图 1a 是三维芯片的立体结构示意图；

图 1b 是三维芯片的剖面图；

图 2a 是背景技术中正面探测的示意图；

图 2b 是背景技术中背面探测的示意图；

图 3 是测试探针和过硅穿孔间尺寸比较的示意图；

图 4 是背景技术中对过硅穿孔网络进行检测的示意图；

图 5 是本发明所述测试基板的立体结构示意图；

图 6 是本发明一实施方式所述测试基板的剖面示意图；

图 7 是本发明所述测试基板顶层布线示意图；

图 8 是本发明所述测试基板底层布线示意图；

图 9a 是测试基板每次粘连晶圆上的一块晶片进行测试的示意图；

图 9b 是测试基板每次粘连晶圆上的多块晶片进行测试的示意图；

图 10 是测试基板测试晶圆时的立体图。

图中附图标记表示为：1-基座，2- 测试端微凸起，3-过基板穿孔，4-探测凸起，5-接触衬垫，6- 弹性胶层，7-待测触点，8-顶层布线，9-底层布线，10-晶片，11-晶片布线层，12-晶片器件层，13-测试探针，14-顶层布线水平导线层，15-顶层布线垂直导线，16-底层布线垂直导线，17-底层布线水平导线层，18-晶圆，19-测试衬垫，20-衬底，21-托盘，22-粘合层，23-带开关的测试触发器。

具体实施方式

下面将对本发明的实施方式进行详细说明。

实施例 1

本发明所述的测试基板，用于对晶片 10 进行堆叠前测试，如图 5、图 6 所示，包括：

多个测试端微凸起 2，按照与所述晶片 10 底部的待测触点 7 相同的布局排列于所述测试基板的基座 1 的顶部表面，且每一所述测试端微凸起 2 与所述待测触点 7 的尺寸相匹配。

对于三维芯片来说，所述待测触点 7 为过硅穿孔，过硅穿孔的制造工艺为现有技术，此不赘述；所述测试端微凸起 2 是通过刻蚀技术形成于所述测试基板的基座 1 的顶部表面，目前，刻蚀技术已经达到 20 纳米级，因此，所述测试端微凸起 2 可以做到足够小，比如 5-10 微米，因此测试端微凸起 2 的尺寸可以做成与微米级的过硅穿孔的尺寸相匹配，又因为多个测试端微凸起 2 是按照与所述晶片 10 底部的过硅穿孔相同的布局排列于所述测试基板的基座 1 的顶部表面，因此，对晶片 10 进行测试时，所述测试端微凸起 2

与位于所述晶片 10 底部的过硅穿孔是一一对应连接的。

多个过基板穿孔 3，其顶部通过顶层布线 8 与所述测试端微凸起 2 一一对应连接并电导通。如图 7 所示，所述顶层布线 8 有两层，第一层在测试基板的基座 1 的顶部表面，上面布满了测试端微凸起 2，用以与待测触点 7，比如过硅穿孔一一对应连接，充分接触并形成导电通路。所述测试端微凸起 2 通过顶层布线垂直导线 15 连接到第二层顶层布线水平导线层 14 中的金属线。在第二层顶层布线水平导线层 14 中，金属线会将每个测试端微凸起 2 连下来的顶层布线垂直导线 15 连接到其对应的过基板穿孔 3。如此一来，所有的测试端微凸起 2 都会和各自对应的过基板穿孔 3 相连并电导通。在第二层水平导线层中，要使顶层布线垂直导线 15 与过基板穿孔 3 一一对应，我们需要用到一些布线算法，具体可参看申请号为 6150729，发明名称为“Routing Density Enhancement for Semiconductor BGA Package And Printed Wiring Boards”的美国专利申请。但这些布线算法是公开的技术，不属于本发明范畴，此不赘述。

所述过基板穿孔 3，是通过在测试基板的基座 1 中钻孔，然后在该通孔内表面镀上绝缘材质，之后灌入金属（铜或者其他金属材质）形成。由于灌入的金属材质会从孔中流至基座 1 的表面，因此需要腐蚀表面多余的金属。到此为止，过基板穿孔 3 就基本成型了。过基板穿孔 3 的顶部和底部会刻蚀金属线，使它们与布线层中的金属线相连并电导通。因此，所述过基板穿孔 3 包括贯穿所述测试基板的基座 1 的通孔，镀于所述通孔内表面的绝缘材质及所述通孔内灌注的金属材料。所述过基板穿孔 3 的尺寸可以做的很大，比如 100 微米，以目前的工艺，大尺寸的过基板穿孔的良率已经非常高，几乎可以认为是零缺陷。可见，过基板穿孔的尺寸要比过硅穿孔的尺寸大很多。

多个探测凸起 4，排列于所述测试基板的基座 1 的底部表面，做为可选的实施方式，所述探测凸起 4 可以选用 C4 (Controlled Collapse Chip Connection) 凸起，每一所述探测凸起 4 与每一所述过基板穿孔 3 的底部对应电连接，且每一所述探测凸起 4 与每一测试探针 13 的尺寸相匹配，因此每一测试探针 13 可以与每一探测凸起 4 紧密接触并通过与该探测凸起 4 对应的过基板穿孔 3、顶层布线 8、测试端微凸起 2，建立起与对应的待测触点

7 的信号联系,既实现了一个测试探针 13 只对应一个待测触点 7 并对其发送测试信号进行检测。克服了现有技术的不足,缩短了检测时间,减少了测量误差。

作为一种可选的实施方式,在不增加底层布线 9 的情况下,所述过基板穿孔 3 按照与所述探测凸起 4 相同的布局进行排列,从而建立起测试探针 13、探测凸起 4、过基板穿孔 3、顶层布线 8、测试端微凸起 2、待测触点 7 比如过硅穿孔间的信号联系。

作为另一种可选的实施方式,所述测试基板的基座 1 的底部设置有底层布线 9,所述过基板穿孔 3 通过所述底层布线 9 与所述探测凸起 4 一一对应连接并电导通。如图 8 所示,底层布线 9 有两层:第一层在测试基板的基座 1 的底部表面,上面布满了探测凸起 4,用于让测试探针 13 探测。所有的探测凸起 4 通过底层布线垂直导线 16 连接到第二层底层布线水平导线层 17 中的金属线。在第二层底层布线水平导线层 17 中,金属线分别会将各自从探测凸起 4 连上来的底层布线垂直导线 16 连接到对应的过基板穿孔 3 的底部。如此一来,所有的探测凸起 4 都会和各自对应的过基板穿孔 3 连接并电导通。底层布线 9 也需要用到一些布线算法,具体可参照对顶层布线 8 的描述,此不赘述。

作为一种改进,所述测试基板的基座 1 的底部设置有与所述探测凸起 4 一一对应的接触衬垫 5,用于使探测凸起 4 更好的与测试探针 13 和过基板穿孔 3 接触,提高信号传输质量。所述接触衬垫 5 可以通过焊接的方式与探测凸起 4 连接且在不增加底层布线 9 的情况下,所述接触衬垫 5 直接将所述过基板穿孔 3 与所述探测凸起 4 电导通,此时所述过基板穿孔 3 要按照与所述探测凸起 4 相同的布局进行排列,因为所述接触衬垫 5 是一一对应焊接于所述探测凸起 4 上的,因此所述过基板穿孔 3 的布局也与所述接触衬垫 5 的布局一致,所述接触衬垫 5 就可以直接将对应的所述过基板穿孔 3 与所述探测凸起 4 电导通。

作为一种可选的实施方式,所述测试基板的基座 1 的底部设置有与所述探测凸起 4 一一对应的接触衬垫 5,所述接触衬垫 5 可以通过焊接的方式与

探测凸起 4 连接，且所述接触衬垫 5 通过底层布线 9 将所述过基板穿孔 3 与所述探测凸起 4 电导通。

作为一种优选的实施方式，所述探测凸起 4 按照与测试探针 13 相同的布局设置于所述测试基板的基座 1 的底部表面。这样，测试探针 13 就可以与所有的探测凸起 4 一一对应接触，就相当于可以同时对所有待测触点 7 比如过硅穿孔进行检测，大大缩短了对晶片 10 的检测时间，也无需在晶片 10 内加入任何侵入式的结构即可实现对待测触点 7 的直接探测。

作为一种改进，所述测试基板的基座 1 的顶部表面覆盖一层弹性胶层 6，所述弹性胶层 6 与所述测试端微凸起 2 与所述待测触点 7 垂直对应的部分电导通，其余部分绝缘，如图 6 所示，所述弹性胶层 6 可以垂直电导通所述测试端微凸起 2 与所述待测触点 7。

所述弹性胶层 6 可以选用异方性导电胶，异方性导电胶的基本组成部分为半凝固态的黏性胶，内含有微粒。在一定温度下，这些微粒受到挤压后便会破裂，多个微粒破裂后，会释放导电粒子，形成一个导电通道，使挤压这些微粒的两端形成导电通路。具体使用时，先在测试基板的基座 1 的顶部表面铺上一层异方性导电胶并适当加热，使异方性导电胶能粘连在测试基板上。然后剥去异方性导电胶表层的隔膜，利用载体设备将待测晶片置于该异方性导电胶上，并将所述晶片 10 底部的待测触点 7 与测试基板上的测试端微凸起 2 对齐。最后，向下挤压所述晶片 10 并升高温度使所述晶片 10 和测试基板充分粘合。待测触点 7 和测试端微凸起 2 之间的微粒受到挤压后破裂，释放出导电粒子，在待测触点 7 和测试端微凸起 2 之间形成一个导电通道。因为所述晶片 10 表面和测试基板表面只有待测触点 7 和测试端微凸起 2 是凸起的，既只有待测触点 7 和测试端微凸起 2 间的微粒会受到挤压破裂并释放导电粒子，而其它部分的异方性导电胶中的微粒仍然保持完整和游离状态，不会释放导电粒子。因此，相邻待测触点 7 间以及相邻测试端微凸起 2 间不会形成短路。

通过此种方式，待测触点 7 和测试端微凸起 2 间无需直接接触即可形成电导通，不会损伤所述晶片 10；测试完成后，加热融化异方性导电胶，即可

实现测试基板和所述晶片 10 的分离，比较容易剥离所述晶片 10；由于异方性导电胶具有良好的可塑性，经过挤压之后，可以使待测触点 7 和测试端微凸起 2 充分接触，保证了良好的信号质量。

作为可选的实施方式，所述测试基板的基座 1 由绝缘的硅材料或玻璃材料制成。

本实施例中，所述待测触点 7，既过硅穿孔，可以通过所述晶片 10 上的晶片布线层 11 将测试信号传送到所述晶片 10 上的所有器件，通过对所述晶片 10 的所有输入输出信号的检测，对所述晶片 10 进行功能性测试，因此，可以对数字电路、模拟电路、射频电路等进行测试。

本方案，可以将待测触点 7，比如过硅穿孔间较小的间距转换为过基板穿孔 3 间的较大的间距，因为测试基板的缺陷率几乎为零，因此，可以通过这种测试基板同时对待测触点 7（比如过硅穿孔）进行测试，测试时，测试探针 13 与探测凸起 4 一一对应接触，将测试信号通过探测凸起 4 传送到过基板穿孔 3，过基板穿孔 3 通过顶层布线 8 和测试端微凸起 2 将测试信号传送到所述晶片 10 的待测触点 7，比如过硅穿孔上，并通过所述晶片 10 上的晶片布线层 11 传递测试信号，对整个晶片 10 进行检测，筛选不合格的晶片，因为所有经过检测的晶片均为合格晶片，从而提高了三维芯片的良品率。且因为所述待测触点（比如过硅穿孔）与测试端微凸起 2 为一一对应关系，所述测试端微凸起 2 与过基板穿孔 3 为一一对应，而所述过基板穿孔 3 与探测凸起 4 一一对应，且所述探测凸起的尺寸与测试探针 13 尺寸相匹配，因而所述测试探针 13 就间接的相当于同时对每一待测触点 7（比如过硅穿孔）进行检测，缩短了检测时间，减少了测量误差。

实施例 2

因为 2.5 维芯片中的晶片 10 无过硅穿孔，在实施例 1 的基础上可以做如下改动：

为了对构成 2.5 维芯片的晶片 10 进行堆叠前测试，作为一种可选的实施方式，可以在所述晶片 10 底部通过刻蚀技术形成待测端微凸起作为测试信号的输入输出端口。目前，刻蚀技术已经达到 20 纳米级，因此，所述待

测端微凸起可以做到足够小，比如 5-10 微米，通过晶片布线层 11 与晶片 10 上的各个器件建立信号联系。

因为位于所述测试基板的基底 1 的顶部表面的测试端微凸起 2 是按照与所述晶片 10 底部的待测触点 7，即待测端微凸起的相同的布局进行排列，因此所述待测端微凸起与测试端微凸起 2 之间可以建立一一对应的信号联系，则所述待测端微凸起可以通过测试端微凸起 2、顶层布线 8、过基板穿孔 3、探测凸起 4 等，建立与每一测试探针 13 一一对应的信号联系。既每一测试探针 13 可以间接将测试信号传入与之对应的每一待测端微凸起，通过待测端微凸起输入、输出测试信号，因所述待测端微凸起通过晶片布线层 11 与晶片 10 上的各个器件建立了信号联系，因此可以对待测端微凸起和整个晶片 10 的功能进行检测，剔除有缺陷的晶片。通过此种方式，可以使被封装的晶片都为合格晶片，从而提高了 2.5 维芯片的良品率。

实施例 3

实施例 1、实施例 2 所述测试基板也可用于制造探针卡，无需额外使用测试探针 13 间接传输测试信号给所述晶片 10 上的待测触点 7。实施方式如下：

对于不含有接触衬垫 5 的测试基板，只需拆除位于所述测试基板的基座 1 的底部表面的探测凸起 4，并在所述测试基板的基座 1 的底层增加布线，并通过新增布线直接将来自自动测试机上的测试信号传递到位于所述测试基板的基座 1 的顶部表面的每个测试端微凸起 2，并通过所述测试端微凸起 2，传递到位于所述晶片 10 底部的每个待测触点 7 上，并通过新增布线将测试后的信号输出至自动测试机，对所述晶片 10 进行检测，剔除不良晶片。

对于既含有接触衬垫 5，又含有探测凸起 4 的测试基板，需要拆除所述探测凸起 4 及接触衬垫 5，并在所述测试基板的基座 1 的底层增加布线，并通过新增布线直接将来自自动测试机上的测试信号传递到位于所述测试基板的基座 1 的顶部表面的每个测试端微凸起 2，并通过所述测试端微凸起 2，传递到位于所述晶片 10 底部的每个待测触点 7 上，并通过新增布线将测试后的信号输出至自动测试机，对所述晶片 10 进行检测，剔除不良晶片。

所述待测触点 7 为过硅穿孔或待测端微凸起；所述待测端微凸起是通过刻蚀技术在所述晶片 10 的底部形成。

实施例 4

本方案除了可以用于一片晶片 10 的堆叠前测试，也可以对多片晶片 10，比如晶圆 18 进行堆叠前测试。

如图 9a 所示，测试基板每次粘连一块晶圆 18 上的晶片 10，测试时，测试基板上的测试端微凸起 2 与粘连的晶圆 18 上的晶片 10 的待测触点 7 一一对应相接，测试基板上的探测凸起 4 与每一测试探针 13 一一对应相接，所述测试探针 13 从自动测试机引入测试信号。因为所述测试基板上的测试端微凸起 2 是按照与位于所述晶圆 18 的晶片 10 上的待测触点 7 的布局进行排列的，所以，相当于间接建立了每一测试探针 13 与晶圆 18 上的晶片 10 的每一待测触点 7 间一一对应的信号联系，从而可以逐次对晶圆 18 上的所有晶片 10 进行检测，将不良的晶片剔除，提高生产出来的晶片的良品率。

如图 9b 所示，也可以制作更大的测试基板，使其可以同时粘连多个位于晶圆 18 上的晶片 10，利用测试探针 13 对多个晶片 10 同时进行检测，提高检测速度。

如图 10 所示，只要测试基板足够大，我们就可以在其上设置足够多的测试端微凸起 2，过基板穿孔 3 和探测凸起 4，使所有的探测触点 7，比如过硅穿孔或者待测端微凸起都能被测试探针 13 同时探测。

显然，上述实施例仅仅是为清楚地说明所作的举例，而并非对实施方式的限定。对于所属领域的普通技术人员来说，在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本发明创造的保护范围之内。

权 利 要 求 书

1. 一种测试基板，用于对晶片（10）进行堆叠前测试，其特征在于，包括：

多个测试端微凸起（2），按照与所述晶片（10）底部的待测触点（7）相同的布局排列于所述测试基板的基座（1）的顶部表面，且每一所述测试端微凸起（2）与所述待测触点（7）的尺寸相匹配；

多个过基板穿孔（3），其顶部通过顶层布线（8）与所述测试端微凸起（2）一一对应连接并电导通；

多个探测凸起（4），排列于所述测试基板的基座（1）的底部表面，每一所述探测凸起（4）与每一所述过基板穿孔（3）的底部对应电连接，且每一所述探测凸起（4）与每一测试探针（13）的尺寸相匹配。

2. 根据权利要求1所述的测试基板，其特征在于：

所述测试端微凸起（2）通过刻蚀技术在所述测试基板的基座（1）的顶部表面形成。

3. 根据权利要求1或2所述的测试基板，其特征在于：

所述过基板穿孔（3）按照与所述探测凸起（4）相同的布局进行排列。

4. 根据权利要求1或2所述的测试基板，其特征在于：

所述测试基板的基座（1）的底部设置有底层布线（9），所述过基板穿孔（3）通过所述底层布线（9）与所述探测凸起（4）一一对应连接并电导通。

5. 根据权利要求1-4任一所述的测试基板，其特征在于：

所述探测凸起（4）按照与测试探针（13）相同的布局设置于所

述测试基板的基座（1）的底部表面。

6. 根据权利要求 1-5 任一所述的测试基板，其特征在于：

所述测试基板的基座（1）的顶部表面覆盖一层弹性胶层（6），所述弹性胶层（6）与所述测试端微凸起（2）与所述待测触点（7）垂直对应的部分电导通，其余部分绝缘。

7. 根据权利要求 6 所述的测试基板，其特征在于：

所述弹性胶层（6）为异方性导电胶。

8. 根据权利要求 1-7 任一所述的测试基板，其特征在于：

所述测试基板的基座（1）由绝缘的硅材料或玻璃材料制成。

9. 根据权利要求 1-8 任一所述的测试基板，其特征在于：

所述过基板穿孔（3）包括贯穿所述测试基板的基座（1）的通孔，镀于所述通孔内表面的绝缘材质及所述通孔内灌注的金属材料。

10. 根据权利要求 1-9 任一所述的测试基板，其特征在于：

所述待测触点（7）为过硅穿孔或待测端微凸起；

所述待测端微凸起是通过刻蚀技术在所述晶片（10）的底部形成。

11. 一种采用权利要求 1-10 任一所述测试基板制造的探针卡，其特征在于：

所述探针卡通过去除探测凸起（4），并在所述测试基板的基座（1）的底层增加布线，将测试信号通过新增的布线传递到位于所述测试基板的基座（1）的顶部表面的每个测试端微凸起（2），并通过所述测试端微凸起（2），传递到位于所述晶片（10）底部的每个待测触点（7）上，并将测试后的信号输出，对所述晶片（10）进行检测；所述待测触点（7）为过硅穿孔或待测端微凸起；所述待测端微凸起是通过刻

蚀技术在所述晶片（10）的底部形成。

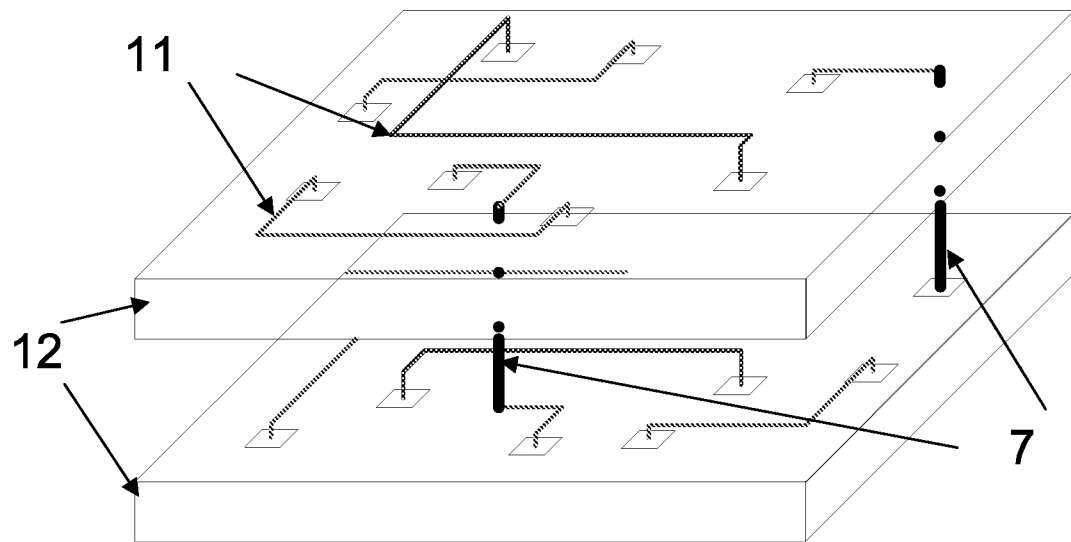


图 1a

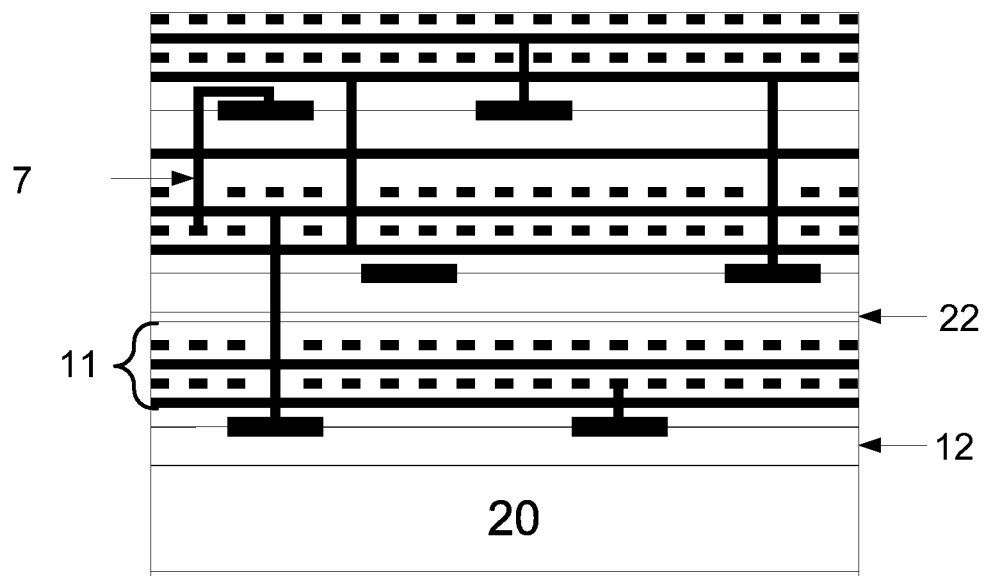


图 1b

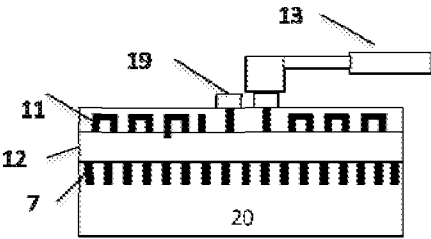


图 2a

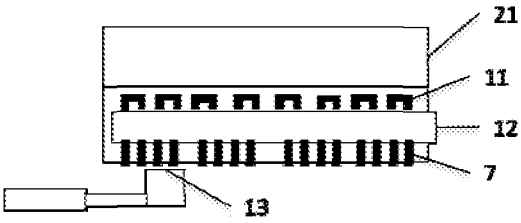


图 2b

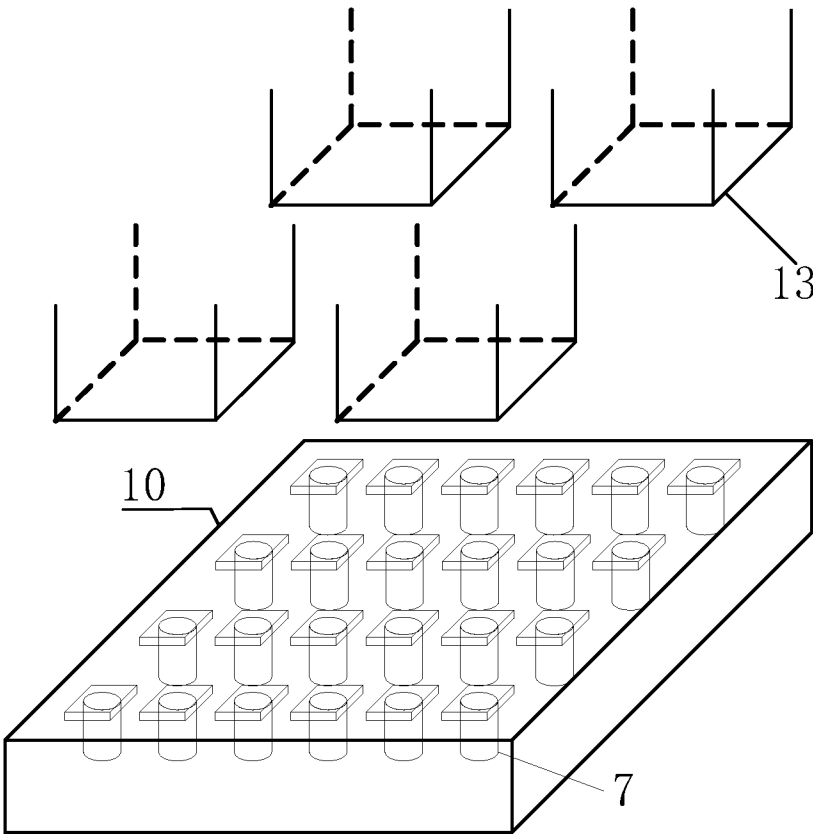


图 3

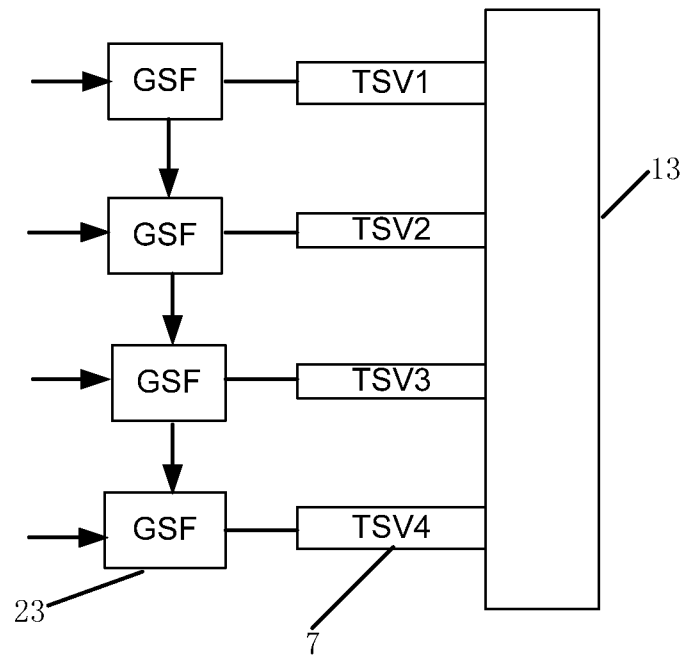


图 4

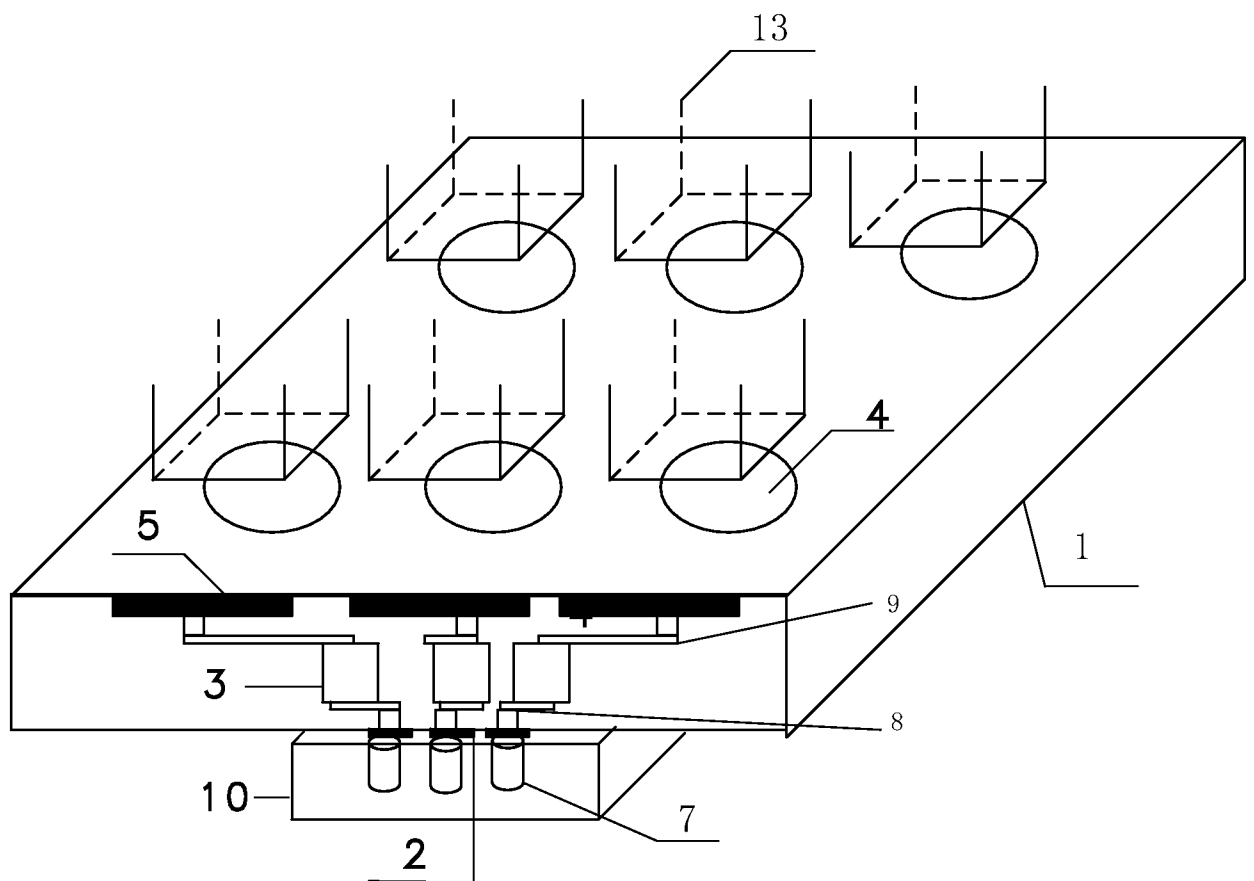


图 5

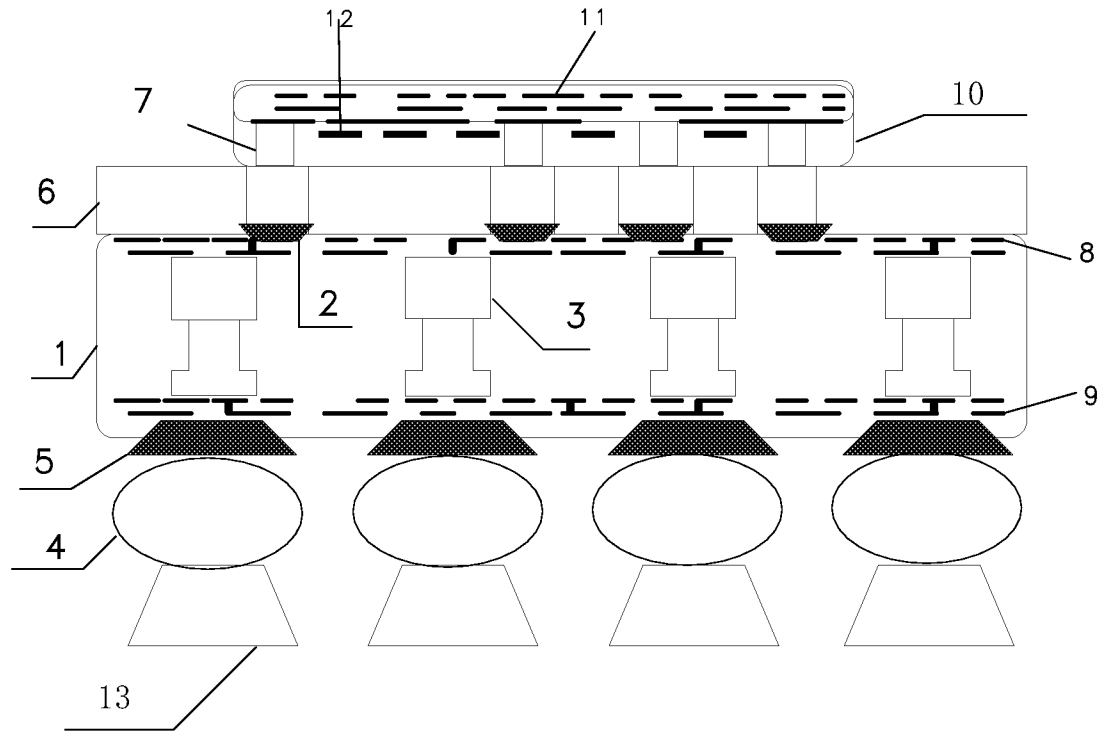


图 6

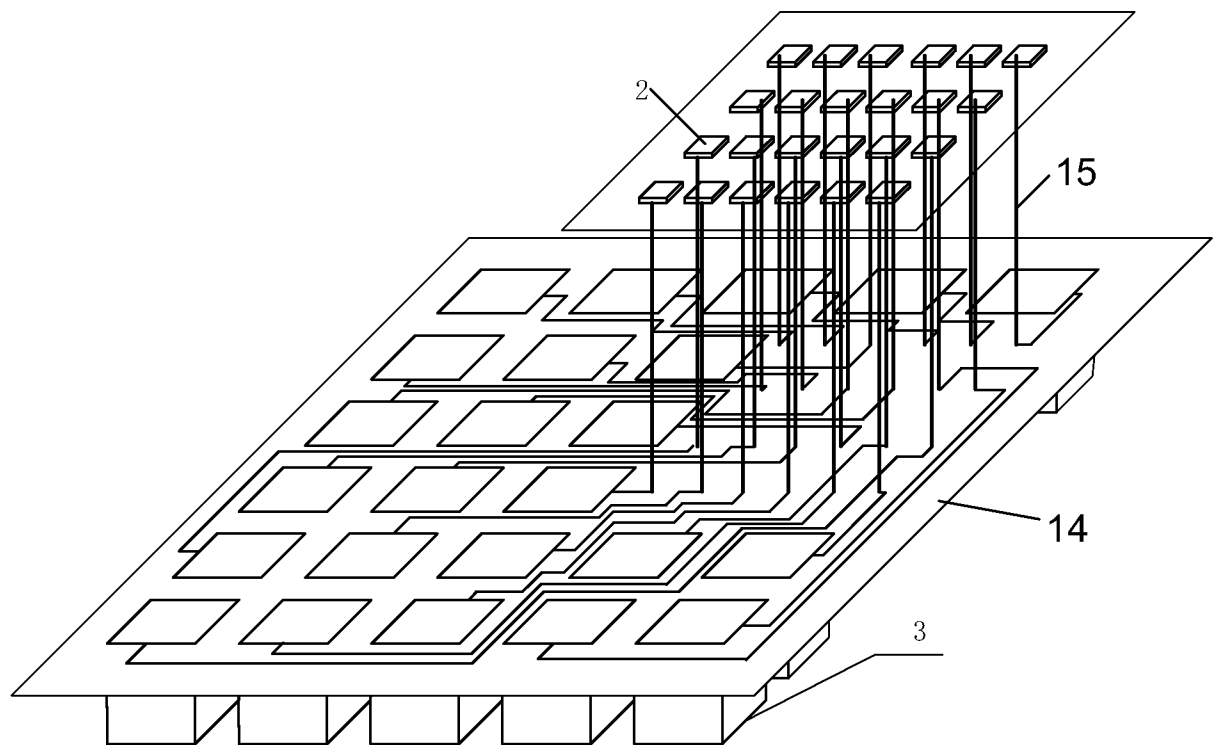


图 7

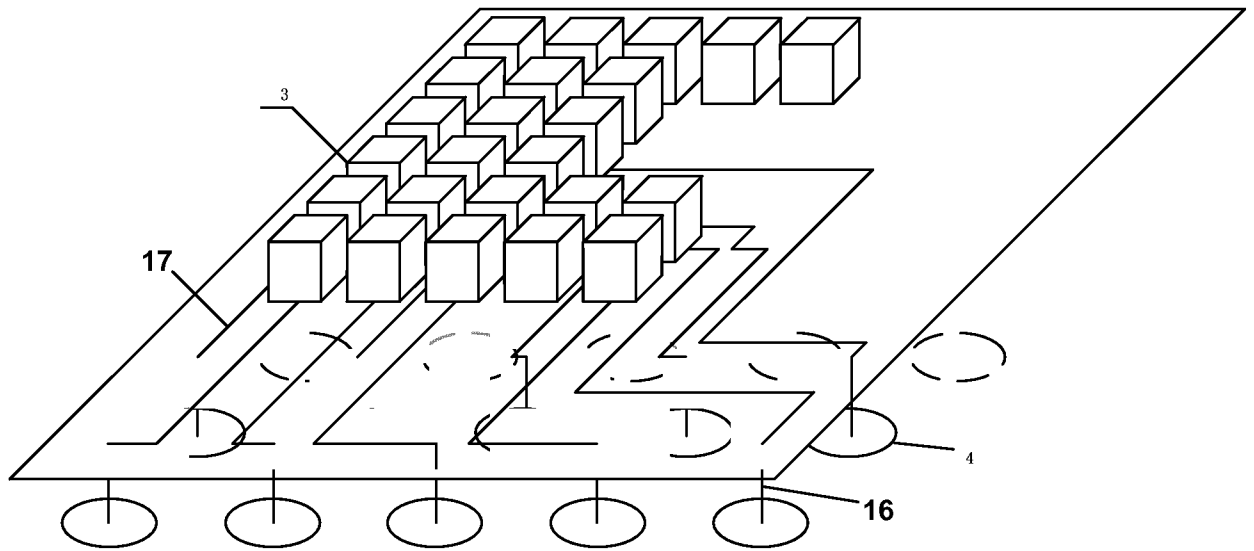


图 8

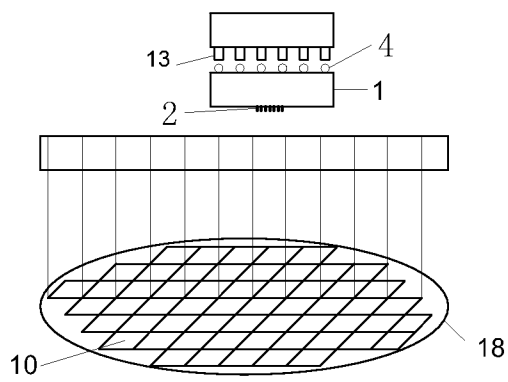


图 9a

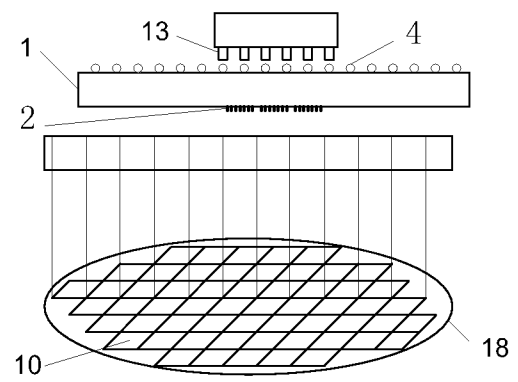


图 9b

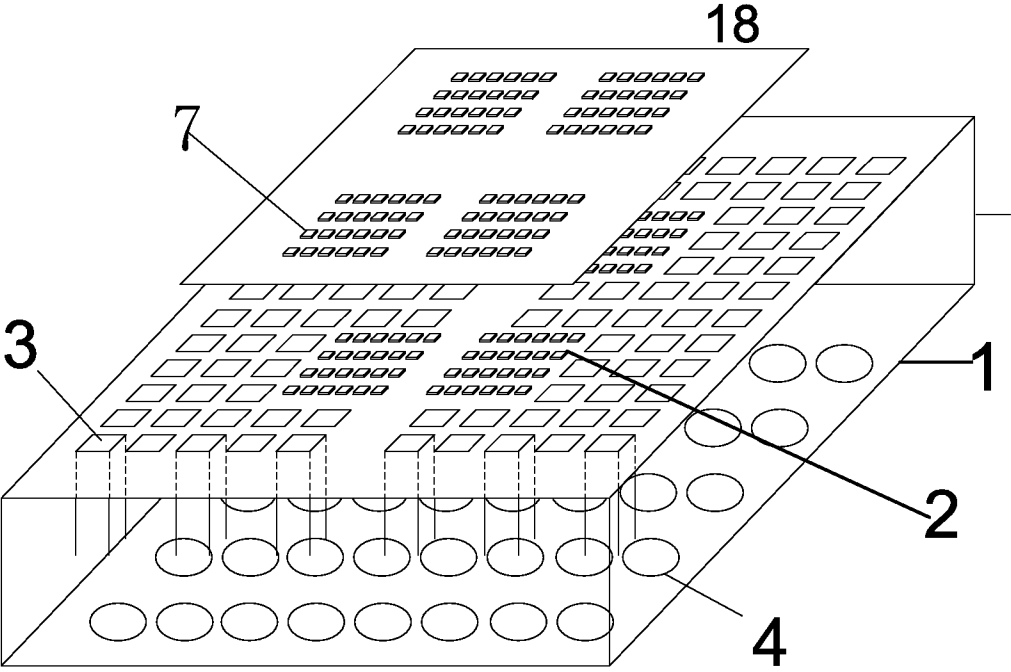


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/084152

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G01R; H01L 21/+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, CNTXT, DWPI, SIPOABS: crystal, grain, base plate, bulge, protrusion, TSV, wafer, die, bare chip, stack, stacking, base, plate, board, substrate, probe, hole, through-hole, through silicon via, pile, piling

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103151337 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED), 12 June 2013 (12.06.2013), claims 1-10, description, paragraphs [0005] and [0037]-[0065], and figures 3-6	1-5, 8-11
Y		6-7
Y	CN 101067640 A (AU OPTRONICS CORP.), 07 November 2007 (07.11.2007), description, page 1, lines 13-17	6-7
A	CN 102937695 A (PEKING UNIVERSITY), 20 February 2013 (20.02.2013), the whole document	1-11
A	CN 102778646 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED), 14 November 2012 (14.11.2012), the whole document	1-11
A	CN 103134961 A (CHIP MOS TECHNOLOGIES INC.), 05 June 2013 (05.06.2013), the whole document	1-11

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 March 2014 (18.03.2014)	Date of mailing of the international search report 03 April 2014 (03.04.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer MIAO, Wen Telephone No.: (86-10) 62085340

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/084152

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0304349 A1 (TEXAS INSTR. INC.), 15 December 2011 (15.12.2011), the whole document	1-11
A	US 2011/0298488 A1 (TEXAS INSTR. INC.), 08 December 2011 (08.12.2011), the whole document	1-11
A	JP 2010-243303 A (ADVANCED SYSTEMS JAPAN K.K.), 28 October 2010 (28.10.2010), the whole document	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/084152

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103151337 A	12.06.2013	US 2013147505 A1	13.06.2013
CN 101067640 A	07.11.2007	CN 100498359 C	10.06.2009
CN 102937695 A	20.02.2013	None	
CN 102778646 A	14.11.2012	US 2012286814 A1	15.11.2012
CN 103134961 A	05.06.2013	TW 201321758 A	01.06.2013
US 2011/0304349 A1	15.12.2011	US 8471577 B2	25.06.2013
US 2011/0298488 A1	08.12.2011	US 8344749 B2	01.01.2013
JP 2010-243303 A	28.10.2010	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/084152

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

G01R 1/02 (2006.01) i

G01R 1/073 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/084152

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G01R; H01L21/+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI, CNTXT, DWPI, SIPOABS: 晶体, 晶圆, 晶粒, 裸片, 堆叠, 堆迭, 堆栈, 基板, 底板, 凸起, 突起, 突出, 凸出, 探针, 穿孔, 通孔, TSV, 过硅穿孔, wafer, die, bare chip, stack, stacking, base, plate, board, substrate, probe, hole, through-hole, through silicon via, pile, piling

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103151337 A (台湾积体电路制造股份有限公司) 12.6 月 2013 (12.06.2013) 权利要求 1-10, 说明书第[0005], [0037]-[0065]段, 附图 3-6	1-5,8-11
Y		6-7
Y	CN 101067640 A (友达光电股份有限公司) 07.11 月 2007 (07.11.2007) 说明书第 1 页第 13-17 行	6-7
A	CN 102937695 A (北京大学) 20.2 月 2013 (20.02.2013) 全文	1-11
A	CN 102778646 A (台湾积体电路制造股份有限公司) 14.11 月 2012 (14.11.2012) 全文	1-11
A	CN 103134961 A (南茂科技股份有限公司) 05.6 月 2013 (05.06.2013) 全文	1-11

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

18.3 月 2014 (18.03.2014)

国际检索报告邮寄日期

03.4 月 2014 (03.04.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

苗文

电话号码: (86-10) **62085340**

C(续). 相关文件

类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2011/0304349 A1 (TEXAS INSTR. INC.) 15.12 月 2011 (15.12.2011) 全文	1-11
A	US 2011/0298488 A1 (TEXAS INSTR. INC.) 08.12 月 2011 (08.12.2011) 全文	1-11
A	JP 2010-243303 A (ADVANCED SYSTEMS JAPAN K. K.) 28.10 月 2010 (28.10.2010) 全文	1-11

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/084152

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 103151337 A	12.06.2013	US 2013147505 A1	13.06.2013
CN 101067640 A	07.11.2007	CN 100498359 C	10.06.2009
CN 102937695 A	20.02.2013	无	
CN 102778646 A	14.11.2012	US 2012286814 A1	15.11.2012
CN 103134961 A	05.06.2013	TW 201321758 A	01.06.2013
US 2011/0304349 A1	15.12.2011	US 8471577 B2	25.06.2013
US 2011/0298488 A1	08.12.2011	US 8344749 B2	01.01.2013
JP 2010-243303 A	28.10.2010	无	

续: A. 主题的分类

G01R 1/02 (2006.01) i

G01R 1/073 (2006.01) i