

⑤④ BATTERIE D'ACCUMULATEURS ELECTRIQUES.

②② Date de dépôt : 27.12.17.

③③ Priorité :

⑥⑥ Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE  
ATOMIQUE ET AUX ENERGIES ALTERNATIVES  
*Etablissement public* — FR.

④③ Date de mise à la disposition du public  
de la demande : 28.06.19 Bulletin 19/26.

④⑤ Date de la mise à disposition du public du  
brevet d'invention : 03.01.20 Bulletin 20/01.

⑦② Inventeur(s) : DESPESSE GHISLAIN, FERNANDEZ  
ERIC, BACQUET SYLVAIN, CASSARINO LEANDRO,  
LOPEZ YAN et THOMAS REMY.

⑤⑥ Liste des documents cités dans le rapport de  
recherche :

*Se reporter à la fin du présent fascicule*

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE  
ATOMIQUE ET AUX ENERGIES ALTERNATIVES  
*Etablissement public*.

⑦④ Mandataire(s) : CABINET BEAUMONT.



## BATTERIE D'ACCUMULATEURS ELECTRIQUES

### Domaine

La présente invention concerne une batterie d'accumulateurs électriques, également appelée pack batterie.

### Exposé de l'art antérieur

5 Il est connu de réaliser une batterie comprenant plusieurs étages ou modules dans chacun desquels des accumulateurs, également appelés cellules, peuvent être connectés en série ou en parallèle par des interrupteurs commandables. Une telle batterie est adaptée à fournir une tension dont la forme  
10 d'onde peut varier dans le temps en faisant varier au cours du temps la connexion des cellules via la fermeture ou l'ouverture des interrupteurs.

La figure 1 représente un exemple d'une telle batterie  
5. La batterie 5 comprend N modules  $E_1$  à  $E_N$ . Le nombre N est un  
15 nombre entier pouvant être compris entre 1 et 50. Chaque module comprend une borne positive B+ et une borne négative B- et plusieurs cellules, non représentées, pouvant être connectées entre elles en série et/ou en parallèle par l'intermédiaire d'interrupteurs, non représentés, entre les bornes B+ et B-. Les  
20 modules  $E_1$  à  $E_N$  peuvent être connectés en série entre une première borne Neutre de la batterie 5 et une deuxième borne Phase de la

batterie 5. Un exemple d'une telle batterie est décrit dans la demande de brevet WO 2012/117110.

La batterie 5 comprend un circuit BMS de commande des modules  $E_1$  à  $E_N$ , appelé circuit de commande maître par la suite.

5 Le circuit de commande maître BMS peut échanger des données avec chaque module  $E_1$  à  $E_N$  par l'intermédiaire d'un bus bidirectionnel BUS de transmission de données. Chaque module  $E_1$  à  $E_N$  comprend un circuit de commande, non représenté, des interrupteurs du module, appelé circuit de commande esclave par la suite, à partir des

10 commandes fournies par le circuit de commande maître BMS. Chaque module comprend, en outre, des capteurs, non représentés, par exemple des capteurs de la tension aux bornes de chaque cellule du module, des capteurs du courant fourni par chaque cellule du module et/ou des capteurs de la température de chaque cellule du

15 module. Le circuit de commande esclave de chaque module  $E_1$  à  $E_N$  est adapté à transmettre au circuit de commande maître BMS des données représentatives des mesures de tensions, de courants et/ou de températures par le bus de transmission de données BUS.

Le circuit de commande maître BMS peut recevoir une

20 consigne C, par exemple une consigne de tension ou de courant transmettre des premières données, par exemple le nombre total de cellules à connecter, aux modules par l'intermédiaire du bus de transmission de données BUS à partir desquelles le circuit de commande esclave de chaque module connecte ou déconnecte ses

25 cellules de façon à obtenir la tension et/ou le courant souhaités entre les bornes Phase et Neutre de la batterie 5.

Il est souhaitable que la sélection des cellules à connecter/déconnecter soit réalisée en assurant que chaque cellule fonctionne dans sa plage de fonctionnement optimale en fonction

30 des mesures de tensions, de courants et de température fournies par les modules. En particulier, il est souhaitable de réaliser un équilibrage des cellules, c'est-à-dire que la sélection des cellules soit réalisée de façon que les écarts entre les états de charge des cellules soient en permanence les plus faibles

35 possibles. Il est en outre souhaitable que la sélection des

cellules tiennent compte d'une éventuelle défaillance d'une cellule de façon, par exemple, à exclure cette cellule de la sélection.

Pour effectuer la fonction d'équilibrage, le circuit de commande maître BMS peut déterminer un classement des cellules selon des niveaux de priorité, les cellules les plus prioritaires du classement étant celles qui devraient être sélectionnées les premières. Le classement de priorités, également appelé table de priorités, est susceptible d'évoluer au cours du fonctionnement de la batterie, notamment suite à l'évolution des états de charges des cellules ou suite à la défaillance d'une cellule.

La table de priorités peut être stockée au niveau de chaque module et c'est le circuit de commande esclave de chaque module qui, à partir du nombre total de cellules à connecter et de la table de priorités, détermine les cellules du module à connecter/déconnecter. Lorsque la table de priorités est modifiée, le circuit de commande maître peut transmettre aux circuits de commande esclave des deuxièmes données représentatives de la mise à jour de la table de priorités.

Pour certaines applications, la consigne reçue par le circuit de gestion BMS peut varier rapidement de sorte qu'il peut être difficile d'assurer que le circuit de commande maître BMS transmette de façon convenable les premières données pour le suivi de la consigne et les deuxièmes données relatives aux mises à jour de la table de priorités.

## Résumé

Ainsi, un objet d'un mode de réalisation est de prévoir une batterie qui pallie au moins certains des inconvénients des batteries décrites précédemment.

Un autre objet d'un mode de réalisation est que la transmission des données du circuit de commande maître aux circuits de commande esclave des modules relatives au suivi de la consigne ne soit pas perturbée par la modification du classement de priorités.

Ainsi, un mode de réalisation prévoit un procédé de commande d'une batterie comprenant un premier circuit de commande

et plusieurs modules disposés en série entre des première et deuxième bornes, chaque module comprenant des troisième et quatrième bornes, au moins l'une des troisième et quatrième bornes de chaque module étant reliée à l'une des troisième et quatrième bornes d'un autre module, chaque module comprenant des accumulateurs électriques et des interrupteurs reliant les accumulateurs entre eux et aux troisième et quatrième bornes du module et un deuxième circuit de commande des interrupteurs, la batterie comprenant en outre au moins un premier bus de transmission de données reliant le premier circuit de commande à chaque deuxième circuit de commande, le procédé comprenant la transmission, par le premier circuit de commande aux deuxième circuits de commande, de premières données représentatives d'une configuration d'accumulateurs électriques à obtenir pour suivre une consigne de fourniture d'une tension et/ou d'un courant entre les première et deuxième bornes, les deuxième circuit de commande connectant ou déconnectant les accumulateurs électriques à partir desdites premières données et d'un classement de priorités des accumulateurs électriques. Le procédé comprend, en outre, les étapes suivantes:

- a) détermination par le premier circuit de commande d'une nouvelle version du classement de priorités ;
  - b) transmission, par le premier circuit de commande à chaque deuxième circuit de commande, de deuxième données représentatives d'au moins une partie de la nouvelle version du classement de priorités ;
  - c) transmission, par chaque deuxième circuit de commande au premier circuit de commande, de troisième données indiquant la réception par le deuxième circuit de commande de ladite au moins une partie de la nouvelle version du classement de priorités ; et
  - d) transmission, par le premier circuit de commande aux deuxième circuits de commande, d'une commande d'utilisation de la nouvelle version du classement de priorités.
- Selon un mode de réalisation, la batterie comprend en outre un deuxième bus de transmission de données reliant le premier circuit de commande à chaque deuxième circuit de commande.

Le premier circuit de commande transmet les premières données aux deuxièmes circuits de commande par le premier bus et transmet les deuxièmes données aux deuxièmes circuits de commande par le deuxième bus.

5            Selon un mode de réalisation, les deuxièmes circuits de commande transmettent les troisièmes données au premier circuit de commande par le deuxième bus.

             Selon un mode de réalisation, le premier circuit de commande transmet la commande d'utilisation de la nouvelle version  
10 du classement de priorités aux deuxièmes circuits de commande par le premier bus.

             Selon un mode de réalisation, le premier circuit de commande transmet les premières données aux deuxièmes circuits de commande par le premier bus à un premier débit et transmet les  
15 deuxièmes données aux deuxièmes circuits de commande par le deuxième bus à un deuxième débit inférieur au premier débit.

             Selon un mode de réalisation, les premières données sont représentatives du nombre d'accumulateurs à connecter en série pour suivre la consigne.

20            Selon un mode de réalisation, les deuxièmes données sont représentatives de la totalité du classement de priorités.

             Selon un mode de réalisation, les deuxièmes données sont représentatives de la partie du classement de priorités des accumulateurs électriques de l'un des modules.

25            Un mode de réalisation prévoit également une batterie comprenant un premier circuit de commande et plusieurs modules disposés en série entre des première et deuxième bornes, chaque module comprenant des troisième et quatrième bornes, au moins l'une des troisième et quatrième bornes de chaque module étant  
30 reliée à l'une des troisième et quatrième bornes d'un autre module, chaque module comprenant des accumulateurs électriques et des interrupteurs reliant les accumulateurs entre eux et aux troisième et quatrième bornes du module et un deuxième circuit de commande des interrupteurs, la batterie comprenant en outre un  
35 premier bus de transmission de données reliant le premier circuit de commande à chaque deuxième circuit de commande et un deuxième bus de transmission de données reliant le premier circuit de

commande à chaque deuxième circuit de commande. Le premier circuit de commande est configuré pour transmettre, aux deuxièmes circuits de commande, des premières données représentatives d'une configuration d'accumulateurs électriques à obtenir pour suivre  
5 une consigne de fourniture d'une tension et/ou d'un courant entre les première et deuxième bornes, les deuxièmes circuits de commande étant configurés pour connecter ou déconnecter les accumulateurs électriques à partir desdites premières données et d'un classement de priorités des accumulateurs électriques. Le  
10 premier circuit de commande est configuré pour déterminer une nouvelle version du classement de priorités et à transmettre à chaque deuxième circuit de commande des deuxièmes données représentatives d'au moins une partie de la nouvelle version du classement de priorités. Chaque deuxième circuit de commande est  
15 configuré pour transmettre au premier circuit de commande des troisièmes données indiquant la réception par le deuxième circuit de commande de ladite au moins une partie de la nouvelle version du classement de priorités. Le premier circuit de commande est configuré pour transmettre aux deuxièmes circuits de commande une  
20 commande d'utilisation de la nouvelle version du classement de priorités.

#### Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de  
25 réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, décrite précédemment, représente, de façon partielle et schématique, un exemple d'une batterie d'accumulateurs ;

30 la figure 2 représente, de façon partielle et schématique, un mode de réalisation d'une batterie d'accumulateurs ;

la figure 3 représente, de façon partielle et schématique, un exemple de module de la batterie de la figure 1  
35 ou 2 ;

la figure 4 est un chronogramme illustrant les données échangées entre le circuit de commande maître et les circuits de commande esclave de la batterie représentée en figure 2 pour un mode de réalisation d'un procédé de commande de la batterie ; et

5 la figure 5 est un chronogramme illustrant les données échangées entre le circuit de commande maître et les circuits de commande esclave de la batterie représentée en figure 1 pour un mode de réalisation d'un procédé de commande de la batterie.

#### Description détaillée

10 De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. Par souci de clarté, seuls les éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les fonctions classiques réalisées par les circuits  
15 de commande maître et esclave d'une batterie d'accumulateurs telles que l'équilibrage des cellules sont bien connues de l'homme du métier et ne sont pas décrites plus en détail par la suite. Dans la suite de la description, les expressions "sensiblement", "environ", "approximativement" et "de l'ordre de" signifient "à  
20 10 % près", de préférence à 5 % près.

La figure 2 représente un mode de réalisation d'une batterie 10. La batterie 10 comprend l'ensemble des éléments de la batterie 5 représentée en figure 1 à la différence que le bus BUS est remplacé par deux bus BUS0 et BUS1 qui relient chacun le  
25 circuit de commande maître BMS à chaque module  $E_1$  à  $E_N$ .

Le bus BUS0 est un bus rapide, c'est-à-dire un bus sur lequel des données sont transmises avec un débit supérieur à 3 mégabits par seconde, de préférence compris entre 5 mégabits par seconde et 7 mégabits par seconde. Le bus BUS0 peut être un bus  
30 unidirectionnel. A titre d'exemple, le bus BUS0 est un bus selon la norme RS485.

Le bus BUS1 est un bus lent, c'est-à-dire sur lequel des données sont transmises avec un débit inférieur à 3 mégabits par seconde, de préférence compris entre 0,5 mégabits par seconde et  
35 1 mégabit par seconde. Le bus BUS1 est un bus bidirectionnel. A

titre d'exemple, le bus BUS1 est un bus de données CAN, notamment selon la norme ISO 11898.

Le bus rapide BUS0 est utilisé pour la transmission des premières données fournies par le circuit de commande maître BMS pour suivre la consigne C. Selon un autre mode de réalisation, les premières données correspondent à un nombre de cellules à connecter pour suivre la consigne C.

Le bus lent BUS1 est utilisé pour l'échange de toutes les autres données entre le circuit de commande maître BMS et chaque module  $E_1$  à  $E_N$ . En particulier, le bus lent BUS1 est utilisé pour la transmission des deuxième données relatives aux mises à jour de la table de priorités.

Le circuit de commande maître BMS peut correspondre à un circuit dédié et/ou peut comprendre un processeur, par exemple un microprocesseur ou un microcontrôleur, adapté à exécuter des instructions d'un programme d'ordinateur stocké dans une mémoire. Le circuit de commande maître BMS comprend notamment une mémoire MEM de stockage de données.

La figure 3 représente un mode de réalisation du module  $E_i$ , où  $i$  varie de 1 à  $N$ , chaque module  $E_1$  à  $E_N$  pouvant avoir une structure analogue.

Selon le présent mode de réalisation, le module  $E_i$  est adapté à fournir une tension  $U$  entre la borne positive  $B+$  et la borne négative  $B-$ . Le module  $E_i$  comprend des cellules  $C_1$  à  $C_M$  où  $M$  est un nombre entier compris entre 2 et 10, de préférence entre 2 et 5, quatre cellules  $C_1$ ,  $C_2$ ,  $C_3$  et  $C_4$  étant représentées à titre d'exemple en figure 3. Les cellules  $C_1$  à  $C_M$  sont reliées entre elles et aux bornes  $B+$  et  $B-$  par des interrupteurs. Dans le présent mode de réalisation, pour chaque cellule  $C_k$ ,  $k$  étant un nombre entier variant de 1 à  $M$ , le module  $E_i$  comprend un premier interrupteur  $SW_{1,k}$  en série avec la cellule  $C_k$  et un deuxième interrupteur  $SW_{2,k}$  en parallèle de l'ensemble comprenant la cellule  $C_k$  et l'interrupteur  $SW_{1,k}$ . Les  $M$  ensembles comprenant la cellule  $C_k$  et le premier interrupteur  $SW_{1,k}$  sont disposés en série entre un noeud A et un noeud B. La commande des interrupteurs

SW<sub>1,k</sub> et SW<sub>2,k</sub>, k variant de 1 à M, permet de mettre en série entre les noeuds A et B, 1 à M cellules parmi les M cellules C<sub>1</sub> à C<sub>M</sub>. Dans le présent mode de réalisation, le module E<sub>i</sub> comprend en outre un pont inverseur, également appelé pont en H, entre les noeuds A et B et les bornes B+ et B- qui permet d'appliquer la tension présente entre les noeuds A et B entre les bornes B+ et B- dans les deux sens. Selon un mode de réalisation, le pont inverseur comprend un interrupteur SW<sub>3</sub> reliant le noeud A à la borne B+, un interrupteur SW<sub>4</sub> reliant le noeud A à la borne B-, un interrupteur SW<sub>5</sub> reliant le noeud B à la borne B+ et un interrupteur SW<sub>6</sub> reliant le noeud B à la borne B-. A titre d'exemple chaque interrupteur SW<sub>1,k</sub> et SW<sub>2,k</sub>, k variant de 1 à M, SW<sub>3</sub>, SW<sub>4</sub>, SW<sub>5</sub> et SW<sub>6</sub> peut correspondre à un transistor à effet de champ à grille isolée, également appelé transistor MOS, notamment un transistor MOS de puissance, par exemple un transistor MOS à canal N.

Chaque module E<sub>i</sub> comprend, en outre, le circuit de commande esclave 12 (μC) adapté à échanger et à recevoir des données émises par le circuit de commande maître BMS sur le bus BUS0 et à échanger des données avec le circuit de commande maître BMS sur le bus BUS1. Le circuit de commande esclave 12 peut correspondre à un circuit dédié et/ou peut comprendre un processeur, par exemple un microprocesseur ou un microcontrôleur, adapté à exécuter des instructions d'un programme d'ordinateur stocké dans une mémoire.

Chaque module E<sub>i</sub> comprend, en outre, un circuit de pilotage 14 (Inverter bridge driver) relié aux interrupteurs SW<sub>3</sub>, SW<sub>4</sub>, SW<sub>5</sub> et SW<sub>6</sub> du pont inverseur et un circuit de pilotage 16 (Transistors driver) relié aux interrupteurs SW<sub>1,k</sub> et SW<sub>2,k</sub>, k variant de 1 à M. Chaque circuit de pilotage 14, 16 est adapté à convertir les signaux de commande fournis par le circuit de commande esclave 12 en signaux adaptés à la commande des interrupteurs.

Chaque module E<sub>i</sub> comprend, en outre, des capteurs 18 (U, I, T° sensor) reliés au circuit de commande esclave 12. Le module

$E_i$  peut comprendre, pour chaque cellule  $C_k$ , un capteur de température adapté à mesurer la température de la cellule  $C_k$ . Le module  $E_i$  peut en outre comprendre, pour chaque cellule  $C_k$ , un capteur de tension adapté à mesurer la tension aux bornes de la cellule  $C_k$ . Le module  $E_i$  peut en outre comprendre, pour chaque cellule  $C_k$ , un capteur de courant adapté à mesurer le courant fourni par la cellule  $C_k$ . Le circuit de commande esclave 12 de chaque module  $E_i$  est adapté à transmettre des troisièmes données au circuit de commande maître BMS sur le bus lent BUS1 représentatives des mesures réalisées par les capteurs 18 du module  $E_i$ . Le nombre et le type de capteurs dépend notamment de l'agencement des cellules du module  $E_i$ . Dans l'agencement de cellules représenté en figure 3, un seul capteur du courant circulant au noeud A ou au noeud B peut être prévu.

Dans le mode de réalisation illustré en figure 3, un ordre de connexion d'une cellule  $C_k$  d'un module  $E_i$  signifie que la cellule  $C_k$  doit être connectée en série entre les noeuds A et B du module  $E_i$ , ce qui est obtenu en fermant l'interrupteur  $SW_{1,k}$  et en ouvrant l'interrupteur  $SW_{2,k}$ , et un ordre de déconnexion d'une cellule  $C_k$  d'un module  $E_i$  signifie que la cellule  $C_k$  ne doit pas être connectée en série entre les noeuds A et B du module  $E_i$ , ce qui est obtenu en ouvrant l'interrupteur  $SW_{1,k}$  et en fermant l'interrupteur  $SW_{2,k}$ . Toutefois, pour un agencement différent des cellules  $C_k$  du module  $E_i$  dans lequel les cellules  $C_k$  peuvent être agencées en série ou en parallèle entre elles entre les noeuds A et B, un ordre de connexion d'une cellule  $C_k$  doit en outre préciser dans quelle configuration, série ou parallèle, la cellule  $C_k$  se trouve par rapport aux autres cellules du module  $E_i$ .

Le circuit de commande maître BMS est adapté à déterminer la table de priorités des cellules. Selon un mode de réalisation, la table de priorités est stockée dans la mémoire MEM du circuit de commande maître BMS sous la forme d'un tableau, chaque ligne du tableau correspondant par exemple à une ligne de la mémoire MEM. Pour une batterie comprenant N cellules, la table de priorités comprend N lignes. La table de priorités peut

comprendre une première colonne dans laquelle sont stockés des identifiants des cellules de la batterie. A titre d'exemple, pour une batterie comprenant N cellules, les identifiants de cellule vont de 1 à N. La table de priorités peut comprendre une deuxième  
5 colonne dans laquelle sont stockés les niveaux de priorité des cellules. A titre d'exemple, pour une batterie comprenant N cellules, les niveaux de priorité des cellules vont de 1 à N, le niveau de priorité "1" étant le plus important et le niveau de priorité "N" étant le moins important.

10 Le circuit de commande maître BMS met à jour la table de priorités lorsque les niveaux de priorité des cellules sont modifiés. A titre d'exemple, les niveaux de priorité des cellules peuvent être modifiés par le circuit de commande maître BMS notamment à partir des données mesurées par les capteurs des  
15 cellules.

Chaque circuit de commande esclave 12 comprend une mémoire MEM' pour le stockage de la table de priorités ou d'une partie de la table de priorités. Selon un mode de réalisation, le circuit de commande maître BMS envoie à chaque circuit de commande  
20 esclave 12 la totalité de la table de priorités qui est stockée dans la mémoire MEM' du circuit de commande esclave 12. Selon un autre mode de réalisation, le circuit de commande BMS envoie à chaque circuit de commande esclave 12 la partie de la table de priorités relative aux cellules commandées par le circuit de  
25 commande esclave 12. Chaque circuit de commande esclave 12 ne conserve alors dans la mémoire MEM' que la partie de la table de priorités qui le concerne. Dans la suite de la description, lorsque l'on parle d'une table de priorités mémorisée par un circuit de commande esclave 12, cela peut signifier la totalité  
30 de la table de priorités ou la partie de la tables de priorités relatives aux cellules commandées par le circuit de commande esclave 12 selon le procédé de commande mis en oeuvre. Pour chaque module  $E_i$ , le circuit de commande esclave 12 du module  $E_i$  détermine à partir du nombre de cellules demandées par le circuit de commande  
35 maître BMS et des niveaux de priorité des cellules qui le

composent, les cellules du module  $E_i$  à connecter/déconnecter pour suivre la consigne C. Un avantage d'un tel mode de réalisation est que la réactivité de la batterie 10 à réception d'une nouvelle consigne C est optimale.

5           La figure 4 est un chronogramme illustrant les données échangées entre le circuit de commande maître BMS et les circuits de commande esclave 12 de la batterie 10 représentée en figure 2 pour un mode de réalisation d'un procédé de commande de la batterie 10.

10           Selon le présent mode de réalisation du procédé de commande, les premières données sont transmises par le circuit de commande maître BMS sur le bus rapide BUS0. Les premières données peuvent être représentatives du nombre total de cellules en série souhaité entre les bornes Phase et Neutre de la batterie 10 lors  
15 les modules  $E_i$  ont la configuration représentée en figure 3. Lorsque les cellules de chaque module peuvent être mis en série et/ou en parallèle, les premières données peuvent être représentatives de la configuration souhaitée des cellules. Les premières données peuvent être transmises sur le bus rapide BUS0  
20 sous la forme de trames  $T_1$ , émises par exemple de façon régulière.

          Selon un mode de réalisation du procédé de transmission de données, chaque trame  $T_1$  transmise par le circuit de commande maître BMS est à destination de tous les modules  $E_i$ ,  $i$  variant de 1 à N. Le circuit de commande esclave 12 de chaque module  $E_i$  est  
25 donc sollicité à chaque trame envoyée par le circuit de commande maître BMS sur le bus rapide BUS0. Le circuit de commande esclave 12 de chaque module  $E_i$  est adapté à analyser la trame  $T_1$  pour en extraire la configuration de cellules souhaitée pour suivre la consigne C, par exemple le nombre de cellules à connecter en  
30 série.

          Selon le présent mode de réalisation du procédé de commande, les deuxièmes données transmises par le circuit de commande maître BMS aux circuits de commande esclave 12 sur le bus lent BUS1 peuvent être représentatives de la table de  
35 priorités ou d'une partie de la table de priorités lorsque celle-

ci est mise à jour. En particulier, une mise à jour de la table de priorités peut être transmise par le circuit de commande maître BMS aux circuits de commande esclave 12 à chaque modification de la table de priorités déterminée par le circuit de commande maître BMS. On a représenté en figure 4 des trames  $T_2$  transmises par le circuit de commande maître BMS aux circuits de commande esclave 12 sur le bus lent BUS1 et comprenant des données représentatives de la dernière version de la table de données. A titre d'exemple, dans le cas où est transmise à chaque module  $E_i$  seulement la partie de la table de priorités relatives aux cellules contenues par le module  $E_i$ , les deuxièmes données peuvent être transmises sous la forme de trames  $T_2$ , chaque trame  $T_2$  comprenant un entête contenant l'adresse du module  $E_i$  désigné suivi d'octets relatifs à la partie de la table de priorités relative au module  $E_i$ , et éventuellement suivis d'au moins un octet de contrôle. Le circuit de commande esclave 12 de chaque module  $E_i$  est alors adapté à déterminer si la commande qu'il reçoit lui est destiné. Selon un autre exemple, chaque trame  $T_2$  est destinée à tous les modules  $E_i$ . Le circuit de commande esclave 12 de chaque module  $E_i$  est alors sollicité à chaque trame  $T_2$  envoyée par le circuit de commande maître BMS sur le bus lent BUS1.

Le circuit de commande maître BMS associe un numéro à chaque version de la table de priorités. A titre d'exemple, lorsque le circuit de commande maître BMS met à jour la table de priorités, il modifie le numéro de version associé à la nouvelle table de priorités. Selon un mode de réalisation, chaque trame  $T_2$  comprenant des données relatives à une table de priorités comprend en outre le numéro de version de la table de priorités.

Chaque circuit de commande esclave 12 est adapté à transmettre régulièrement au circuit de commande maître BMS le numéro de la version la plus récente de la table de priorités qui est stockée dans la mémoire MEM'. En figure 4, on a représenté par des trames  $T_3$  en noir les données transmises par les circuits de commande esclave 12 au circuit de commande maître BMS sur le bus lent BUS1 et comprenant les numéros des dernières versions

des tables de priorités stockées par les circuits de commande esclave.

En fonctionnement normal, en l'absence de mise à jour de la table de priorités, chaque circuit de commande esclave 12 a stocké dans la mémoire MEM' une table de priorités qui est utilisée pour déterminer les cellules à connecter/déconnecter. Lorsque le circuit de commande maître BMS met à jour la table de priorités, il transmet la table de priorités mise à jour avec le nouveau numéro de version aux circuits de commande esclave 12. Chaque circuit de commande esclave 12 mémorise la nouvelle table de priorités tout en conservant en mémoire la version précédente de la table de priorités. Pour chaque module  $E_i$ , lorsque le circuit de commande esclave 12 du module  $E_i$  a mémorisé la nouvelle table de priorités, il transmet une trame  $T_3$  au circuit de commande maître BMS contenant le numéro de la nouvelle version de la table de priorités ainsi que l'identifiant du module  $E_i$ . Toutefois, le circuit de commande esclave 12 continue à traiter les premières données reçues sur le bus rapide BUS0 avec la version précédente de la table de priorités. Le circuit de commande esclave 12 a alors en mémoire la version précédente de la table de priorités et la nouvelle version de la table de priorités.

Le circuit de commande maître BMS détermine quel circuit de commande esclave 12 a reçu la nouvelle version de la table de priorités à partir des trames  $T_3$  reçues. A l'instant  $t_0$ , le circuit de commande maître BMS a reçu une confirmation de réception de la nouvelle version de la table de priorités de chaque circuit de commande esclave 12. A l'instant  $t_1$ , le circuit de commande maître BMS commande aux circuits de commande esclave 12 d'utiliser dorénavant la nouvelle version de la table de priorités. Selon un mode de réalisation dans lequel le circuit de commande maître BMS envoie une trame  $T_2$  à tous les circuits de commande esclave 12, le circuit de commande maître BMS peut mettre à "1" un bit particulier de la trame  $T_2$ , ce qui indique à chaque circuit de commande esclave 12 que la nouvelle version de la table de priorités doit être utilisée.

La figure 5 est un chronogramme illustrant les données échangées entre le circuit de commande maître BMS et les circuits de commande esclave 12 de la batterie 5 représentée en figure 1 pour un mode de réalisation d'un procédé de commande de la batterie 5.

Dans le présent mode de réalisation, les premières données et les deuxièmes données sont transmises sur le bus BUS. Selon un mode de réalisation, les trames  $T_1$  relatives aux premières données sont transmises de façon prioritaire par rapport aux trames  $T_2$  relatives aux deuxièmes données et par rapport aux trames  $T_3$  relatives aux versions de tables de priorités utilisées par les modules  $E_i$ . Le reste du procédé est identique à ce qui a été décrit précédemment en relation avec la figure 4. En particulier, à l'instant  $t_0$ , le circuit de commande maître BMS a reçu une confirmation de réception de la nouvelle version de la table de priorités de chaque circuit de commande esclave 12 et, à l'instant  $t_1$ , le circuit de commande maître BMS commande aux circuits de commande esclave 12 d'utiliser dorénavant la nouvelle version de la table de priorités.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. Bien que la figure 3 représente un mode de réalisation d'agencement des cellules et des interrupteurs d'un module  $E_i$ , il est clair que la structure de chaque module  $E_i$  peut être différente. En particulier, la structure de chaque module  $E_i$  peut correspondre à l'une des structures décrites dans la demande de brevet WO 2012/117110.

**REVENDICATIONS**

1. Procédé de commande d'une batterie (5 ; 10) comprenant un premier circuit de commande (BMS) et plusieurs modules ( $E_i$ ) disposés en série entre des première et deuxième bornes (Phase, Neutre), chaque module ( $E_i$ ) comprenant des  
5 troisième et quatrième bornes ( $B+$ ,  $B-$ ), au moins l'une des troisième et quatrième bornes de chaque module étant reliée à l'une des troisième et quatrième bornes d'un autre module, chaque module comprenant des accumulateurs électriques ( $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$ ) et des interrupteurs reliant les accumulateurs entre eux et aux  
10 troisième et quatrième bornes du module et un deuxième circuit de commande (12) des interrupteurs, la batterie comprenant en outre au moins un premier bus de transmission de données (BUS ; BUS0, BUS1) reliant le premier circuit de commande à chaque deuxième circuit de commande, le procédé comprenant la transmission, par  
15 le premier circuit de commande aux deuxième circuits de commande, de premières données ( $T_1$ ) représentatives d'une configuration d'accumulateurs électriques à obtenir pour suivre une consigne (C) de fourniture d'une tension et/ou d'un courant entre les première et deuxième bornes, les deuxième circuit de commande  
20 connectant ou déconnectant les accumulateurs électriques à partir desdites premières données et d'un classement de priorités des accumulateurs électriques, dans lequel le procédé comprend, en outre, les étapes suivantes:
- a) détermination par le premier circuit de commande  
25 d'une nouvelle version du classement de priorités ;
  - b) transmission, par le premier circuit de commande à chaque deuxième circuit de commande, de deuxième données ( $T_2$ ) représentatives d'au moins une partie de la nouvelle version du classement de priorités ;
  - 30 c) transmission, par chaque deuxième circuit de commande au premier circuit de commande, de troisième données ( $T_3$ ) indiquant la réception par le deuxième circuit de commande de ladite au moins une partie de la nouvelle version du classement de priorités ; et

d) transmission, par le premier circuit de commande aux deuxièmes circuits de commande, d'une commande d'utilisation de la nouvelle version du classement de priorités.

2. Procédé de commande selon la revendication 1, dans lequel la batterie comprend en outre un deuxième bus de transmission de données (BUS1) reliant le premier circuit de commande (BMS) à chaque deuxième circuit de commande (12), dans lequel le premier circuit de commande transmet les premières données ( $T_1$ ) aux deuxièmes circuits de commande par le premier bus et transmet les deuxièmes données ( $T_2$ ) aux deuxièmes circuits de commande par le deuxième bus.

3. Procédé de commande selon la revendication 2, dans lequel les deuxièmes circuits de commande (12) transmettent les troisièmes données ( $T_3$ ) au premier circuit de commande (BMS) par le deuxième bus (BUS1).

4. Procédé de commande selon la revendication 2 ou 3, dans lequel le premier circuit de commande (BMS) transmet la commande d'utilisation de la nouvelle version du classement de priorités aux deuxièmes circuits de commande (12) par le premier bus.

5. Procédé de commande selon l'une quelconque des revendications 2 à 4, dans lequel le premier circuit de commande (BMS) transmet les premières données ( $T_1$ ) aux deuxièmes circuits de commande (12) par le premier bus (BUS0) à un premier débit et transmet les deuxièmes données ( $T_2$ ) aux deuxièmes circuits de commande par le deuxième bus (BUS1) à un deuxième débit inférieur au premier débit.

6. Procédé de commande selon l'une quelconque des revendications 1 à 5, dans lequel les premières données ( $T_1$ ) sont représentatives du nombre d'accumulateurs à connecter en série pour suivre la consigne (C).

7. Procédé de commande selon l'une quelconque des revendications 1 à 6, dans lequel les deuxièmes données ( $T_2$ ) sont représentatives de la totalité du classement de priorités.

8. Procédé de commande selon l'une quelconque des revendications 1 à 6, dans lequel les deuxièmes données ( $T_2$ ) sont

représentatives de la partie du classement de priorités des accumulateurs électriques ( $C_1, C_2, C_3, C_4$ ) de l'un des modules ( $E_i$ ).

5 9. Batterie (5 ; 10) comprenant un premier circuit de commande (BMS) et plusieurs modules ( $E_i$ ) disposés en série entre des première et deuxième bornes (Phase, Neutre), chaque module ( $E_i$ ) comprenant des troisième et quatrième bornes ( $B+$ ,  $B-$ ), au moins l'une des troisième et quatrième bornes de chaque module étant reliée à l'une des troisième et quatrième bornes d'un autre  
10 module, chaque module comprenant des accumulateurs électriques ( $C_1, C_2, C_3, C_4$ ) et des interrupteurs reliant les accumulateurs entre eux et aux troisième et quatrième bornes du module et un deuxième circuit de commande (12) des interrupteurs, la batterie comprenant en outre un premier bus de transmission de données  
15 (BUS0) reliant le premier circuit de commande à chaque deuxième circuit de commande et un deuxième bus de transmission de données (BUS1) reliant le premier circuit de commande à chaque deuxième circuit de commande, dans lequel le premier circuit de commande est configuré pour transmettre, aux deuxième circuits de  
20 commande, des premières données ( $T_1$ ) représentatives d'une configuration d'accumulateurs électriques à obtenir pour suivre une consigne de fourniture d'une tension et/ou d'un courant entre les première et deuxième bornes (Phase, Neutre), les deuxième circuits de commande étant configurés pour connecter ou  
25 déconnecter les accumulateurs électriques à partir desdites premières données et d'un classement de priorités des accumulateurs électriques, dans lequel le premier circuit de commande est configuré pour déterminer une nouvelle version du classement de priorités et à transmettre à chaque deuxième circuit  
30 de commande des deuxième données ( $T_2$ ) représentatives d'au moins une partie de la nouvelle version du classement de priorités, dans lequel chaque deuxième circuit de commande est configuré pour transmettre au premier circuit de commande des troisième données ( $T_3$ ) indiquant la réception par le deuxième circuit de commande  
35 de ladite au moins une partie de la nouvelle version du classement de priorités, et dans lequel le premier circuit de commande est configuré pour transmettre aux deuxième circuits de commande une

commande d'utilisation de la nouvelle version du classement de priorités.

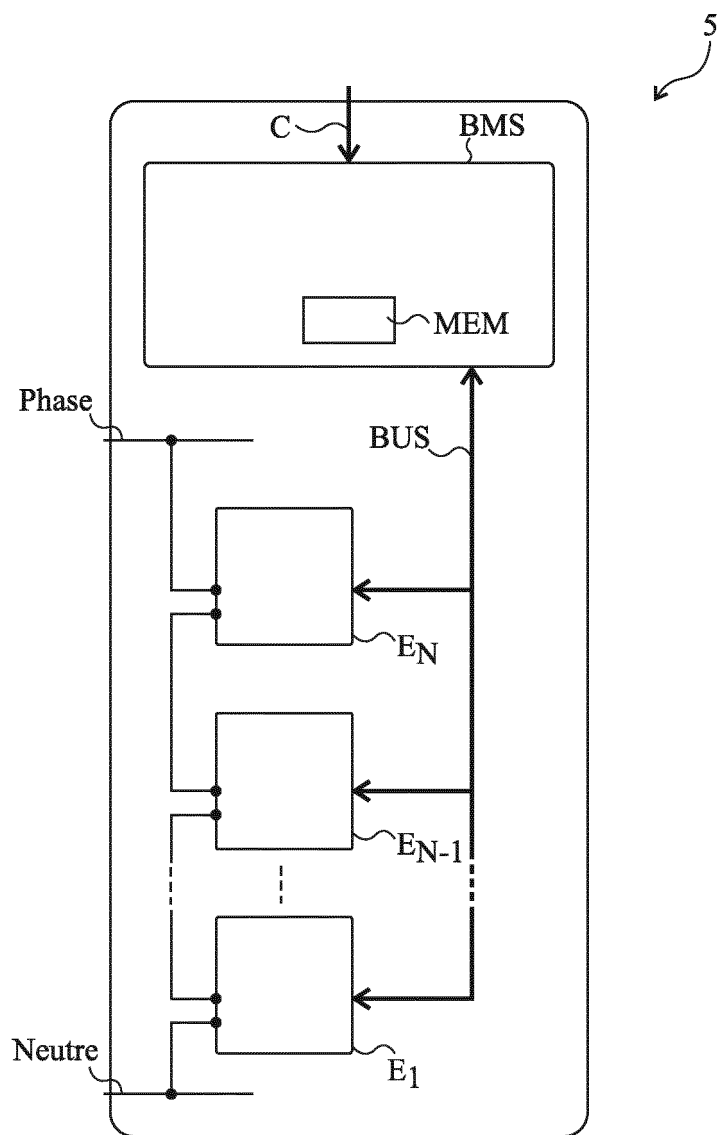


Fig 1

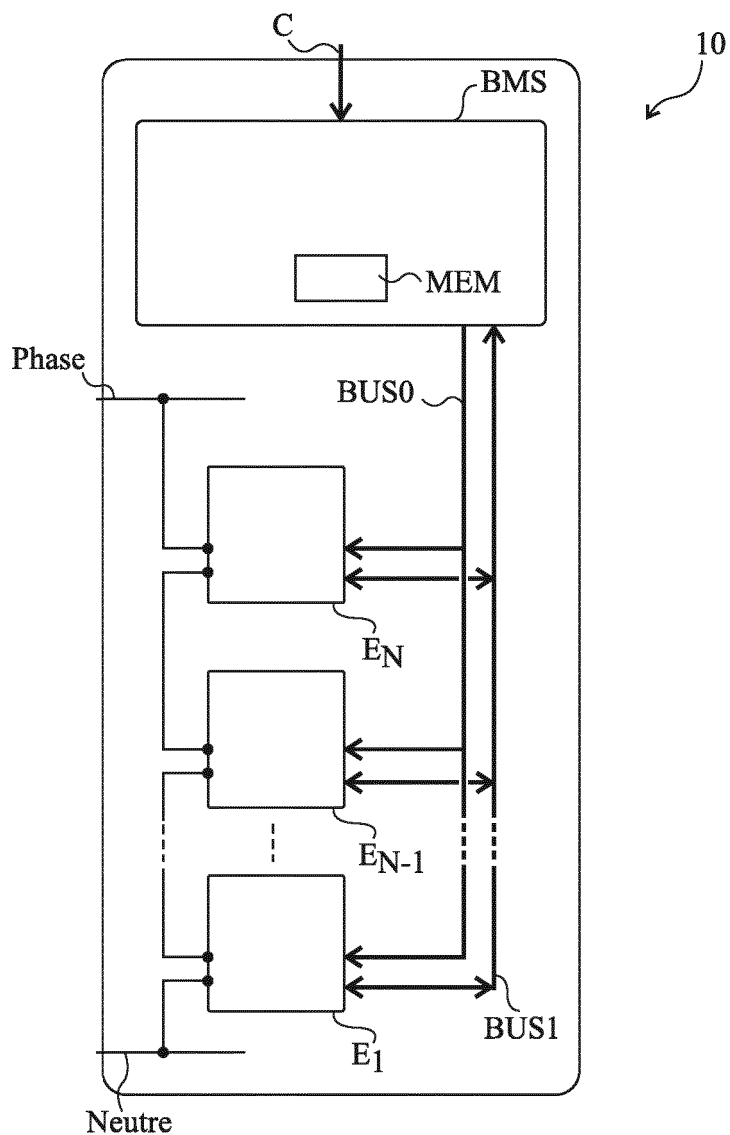


Fig 2

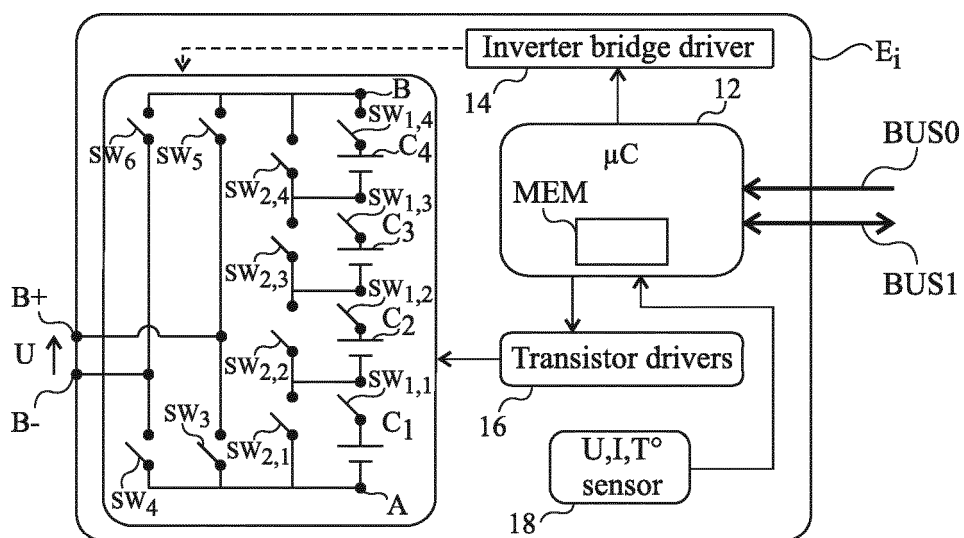


Fig 3

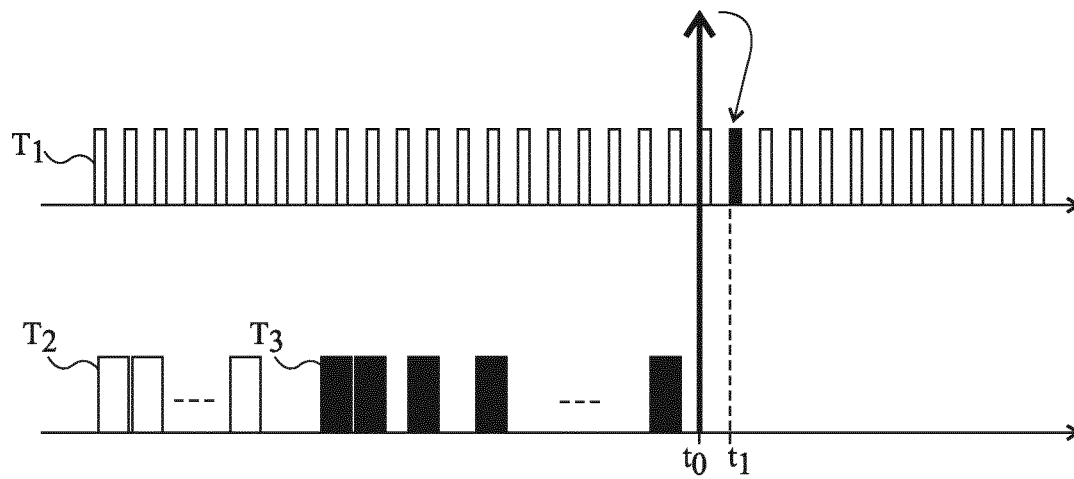


Fig 4

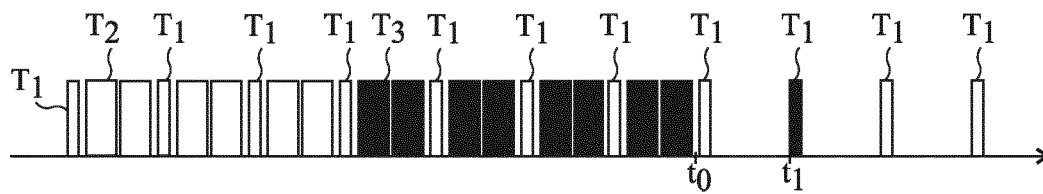


Fig 5

# RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☐ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☒ Le demandeur a maintenu les revendications.

☐ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☐ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN  
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

NEANT

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN  
TECHNOLOGIQUE GENERAL**

WO 2016/170314 A1 (UPGRADE TECH ENG LTD [GB]) 27 octobre 2016 (2016-10-27)

US 2013/320772 A1 (QIAO WEI [US] ET AL) 5 décembre 2013 (2013-12-05)

US 2015/207355 A1 (TAYLOR MATTHEW WHITING [US] ET AL) 23 juillet 2015 (2015-07-23)

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND  
DE LA VALIDITE DES PRIORITES**

NEANT