



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월09일
 (11) 등록번호 10-1403509
 (24) 등록일자 2014년05월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 (21) 출원번호 10-2009-7003076
 (22) 출원일자(국제) 2007년06월28일
 심사청구일자 2012년05월07일
 (85) 번역문제출일자 2009년02월13일
 (65) 공개번호 10-2009-0039783
 (43) 공개일자 2009년04월22일
 (86) 국제출원번호 PCT/US2007/015146
 (87) 국제공개번호 WO 2008/008204
 국제공개일자 2008년01월17일
 (30) 우선권주장
 11/486,800 2006년07월14일 미국(US)
 (56) 선행기술조사문헌
 KR100517559 B1
 KR100526889 B1
 W02005048339 A1

(73) 특허권자
 라운드 록 리써치 엘엘씨
 미국 10549 뉴욕 마운트 키스코 피.오.박스 1042
 (72) 발명자
 토레크, 케빈, 제이.
 미국 83642 아이다호주 메리디안 노쓰 캐스틀 폴
 스 애비뉴 1718
 피셔, 마크
 미국 83713 아이다호주 보이스 노쓰 브루클렛 애
 비뉴 5944
 헨슨, 로버트, 제이.
 미국 83716 아이다호주 보이스 사우쓰 혼빔 플레
 이스 6442
 (74) 대리인
 백만기, 양영준

전체 청구항 수 : 총 42 항

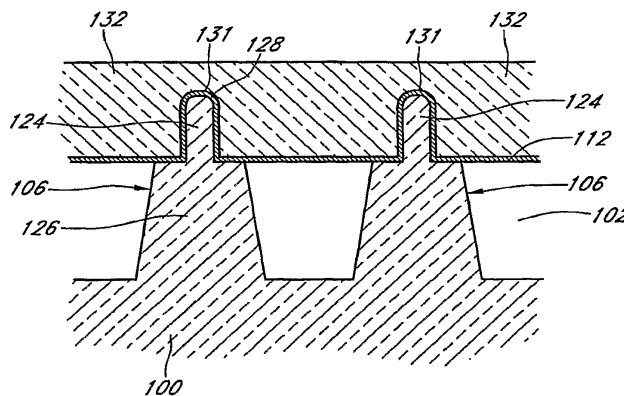
심사관 : 김상택

(54) 발명의 명칭 **서브레졸루션 실리콘 피쳐 및 그 형성 방법**

(57) 요약

실리콘 피쳐들을 포토리소그래피 해상도 한계 이하로 형성하기 위한 새로운 에칭 기술들이 제공된다. 산화물 (102)을 리세스하고 적어도 채널 영역에서 실리콘 돌출부(127)를 등방성 에칭으로 노출시킴으로써 FinFET 디바이스들이 정의된다. 일 구현에 있어서, 돌출부(124)는 다운스트림 마이크로파 플라즈마 에칭을 사용하여 우수한 선택비를 갖는 건식 등방성 에칭에 의해 윤곽처리된다.

대표도 - 도4



특허청구의 범위

청구항 1

FinFET 디바이스를 형성하는 방법으로서,

반도체 기판 위에 반도체 재료의 메사를 형성하는 단계 - 상기 메사는 분리 재료에 의해 측면들이 둘러싸임 - ;

상기 반도체 재료의 메사의 측면들을 노출시키기 위해 상기 분리 재료를 리세스하는 단계 - 상기 분리 재료를 리세스하는 단계는 상기 메사의 모든 측면들을 리세스하는 단계를 포함함 -;

폭을 감소시켜 상기 반도체 재료의 메사의 라운딩된(rounded) 부분을 정의하도록 상기 메사의 노출된 측면들을 등방성으로 건식 에칭하는 단계;

상기 분리 재료에 의해 측면들이 둘러싸인 상기 메사의 부분 내에 소스 영역 및 드레인 영역을 형성하는 단계; 및

상기 반도체 재료의 메사의 라운딩된 부분을 등각적으로(conformally) 커버하기 위해 게이트 도전체를 형성하는 단계

를 포함하고,

상기 건식 에칭하는 단계는 상기 메사의 상부 전체를 테이퍼링하는 단계를 포함하는 FinFET 디바이스 형성 방법.

청구항 2

제1항에 있어서,

상기 메사를 형성하는 단계는 상기 반도체 기판에 트렌치들을 에칭하고 상기 트렌치들에 상기 분리 재료를 성막하는 단계를 포함하는 FinFET 디바이스 형성 방법.

청구항 3

제1항에 있어서,

상기 분리 재료를 리세스하는 단계는 상기 분리 재료를 선택적으로 에칭하는 단계를 포함하는 FinFET 디바이스 형성 방법.

청구항 4

제1항에 있어서,

상기 메사의 노출된 측면들을 등방성으로 건식 에칭하는 단계는 원격 플라즈마 에칭을 이용하는 단계를 포함하는 FinFET 디바이스 형성 방법.

청구항 5

제1항에 있어서,

상기 메사의 라운딩된 부분은 300Å보다 작은 측방향 폭을 갖는 FinFET 디바이스 형성 방법.

청구항 6

제1항에 있어서,

건식 에칭하는 단계는 원격 플라즈마 유닛을 통해 불소 소스를 활성화시키는 단계를 포함하는 FinFET 디바이스 형성 방법.

청구항 7

제6항에 있어서,

상기 원격 플라즈마 유닛을 통해 산소 소스를 제공하는 단계를 더 포함하는 FinFET 디바이스 형성 방법.

청구항 8

제7항에 있어서,

상기 불소 소스는 CF_4 를 포함하고, 상기 산소 소스는 O_2 를 포함하고 $O_2:CF_4$ 의 비율은 15:1보다 큰 FinFET 디바이스 형성 방법.

청구항 9

제6항에 있어서,

건식 에칭은 실리콘 산화물보다 3에서 5.5배만큼 더 빨리 실리콘을 선택적으로 에칭하는 FinFET 디바이스 형성 방법.

청구항 10

제6항에 있어서,

건식 에칭은 실리콘 산화물보다 10에서 25배만큼 더 빨리 실리콘을 선택적으로 에칭하는 FinFET 디바이스 형성 방법.

청구항 11

제10항에 있어서,

건식 에칭하는 단계는 상기 원격 플라즈마 유닛을 통해 가스를 제공하는 단계를 더 포함하는 FinFET 디바이스 형성 방법.

청구항 12

제10항에 있어서,

불소 소스 가스에 대한 산소 소스 가스의 비율은 5:1보다 작은 FinFET 디바이스 형성 방법.

청구항 13

반도체 구조물을 형성하는 방법으로서,

반도체 재료의 메사 및 주위의 필드 분리 재료의 일부분들을 마스크하여, 마스크 개구부들 내에서 상기 메사 및 필드 분리 재료의 일부분들을 노출시키는 단계;

상기 마스크 개구부들 내의 상기 필드 분리 재료를 리세스함으로써 상기 필드 분리 재료의 표면으로부터 연장되는 반도체 돌출부를 형성하는 단계; 및

상기 마스크 개구부들 내의 상기 반도체 돌출부의 라운딩된 부분을 정의하기 위해 상기 반도체 돌출부를 등방성으로 건식 에칭하는 단계

를 포함하는 반도체 구조물 형성 방법.

청구항 14

제13항에 있어서,

상기 마스크 개구부들은 게이트 도전체에 대한 패턴에 대응하는 반도체 구조물 형성 방법.

청구항 15

제13항에 있어서,

상기 마스크 개구부들을 통해 등방성으로 건식 에칭하는 단계는 상기 라운딩된 부분을 상기 반도체 메사의 트랜지스터 채널 영역으로 한정하는 반도체 구조물 형성 방법.

청구항 16

제15항에 있어서,

상기 마스크 개구부들을 통해 상기 필드 분리 재료를 리세스하는 단계는 상기 라운딩된 부분을 상기 트랜지스터 채널 영역으로 한정하는 반도체 구조물 형성 방법.

청구항 17

제13항에 있어서,

상기 반도체 돌출부의 라운딩된 부분을 등각적으로 커버하도록 트랜지스터 게이트 유전체 및 트랜지스터 게이트 도전체를 형성하는 단계를 더 포함하는 반도체 구조물 형성 방법.

청구항 18

제13항에 있어서,

등방성으로 건식 에칭하는 단계는 원격 플라즈마 유닛을 이용하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 19

제13항에 있어서,

등방성으로 건식 에칭하는 단계는 불소 소스를 제공하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 20

제19항에 있어서,

등방성으로 건식 에칭하는 단계는 산소 소스를 제공하는 단계를 더 포함하는 반도체 구조물 형성 방법.

청구항 21

제20항에 있어서,

상기 불소 소스 및 상기 산소 소스는 원격 플라즈마 유닛을 통해 제공되는 반도체 구조물 형성 방법.

청구항 22

제21항에 있어서,

상기 불소 소스는 CF_4 를 포함하고, 상기 산소 소스는 O_2 를 포함하고 $O_2:CF_4$ 의 비율은 15:1보다 큰 반도체 구조물 형성 방법.

청구항 23

제13항에 있어서,

등방성으로 건식 에칭하는 단계는 상기 필드 분리 재료의 표면을 에칭하는 것보다 3에서 5.5배만큼 더 빠른 레이트로 상기 반도체 돌출부를 선택적으로 에칭하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 24

제13항에 있어서,

등방성으로 건식 에칭하는 단계는 상기 필드 분리 재료의 표면을 에칭하는 것보다 10에서 25배만큼 더 빠른 레이트로 상기 반도체 돌출부를 선택적으로 에칭하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 25

제13항에 있어서,

등방성으로 건식 에칭하는 단계는 상기 필드 분리 재료의 표면을 에칭하는 것보다 15에서 25배만큼 더 빠른 레이트로 상기 반도체 돌출부를 선택적으로 에칭하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 26

제13항에 있어서,

상기 라운딩된 부분은 300Å보다 작은 측방향 폭 치수를 갖는 반도체 구조물 형성 방법.

청구항 27

제13항에 있어서,

상기 라운딩된 부분은 200Å에서 250Å 사이의 측방향 폭을 갖는 반도체 구조물 형성 방법.

청구항 28

제27항에 있어서,

상기 라운딩된 부분 위에 게이트 도전체를 성막하고, 마스크하고 에칭하는 단계를 더 포함하고, 상기 게이트 도전체를 마스크하는 단계는 50nm에서 150nm 사이의 리소그래피 한계를 갖는 포토리소그래피 프로세스를 이용하는 단계를 포함하는 반도체 구조물 형성 방법.

청구항 29

제13항에 있어서,

상기 라운딩된 부분은 상기 반도체 메사를 정의하는데 이용된 포토리소그래피 프로세스의 리소그래피 한계보다 작은 측방향 폭을 갖는 반도체 구조물 형성 방법.

청구항 30

필드 분리 재료에 의해 둘러싸인 활성 영역 메사 - 상기 메사는 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역을 포함하고, 상기 소스 영역 및 드레인 영역은 실질적으로 평탄함 - ;

상기 메사의 채널 영역으로부터 돌출된 라운딩된 반도체 핀; 및

상기 채널 영역에서 상기 핀의 표면들에 따르는 게이트 전극

을 포함하는 집적 회로.

청구항 31

제30항에 있어서,

상기 핀은 평탄한 소스 영역과 드레인 영역에 대해 리세스되는 집적 회로.

청구항 32

제31항에 있어서,

상기 핀에 인접한 상기 채널 영역의 부분들은 상기 평탄한 소스 영역 및 드레인 영역과 상기 핀 모두에 대해 리세스되는 집적 회로.

청구항 33

제30항에 있어서,

게이트 전극은 상기 필드 분리 재료 내에 적어도 부분적으로 리세스된 워드 라인의 일부분을 형성하는 집적 회로.

청구항 34

제30항에 있어서,

상기 소스 영역에 의해 상기 채널 영역으로부터 이격된 제2 채널 영역 및 제2 게이트 전극을 더 포함하고, 상기 제2 채널 영역은 그로부터 돌출된 제2 핀을 포함하며 상기 제2 게이트 전극은 상기 제2 핀의 표면들에 따르는

집적 회로.

청구항 35

제34항에 있어서,

상기 제2 채널 영역에 의해 상기 소스 영역으로부터 이격된 제2 드레인 영역을 더 포함하고,

상기 소스 영역, 상기 채널 영역, 상기 드레인 영역 및 상기 게이트 전극은 상기 반도체 메사의 제1 트랜지스터를 정의하고,

상기 소스 영역, 상기 제2 채널 영역, 상기 제2 드레인 영역 및 상기 제2 게이트 전극은 상기 반도체 메사의 제2 트랜지스터를 정의하는 집적 회로.

청구항 36

제35항에 있어서,

상기 활성 영역 메사 위에 두개의 메모리 셀들을 정의하기 위해 상기 드레인 영역에 전기적으로 접속된 제1 저장 캐패시터, 상기 제2 드레인 영역에 전기적으로 접속된 제2 저장 캐패시터, 및 상기 소스 영역에 전기적으로 접속된 비트 라인을 더 포함하는 집적 회로.

청구항 37

제30항에 있어서,

상기 핀은 300Å보다 작은 폭을 갖는 집적 회로.

청구항 38

반도체 기판 상의 반도체 재료의 메사 - 상기 메사는 라운딩된 부분을 포함하고, 상기 메사는 분리 재료에 의해 측면들이 둘러싸이고, 상기 분리 재료는 상기 라운딩된 부분에 대하여 리세스됨 -;

상기 분리 재료에 의해 측면들이 둘러싸인 상기 메사의 부분 내에 형성된 소스 영역 및 드레인 영역;

상기 메사의 라운딩된 부분을 등각적으로 커버하는 게이트 유전체; 및

상기 메사의 라운딩된 부분을 커버하는 상기 게이트 유전체를 등각적으로 커버하는 게이트 도전체를 포함하는 FinFET 디바이스.

청구항 39

제38항에 있어서,

상기 소스 영역 및 드레인 영역은 실질적으로 평탄한 FinFET 디바이스.

청구항 40

제39항에 있어서,

상기 라운딩된 부분은 상기 평탄한 소스 영역 및 드레인 영역에 대하여 리세스되는 FinFET 디바이스.

청구항 41

제38항에 있어서,

상기 라운딩된 부분은 개재하는 채널 영역을 포함하여 상기 드레인 영역으로부터 상기 소스 영역으로 연장되는 FinFET 디바이스.

청구항 42

제38항에 있어서,

상기 라운딩된 부분은 개재하는 소스 영역 및 두 개의 개재하는 채널 영역들을 포함하여 상기 드레인 영역으로

부터 제2 드레인 영역으로 연장되는 FinFET 디바이스.

청구항 43

삭제

명세서

기술분야

[0001] 본 발명은 실리콘을 등방성 에칭하는 방법 및 이에 의해, 특히 FinFET 디바이스들을 이용하는 조밀한 집적 설계의 배경에서 형성된 디바이스에 관한 것이다.

배경기술

[0002] RAM 메모리와 같은 반도체 디바이스들은 컴퓨터 애플리케이션들에 공통으로 사용되는 디바이스들이다. 일반적으로, 디바이스의 성능과 비용 절감을 향상시키기 위해 이러한 유형의 디바이스들의 집적도를 증가시키기 위한 강한 요구가 존재한다. DRAM 메모리에 있어서, 두개의 기본적인 구성요소들로서, 전하 저장 셀 및 이 전하 저장 셀을 액세스하기 위한 게이트가 있다. 집적도를 증가시키려는 요구가 증가함에 따라, 디바이스들의 더 높은 집적도를 용이하게 하기 위해 더 작은 크기의 게이트 유형들을 개발하기 위한 요구가 존재한다.

[0003] 메모리 애플리케이션들을 포함하는 다양한 애플리케이션들에 현재 사용되고 있는 게이트 디바이스의 하나의 유형은 FinFET 디바이스이다. 일반적으로, FinFET 디바이스는 실리콘 기판과 같은 반도체 기판, SOI(silicon-on-insulator) 기판, 또는 그외의 유형의 재료 위에 형성된다. 일반적으로, 실리콘과 같은 반도체 재료로 일반적으로 만들어진, 수직으로 확장하는 돌출부인 핀(fin)이 형성된다. 핀은 도전체가 충전되는 경우 그에 따른 전계가 핀의 양 측면들 위의 전계에 의해 제어가능한 채널 영역들을 핀에 생성하도록, 게이트 유전체 및 도전체가 배치될 수 있는 두개의 수직의 측벽들을 갖는다. 핀의 적어도 두개의 측면들로부터 채널 영역들을 제어할 수 있게 되는 결과로서, 더 작은 핀에 도전성 채널을 형성할 수 있고, 이로 인해 누설이 감소되면서 디바이스 치수가 감소되는 것을 용이하게 한다.

[0004] FinFET 디바이스들은 종래의 플래너(planar) MOSFET 디바이스들에 대해 장점들을 제공하지만, FinFET들의 성능을 최적화시키기 위한 요구가 여전히 존재한다. 특히, 채널 영역을 형성하기 위해 임계 전압을 감소시키고 디바이스의 확장성을 향상시키는 것은 중요한 설계 고려사항들이다. 또한, 리프레쉬 레이트(refresh rate)를 개선시키고 기존의 FinFET 디바이스들의 신뢰성을 향상시키는 것도, 더 작은 FinFET 디바이스를 구현하여 DRAM 디바이스들 등과 같은 반도체 회로들의 디바이스 집적도를 훨씬 더 크게할 수 있는 중요한 목표로서 간주된다.

[0005] FinFET 디바이스들을 더욱 효율적으로 스케일링할 수 있는 하나의 방법은 디바이스들을 생성하는데 사용되는 프로세스 단계들의 정밀도를 향상시키는 것이다. 예를 들어, 발명자들은 실리콘 에칭 프로세스를 더 잘 제어할수록 FinFET 디바이스들을 위한 신뢰성 있는 디바이스 설계와 집적 방식들에 더 큰 유연성이 제공된다는 것을 인식해왔다. 마찬가지로, 실리콘 에칭의 향상된 제어는, 특히 그러한 에칭이 IC 피쳐(feature)들의 측방향 치수들을 정의하는 다양한 집적 회로(IC) 구조물들 및 프로세스들에 대해 유용하다는 것이 이해될 것이다.

실시예

[0020] 본 명세서에 개시된 실시예들은 실리콘 에칭, 및 더 구체적으로는, 실리콘 산화물 기반의 재료들과 같은 서라운드 절연 재료들에 대한 실리콘의 등방성의 선택적인 에칭을 위한 향상된 제어를 제공한다. 실리콘 에칭에 대한 제어를 향상시키는 것은, 예시적인 실시예들에 있어서, 조밀한 집적 설계에 있어서, 특히 DRAM 어레이들의 배경의 FinFET 디바이스들에 의해 예시된 새로운 반도체 디바이스를 형성하는 것을 용이하게 한다. 본 명세서에 기술된 건식 에칭의 등방성 특성은 리소그래피(lithography) 한계 이하의 측방향 치수들을 정의하는 측방향 에칭을 용이하게 한다.

[0021] 후술되는 프로세스들에 있어서, 반도체 메사들은 분리 재료에 의해 정의되고 둘러싸여진다. 다음으로, 분리 재료는 활성 영역 메사들의 상부들이 분리 재료의 상면 위로 돌출하도록 리세스된다. 다음으로, 반도체 돌출부들은 윤곽처리된 부분(contoured portion)이 감소된 폭을 갖도록 반도체 돌출부의 윤곽처리된 핀 부분을 정의하기 위해 등방성으로 건식 에칭된다. 후속하여, 게이트 유전체 및 도전체가 반도체 돌출부의 윤곽처리된 부분 위에 등각적으로(conformally) 형성된다. 일 실시예에 있어서, 그러한 윤곽처리(contouring)에 의해 형성된 핀은 활성 영역 메사의 대부분을 가로질러 확장되고, 다른 실시예에 있어서, 핀은 형성되는 트랜지스터들의 게이트 또

는 채널 영역에 한정된다.

- [0022] 도전체를 수용하는 메사의 상부를 등방성으로 건식 에칭함으로써, 그에 따른 윤곽 또는 핀은 그 기복(undulation)들 위로 더 큰 표면 영역을 가지며, 따라서 트랜지스터의 채널 길이를 효과적으로 증가시킨다. 또한, 핀의 상단부는 테이퍼링되거나 또는 라운딩된다. 이것은 더 좋은 성능 특성을 갖는 FinFET 디바이스, 예를 들어 임계 전압 요구들이 감소되고 더 좋은 리프레쉬 특성 및 신뢰성 특성을 갖는 FinFET들을 생성한다. 하나의 특정한 구현에 있어서, 건식 등방성 에칭은 원격 플라즈마 에칭이며, 이것은 돌출부의 노출된 부분을 더 균일하게 에칭하는 것을 가능하게 한다. 또한, 이하에 더 상세하게 개시된 바와 같이, 선택된 조건들에 의해 서라운딩 재료들에 대한 높은 선택비를 취득할 수 있다.
- [0023] 따라서, 이러한 프로세스는 향상된 설계 특성들을 갖는 반도체 디바이스들의 형성을 가능하게 한다. 전술된 장점들은 첨부 도면들과 함께 이하의 설명으로부터 더욱 완전히 명확해질 것이다.
- [0024] 이하, 전체에 걸쳐 유사한 참조번호들이 유사한 부분들을 나타내는 도면들이 참조된다. 도 1A는 잘 알려진 마스크 프로세스들을 사용하여 필드 분리 영역들(102) 사이에 복수의 활성 영역 메사들(106)이 형성된 반도체 기판(100)을 도시한다. 도 1A, 도 5, 도 6A, 및 도 10은 평면도들이지만, 상이한 재료들을 명확히 하도록 해칭(hatching)을 이용한다. 활성 영역 메사들(106)은 필드 분리 영역(102)들에 의해 서로 이격된다. 이하의 프로세스 흐름에서 기술될 바와 같이, 먼저 활성 영역 메사들(106)의 상부들이 돌출되고, 다음으로 건식 등방성 에칭에 의해 선택적으로 시닝되어(thinned) 결과적인 디바이스의 성능 특성을 향상시킨다.
- [0025] 도 1B에 도시된 바와 같이, 필드 분리 영역들(102)은 바람직하게는 잘 알려진 방법으로 형성된다. 일반적으로 필드 분리 영역(102)은 SiO₂, TEOS, BPSG, F-도핑 실리콘 산화물 또는 C-도핑 실리콘 산화물 등의 실리콘 산화물, 및 화학 기상 증착(chemical vapor deposition) 또는 SOD(spin on deposition)에 의해 형성된 다양한 유사한 재료들의 형태이다. 하나의 특정한 STI(shallow trench isolation) 구현에 있어서, 포토리소그래피를 사용하여 활성 영역 메사들(106)을 마스크하고 마스크를 통해 에칭함으로써, 반도체 기판(100)에 트렌치(trench)들이 형성된다. 기판(100)을 커버하고, 트렌치들을 채우고, 메사들(106)의 상면들(114)을 커버하기 위해 실리콘 산화물이(바람직하게는 SOD에 의해) 성막된다. 후속하여, 필드 분리 영역(102)의 상면(112)이 메사들(106)과 동일한 평면이 되도록, CMP(chemical mechanical planarization) 또는 그외의 에칭 프로세스들이 사용되어 메사들(106)의 상면(114)을 평탄화하고 노출시킨다. 그외의 구성들에 있어서, 필드 분리 재료는 산화(LOCOS)에 의해 성장되거나 또는 하이브리드 LOCOS 및 STI 프로세스들에 의해 형성될 수 있다. 어느 경우에서도, 리소그래피는 활성 영역 메사들(106)의 치수들을 정의하며, 도시된 실시예에 있어서, 활성 영역 메사들(106)을 정의하는데 이용되는 리소그래피는 약 50nm에서 150nm, 더 바람직하게는 약 60nm에서 80nm 사이의 포토리소그래피 해상도 한계를 갖는다. 그러한 시스템들의 해상도는 리소그래피 개선으로 스케일링될 수 있다는 것이 이해될 것이다.
- [0026] 바람직한 실시예에 예시되지 않았지만, 활성 영역들을 패터닝하고 필드 분리 트렌치들을 에칭하는데 사용된 마스크는(레지스트이든지 또는 하드 마스크이든지 간에) 이하 도 2에 대해 기술되는 후속하는 산화물 리세스 단계 중에 활성 영역 메사들(106)의 상면(114)을 보호하기 위해 그 자리에 선택적으로 남아있을 수 있다.
- [0027] 도 2에 도시된 바와 같이, 다음으로 필드 분리 영역들(102)의 재료는 활성 영역 메사들(106)의 측면들 또는 측벽들(120)을 노출시키기 위해 메사들(106)에 대해 리세스된다. 일 특정 구현에 있어서, 필드 분리 재료는 실질적으로 실리콘을 에칭하지 않고 실리콘 산화물을 선택적으로 제거하는 습식 또는 건식 에칭 프로세스를 사용하여 리세스된다. 일 구현에 있어서, 분리 재료는 약 500Å에서 1300Å 사이, 예를 들어, 대략 900Å 만큼 리세스되어, 필드 분리 영역들(102)의 새로 리세스된 상면(112) 위에 약 900Å의 높이를 갖는 실리콘 돌출부를 남긴다.
- [0028] 도 3에 도시된 바와 같이, 하부 영역(126)(필드 분리 영역(102)에 의해 보호된 상태로 남아있음)에 대해 테이퍼링된 활성 영역 메사들(106)의 핀(124)을 제조하기 위해 등방성 에칭 프로세스를 사용하여 활성 영역 메사(106)의 돌출부가 후속하여 윤곽처리된다. 각각의 핀(124)의 상면(128)은 등방성 에칭에 의해 라운딩된다. 바람직하게는, 핀(124)의 최소 측방향 치수 또는 폭은 300Å보다 작으며, 더 바람직하게는 약 200Å에서 250Å 사이이다.
- [0029] 쟁점이 되는 작은 치수들과, 바람직한 실시예들의 DRAM 어레이를 위한 매우 스케일링된 방식에서 요구하는 정밀도로 인해, 출원인들은, 특히 피쳐들이 포토리소그래피 해상도 한계 이하의 치수들을 갖기 때문에, 건식 등방성 에칭이 핀을 형성하기 위한 높은 제어도와 정밀도를 제공하는 것을 인식하였다. 따라서, 등방성 에칭은 바람직

하계는 건식 에칭이며, 더 바람직하게는 다운스트림 마이크로플라즈마 반응기와 같은 원격 플라즈마 제품들을 이용한다. 또한, 적절한 화학조성물을 구비한 반응기를 사용하여 실리콘에 대한 높은 선택비를 달성할 수 있다는 것도 발견되었다. 이하 세가지 프로세스 레시피들 중 두가지에 있어서, 화학조성은 산소 소스와 불소 (fluorine) 소스를 포함한다. 예시적인 산소 소스는 산소 가스(O₂)이며, 불화탄소(fluorocarbon) 가스 소스(예를 들어, CF₄) 또는 NF₃를 불소 소스로서 사용할 수 있다. 대안적으로, 산소를 생략할 수 있다.

[0030] 원격 플라즈마 유닛을 통해 산소 가스(O₂) 및 CF₄ 가스를 유입함으로써 예시적인 "저선택비" 프로세스를 수행한다. 이 저선택비 프로세스에서는, CF₄에 대해 상대적으로 높은 비율(15:1 이상)의 O₂를 사용하며, 예시적인 실시예에 있어서, 약 24:1의 비율은 실리콘:산소 에칭 비율의 선택비를 약 5:1로 만든다. 이 저선택비 프로세스에 의해 양호한 균일성을 갖게 되고 결정 실리콘 표면이 부드러워진다. 이러한 건식 등방성 에칭 프로세스는 에칭 속도와 정지 지점 제어 능력 모두에 있어서 우수한 정밀도를 제공하는 것으로 발견되었다. 그러한 제어는 등방성 에칭이 피처에 대해 측방향 치수 변화를 달성하는 경우 중요하다. 그 측방향 치수들은 어레이 내의 디바이스 간, 칩 내의 어레이 간, 웨이퍼 내의 칩간, 및 배치(batch) 내의 웨이퍼 간에서의 균일성을 보장하기 위해 정밀하게 제어되어야 한다. 핀(124)은 전계 효과 트랜지스터의 기능적 피처이기 때문에, 등방성 에칭 프로세스의 변화로 인한 두께의 변화는 디바이스 성능을 불일치시키고 수율을 감소시킬 수 있다. 이하의 표 1은 예시적인 저선택비 프로세스 방법에 대한 바람직한 파라미터 범위들을 제공한다.

표 1

저선택비 프로세스

	온도 (°C)	압력 (mTorr)	마이크로파 전력 (Watts)	O ₂ 유속 (sccm)	CF ₄ 유속 (sccm)	가스 비율 (O ₂ :CF ₄)	전체 가스 유속 (sccm)	대략적인 선택비 (Si:SiO ₂)
바람직한 범위	60-90	300-1500	500-6000	800-1100	30-50	20-30	830-1150	3-5.5
더 바람직한 범위	80-90	800-1100	1500-2500	900-1000	35-45	22-25	935-1035	3-5.5

[0031]

[0032] 대안적으로, 낮은 온도, 불소 소스 가스에 대한 산소 소스 가스의 낮은 비율, 및 선택적인 낮은 압력은 실리콘 산화물과 같은 서라운드 절연 재료에 대해 "고선택비"를 제공할 수 있다. 예를 들어, 이하의 표 2는 산소를 사용하는 예시적인 고선택비 프로세스 방법을 제공하며, 불소 소스 가스의 용적 유량비는 약 5:1보다 작고, 그외의 파라미터 선호도들은 10:1에서 25:1 사이의 선택비일 수 있다.

표 2

고선택비 프로세스

	온도 (°C)	압력 (mTorr)	마이크로파 전력 (Watts)	O ₂ 유속 (sccm)	CF ₄ 유속 (sccm)	가스 비율 (O ₂ :CF ₄)	전체 가스 유속 (sccm)	대략적인 선택비 (Si:SiO ₂)
바람직한 범위	20-90	300-1500	250-6000	150-750	150-450	1-5	300-1200	10-25
더 바람직한 범위	20-60	500-800	250-800	200-700	200-400	1-3	400-1100	18-25

[0033]

[0034] 표 3의 프로세스에 의해 도시된 바와 같이, 프로세스에서 산소를 선택적으로 생략할 수 있지만 프로세스는 여전히 고선택비를 유지한다. 예를 들어, 이하의 프로세스 레시피는 헬륨 및 성형 가스(forming gas)(N₂/H₂) 형태의 불활성 가스를 불소 소스와 함께 제공한다. 예시적인 프로세스 레시피들 및 이하의 바람직한 범위들에 의해 도시된 바와 같이, 15:1에서 25:1의 에칭 선택비(실리콘:산화물)를 얻을 수 있다.

표 3

산소가 없는 경우의 고선택비 프로세스

	온도 (°C)	압력 (mTorr)	마이크로파 전력 (Watts)	He 유속 (sccm)	N ₂ /H ₂ 유속 (sccm)	CF ₄ 유속 (sccm)	전체 가스 유속 (sccm)	대략적인 선택비 (Si:SiO ₂)
바람직한 범위	60-90	300-1500	500-6000	500-2500	0-420	20-120	500-3500	15-25
더 바람직한 범위	80-90	800-1100	1500-2500	1300-1800	20-370	40-80	1350-1900	18-25

[0035]

[0036]

또한, 당업자는 등방성 건식 에칭에서의 불소 소스가 CF₄ 이외의 것일 수 있다는 것을 쉽게 인식할 것이다. 예를 들어, 전술된 건식 등방성 에칭 레시피들에서 NF₃가 CF₄를 대체할 수 있으며, 소정의 레시피에 대하여 NF₃의 유속은 CF₄에 대해 주어진 유속의 대략 절반으로 설정된다. 이것은 NF₃가 원격 플라즈마 챔버에서 자유 불소로 더욱 쉽게 해리되기 때문이다. 마찬가지로, 당업자는 전술된 레시피들에 대해 그외의 조정들이 행해질 수 있다는 것을 쉽게 인식할 것이며, 예를 들어, 전체 에칭 속도에서 부수적인 변화를 갖는 프로세스의 선택비를 조정하기 위해 압력 및 전력 조건들이 쉽게 조정될 수 있다.

[0037]

후속하여, 도 4에 도시된 바와 같이, 테이퍼링된 핀 부분들(124)을 포함하는 활성 영역 메사들(106) 위에 게이트 유전체(131) 및 게이트 도전체(132)를 형성할 수 있다. 게이트 도전체(132)는 트랜지스터의 일함수(work function)를 설정하기 위해 바람직하게는 폴리실리콘(polysilicon) 금속, 금속 실리사이드(silicide) 또는 임의의 그외의 적합한 게이트 재료로 형성된다. 단일층으로 도시되어 있지만, 일반적으로 게이트 스택은 일함수 설정 전극 재료, 측방향 도전성 개선을 위한 선택적인 금속 스트래핑(strapping) 층, 및 유전체 캡(capping) 층을 포함한다. 전압이 도전체(132)에 인가되는 경우, 게이트 도전체(132) 아래에 배치된 활성 영역들(106)은 도전성 채널들을 형성한다. 바람직한 건식, 등방성 에칭에 대한 우수한 제어로 인해, 핀들(124)은 실질적으로 수직인 측벽들뿐만 아니라, 라운딩된 상면들(128)을 갖는 채널들의 표면 영역을 증가시켜 산화물을 리세스함으로써 정의되는 실리콘 돌출부의 원래 측벽들(120)(도 2)에 우수한 적합성(fidelity)을 보여준다.

[0038]

도 5는 도 1 내지 도 4와 관련하여 기술된 프로세스를 사용하여 형성된 일부의 트랜지스터 디바이스들(140)을 도시하는 평면도이다. 도시된 바와 같이, 활성 영역 메사들(106)은 각각의 메사(106)의 중앙 영역들에 걸쳐 전술된 방법으로 테이퍼링되어, 리세스된 하부 부분들(126) 위로 확장되는 핀들(124)을 형성한다. 게이트 도전체(132)는 블랭킷(blanket) 성막, 리소그래피 패터닝, 및 게이트 재료들(예를 들어, 폴리실리콘 또는 실리사이드, 향상된 측방향 도전성을 위한 금속 스트랩 및 유전체 캡)의 스택의 에칭에 의해 형성된다. 게이트 라인들(132)을 정의하는데 사용되는 시스템의 포토리소그래피 한계는 바람직하게는 약 50nm에서 150nm 사이이지만, 미래의 시스템은 더 미세한 해상도를 가질 수 있다. 결과적인 게이트 라인들(132)은 게이트(132) 아래의 핀들(124)의 일부분을 포함하는, 메사들(106) 내의 하부 채널 영역들을 정의하기 위해 메사들(106)과 교차된다. 소스 영역들(136) 및 드레인 영역들(134)은 도전체(134)의 대향하는 측면들 위에 정의되며, 도 11의 실시예에 대하여 이하에 더 상세하게 설명된 바와 같이, 소스/드레인 영역들(134, 136)은 예를 들어 비트 라인들과 같은 그외의 컴포넌트들, 예를 들어 캐패시터들과 같은 저장 노드들 등에 접속될 수 있다. 도 5는 네개의 FinFET 디바이스들(140)을 정의하는 두개의 활성 영역 메사들(106)만을 도시하지만, 당업자는 도 5는 단순히 예시적인 것이며 전술된 프로세스를 사용하여 활성 영역 메사(106) 위의 수천개의 트랜지스터들(140)의 어레이를 동시에 형성할 수 있다는 것을 인식할 것이다.

[0039]

도 1 내지 도 5에 대하여 전술된 프로세스에 있어서, 활성 영역 메사들(106)은 전체적으로 테이퍼링되어 결과적으로 FinFET 디바이스들의 성능 특성들을 향상시킨다. 반도체 메사들(106)을 테이퍼링하거나 또는 윤곽처리하여 핀들(124)을 형성함으로써, 트랜지스터의 채널 길이는 더 많은 실제 공간을 차지하지 않고 연장되며, 핀(124)의 코너들은 또한 라운딩되어 인버전 영역 또는 채널 영역을 형성하기 위한 임계 전압 조건들을 감소시키고, 액세스 디바이스 스케일링을 향상시키며, 디바이스의 리프레쉬 및 신뢰성 특성들이 개선된다. 이 특정한 실시예에 있어서, 방법은 메사(106)가 그 전체 길이를 따라 테이퍼링되게 한다. 불행하게도, 핀(124)과, 활성 영역 메사들(106)의 하부 부분(126) 사이의 단차는 후속하는 패턴 및 에칭 단계들에 대해 문제점들을 일으킬 수 있다. 특히, 도 5를 참조하면, 게이트 재료는 블랭킷 성막되고, 활성 영역들(106)의 소스 영역들(136) 및 드레인 영역들(134)로부터 에칭된다. 그러나, 수직 측벽 위로부터 게이트 재료를 제거하는 것은 어려우며, 오버에칭을 유도하여 소스 영역들(136)과 드레인 영역들(134)의 활성 영역들을 손상시킬 수 있다. 그러한 소스/드레

인 영역들(134, 136)에 대해 후속하여 콘택트들을 개방하는 경우 동일한 영역들을 다시 에칭할 필요가 있다.

- [0040] 도 6 내지 도 11은 활성 영역 메사(106)가 게이트 도전체(132)를 수용하는 게이트 또는 채널 영역에서만 테이퍼링되는 프로세스를 도시한다. 도 6A를 먼저 참조하면, 투명한 탄소 또는 포토레지스트(photoresist) 등의 마스크 층(146)이 기판(100) 위에 전체적으로 성막된다. 도 6B에 도시된 바와 같이, 트렌치들을 에칭하고, 필드 분리 물질(102)을 채우고, 메사들(106)의 상면(114)을 평탄화시킨 후에, 마스크 층(146)이 기판(100) 위에 성막된다. 도 6A를 다시 참조하면, 다음으로, 마스크 층(146)에 개구부들(148)을 정의하기 위해 마스크 층(146)이 패터닝되고 에칭된다. 개구부들(148)은 게이트 도전체들(132)의 패턴을 따르며(예를 들어, 이하의 도 10을 참조), 따라서 마스크(146)는 반대의 패턴을 따른다. 따라서, 이들 마스크들 모두에 대해 동일한 레티클(reticle)을 사용할 수 있지만, 반대의 포토레지스트 타입들(포지티브 대 네거티브)이 이용된다.
- [0041] 활성 영역들(106)의 컬럼(column)들 사이에 여분의 라인 개구부(149)가 형성된다. 이 여분의 개구부(149)는 게이트 라인들 또는 워드 라인들을 패터닝하는데 사용되는 것과 동일한 마스크를 사용하여 형성된다. 짝수로 이격된 라인들은, 특히 포토리소그래피 한계 근처에서, 포토리소그래피적으로 정의하기가 더 용이하다고 알려져 있다. 따라서, 마스크 개구부(149)가 형성되는 동일한 위치에 비기능성 라인들이 형성된다. 더미(dummy) 라인 개구부(149)는 오직 하부의 필드 분리 재료(102)만을 노출시키지만, 게이트 라인 개구부들(148)은 하부의 산화물 재료(102)와 활성 영역 메사들(106)의 노출된 영역들 모두를 노출시킨다. 게이트 라인 개구부들(148)은 이후의 게이트 전극들과 동일한 패턴으로 형성되기 때문에, 활성 영역 메사들(106)의 게이트 영역 또는 채널 영역만이 이 마스크(146)에 의해 노출된다.
- [0042] 도 7에 도시된 바와 같이, 다음으로 필드 분리 영역들(102)은 선택적 산화물 에칭을 사용하여 시닝되거나 또는 리세스되어 활성 영역 메사들(106)의 측벽들(120)을 노출시켜 실리콘 돌출부들을 형성한다. 바람직하게는, 돌출부는 리세스된 필드 분리 영역들(102)의 표면(112) 위로 약 500Å에서 1300Å 사이, 예를 들어 약 900Å으로 확장된다. 전술된 바와 같이, 리세스들(따라서 돌출부들)은 마스크 층(146)(도 6A)을 통해 노출된 영역들(148, 149)에서만 형성된다.
- [0043] 후속하여, 도 8에 도시된 바와 같이, 활성 영역 메사들(106)의 돌출부들은, 예를 들어, 표 1 내지 표 3에 대해 전술된 건식, 등방성의 선택적인 에칭 프로세스들 중 하나를 사용하여 마스크(146)(도 6A를 참조)를 통해 등방성으로 에칭된다. 메사들(106)은 필드 분리 재료(102)에 의해 둘러싸인 하부 영역(126)과 라운딩된 단부(128)를 테이퍼링하는 핀(124) 또는 상부 영역을 가진 상태로 각각 남겨진다. 전술된 바와 같이, 핀(124)의 폭 또는 최소 측방향 치수는 바람직하게는 300Å보다 작으며, 더 바람직하게는 약 200Å에서 250Å 사이이다. 건식 에칭의 등방성 성질로 인해, 마스크 층(146)(도 6A)은 약간 언더컷될 수 있고 핀의 양 측면 위의 리세스된 실리콘(126)은 핀들(124)로부터의 거리를 넓히면서 게이트 라인들(148)보다 약간 더 넓어질 수 있다.
- [0044] 후속하여, 도 9에 도시된 바와 같이, 게이트 유전체(131)와 게이트 도전체(132)가 전체 기판 위에 형성될 수 있고, 다음으로 도 6A로부터의 마스크 패턴의 역 화상을 사용하여 게이트 도전체(132)를 패터닝하고 에칭한다. 예를 들어, 도 6A의 단계에서 포지티브 레지스트가 사용되었으면, 도 10에서 동일한 레티클을 사용하는 네거티브 레지스트를 이용할 수 있거나 또는 그 반대가 될 수 있다. 따라서, 게이트 전극(132)은, 개구부들(148 및 149)(도 6A)과 동일한 패턴으로, 필드 분리 영역(102)의 리세스된 부분들과 실리콘 메사들(106)의 리세스된 부분들에 남겨진다.
- [0045] 라인 개구부들(148)을 통해 노출된 활성 영역 메사(106)의 부분들만이 마스크 층(146)(도 6A)으로 인해 등방성 에칭 프로세스에 노출되기 때문에, 이 부분들만이 시닝된다. 따라서, 핀(124)은 게이트 도전체(132) 아래의 채널 영역에 한정된다 - 등방성 에칭의 언더컷 효과로 인해 메사들(106)의 에지들 근처에서 약간 더 넓어짐 - . 도 6 내지 도 11에 도시된 프로세스는 게이트(132)가 필드 분리 영역(102)의 리세스된 라인 또는 트렌치에 성막되기 때문에 다마신과 유사한 프로세스로 간주될 수 있다.
- [0046] 도 10은 도전체(132)를 수용하는 채널 영역들에서 활성 영역 메사들(106)의 국지적인 테이퍼링을 도시한다. 필드 분리 영역(102)의 표면과 다수의 메사들(106)(게이트 도전체들(132)과 교차된 영역들로부터 분리된)은 공통의 평면이기 때문에, 소스 영역들(136) 및 드레인 영역들(134) 위로부터 게이트 전극 스택을 제거하는 것은, 그 영역들에 단차가 존재하지 않으므로, 어렵지 않다. 또한 도 10에 그래픽으로 도시된 바와 같이, 각각의 활성 영역 메사(106)에 대하여 두개의 트랜지스터들(140)이 형성된다. 두개의 게이트 도전체들(132) 사이에 공통의 소스 영역(136)이 배치되지만, 각각의 트랜지스터들(140)은 그 자신의 드레인 영역(134)을 갖는다.
- [0047] 이하, 도 11을 참조하면, DRAM 셀들을 완성하기 위한 추가의 프로세스 후에 활성 영역 메사(106)의 길이를 따른

단면도가 도시된다. 당업자에게 인식될 바와 같이, 각각의 트랜지스터들의 채널은 공통 소스 영역(136)으로부터 활성 영역 메사(106)의 표면을 따라 각각의 트랜지스터의 드레인 영역(134)으로 확장된다. 따라서, 이 채널 영역은 핀(124)의 형성으로 인한 기복(도 9를 참조)을 포함한다. 이로 인해, 채널 길이는 플래너 디바이스에 대해 연장된다. 각각의 트랜지스터의 채널 영역은, 소스/드레인 영역들(134, 136)에 대해 리세스되고 단면도에서 보이지 않기 때문에 도 11에서 점선으로 표시되는 하부 영역들(126)에 대해 더 리세스되는, 핀(124)을 포함한다.

[0048] 도 11은 단일 활성 영역 메사(106)로부터 형성된 두개의 DRAM 셀들을 나타낸다. 3차원 폴딩 캐패시터(180)로 표시된 도시된 실시예에 있어서, 각각의 셀은 저장 디바이스뿐만 아니라 트랜지스터(140)(공통 소스(136), 개별 드레인 영역들(134), 개별 게이트 전극들(132) 및 그 아래에 형성된 채널들을 포함함)를 포함한다. 캐패시터 콘택트(182)는 각각의 메모리 셀의 드레인(134)과 캐패시터(180) 사이에 확장된다. 공통 소스(136)는 비트 라인 콘택트(192)를 사용하여 비트 라인(190)에 접속된다.

[0049] 전술된 프로세스들은 채널 영역을 형성하는 반도체 돌출부가 테이블링되거나 또는 그렇지 않은 경우 건식 등방성 에칭에 의해 정밀하게 윤곽처리되어 FinFET 디바이스의 개선된 성능 특성들을 나타내는 일부의 구현들을 설명한다. 건식 등방성 에칭은, 그 상부에 있는 활성 영역 메사(106)의 폭을 포토리소그래피로 정의된 치수로부터, 측방향 에칭 동작에 의해, 바람직하게는 적어도 활성 영역들(106)의 채널 영역들(148) 내의 리소그래피 한계 이하의 핀(124) 폭으로 유효하게 감소시킨다. 건식 등방성 에칭은 이러한 피처의 정의에 대한 정밀도 및 제어를 제공한다. 또한, 핀들의 라운딩된 단부 표면들(128)은 날카로운 코너들 및 수반되는 높은 세기의 전계를 피한다.

[0050] 따라서, FinFET 디바이스를 형성하기 위한 방법이 제공된다. 방법은 메사가 분리 재료에 의해 측면 위에 둘러싸인 반도체 재료의 메사를 반도체 기판 위에 형성하는 단계를 포함한다. 분리 재료는 반도체 재료의 메사의 측면들을 노출시키기 위해 리세스된다. 메사의 노출된 측면들은 건식 에칭되어 메사의 폭을 감소시키고 반도체 재료의 메사의 윤곽처리된 부분을 정의한다. 반도체 재료의 메사의 윤곽처리된 부분을 등각적으로 커버하기 위해 게이트 도전체가 형성된다.

[0051] 또한, 반도체 구조물에 대한 측방향 치수를 정의하기 위한 방법이 제공된다. 방법은 실리콘 산화물 표면으로부터 확장된 반도체 돌출부를 형성하는 단계를 포함한다. 반도체 돌출부는 반도체 돌출부의 윤곽처리된 부분을 정의하기 위해 등방성으로 건식 에칭된다.

[0052] 집적 회로가 또한 제공된다. 집적 회로는 필드 분리 재료에 의해 둘러싸인 활성 영역 메사를 포함하고, 메사는 소스 영역, 드레인 영역 및 소스 영역과 드레인 영역 사이의 채널 영역을 포함한다. 반도체 핀은 메사의 채널 영역으로부터 돌출되는 한편, 소스 영역과 드레인 영역은 실질적으로 평탄하다. 게이트 전극은 채널 영역에서 핀의 표면들에 따른다.

[0053] 본 교시의 상기 개시된 실시예들은 상기 개시된 실시예들에 적용된 본 발명의 기본적인 새로운 특징들을 도시하고 기술하고 지적하였지만, 본 명세서에 예시된 디바이스, 시스템들 및/또는 방법들의 상세한 형태의 다양한 생략, 대체 및 변경들이 본 교시들의 범주를 벗어나지 않고 당업자에 의해 행해질 수 있다는 것을 이해해야 한다. 따라서, 본 발명의 범위는 전술된 설명에 한정되지 않지만 첨부된 청구범위에 의해 정의되어야 한다.

도면의 간단한 설명

[0006] 이하의 도면들과 상세한 설명은 본 발명을 기술하기 위해 사용되며, 이것들은 본 발명을 한정하지 않는다. 도면들은, 동일하지 않더라도 유사한 부분들에 대하여 유사한 참조번호들을 사용하며 단지 개략적이고, 일정한 비율로 도시되지 않는다.

[0007] 도 1A는 반도체 기판 위에 필드 분리 재료로 둘러싸인 복수의 활성 영역 메사(mesa)들의 간략화된 개략적인 평면도이다.

[0008] 도 1B는 도 1A의 1B-1B 라인들을 따라 취해진 도 1A의 활성 영역들의 개략적인 단면도이다.

[0009] 도 2는 메사들을 둘러싸는 분리 재료가 리세스된 도 1B의 활성 영역 메사들의 단면도이다.

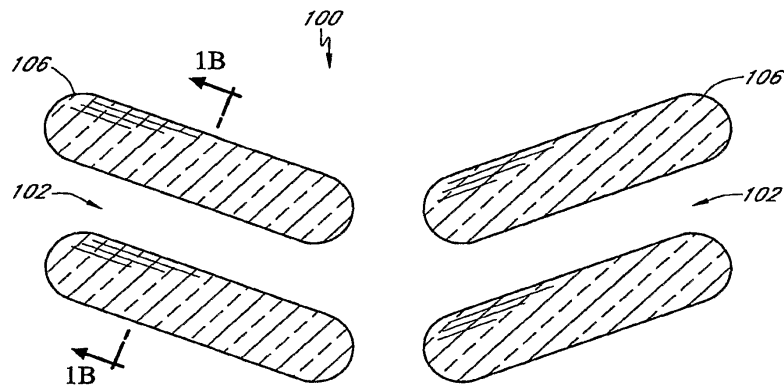
[0010] 도 3은 핀을 윤곽처리하기(contour) 위해 건식 등방성 에칭을 수행한 후의 도 2의 활성 영역 메사들의 단면도이다.

[0011] 도 4는 게이트 유전체 및 게이트 도전체가 핀들 위에 형성되는 도 3의 활성 영역 메사들의 단면도이다.

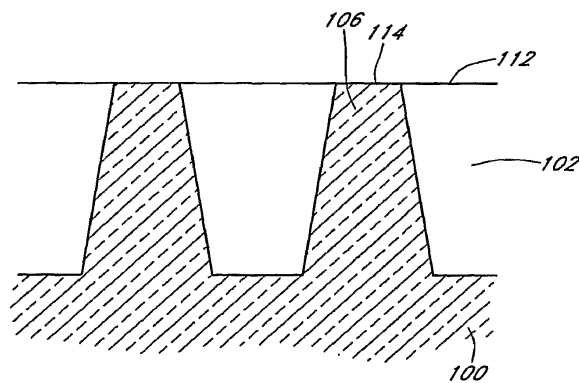
- [0012] 도 5는 도 1 내지 도 4에 도시된 프로세스에 따라 형성된 FinFET 디바이스들의 예시적인 어레이의 일부분의 간략화된 평면도이다.
- [0013] 도 6A는 다마신(damascene)-유형의 프로세스에 대해서만 메사들의 채널 또는 게이트 영역들을 노출시키도록 마스크가 패터닝되는 기판 위에 형성된 복수의 활성 영역 메사들의 대략적인 평면도이다.
- [0014] 도 6B는 6B-6B 라인들을 따라 취해진 도 6A의 활성 영역들의 단면도이다.
- [0015] 도 7은 노출된 게이트 라인 영역들 내에서만 분리 재료가 리세스된 도 6B의 활성 영역 메사들의 단면도이다.
- [0016] 도 8은 핀들을 윤곽처리하기 위해 채널 영역 또는 게이트 영역 내에서만 선택적 에칭을 수행한 후의 도 7의 활성 영역 메사들의 단면도이다.
- [0017] 도 9는 게이트 유전체 및 게이트 도전체가 핀들 위에 형성된 도 8의 핀들의 단면도이다.
- [0018] 도 10은 채널 또는 게이트 영역에 한정된 핀들을 도시하는, 도 6 내지 도 9에 도시된 다마신-유형의 프로세스를 사용하여 형성된 FinFET 디바이스들의 어레이의 간략화된 평면도이다.
- [0019] 도 11은 도 6 내지 도 9의 프로세스에 의해 형성된 FinFET 디바이스들을 포함하는 단일 활성 영역 메사로부터 형성된 두개의 DRAM 셀들의 단면도이다.

도면

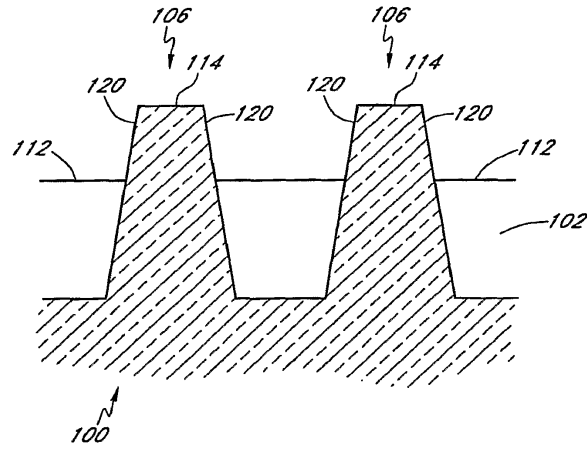
도면1A



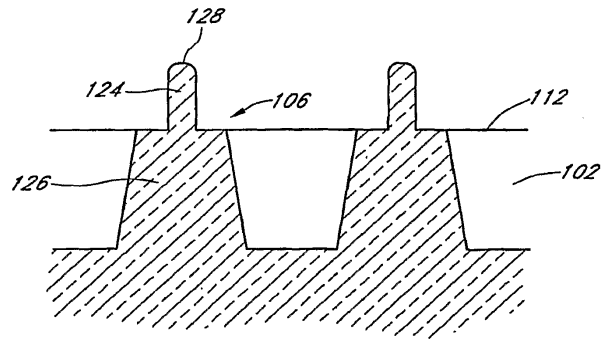
도면1B



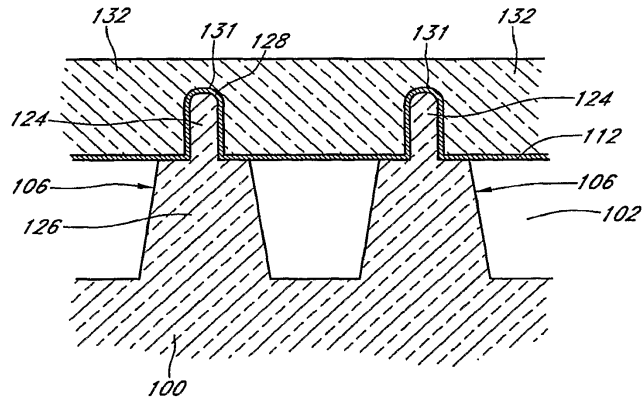
도면2



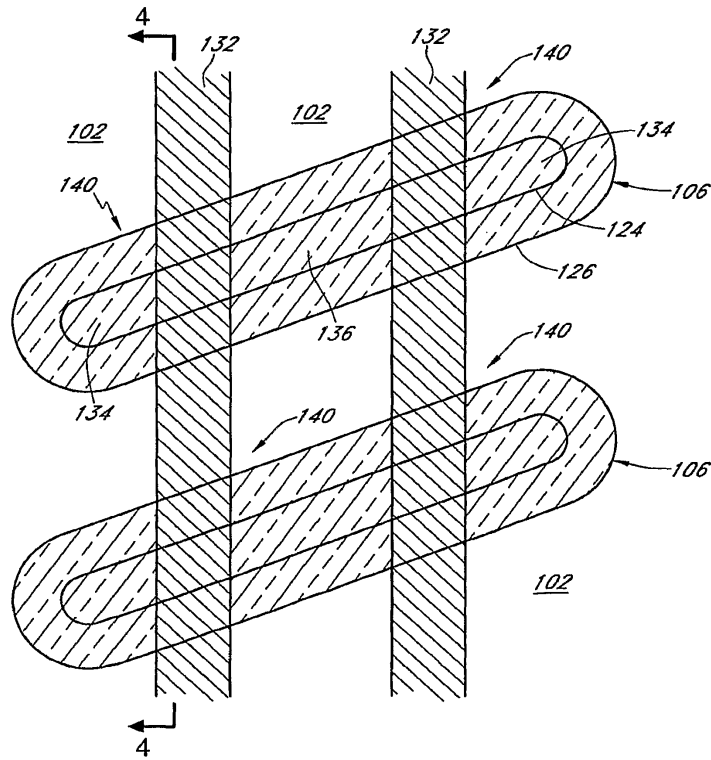
도면3



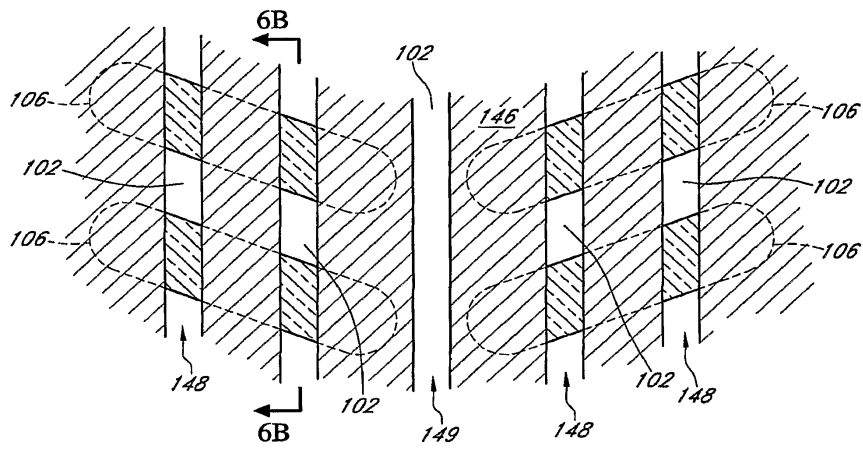
도면4



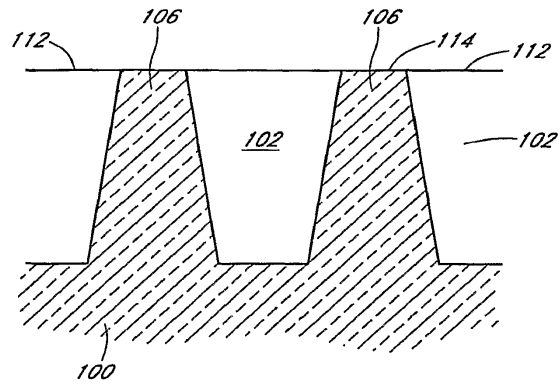
도면5



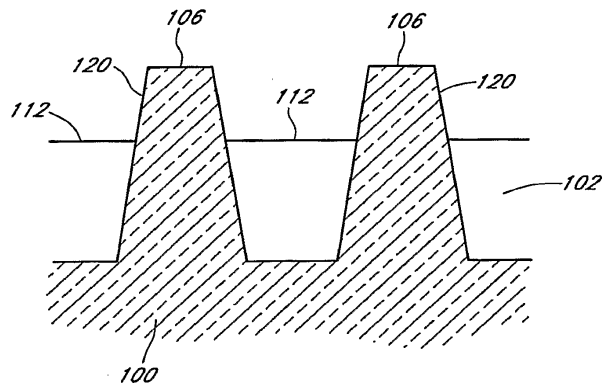
도면6A



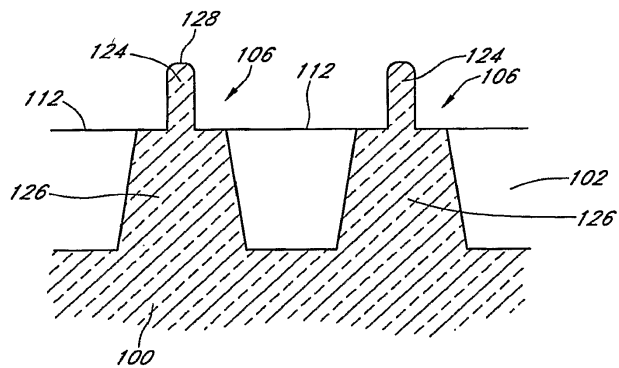
도면6B



도면7



도면8



도면11

