



(12) 发明专利申请

(10) 申请公布号 CN 114709172 A

(43) 申请公布日 2022. 07. 05

(21) 申请号 202210348446.8

H01L 27/11578 (2017.01)

(22) 申请日 2022.04.01

G11C 11/40 (2006.01)

(71) 申请人 长江存储科技有限责任公司
地址 430000 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 姚兰

(74) 专利代理机构 北京英思普睿知识产权代理有限公司 16018
专利代理师 刘莹 聂国斌

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 23/538 (2006.01)

H01L 27/11524 (2017.01)

H01L 27/11551 (2017.01)

H01L 27/1157 (2017.01)

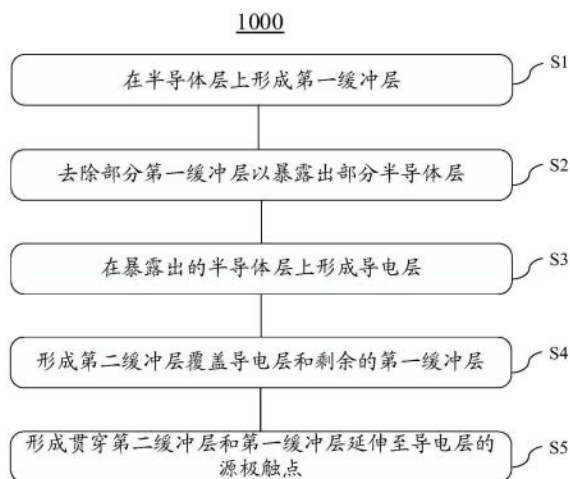
权利要求书2页 说明书10页 附图7页

(54) 发明名称

存储系统、以及三维存储器及其制造方法

(57) 摘要

本公开的实施方式提供了一种三维存储器及其制造方法。本公开还提供了一种存储系统。三维存储器包括阵列器件,阵列器件包括沟道层以及与沟道层连接的半导体层。三维存储器的制造方法包括:在半导体层上形成第一缓冲层;去除部分第一缓冲层以暴露出部分半导体层;在暴露出的半导体层上形成导电层;形成第二缓冲层以覆盖导电层和剩余的第一缓冲层;以及形成贯穿第二缓冲层和第一缓冲层并延伸至导电层的源极触点。



1. 一种三维存储器的制造方法,所述三维存储器包括阵列器件,所述阵列器件包括沟道层、以及与所述沟道层连接的半导体层,其特征在于,所述方法包括:

在所述半导体层上形成第一缓冲层;

去除部分所述第一缓冲层以暴露出部分所述半导体层;

在暴露出的所述半导体层上形成导电层;

形成第二缓冲层以覆盖所述导电层和剩余的所述第一缓冲层;以及

形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点。

2. 根据权利要求1所述的方法,所述阵列器件包括核心区和位于所述核心区外围的非核心区,其中,去除部分所述第一缓冲层以暴露出部分所述半导体层包括:

去除所述第一缓冲层以分别在所述核心区和所述非核心区中暴露出所述半导体层;以及

在所述核心区和所述非核心区之间,去除部分所述第一缓冲层以进一步暴露出位于所述核心区和非核心区之间的半导体层,其中进一步暴露的半导体层连接在所述核心区和非核心区内暴露的半导体层。

3. 根据权利要求2所述的方法,所述导电层包括导电层阱区、导电层引出区、和连接所述导电层阱区和所述导电层引出区的导电层连接通道,

其中,在暴露出的所述半导体层上形成导电层包括:

在所述核心区暴露出的所述半导体层上、在所述非核心区暴露出的所述半导体层上、以及在所述核心区和所述非核心区之间暴露出的所述半导体层上,分别形成所述导电层阱区、所述导电层引出区和所述导电层连接通道。

4. 根据权利要求3所述的方法,其中,形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点包括:

贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分,形成延伸至所述导电层的源极触点。

5. 根据权利要求4所述的方法,其中,贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分,形成延伸至所述导电层的源极触点包括:

形成贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分的源极触点孔;以及

在所述源极触点孔中形成延伸至所述导电层的所述源极触点。

6. 根据权利要求1-5中任一项所述的方法,其中,在形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点前,所述方法还包括:

形成贯穿所述第二缓冲层、所述第一缓冲层和所述半导体层的隔离部,所述隔离部将所述半导体层分隔成半导体层主体区和半导体层外围区,所述导电层位于所述半导体层主体区。

7. 根据权利要求6所述的方法,其中,所述三维存储器还包括与所述阵列器件键合的外围器件,所述阵列器件中还包括与所述外围器件连接的穿硅接触,其中,所述方法还包括:

在所述半导体层外围区,形成贯穿所述第二缓冲层、所述第一缓冲层和所述半导体层并与所述阵列器件中的所述穿硅接触相连接的外围触点。

8. 根据权利要求7所述的方法,其中,所述外围触点与所述源极触点同步形成。

9. 根据权利要求1所述的方法,其中,所述第一缓冲层和所述第二缓冲层中至少之一的材料包括介电材料。

10. 一种三维存储器,包括阵列器件,所述阵列器件包括沟道层、以及与所述沟道层连接的半导体层,其特征在于,所述阵列器件还包括:

导电层,位于所述半导体层上;

缓冲层,位于所述导电层和所述半导体层之上,覆盖所述导电层和所述半导体层的未被所述导电层覆盖的区域;以及

源极触点,位于所述导电层之上,贯穿所述缓冲层并连接所述导电层。

11. 根据权利要求10所述的三维存储器,其中,所述阵列器件包括核心区、和位于所述核心区外围的非核心区,以及

在所述核心区的范围内,所述阵列器件还包括多个具有所述沟道层的存储串沟道结构。

12. 根据权利要求11所述的三维存储器,其中,所述导电层包括:

导电层阱区,位于所述核心区,覆盖所述存储串沟道结构对应的半导体层区域;

导电层引出区,位于所述非核心区;以及

导电层连接通道,连接所述导电层阱区和所述导电层引出区。

13. 根据权利要求12所述的三维存储器,其中,所述源极触点连接所述导电层引出区。

14. 根据权利要求10-13中任一项所述的三维存储器,其中,所述导电层的材料包括金属或金属硅化物。

15. 根据权利要求10-13中任一项所述的三维存储器,还包括与所述阵列器件键合的外围器件,所述阵列器件中还包括与所述外围器件连接的穿硅接触,其中,所述阵列器件还包括:

隔离部,贯穿所述缓冲层和所述半导体层,将所述半导体层分隔成半导体层主体区、和半导体层外围区,其中,所述导电层位于所述半导体层主体区;以及

外围触点,位于所述半导体层外围区,贯穿所述缓冲层和所述半导体层并与所述穿硅接触相连接。

16. 根据权利要求15所述的三维存储器,其中,所述外围触点与所述源极触点包括相同的材料。

17. 根据权利要求10所述的三维存储器,其中,所述缓冲层的材料包括介电材料。

18. 一种存储系统,其特征在于,包括:

至少一个如权利要求10-17中任一项所述的三维存储器;以及

控制器,与至少一个所述三维存储器电连接,用于控制至少一个所述三维存储器。

存储系统、以及三维存储器及其制造方法

技术领域

[0001] 本申请的实施方式涉及半导体制造领域,更具体地,涉及存储系统、以及三维存储器及其制造方法。

背景技术

[0002] 随着3D NAND堆叠层数的增加,对3D NAND的阵列器件(Array)的工艺挑战越来越大。在相关的一种3D NAND结构中,先在第一衬底上形成包括多个NAND存储串的多个阵列器件,然后在多个NAND存储串上形成阵列互联层。同时,形成第二衬底并在第二衬底上形成外围器件,然后在外围器件上形成外围互联层。接着,将阵列器件倒置并将阵列互联层与外围互联层对齐,结合阵列互联层和外围互联层。接着,去除第一衬底,并在阵列器件上形成源极层,在源极层上形成N阱引出NPU(Nwell pick up)触点将源端引出,NPU再与顶部金属层(连接到外部电路)衔接,形成二极管结构,由此可以将阵列器件与外部电路电连接以实现信号输出。

[0003] 电流信号从NAND串流向源极层,再通过NPU流到外部电路。这种3D NAND架构很好地降低了Array工艺中的技术难点。但是,在相关的这种三维存储器中,NPU只是作为连接触点引出核心区阱,由于核心区包括多个存储串,则需设置多个NPU触点,各NPU触点又需要分别连接顶部金属层和层间互连触点以引出,从而造成互联层中布线复杂,使其它功能走线的布置难度增加,对PAD OUT(焊盘引出)工艺提出了新的挑战。此外,为了节省成本,传统的工艺中,NPU连接孔中的金属层通常是跟TSC(Through Silicon Contact,穿硅接触)孔中的金属层一起填充和回刻的,然而实际应用中NPU孔和TSC孔二者的刻蚀深度和尺寸是有差别的,这就造成了形成TSC工艺难度的增加。

发明内容

[0004] 本申请的一个或多个实施方式提供了可至少部分解决相关技术中存在的至少一个上述缺陷或其它缺陷的存储系统、以及三维存储器及其制造方法。

[0005] 本申请的一个方面提供了一种三维存储器的制造方法,所述三维存储器包括阵列器件,所述阵列器件包括沟道层、以及与所述沟道层连接的半导体层,所述方法包括:在所述半导体层上形成第一缓冲层;去除部分所述第一缓冲层以暴露出部分所述半导体层;在暴露出的所述半导体层上形成导电层;形成第二缓冲层以覆盖所述导电层和剩余的所述第一缓冲层;以及形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点。

[0006] 在一个实施方式中,所述阵列器件包括核心区和位于所述核心区外围的非核心区,其中,去除部分所述第一缓冲层以暴露出部分所述半导体层包括:去除所述第一缓冲层以分别在所述核心区和所述非核心区中暴露出所述半导体层;以及在所述核心区和所述非核心区之间,去除部分所述第一缓冲层以进一步暴露出位于所述核心区和非核心区之间的半导体层,其中进一步暴露的半导体层连接在所述核心区和非核心区内暴露的半导体层。

[0007] 在一个实施方式中,所述导电层包括导电层阱区、导电层引出区、和连接所述导电层阱区和所述导电层引出区的导电层连接通道,其中,在暴露出的所述半导体层上形成导电层包括:在所述核心区暴露出的所述半导体层上、在所述非核心区暴露出的所述半导体层上、以及在所述核心区和所述非核心区之间暴露出的所述半导体层上,分别形成所述导电层阱区、所述导电层引出区和所述导电层连接通道。

[0008] 在一个实施方式中,形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点包括:贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分,形成延伸至所述导电层的源极触点。

[0009] 在一个实施方式中,贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分,形成延伸至所述导电层的源极触点包括:形成贯穿所述第二缓冲层和所述第一缓冲层的、与所述导电层引出区对应的部分的源极触点孔;以及在所述源极触点孔中形成延伸至所述导电层的所述源极触点。

[0010] 在一个实施方式中,在形成贯穿所述第二缓冲层和所述第一缓冲层并延伸至所述导电层的源极触点前,所述方法还包括:形成贯穿所述第二缓冲层、所述第一缓冲层和所述半导体层的隔离部,所述隔离部将所述半导体层分隔成半导体层主体区和半导体层外围区,所述导电层位于所述半导体层主体区。

[0011] 在一个实施方式中,所述三维存储器还包括与所述阵列器件键合的外围器件,所述阵列器件中还包括与所述外围器件连接的穿硅接触,所述方法还包括:在所述半导体层外围区,形成贯穿所述第二缓冲层、所述第一缓冲层和所述半导体层并与所述阵列器件中的所述穿硅接触相连接的外围触点。

[0012] 在一个实施方式中,所述外围触点与所述源极触点同步形成。

[0013] 在一个实施方式中,所述第一缓冲层和所述第二缓冲层中至少之一的材料包括介电材料。

[0014] 本申请的另一个方面还提供了一种三维存储器,所述三维存储器包括阵列器件,所述阵列器件包括沟道层、以及与所述沟道层连接的半导体层,其中,所述阵列器件还包括:导电层,位于所述半导体层上;缓冲层,位于所述导电层和所述半导体层之上,覆盖所述导电层和所述半导体层的未被所述导电层覆盖的区域;以及源极触点,位于所述导电层之上,贯穿所述缓冲层并连接所述导电层。

[0015] 在一个实施方式中,所述阵列器件包括核心区、和位于所述核心区外围的非核心区,以及在所述核心区的范围内,所述阵列器件还包括多个具有所述沟道层的存储串沟道结构。

[0016] 在一个实施方式中,所述导电层包括:导电层阱区,位于所述核心区,覆盖所述存储串沟道结构对应的半导体层区域;导电层引出区,位于所述非核心区;以及导电层连接通道,连接所述导电层阱区和所述导电层引出区。

[0017] 在一个实施方式中,所述源极触点连接所述导电层引出区。

[0018] 在一个实施方式中,所述导电层的材料包括金属或金属硅化物。

[0019] 在一个实施方式中,所述三维存储器还包括与所述阵列器件键合的外围器件,所述阵列器件中还包括与所述外围器件连接的穿硅接触,其中,所述阵列器件还包括:隔离部,贯穿所述缓冲层和所述半导体层,将所述半导体层分隔成半导体层主体区、和半导体层

外围区,其中,所述导电层位于所述半导体层主体区;以及外围触点,位于所述半导体层外围区,贯穿所述缓冲层和所述半导体层并与所述穿硅接触相连接。

[0020] 在一个实施方式中,所述外围触点与所述源极触点包括相同的材料。

[0021] 在一个实施方式中,所述缓冲层的材料包括介电材料。

[0022] 本申请的又一方面还提供了一种存储系统,该存储系统包括控制器和至少一个如上所述的三维存储器,其中控制器与至少一个所述三维存储器电连接,用于控制至少一个所述三维存储器。

[0023] 根据本申请的一个或多个实施方式,通过在与沟道层连接的半导体层上形成导电层作为高速导电通路,有利于减小电容电阻延时(RC delay)、降低功耗,有利于提高电路速度,提升三维存储器电学性能和工作效率。

附图说明

[0024] 通过阅读参照以下附图所作的对非限制性实施例的详细描述,本申请的其它特征、目的和优点将会变得更明显。其中:

[0025] 图1是本申请实施方式的三维存储器的结构示意图。

[0026] 图2是根据本申请示例性实施方式的一种架构的三维存储器的制造方法流程图;

[0027] 图3A至图3H是根据本申请示例性实施方式的制造一种架构的三维存储器的方法的工艺示意图;

[0028] 图4是根据本申请一个示例性实施方式的存储系统的示意图;以及

[0029] 图5是根据本申请另一个示例性实施方式的存储系统的示意图。

具体实施方式

[0030] 为了更好地理解本申请,将参考附图对本申请的各个方面做出更详细的说明。应理解,这些详细说明只是对本申请的示例性实施方式的描述,而非以任何方式限制本申请的范围。在说明书全文中,相同的附图标号指代相同的元件。表述“和/或”包括相关联的所列项目中的一个或多个的任何和全部组合。

[0031] 应注意,在本说明书中,第一、第二、第三等的表述仅用于将一个特征与另一个特征区分开来,而不表示对特征的任何限制,尤其不表示任何的先后顺序。因此,在不背离本申请的教导的情况下,例如本申请中讨论的第一缓冲层也可被称作第二缓冲层,反之亦然。

[0032] 在附图中,为了便于说明,已稍微调整了部件的厚度、尺寸和形状。附图仅为示例而非严格按比例绘制。如在本文中使用的,用语“大致”、“大约”以及类似的用语用作表近似的用语,而不用作表程度的用语,并且旨在说明将由本领域普通技术人员认识到的、测量值或计算值中的固有偏差。

[0033] 此外,在本文中,当描述一个部分位于另一部分“上”时,例如“在……上”、“在……之上”和“在……上方”的含义应以最宽泛的方式来解释,使得“在……上”不仅意味着“直接在某物上”,而且还包括其间具有中间特征或层的“在某物上”的含义,并且“在……之上”或“在……上方”并非绝对表示以重力方向为基准位于之上之意,也不意味着“在某物之上”或“在某物上方”的含义,而且还可以包括其间没有中间特征或层的“在某物之上”或“在某物上方”的含义(即,直接在某物上)。

[0034] 还应理解的是,诸如“包括”、“包括有”、“具有”、“包含”和/或“包含有”等表述在本说明书中是开放性而非封闭性的表述,其表示存在所陈述的特征、元件和/或部件,但不排除一个或多个其它特征、元件、部件和/或它们的组合的存在。此外,当诸如“...中的至少一个”的表述出现在所列特征的列表之后时,其修饰整列特征,而非仅仅修饰列表中的单独元件。此外,当描述本申请的实施方式时,使用“可”表示“本申请的一个或多个实施方式”。并且,用语“示例性的”旨在指代示例或举例说明。

[0035] 除非另外限定,否则本文中使用的所有措辞(包括工程术语和科技术语)均具有与本申请所属领域普通技术人员的通常理解相同的含义。还应理解的是,除非本申请中有明确的说明,否则在常用词典中定义的词语应被解释为具有与它们在相关技术的上下文中的含义一致的含义,而不应以理想化或过于形式化的意义解释。

[0036] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。另外,除非明确限定或与上下文相矛盾,否则本申请所记载的方法中包含的具体步骤不必限于所记载的顺序,而可以任意顺序执行或并行地执行。下面将参考附图并结合实施例来详细说明本申请。

[0037] 需要说明的是,本文相关附图中所标注X方向可以为三维存储器的由核心区指向台阶区的方向。

[0038] 此外,在本申请中当使用“连接”时可表示相应部件之间为直接的接触或间接的接触,除非有明确的其它限定或者能够从上下文推导出的除外。

[0039] 图1是根据本申请一种实施方式的三维存储器的结构示意图。如图1所示,三维存储器可包括相互键合的阵列器件10和外围器件20,其彼此键合的部分可位于阵列器件10与外围器件20二者相邻的区域。阵列器件10例如可包括堆栈结构10-1和半导体层200,其中,堆栈结构10-1可由交替叠置的多个绝缘层和多个栅极层构成,此外,在堆栈结构10-1中还可形成包括沟道层的存储串沟道结构,该沟道层可与半导体层200相连接。阵列器件10中还可包括贯穿半导体层200的隔离部600,隔离部600可将半导体层200分隔为主体区域和外围区域。多个源极触点如500-1、500-2可位于半导体层200的主体区域。半导体层200的外围区域可包括与堆栈结构10-1中的穿硅接触700相连接的外围触点800。外围器件20例如可包括第二衬底20-1及位于第二衬底20-1上的晶体管器件等(未示出)。

[0040] 图2是根据本申请示例性实施方式的一种架构的三维存储器的制造方法流程图;图3A-3H是根据本申请示例性实施方式的制造一种架构的三维存储器的方法的工艺示意图。参见图2和图3A-3H,根据本申请实施方式的三维存储器可包括阵列器件10,阵列器件10可包括具有沟道层110的多个存储串沟道结构100以及与多个存储串沟道结构100的沟道层110连接的半导体层200。半导体层200可例如是多晶硅。根据本申请实施方式具有该种架构的三维存储器的制造方法1000可包括如下步骤:

[0041] S1,在半导体层200上形成第一缓冲层301;

[0042] S2,去除部分第一缓冲层301至暴露出部分半导体层200;

[0043] S3,在暴露出的半导体层200上形成导电层400;

[0044] S4,形成第二缓冲层302以覆盖导电层400和剩余的第一缓冲层301;以及

[0045] S5,形成贯穿第二缓冲层302和第一缓冲层301并延伸至导电层400的源极触点500。

[0046] 可以理解的是,在进行上述步骤S1之前,三维存储器可包括分别形成并彼此键合的阵列器件10和外围器件20。其中,阵列器件10例如可包括第一衬底(未示出)和形成于第一衬底上的堆栈结构10-1,并且,堆栈结构10-1的核心区可包括有多个纵向贯穿堆栈结构10-1并延伸至第一衬底内的存储串沟道结构100。需要说明的是,上述第一衬底在最终结构中会被去除,故附图中未示出。外围器件20例如可包括第二衬底20-1及位于第二衬底20-1上的晶体管器件(未示出)。在将阵列器件10和外围器件20键合后,去除阵列器件10的第一衬底,并去除存储串沟道结构100顶部的存储介质层,以暴露出存储串沟道结构100的沟道层110,进一步在堆栈结构10-1的背部形成连接存储串沟道结构100的半导体层200,沟道层110与半导体层200相连接,如图3A中所示。

[0047] 下面将继续结合附图3B至图3H对上述三维存储器的制造方法1000中的各步骤进行详细介绍。

[0048] 根据方法1000中的步骤S1,参见图3B,在半导体层200上形成第一缓冲层301。第一缓冲层301可以包括介电材料。在一个实施例中,第一缓冲层301例如可以是氧化物层。第一缓冲层301的材料例如可以包括氧化硅。在一个实施例中,可采用例如化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)等薄膜沉积工艺形成第一缓冲层301。在一个实施例中,在半导体层200上形成第一缓冲层301之前,还可以对半导体层200的上表面进行平坦化操作,以利于后续第一缓冲层301更好地沉积。例如可采用化学机械平坦化(Chemical Mechanical Planarization,CMP)的方法对半导体层200的上表面进行平坦化。

[0049] 根据方法1000中的步骤S2,参见图3C,去除部分第一缓冲层301至暴露出半导体层200的至少一部分。根据该实施方式的三维存储器中的阵列器件10可包括核心区和位于核心区外围的非核心区,阵列器件10所包括的多个存储串沟道结构100可位于阵列器件10的核心区。可去除部分第一缓冲层301至暴露出半导体层200至少一部分,即去除至少部分位于阵列器件10的核心区内的第一缓冲层301至暴露出至少部分位于阵列器件10的核心区内的半导体层200,如图3C所示,在核心区暴露的该部分半导体层可称为半导体层阱区200-1。在该步骤中,可采用例如干法/湿法刻蚀工艺依所述去除至少部分第一缓冲层301。还可去除部分位于阵列器件10的非核心区内的第一缓冲层301至暴露出部分位于阵列器件10的非核心区内的半导体层200,如图3C所示,在非核心区暴露的该部分半导体层可称为半导体层引出区200-2。在该步骤中,同样可采用例如干法/湿法刻蚀工艺依所述去除部分第一缓冲层301。

[0050] 在暴露的核心区内的半导体层(即半导体层阱区200-1)和暴露的非核心区内的半导体层(即半导体层引出区200-2)之间,需要去除部分第一缓冲层301至暴露出至少一条半导体层连接通道200-3,如图3C-1所示,半导体层连接通道200-3可连接暴露的核心区内的半导体层(即半导体层阱区200-1)和暴露的非核心区内的半导体层(即半导体层引出区200-2)。需要说明的是,图3C-1是图3C中三维存储器结构的顶面视图,即沿图3C中所示的箭头A的方向由上向下俯视所示三维存储器的视图,且图3C-1中仅示例性地示出了半导体层阱区200-1、半导体层引出区200-2以及半导体层连接通道200-3的形式,这种示例仅仅是说明性的而并非用来限制本申请的实施方式。换言之,半导体层阱区200-1、半导体层引出区200-2以及半导体层连接通道200-3可具有和图中所示不同的尺寸、形状、连接形式等。此外,还需要说明的是,为了简明,图3C-1中并未示出其它可包括在该视图中的部分或结构。

在该步骤中,同样可采用例如干法/湿法刻蚀工艺依所述去除部分第一缓冲层301。

[0051] 根据方法1000中的步骤S3,结合图3D,在暴露出的半导体层200上形成导电层400。在一个实施方式中,在暴露出的半导体层200上形成导电层400可包括:在核心区范围内暴露出的半导体层,即半导体层阱区200-1上、在非核心区范围内暴露出的半导体层,即半导体层引出区200-2上以及在暴露出的半导体层连接通道200-3上,分别形成导电层阱区400-1、导电层引出区400-2和导电层连接通道400-3,如图3D-1所示,导电层连接通道400-3连接导电层阱区400-1和导电层引出区400-2共同构成导电层400。需要说明的是,图3D-1是图3D中三维存储器结构的顶面视图,即沿图3D中所示的箭头A'的方向由上向下俯视所示三维存储器的视图,且图3D-1中仅示例性地示出了导电层阱区400-1、导电层引出区400-2以及导电层连接通道400-3的形式,这种示例仅仅是说明性的而并非用来限制本申请的实施方式。换言之,导电层阱区400-1、导电层引出区400-2以及导电层连接通道400-3可具有和图中所示不同的尺寸、形状、连接形式等。此外,还需要说明的是,为了简明,图3D-1中并未示出其它可包括在该视图中的部分或结构。

[0052] 在一个实施方式中,包括导电层阱区400-1、导电层引出区400-2和导电层连接通道400-3的导电层400的材料可以包括金属或金属硅化物。

[0053] 在一个实施方式中,可采用例如物理气相淀积(PVD)的方法在半导体层200上淀积一层金属层。金属层的材料例如可选用镍(Ni)或钴(Co),然后进行两次快速热退火处理(Rapid Thermal Anneal,RTA)以及一次选择性湿法刻蚀处理,最终在半导体层200的表面形成金属硅化物。在其它实施方式中,也可选用除Ni或Co以外的其它适合的金属材料,并且可采用其它的方式沉积所述金属层,本申请不旨在对此进行限定。作为导电层的金属硅化物由于具有更低的电阻,更有利于减小电容电阻延时(RC delay)、降低功耗,有利于提高电路速度,提升三维存储器电学性能和工作效率。

[0054] 通过形成导电层阱区400-1可实现至少部分存储串沟道结构100的源极的连接。在一个实施方式中,导电层阱区400-1可实现核心区内全部的存储串沟道结构100的源极的连接。导电层连接通道400-3可连接导电层阱区400-1和导电层引出区400-2,因此,至少部分或全部的存储串沟道结构100的源极通过导电层连接通道400-3可连接至导电层引出区400-2。参见后文中所描述的,源极触点500可以形成于导电层引出区400-2,故至少部分或全部的存储串沟道结构100的源极可通过导电层连接通道400-3连接至导电层引出区400-2,进而可由源极触点500引出。导电层引出区400-2位于阵列器件10的非核心区,因而至少部分或全部的存储串沟道结构100的源极可通过导电层400和源极触点500由阵列器件10的非核心区引出。

[0055] 通过将多个或全部存储串沟道结构100的源极从阵列器件10的非核心区引出,可使多个源极触点同时通过导电层高效引出。一方面,金属硅化物形成的导电层由于可具有更低的电阻,从而可使电压的传导更有效,功耗更低。另一方面,多个或全部存储串沟道结构100的源极共同连接于导电层阱区400-1,可使信号传导更均匀,同时有利于避免如图1中所示的实施方式中需在核心区设置多个源极触点如500-1、500-2,且多个源极触点需分别连接顶部金属层和层间互连触点引出导致的互联层中布线复杂、使核心区其它功能走线的布置难度增加的问题,可留给其它功能走线更多的操作空间。

[0056] 根据方法1000中的步骤S4,如图3E所示,形成第二缓冲层302以覆盖导电层400和

剩余的第一缓冲层301。第二缓冲层302可以包括介电材料。在一个实施例中，第二缓冲层302例如可以是氧化物层。第二缓冲层302的材料例如可选用与第一缓冲层301相同的材料。第二缓冲层302的材料可以包括氧化硅。在一个实施例中，可采用例如CVD、PVD或ALD等薄膜沉积工艺形成第二缓冲层302。第一缓冲层301和第二缓冲层302可统称为缓冲层300，下文中出现的缓冲层300即指代第一缓冲层301和第二缓冲层302。

[0057] 根据方法1000中的步骤S5，形成贯穿第二缓冲层302和第一缓冲层301并延伸至导电层400的源极触点500。在一个实施方式中，源极触点500可以形成于导电层引出区400-2，如图3H中所示。

[0058] 在导电层引出区400-2形成源极触点500时，可先在导电层引出区400-2形成源极触点孔501，然后在源极触点孔501中形成源极触点500。在一个实施方式中，形成源极触点孔501的刻蚀可停止于导电层引出区400-2的导电层，如图3F所示。即，在形成源极触点孔501的刻蚀操作中，导电层400可以作为刻蚀的停止层，从而可优化刻蚀工艺。通常，对应于TSC (Through Silicon Contact, 穿硅接触) 的外围触点孔801与源极触点孔501可在一道工序中同步刻蚀。然而，外围触点孔801与源极触点孔501的刻蚀深度可存在差异，例如，外围触点孔801需要贯穿缓冲层300和半导体层200，源极触点孔501则只需要贯穿缓冲层300，即，外围触点孔801的刻蚀深度大于源极触点孔501的刻蚀深度，因而会导致刻蚀工艺较为复杂。相比之下，根据本申请的实施方式，由于形成了导电层400，而且源极触点孔501形成于导电层400的区域之上，所以在同步刻蚀外围触点孔801和源极触点孔501的工艺操作中，源极触点孔501的刻蚀可以自行停止于导电层400上，从而使工艺得到简化。例如，在本实施例中，源极触点孔501在导电层引出区400-2上进行刻蚀，源极触点孔501的刻蚀会自行停止与导电层引出区400-2处的导电层。

[0059] 根据本申请的一个实施方式，在形成贯穿第二缓冲层302和第一缓冲层301延伸至导电层400的源极触点500步骤前，还可形成贯穿第二缓冲层302、第一缓冲层301和半导体层200的隔离部600，隔离部600可将半导体层200分隔成半导体层主体区200a和半导体层外围区200b，如图3G中所示。

[0060] 在形成隔离部600时，可形成贯穿第二缓冲层302、第一缓冲层301和半导体层200的隔离槽601，然后使用填充材料填充隔离槽601而形成隔离部600。可采用例如干法/湿法刻蚀工艺形成隔离槽601。在一个实施方式中，隔离槽601可与外围触点孔801和源极触点孔501在同一工序形成，如图3F所示，如前文所述，刻蚀过程中源极触点孔501的刻蚀停止于金属硅化物层402，隔离槽601与外围触点孔801穿透缓冲层300和半导体层200延伸至堆栈结构10-1。

[0061] 在一个实施方式中，可采用诸如CVD、PVD、ALD或其任何组合薄膜沉积工艺，在隔离槽601内再次沉积例如氧化物层填充隔离槽601以形成隔离部600。

[0062] 在一个实施方式中，可采用例如干法/湿法刻蚀工艺对于经上述沉积工艺后形成于源极触点孔501和外围触点孔801内的沉积层(例如氧化物层)进行二次刻蚀。例如，可去除源极触点孔501内沉积的全部氧化物，以恢复源极触点孔501。例如，可去除位于外围触点孔801内中心部分的沉积氧化物，保留部分位于外围触点孔801侧壁的沉积氧化物层，以使外围触点孔801与半导体层200之间形成绝缘隔离，从而可使后续在外围触点孔801内形成的外围触点800与半导体层200绝缘隔离。

[0063] 由图3G可看出,隔离部600将半导体层200分隔为两部分,即,位于隔离部600右侧的半导体层主体区200a和位于隔离部600左侧的半导体层外围区200b。其中,导电层400,包括导电层阱区400-1、导电层引出区400-2和导电层连接通道400-3均位于半导体层主体区200a。外围触点800位于半导体层外围区200b。

[0064] 如前文所述,三维存储器中可包括与阵列器件10键合的外围器件20,并且还可包括贯穿阵列器件10并与外围器件20连接的穿硅接触700,如图3G或图3H中所示。根据本申请的一个实施方式,方法1000还可包括:形成贯穿第二缓冲层302、第一缓冲层301和半导体层200并与阵列器件10中的穿硅接触700相连接的外围触点800。外围触点800可形成于半导体层外围区200b。

[0065] 根据本申请的一个实施方式,外围触点800与源极触点500可以同步形成。再次参见图3G和图3H,在形成隔离部600后,结合前文通过二次刻蚀形成与半导体层200绝缘隔离的外围触点孔801和贯穿缓冲层300延伸至导电层400-2的源极触点孔501,如图3G所示;然后可在外围触点孔801和源极触点孔501内沉积导电金属,例如金属钨(W),以分别形成外围触点800和源极触点500,如图3H所示。外围器件20中的电信号可经由穿硅接触700连接至外围触点800,并可由外围触点800在阵列器件10的一侧引出。部分或全部存储串沟道结构100的源极与导电层阱区400-1连接,经由导电层连接通道400-3连接至导电层引出区400-2,并可由位于导电层引出区400-2上的源极触点500在阵列器件10的非核心区域内引出。

[0066] 本申请的另一实施方式还提供了一种三维存储器。为清楚起见,在描述该存储器时省略掉了一些公知的或与所要解决的技术问题无关的技术特征。不同于图1所示的示例,下面参照图3H来描述本申请另一实施方式的三维存储器。

[0067] 如图3H所示,该三维存储器的阵列器件10包括多个具有沟道层110的存储串沟道结构100以及与多个存储串沟道结构100的沟道层110连接的半导体层200。该三维存储器的阵列器件10还可包括位于半导体层200之上,覆盖部分半导体层200的导电层400,以及位于导电层400和半导体层200之上,并覆盖至少部分导电层400和未被导电层400覆盖的半导体层200的缓冲层300,并且还包括位于导电层400之上,贯穿缓冲层300并延伸至导电层400的源极触点500。

[0068] 阵列器件10可被划分为核心区和位于核心区外围的非核心区,多个存储串沟道结构100位于阵列器件10的核心区。导电层400可包括导电层阱区400-1、导电层引出区400-2和导电层连接通道400-3。导电层阱区400-1位于核心区并至少覆盖部分存储串沟道结构100对应的半导体层200区域。导电层引出区400-2位于非核心区。导电层连接通道400-3用于连接导电层阱区400-1和导电层引出区400-2。

[0069] 源极触点500可形成于导电层引出区400-2。导电层400的材料可包括金属或金属硅化物。阵列器件10还可包括:贯穿缓冲层300和半导体层200的隔离部600,隔离部600可将半导体层200分隔成半导体层主体区200a和半导体层外围区200b。导电层400可位于半导体层主体区200a。

[0070] 在根据本申请的一个实施方式中,三维存储器还可包括与阵列器件10键合的外围器件20,阵列器件10中还包括贯穿阵列器件10并与外围器件20连接的穿硅接触700。其中,阵列器件10还可包括:贯穿缓冲层300和半导体层200并与阵列器件10中的穿硅接触700相连接的外围触点800。外围触点800可位于半导体层外围区200b。在一个实施方式中,外围触

点800与源极触点500可包括相同的材料,例如金属钨。在一个实施方式中,缓冲层300的材料可包括介电材料,例如氧化硅。

[0071] 外围器件20例如可包括第二衬底20-1及位于第二衬底20-1上的晶体管器件(未示出)。外围器件20的远离第二衬底20-1的一侧可形成有外围互联层,该外围互联层可与阵列器件10的形成于与缓冲层300相对的另一侧的阵列互联层相键合,以实现阵列器件10与外围器件20之间的电连接。外围互联层与阵列互联层彼此键合的部分可位于如图3H中所示的阵列器件10与外围器件20二者相邻的区域。

[0072] 综上所述,根据本申请实施方式的三维存储器,一方面,通过在阵列器件10的核心区形成导电层阱区400-1,并由导电层连接通道400-3连接至位于阵列器件10非核心区的导电层引出区400-2进行引出,可使核心区各沟道结构源极通过导电层400而引出,不必再对每个阱区分别通过顶部金属互联层等单独布线引出,可明显简化工艺。同时,导电层400可为金属硅化物层,具有更低的电阻和更优良的导电性能,从而可使电压传导更高效,也有利于使电信号向多个阱区的传导更均匀。另外,将源极触点500设置在阵列器件10的非核心区位置,可为阵列器件10核心区上方留出更多设置其它与外界互连走线的空间。另一方面,可简化在同一工序中形成外围触点孔801和源极触点孔501的工艺。由于根据本申请的源极触点孔501形成于导电层引出区400-2对应的位置上,而导电层引出区400-2可为金属硅化物层,可作为源极触点孔501的刻蚀停止层,因而可降低同步刻蚀外围触点孔801和源极触点孔501的工艺难度。

[0073] 又一方面,本申请还提供了一种存储系统。图4和图5是根据本申请实施方式的存储系统2000a和2000b的示意图。如图4和图5所示,存储系统2000a或2000b可包括至少一个三维存储器2100和控制器2200,其中,三维存储器2100可以是根据本申请上文任意所述实施方式提供的三维存储器,并可相应地包括根据本申请上文任意所述示例性实施方式所描述的结构,在此不再赘述。

[0074] 控制器2200可通过例如通道(未示出)与三维存储器2100电连接并控制三维存储器2100,三维存储器2100可基于控制器2200的控制而执行操作。示例性地,三维存储器2100可例如通过通道从控制器2200接收命令和地址并且访问响应于该地址的沟道结构的区域。换言之,三维存储器2100可对由地址选择的区域执行与命令相对应的内部操作。

[0075] 在一些示例中,控制器2200和一个或多个三维存储器2100可被集成到各种类型的存储设备中,换言之,存储系统2000a、2000b可被实施并且封装到不同类型的最终电子产品中。在如图4所示的一个示例中,控制器2200和单个三维存储器2100可被集成到存储卡形式的存储系统2200a中。存储卡可包括PC卡(PCMCIA,个人计算机存储卡国际协会)、紧凑闪存(CF)卡、智能媒体(SM)卡、存储棒、多媒体卡(MMC、RS-MMC、MMCmicro)、SD卡(SD、miniSD、microSD、SDHC)、通用闪存存储卡(UFS)等。存储卡形式的存储系统2200a还可包括将其与主机(未示出)耦合的存储卡连接器2300a。

[0076] 在如图5所示的另一示例中,控制器2200和多个三维存储器2100可被集成到例如固态硬盘(SSD)形式的存储系统2000b中。固态硬盘(SSD)还可包括将其与主机耦合的SSD连接器2300b。

[0077] 以上描述仅为本申请的实施方式以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的保护范围,并不限于上述技术特征的特定组合而成的技术方

案,同时也应涵盖在不脱离技术构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

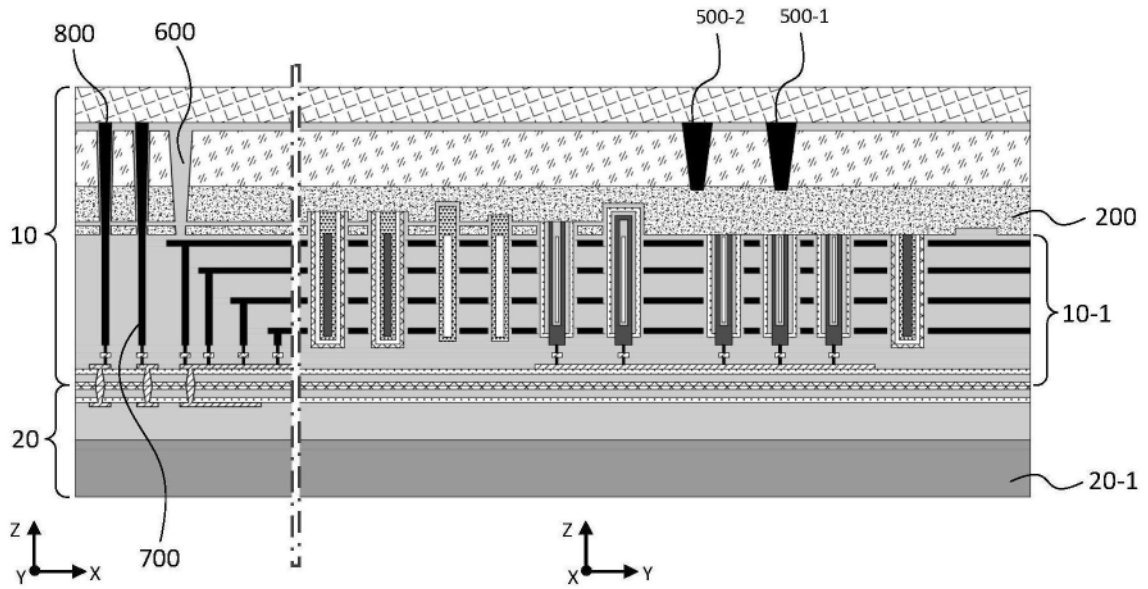


图1

1000



图2

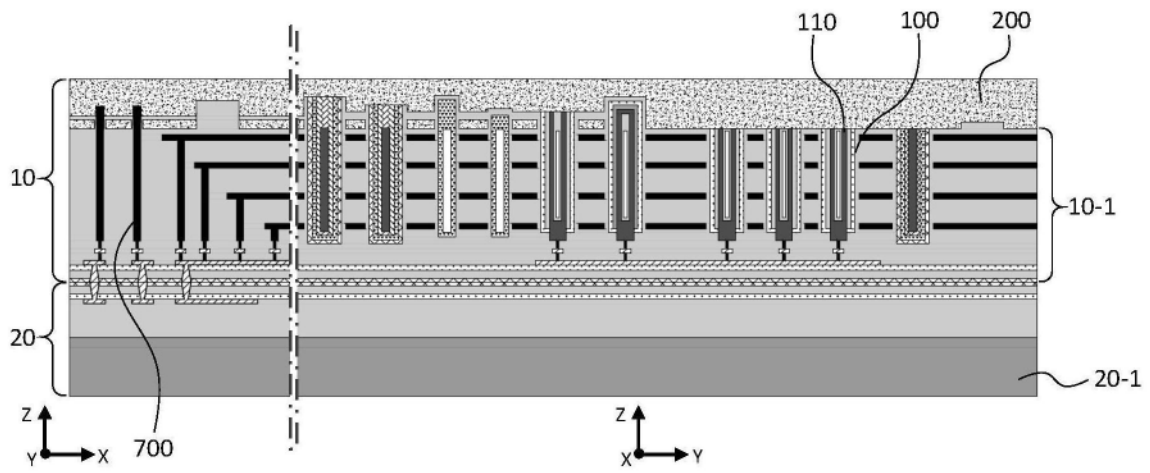


图3A

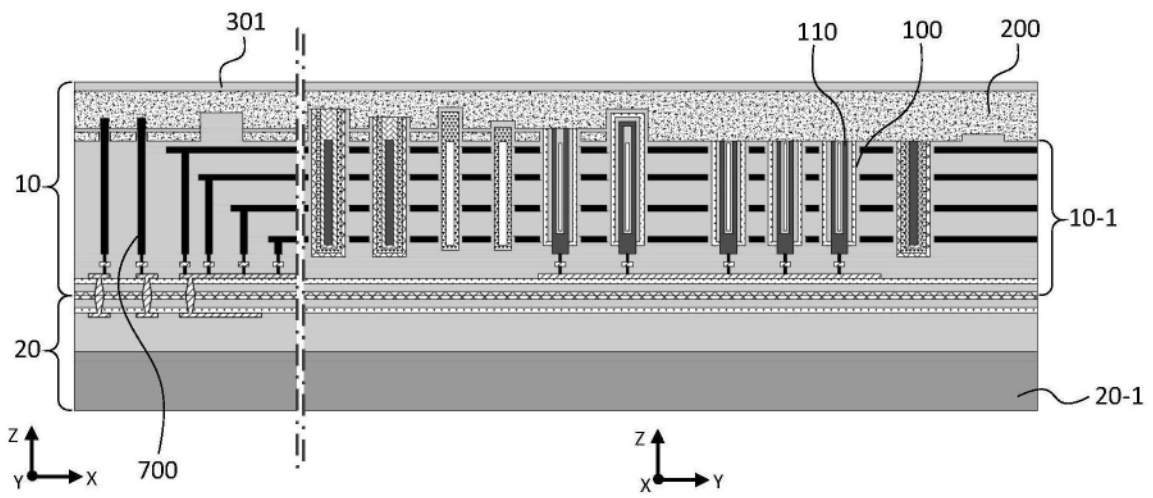


图3B

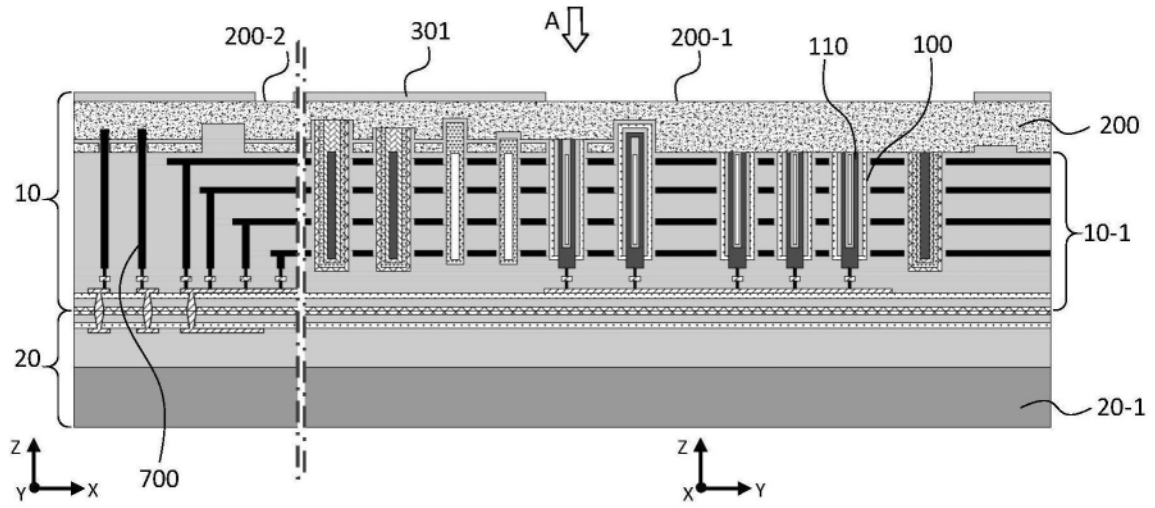


图3C

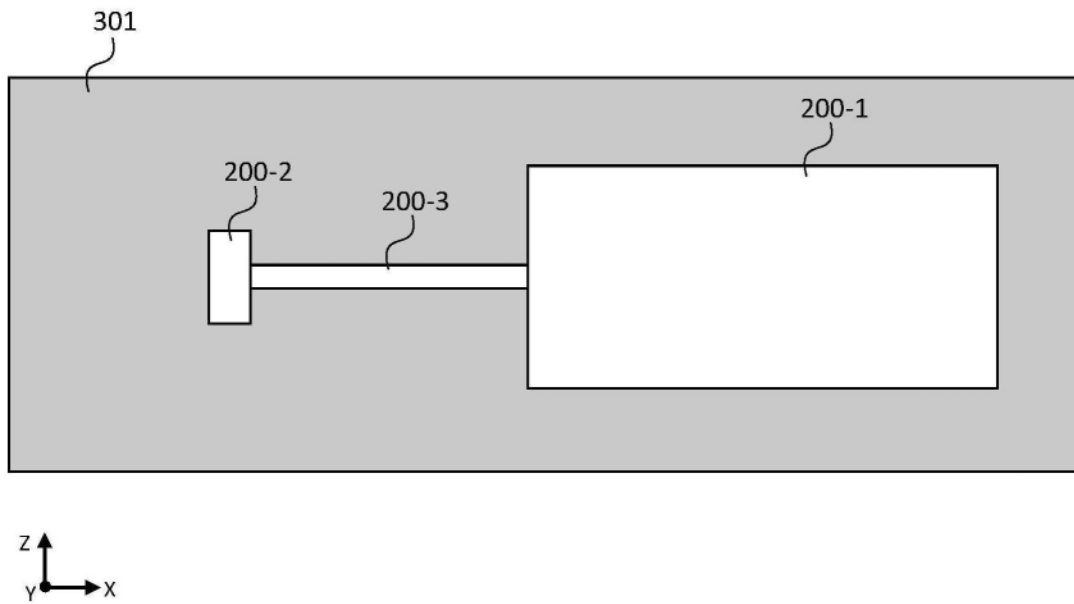


图3C-1

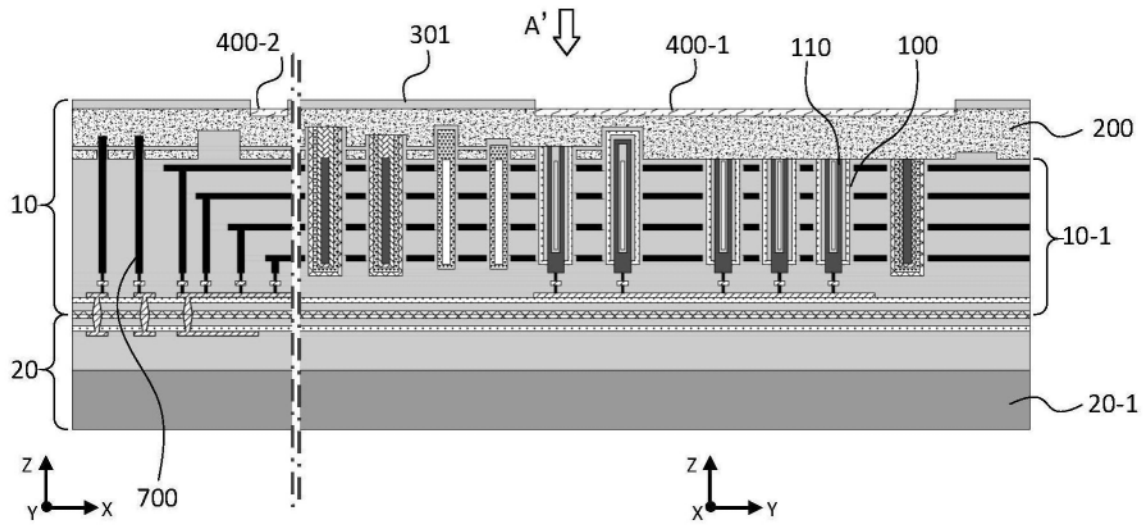


图3D

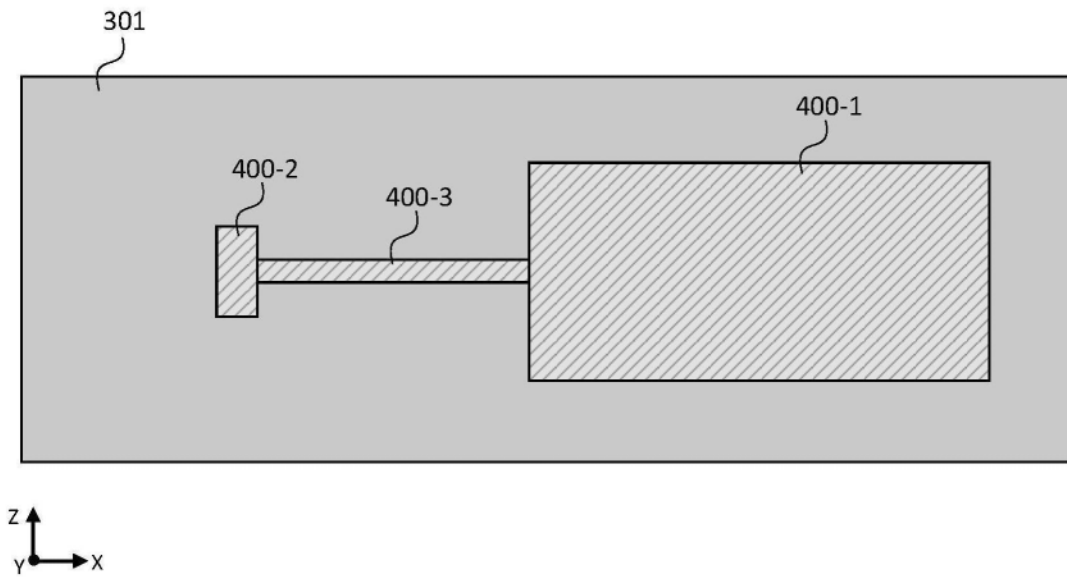


图3D-1

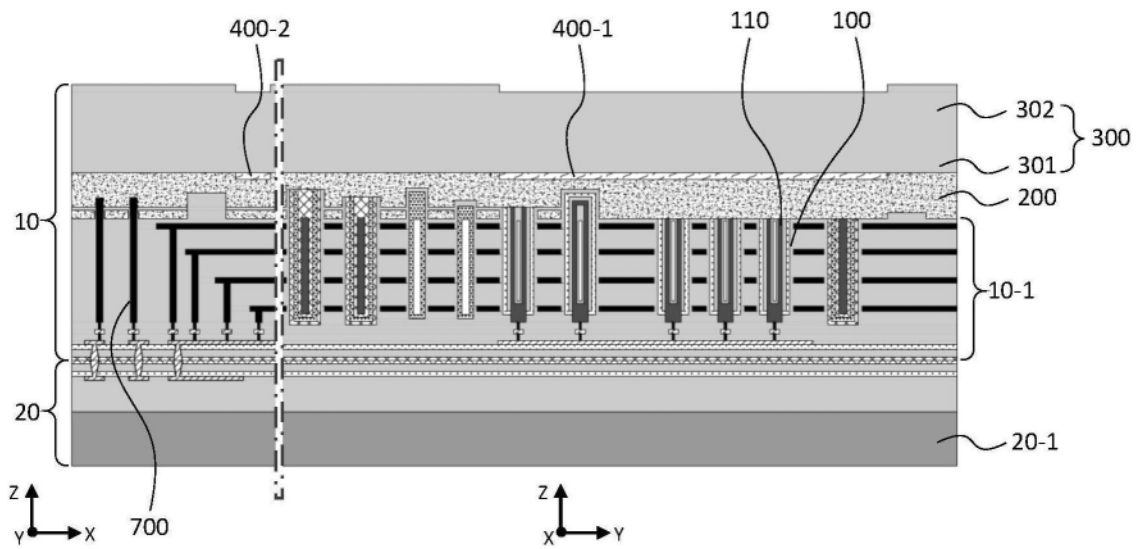


图3E

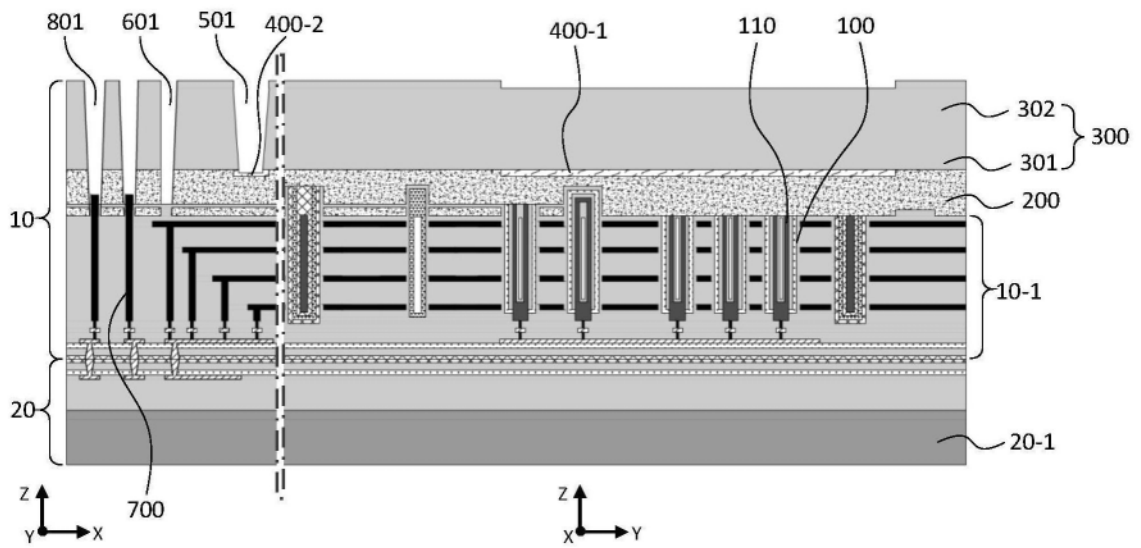


图3F

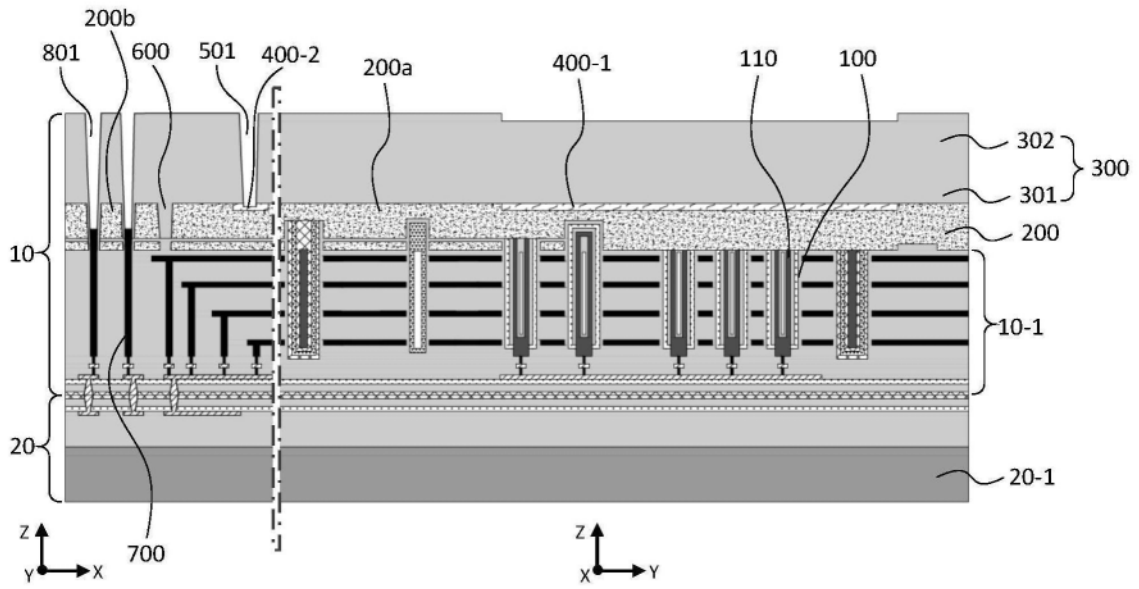


图3G

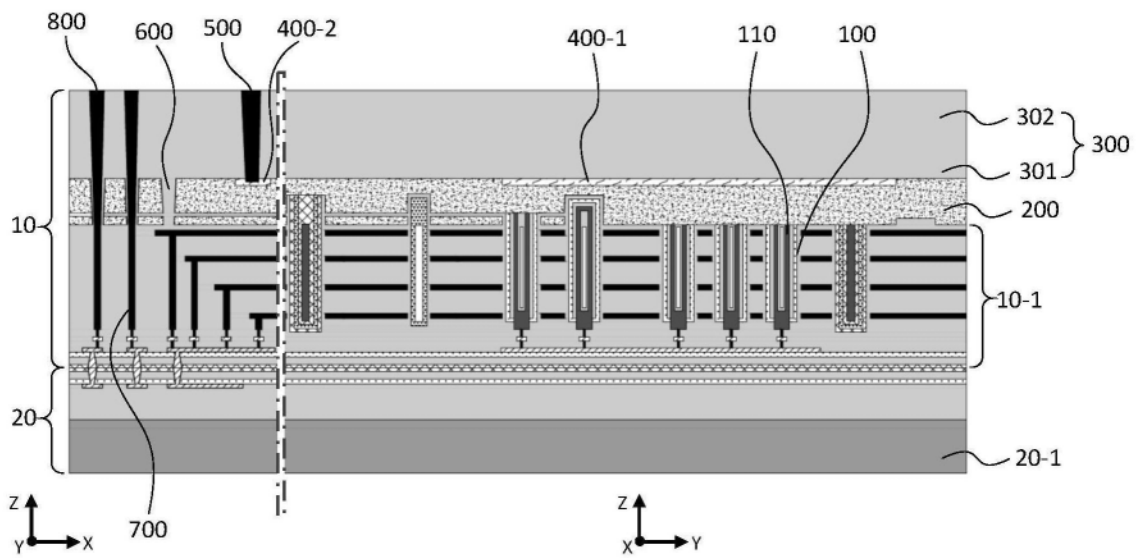


图3H

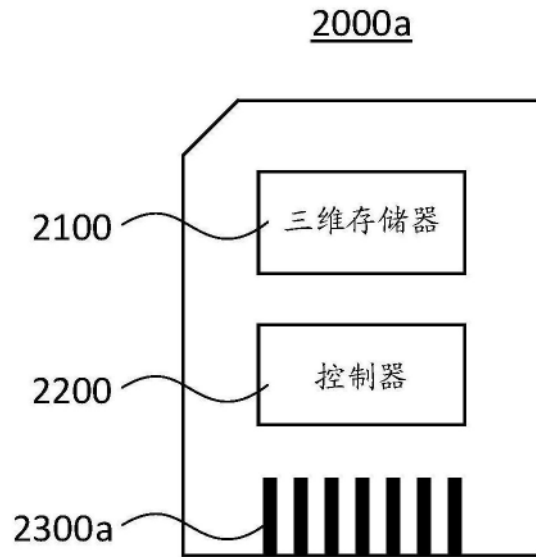


图4

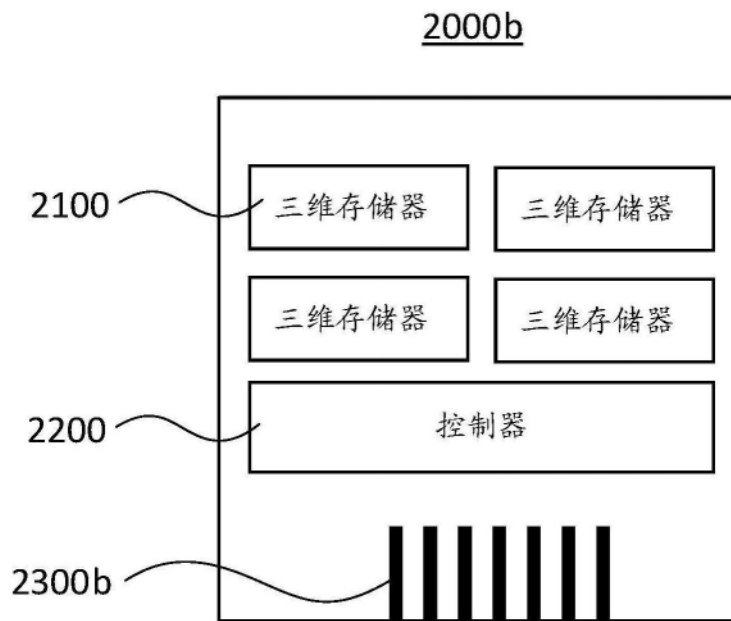


图5