(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2014 年 11 月 27 日 (27.11.2014)

WIPO | PCT

(10) 国际公布号
WO 2014/187113 A1

(51) 国际专利分类号:
H01L 27/00 (2006.01)

(21) 国际申请号: PCT/CN2013/089144

(22) 国际申请日: 2013 年 12 月 11 日 (11.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310195242.6 2013 年 5 月 23 日 (23.05.2013) CN

(71) 申请人: **合肥京东方光电科技有限公司 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国安徽省合肥市铜陵北路 2177 号, Anhui 230012 (CN)。 **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: **徐向阳 (XU, Xiangyang)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **金玟秀 (KIM, Minsu)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **王凯 (WANG, Kai)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: ARRAY SUBSTRATE, PREPARATION METHOD, AND DISPLAY APPARATUS

(54) **发明名称** : 阵列基板及制备方法、显示装置

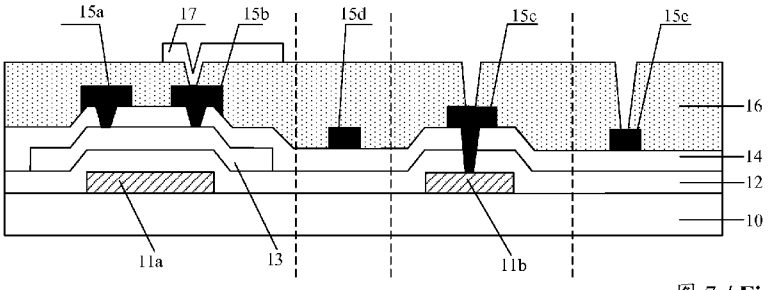


图 7 / **Fig. 7**

(57) **Abstract**: Provided are an array substrate, a preparation method, and a display apparatus. The present invention relates to the technical field of display, is used for manufacturing the display apparatus, and can reduce a parasitic capacitance between a gate and a drain, thereby reducing the power consumption of the array substrate, and further, improving the display quality of an image. The array substrate comprises: a gate metal layer (11a, 11b), a semiconductor active layer (13), a source and drain metal layer (15a, 15b, 15c, 15d, 15e) and a pixel electrode (17) all of which are patterned and disposed on the substrate base plate (10), and further comprises an organic transparent insulation layer (16) disposed between the gate metal layer (11a, 11b) and the pixel electrode (17).

(57) **摘要**: 提供一种阵列基板及制备方法、显示装置，涉及显示技术领域，用于显示装置的制造，可降低栅极与漏极之间的寄生电容，从而降低阵列基板的功耗，进而提高画面显示品质。该阵列基板包括：设置在衬底基板（10）上图案化了的栅金属层（11a、11b）、半导体有源层（13）、源漏金属层（15a、15b、15c、15d、15e）以及像素电极（17），还包括设置在所述栅金属层（11a、11b）与所述像素电极（17）之间的有机透明绝缘层（16）。

WO 2014/187113 A1

阵列基板及制备方法、显示装置

技术领域

本发明的实施例涉及一种阵列基板及制备方法、显示装置。

背景技术

随着薄膜晶体管液晶显示器（TFT-LCD，Thin Film Transistor-Liquid Crystal Display）的不断发展，画面质量越来越受到重视。

对于目前的液晶显示器，主要靠设置在阵列基板上的薄膜晶体管（TFT）的开关对像素电极充电，从而实现液晶偏转。对于其他类型的显示面板，如电致发光显示面板，也需要薄膜晶体管驱动像素进行显示。然而，由于 TFT 的栅极和漏极之间存在寄生电容 C_{gd}，使得在 TFT 导通瞬间，该寄生电容 C_{gd} 会将像素电压拉低，从而导致阵列基板的功耗增加，使得画面质量也受到影响。

发明内容

本发明的实施例提供一种阵列基板及制备方法、显示装置，可降低栅极与漏极之间的寄生电容，从而降低阵列基板的功耗，提高画面显示品质。

一方面，本发明的实施例提供一种阵列基板，包括：衬底基板；图案化的栅金属层、栅绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极，设置在所述衬底基板上；以及有机透明绝缘层，设置在所述图案化的栅金属层与所述像素电极之间。

另一方面，本发明的实施例提供一种显示装置，包括：上述的阵列基板；以及彩膜基板，与所述阵列基板对盒。

再一方面，本发明的实施例提供一种阵列基板的制备方法，包括：制备衬底基板；在衬底基板上形成图案化的栅金属层、栅极绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极，其中还包括：在所述图案化的栅金属层与所述像素电极之间形成有机透明绝缘层，所述图案化的栅金属层包括栅极和栅线，所述图案化的源漏金属层包括源极和漏极。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1～图 7 为本发明实施例一提供的一种制备阵列基板的过程示意图；

图 8～图 9 为本发明实施例二提供的一种制备阵列基板的过程示意图；以及

图 10～图 12 为本发明实施例三提供的另一种阵列基板的制备方法的过程示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明实施例提供了一种阵列基板的制备方法，该方法包括：在衬底基板上形成图案化的栅金属层、栅极绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极；进一步还包括：在所述图案化的栅金属层与所述像素电极之间形成有机透明绝缘层。

其中，在本发明实施例中，所述图案化的源漏金属层包括源极和漏极，所述图案化的栅金属层包括栅极和栅线。

所述有机透明绝缘层的材料可以为一种光刻胶（PR）材料，这里所述有机透明绝缘层的材料可以为高透过率有机透明绝缘材料，这样可以避免所述有机透明绝缘层影响显示面板的透过率。

示例性地，所述有机透明绝缘层的厚度为 2000Å～5000Å。

根据平行板电容 C 的公式，即 $C \propto \frac{\varepsilon S}{d}$，其中 ε 为介电系数，S 为平行板的面积，d 为平行板的间距。由公式可知，电容大小与平行板的重叠面积成正比，与介质的介电系数成正比，与平行板的间距成反比。由此可知，当本发明实施例在栅金属层与所述像素电极之间形成有机透明绝缘层时，增加了

栅极与像素电极之间的距离，又由于像素电极与所述漏极相连，因而可实现降低栅极与漏极之间的寄生电容 C_{gd} 的目的，进而可降低阵列基板功耗，提高画面显示品质。

考虑到当所述有机透明绝缘层形成在所述图案化的源漏金属层下方时，即，先形成所述有机透明绝缘层再形成所述图案化的源漏金属层时，由于工艺的限制，可能会对源漏金属层图案的形成造成影响，因此，示例性地，在所述图案化的源漏金属层与所述像素电极之间形成所述有机透明绝缘层；所述像素电极通过暴露漏极的过孔与所述漏极相连。

此处需要说明的是，所述像素电极通过暴露漏极的过孔与所述漏极相连是指，在本发明实施例中先形成包括漏极的图案化的源漏金属层，再形成位于图案化的源漏金属层上的其他层，然后形成像素电极，对于位于源漏金属层上的其他层需形成露出所述漏极的过孔，以使后形成的像素电极通过露出所述漏极的过孔与所述漏极相连。

示例性地，氧化物半导体由于其具有电子迁移率高、均一性好等特点，已被广泛应用于液晶显示领域，因此，当所述半导体有源层为氧化物半导体有源层时，所述方法还包括：在所述半导体有源层的与所述衬底基板相反的一侧形成刻蚀阻挡层。

其中，所述氧化物半导体有源层的材料可以为：ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 等。

由于氧化物半导体有源层，其材料暴露在外容易与空气中的氧气或水反应从而导致薄膜晶体管特性发生变化，因此，本发明实施例例如在所述氧化物半导体有源层上方形成刻蚀阻挡层，用于避免在后续工艺中刻蚀氧化物半导体有源层上的金属层时对氧化物半导体有源层造成影响，也可避免氧化物半导体有源层暴露在外与空气中的氧气或水反应进而导致薄膜晶体管特性的变化。

此处需要说明的是，在本发明的实施例中，在所述半导体有源层的与所述衬底基板相反的一侧形成刻蚀阻挡层，具体是指，先形成所述氧化物半导体有源层，再形成所述刻蚀阻挡层，其余情况依次类推，不再详述。

下面将提供一具体实施例，以详细描述上述的阵列基板的制作过程。

实施例一

本实施例提供了一种阵列基板的制备方法，包括如下步骤:

S101、在衬底基板 10 上制作金属薄膜，通过一次构图工艺处理形成如图 1 所示的图案化的栅金属层；其中所述图案化的栅金属层包括栅极 11a、栅线（图中未标出）、以及栅线引线 11b。

示例性地，可以使用磁控溅射方法，在衬底基板 10 上制备一层厚度在 2000Å~5000Å 的金属薄膜。金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属，也可以使用上述几种材料薄膜的组合结构。然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在衬底基板的一定区域上形成包括栅极 11a、栅线（图中为标出）、以及栅线引线 11b 的图案化的栅金属层。

此处需要说明的是，“薄膜”是指将某一种材料在衬底基板上利用沉积或其他工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺，则该“薄膜”还可以称为“层”；若在整个制作过程当中该“薄膜”还需构图工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。

其中，构图工艺通常包括: 在薄膜上涂光刻胶，利用掩模板对所述光刻胶进行曝光，再利用显影液将需要去除的光刻胶去除掉，再刻蚀掉未覆盖光刻胶的薄膜部分，最后将剩下的光刻胶剥离。

S102、在完成步骤 S101 的基板上制作绝缘薄膜，形成如图 2 所示的栅绝缘层 12。

示例性地，可以利用化学气相沉积法在衬底基板上连续沉积厚度为 2000Å~5000Å 的绝缘薄膜，绝缘薄膜的材料通常是氮化硅，也可以使用氧化硅和氮氧化硅等。

S103、在完成步骤 S102 的衬底基板上制作氧化物半导体薄膜，通过一次构图工艺处理形成如图 3 所示的氧化物半导体有源层 13。

示例性地，可以利用化学气相沉积法在基板上沉积厚度为 500Å~800Å 的氧化物半导体薄膜，通常氧化物半导体有源层的材料可以采用 ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 等。然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板的一定区域上形成所述氧化物半导体有源层 13。

S104、在完成步骤 S103 的基板上制作无机薄膜，通过一次构图工艺处

理形成如图 4 所示的刻蚀阻挡层 14。

其中，所述刻蚀阻挡层包括露出所述氧化物半导体有源层 13 的第一过孔 14a 和第二过孔 14b，以及露出所述栅线引线 11b 的第三过孔 14c。

示例性地，可以在基板上沉积厚度为 500Å~2000Å 的无机薄膜，该无机薄膜的材料例如可以为 SiOx。然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板的一定区域上形成刻蚀阻挡层 14。

这样，可以避免在后续工艺中刻蚀氧化物半导体有源层上的金属层时对氧化物半导体有源层造成影响，也可避免氧化物半导体有源层暴露在外与空气中的氧气或水反应进而导致薄膜晶体管特性发生变化。

此处，由于在所述栅线引线 11b 上方还形成有栅绝缘层 12，且第三过孔 14c 露出栅线引线 11b，因此，这里在刻蚀出第三过孔 14c 的同时也将栅绝缘层 12 刻蚀出露出栅线引线 11b 的过孔。

S105、在完成步骤 S104 的基板上制作金属薄膜，通过一次构图工艺处理形成如图 5 所示的图案化的源漏金属层。

其中，所述图案化的源漏金属层包括：通过所述第一过孔 14a 与所述氧化物半导体有源层 13 接触的源极 15a，通过所述第二过孔 14b 与所述氧化物半导体有源层 13 接触的漏极 15b，通过所述第三过孔 14c 与所述栅线引线 11b 电连接的金属图案 15c，以及数据线 15d，数据线引线 15e。

示例性地，可以使用磁控溅射方法，在基板上制备一层厚度在 1000Å~6000Å 的金属薄膜。然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板上形成图案化的所述源漏金属层。

S106、在完成步骤 S105 的基板上制作有机透明绝缘薄膜，通过一次构图工艺处理形成如图 6 所示的有机透明绝缘层 16；其中所述有机透明绝缘层 16 包括露出所述漏极 15b 的第四过孔 16a。

此外，所述有机透明绝缘层 16 还包括露出所述金属图案 15c 和所述数据线引线 15e 的过孔。

具体的，可以在基板上沉积一层厚度在 2000Å~5000Å 的有机透明绝缘薄膜，然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板上形成所述有机透明绝缘层 16。

S107、在完成步骤 S106 的基板上制作透明导电薄膜，通过一次构图工

艺处理形成如图 7 所示的像素电极 17；其中所述像素电极 17 通过所述第四过孔 16a 与所述漏极 15b 相连。

示例性地，可以使用化学气相沉积法，在基板上沉积一层厚度在 100Å 至 1000Å 之间的透明导电薄膜，通常所述透明导电薄膜的材料可以采用 ITO（Indium Tin Oxides，铟锡氧化物）或 IZO（Indium Zinc Oxide，铟锌氧化物）。然后，用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板的一定区域上形成所述像素电极 17。

需要说明的是，本发明实施例一仅是其中一种阵列基板的制备方法，本发明实施例并不限于此，也可以是阵列基板的其他的制备方法，例如还可以包括顶栅型阵列基板的制备方法，不管是哪种制备方法，在本发明实施例中，只需在所述源漏金属层与所述像素电极之间形成所述有机透明绝缘层即可。

在本发明实施例中，由于在源漏金属层与所述像素电极之间增加了有机透明绝缘层，使得栅极与像素电极之间的距离也相应的增加了，由电容的公式可知，这样便可降低栅极与像素电极之间的寄生电容，又由于像素电极与所述漏极相连，因而可实现降低栅极与漏极之间的寄生电容 C_{gd} 的目的，进而降低了阵列基板的功耗，提高了画面显示品质。

本发明实施例提供的阵列基板适用于高级超维场转换技术型液晶显示装置的生产。其中，高级超维场转换技术，其核心技术特性描述为：通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹（push Mura）等优点。

示例性地，对于高级超维场转换技术型液晶显示装置，根据本发明实施例一的方法还包括：在衬底基板上形成钝化层以及公共电极，所述像素电极和所述公共电极分别形成于所述钝化层两侧；其中，所述像素电极通过暴露所述漏极的过孔与所述漏极连接。

进一步可选的，所述像素电极形成于所述钝化层与所述有机透明绝缘层之间，所述公共电极形成于所述钝化层的与所述衬底基板相反的一侧；或者，所述公共电极形成于所述钝化层与所述有机透明绝缘层之间，所述像素电极

形成于所述钝化层的与所述衬底基板相反的一侧。

下面将提供两个具体实施例，以详细描述上述的适用于高级超维场转换技术型液晶显示装置的阵列基板的制作过程。

实施例二

本实施例提供了一种阵列基板的制备方法，在上述实施例一的步骤S101-S107的基础上，所述方法还包括如下步骤:

S201、在完成上述步骤 S107 的基板上制作钝化层薄膜，通过一次构图工艺处理形成如图 8 所示的钝化层 18。

其中，所述钝化层包括露出所述金属图案 15c 和所述数据线引线 15e 的过孔。

示例性地,可以在整个基板上涂覆一层厚度在 2000Å 到 4000Å 的钝化层薄膜，所述钝化层薄膜的材料通常是氮化硅或透明的有机树脂材料。然后用掩模板通过曝光、显影、刻蚀、剥离等构图工艺处理，在基板上形成所述钝化层 18。

S202、在完成步骤 S201 的基板上制作透明导电薄膜，通过一次构图工艺处理形成如图 9 所示的公共电极 19。

此外，在形成所述公共电极 19 时，还形成与所述金属图案 15c 和所述数据线引线 15e 连接的保留图案。

此处，由于有机透明绝缘层 16 的存在，可以提高公共电极的布线密度，而避免公共电极与数据线之间产生寄生电容。

在本发明实施例中，一方面，高级超维场转换技术可以提高 TFT-LCD 产品的画面品质，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹（push Mura）等优点；另一方面，由于在源漏金属层与所述像素电极之间增加了有机透明绝缘层，可实现降低栅极与漏极之间的寄生电容 C_{gd} 的目的，进而降低了阵列基板的功耗，提高了画面显示品质。

实施例三

本实施例提供了一种阵列基板的制备方法，该方法包括上述实施例一的步骤 S101-S106 的基础上，还包括如下步骤:

S301、在完成上述步骤 S106 的基板上制作透明导电薄膜，通过一次构图工艺处理形成如图 10 所示的公共电极 19。

S302、在完成步骤 S301 的基板上制作钝化层薄膜，通过一次构图工艺处理形成如图 11 所示的钝化层 18; 其中所述钝化层 18 包括露出所述漏极 15b 的第五过孔 18a。

此外，所述钝化层 18 还包括露出所述金属图案 15c 和所述数据线引线 15e 的过孔。

S303、在完成步骤 S302 的基板上制作透明导电薄膜，通过一次构图工艺处理形成如图 12 所示的像素电极 17，所述像素电极 17 通过所述第四过孔 16a 和所述第五过孔 18a 与所述漏极 15b 连接。

此外，在形成所述像素电极 17 的同时，还形成与所述第一电极 17 同层的保留图案，该保留图案通过露出所述金属图案 15c 和所述数据线引线 15e 的过孔与所述金属图案和所述数据线引线电连接。

通过上述的描述可知，本发明实施例三提供的阵列基板的制备方法与实施例二的不同在于，像素电极和公共电极的形成顺序。由此可知，不管是先形成像素电极还是先形成公共电极，只要在像素电极层和源漏金属层之间形成有机透明绝缘层，便可降低栅极与漏极之间的寄生电容 C_{gd}，从而可降低阵列基板的功耗，进而提高了画面显示品质。

另外，本发明实施例还提供了一种阵列基板，参考图 8、图 11 和图 12 所示，该阵列基板包括: 衬底基板 10; 图案化的栅金属层、栅绝缘层 12、图案化的半导体有源层 13、源漏金属层，以及像素电极，设置在所述衬底基板上，其中有机透明绝缘层 16 设置在所述图案化的栅金属层与所述像素电极 17 之间。

其中，所述图案化的栅金属层包括栅极 11a，还包括栅线、栅线引线 11b 等; 所述图案化的源漏金属层包括源极 15a 和漏极 15b，还包括数据线 15d、数据线引线 15e 等。

所述有机透明绝缘层的材料可以为一种光刻胶（PR）材料，这里所述有机透明绝缘层的材料可为高透过率有机透明绝缘材料，这样可以避免所述有机透明绝缘层影响显示面板的透过率。

示例性地，所述有机透明绝缘层的厚度可以为 2000Å ~5000Å。

根据平行板电容 C 的公式，即 $C \propto \frac{\varepsilon S}{d}$，其中 ε 为介电系数，S 为平行板

的面积，d 为平行板的间距。由公式可知，电容大小与平行板的重叠面积成正比，与介质的介电系数成正比，与平行板的间距成反比。由此可知，当本发明实施例在栅金属层与所述像素电极之间设置有机透明绝缘层时，增加了栅极与像素电极之间的距离，又由于像素电极与所述漏极相连，因而可实现降低栅极与漏极之间的寄生电容 C_{gd} 的目的，进而可降低阵列基板功耗，提高画面显示品质。

考虑到当所述有机透明绝缘层 16 形成在所述源漏金属层下方时，即，先形成所述有机透明绝缘层再形成所述源漏金属层时，由于工艺的限制，可能会对源漏金属层图案的形成造成影响，因此，示例性地，所述有机透明绝缘层 16 设置于所述源漏金属层与所述像素电极 17 之间；所述像素电极 17 通过设置在漏极 15b 上方的过孔与所述漏极 15b 连接。

示例性地，氧化物半导体由于其具有电子迁移率高、均一性好等特点，已被广泛应用于液晶显示领域，因此，如图 8、图 11 和图 12 所示，当所述半导体有源层 13 为氧化物半导体有源层时，所述阵列基板还包括：设置在所述半导体有源层的与所述衬底基板相反的一侧的刻蚀阻挡层 14。

其中，所述氧化物半导体有源层的材料可以为：ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 等。

由于氧化物半导体有源层 13，其材料暴露在外容易与空气中的氧气或水反应从而导致薄膜晶体管特性发生变化，因此，本发明实施例在所述氧化物半导体有源层 13 的与衬底基板相反的一侧形成刻蚀阻挡层 14，用于避免在后续工艺中刻蚀氧化物半导体有源层上的金属层时对氧化物半导体有源层造成影响，也可避免氧化物半导体有源层暴露在外与空气中的氧气或水反应进而导致薄膜晶体管特性的变化。

本发明实施例提供的阵列基板可适用于高级超维场转换技术型显示装置，从而使得该显示装置具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹等优点。

因此，示例性地，如图 11 和图 12 所示，所述阵列基板还包括：钝化层 18 以及公共电极 19，所述像素电极 17 和所述公共电极 19 分设于所述钝化层 18 的两侧；所述像素电极 17 通过设置在所述漏极 15b 上方的过孔与所述漏极 15b 连接。

进一步可选的，如图 11 所示，所述像素电极 17 设置于所述钝化层 18 与所述有机透明绝缘层 16 之间，所述公共电极 19 设置于所述钝化层 18 的与衬底基板相反的一侧；或者，如图 12 所示，所述公共电极 19 设置于所述钝化层 18 与所述有机透明绝缘层 16 之间，所述像素电极 17 设置于所述钝化层的与衬底基板相反的一侧。

本发明实施例提供了一种阵列基板，包括：设置在衬底基板上的图案化了的栅金属层、栅绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极，还包括设置在所述栅金属层与所述像素电极之间的有机透明绝缘层；由于在源漏金属层与所述像素电极层之间增加了有机透明绝缘层，使得栅极与像素电极之间的距离也相应的增加了，又由于像素电极与所述漏极相连，因而可实现降低栅极与漏极之间的寄生电容 C_{gd} 的目的，从而可降低阵列基板的功耗，进而提高画面显示品质。

本发明实施例还提供一种显示装置，包括对盒后的彩膜基板和阵列基板，其中，所述阵列基板可以是上述的任一种的阵列基板。所述显示装置可以为液晶显示器、液晶电视、数码相机、手机、平板电脑等具有任何显示功能的产品或者部件。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种阵列基板，包括:

衬底基板;

图案化的栅金属层、栅绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极，设置在所述衬底基板上；以及，

有机透明绝缘层，设置在所述图案化的栅金属层与所述像素电极之间。

2、根据权利要求 1 所述的阵列基板，其中所述图案化的栅金属层包括栅极和栅线，所述图案化的源漏金属层包括源极和漏极。

3、根据权利要求 2 所述的阵列基板，其中所述有机透明绝缘层设置于所述图案化的源漏金属层与所述像素电极之间，

所述像素电极通过暴露所述漏极的过孔与所述漏极连接。

4、根据权利要求 2 或 3 所述的阵列基板，其中所述阵列基板还包括钝化层以及公共电极，所述像素电极和所述公共电极分设于所述钝化层的两侧;

所述像素电极通过暴露所述漏极的过孔与所述漏极连接。

5、根据权利要求 4 所述的阵列基板，其中所述像素电极设置于所述钝化层与所述有机透明绝缘层之间，所述公共电极设置于所述钝化层的与所述衬底基板相反的一侧；或者，

所述公共电极设置于所述钝化层与所述有机透明绝缘层之间，所述像素电极设置于所述钝化层的与所述衬底基板相反的一侧。

6、根据权利要求 2 或 3 所述的阵列基板，还包括：刻蚀阻挡层，形成在所述半导体有源层的与所述衬底基板相反的一侧，所述半导体有源层为氧化物半导体有源层。

7、根据权利要求 2 或 3 所述的阵列基板，其中所述有机透明绝缘层的厚度为 2000Å ~5000Å。

8、根据权利要求 6 所述的阵列基板，其中所述氧化物半导体有源层的材料为：ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO。

9、根据权利要求 2 或 3 所述的衬底基板，其中所述阵列基板为顶栅型阵列基板或底栅型阵列基板。

10、一种显示装置，包括:

阵列基板，如权利要求 1-3 中任一项所述；以及

彩膜基板，与所述阵列基板对盒。

11、一种阵列基板的制备方法，包括:

制备衬底基板;

在衬底基板上形成图案化的栅金属层、栅极绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极，

其中还包括：在所述图案化的栅金属层与所述像素电极之间形成有机透明绝缘层，

所述图案化的栅金属层包括栅极和栅线，所述图案化的源漏金属层包括源极和漏极。

12、根据权利要求 11 所述的方法，其中所述在所述图案化的栅金属层与所述像素电极之间形成有机透明绝缘层包括：在所述图案化的源漏金属层与所述像素电极之间形成所述有机透明绝缘层；所述像素电极通过暴露所述漏极的过孔与所述漏极相连。

13、根据权利要求 11 或 12 所述的方法，所述方法还包括：在所述衬底基板上形成钝化层以及公共电极，所述像素电极和所述公共电极分别形成于所述钝化层两侧；其中，所述像素电极通过暴露所述漏极的过孔与所述漏极连接。

14、根据权利要求 13 所述的方法，其中所述像素电极形成于所述钝化层与所述有机透明绝缘层之间，所述公共电极形成于所述钝化层的与所述衬底基板相反的一侧；或者，

所述公共电极形成于所述钝化层与所述有机透明绝缘层之间，所述像素电极形成于所述钝化层的与所述衬底基板相反的一侧。

15、根据权利要求 11 或 12 所述的方法，其中所述方法还包括：在所述半导体有源层的与所述衬底基板相反的一侧形成刻蚀阻挡层，其中，所述半导体有源层为氧化物半导体有源层。

16、根据权利要求 11 或 12 所述的方法，其中所述有机透明绝缘层的厚度为 2000Å ~5000Å。

17、根据权利要求 11 或 12 所述的方法，其中所述阵列基板是顶栅型阵列基板或底栅型阵列基板。

18、根据权利要求 15 所述方法，其中所述氧化物半导体有源层的材料为：ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO。

19、根据权利要求 15 所述的方法，其中在所述阵列基板是底栅型阵列基板的情况下，所述在所述衬底基板上形成图案化的栅金属层、栅极绝缘层、图案化的半导体有源层、源漏金属层、以及像素电极包括：

在所述衬底基板上制作金属薄膜，通过一次构图工艺形成所述图案化的栅金属层；

在完成上述步骤的衬底基板上制作绝缘薄膜，形成所述栅绝缘层；

在完成上述步骤的衬底基板上制作氧化物半导体薄膜，通过一次构图工艺形成所述图案化的半导体有源层；

在完成上述步骤的衬底基板上制作无机薄膜，通过一次构图工艺形成所述刻蚀阻挡层，其中所述刻蚀阻挡层包括暴露所述漏极的过孔；

在完成上述步骤的衬底基板上制作金属薄膜，通过一次构图工艺形成所述图案化的源漏金属层；

在完成上述步骤的衬底基板上制作有机透明绝缘薄膜，通过一次构图工艺形成所述有机透明绝缘层，其中所述有机透明绝缘层包括露出所述漏极的过孔；

在完成上述步骤的衬底基板上制作透明导电薄膜，通过一次构图工艺形成所述像素电极，其中所述像素电极通过露出所述漏极的过孔与所述漏极相连。

20、根据权利要求 19 所述的方法，还包括：

在完成上述步骤的衬底基板上形成钝化层；

在所述钝化层上形成公共电极。

1

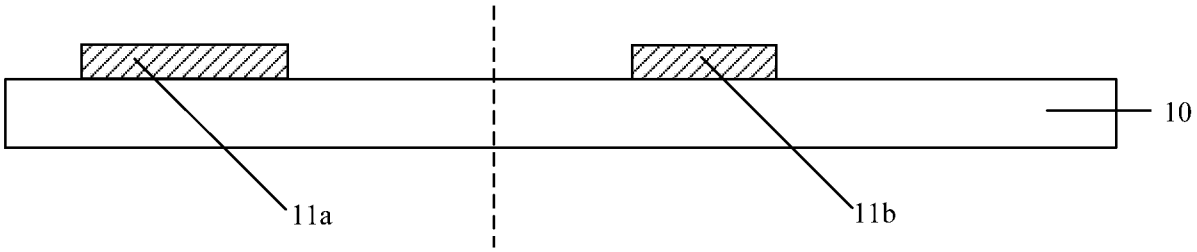


图 1

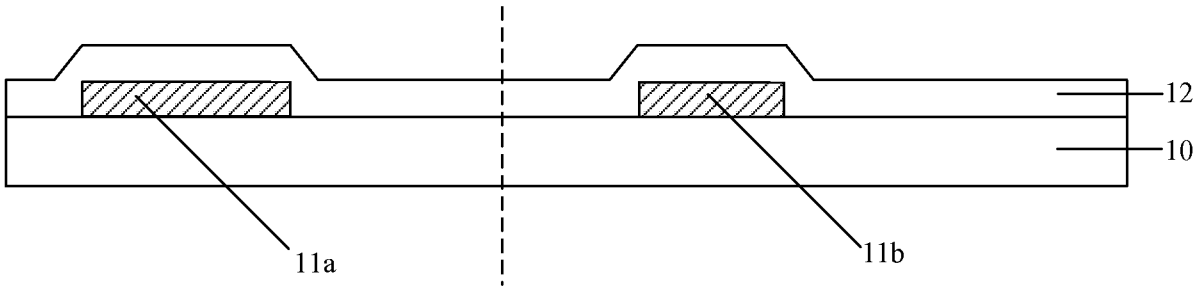


图 2

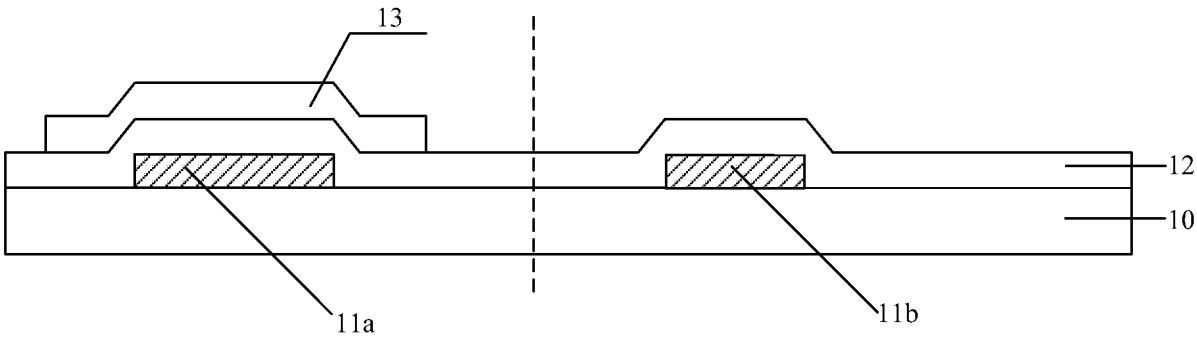


图 3

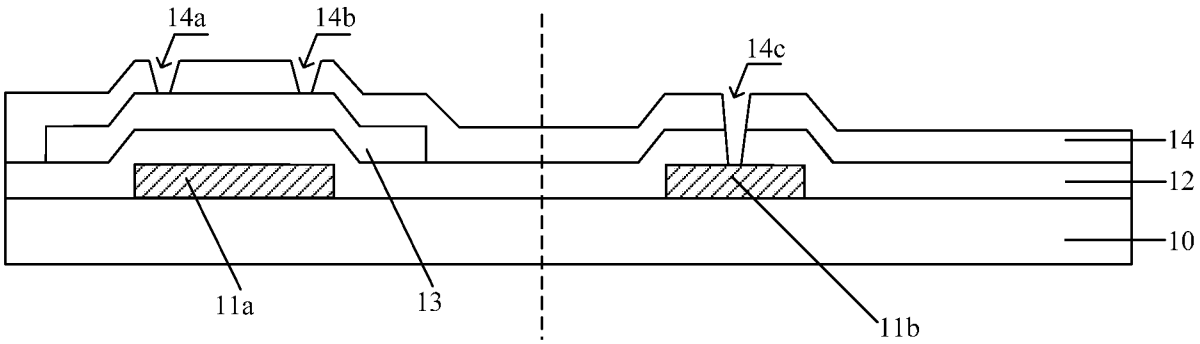

14a
14b
14c
14
12
10
11a
13
11b

图 4

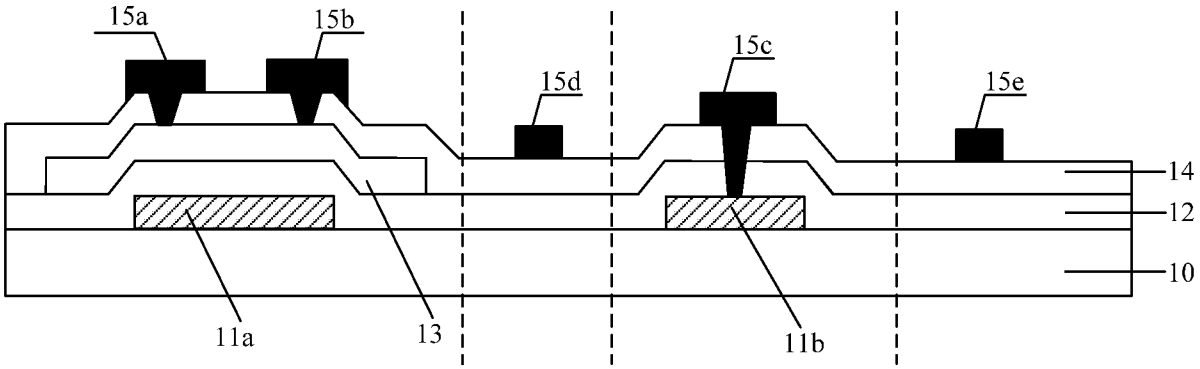

15a
15b
15d
15c
15e
14
12
10
11a
13
11b

图 5

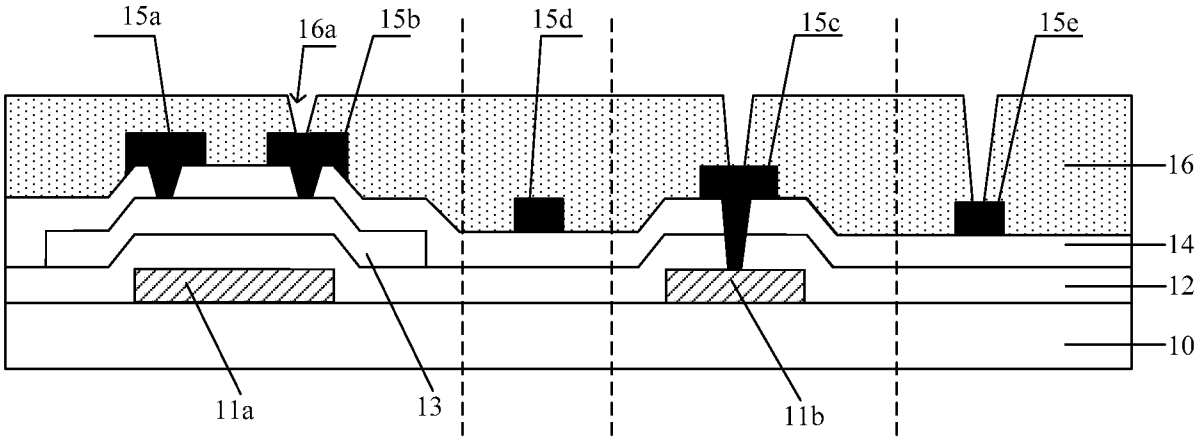

15a
16a
15b
15d
15c
15e
16
14
12
10
11a
13
11b

图 6

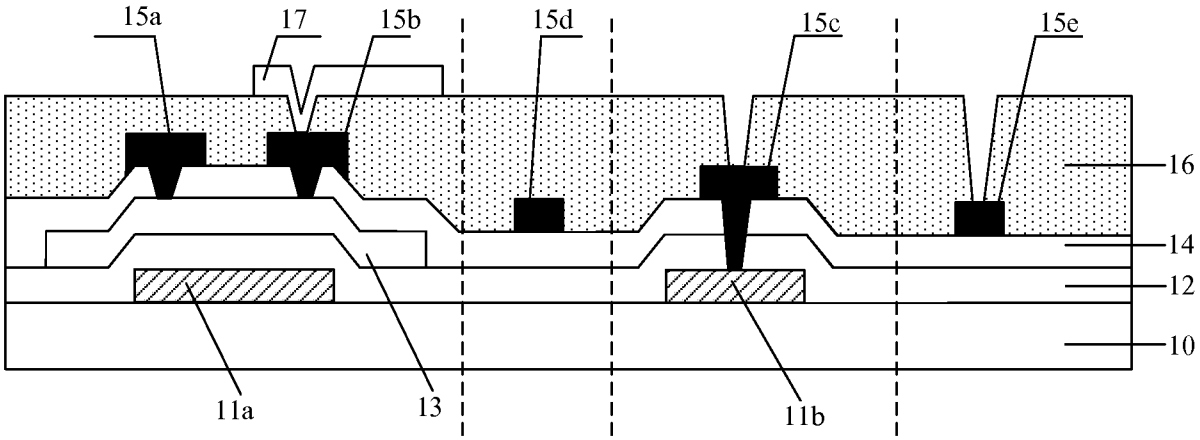

15a
17
15b
15d
15c
15e
16
14
12
10
11a
13
11b

图 7

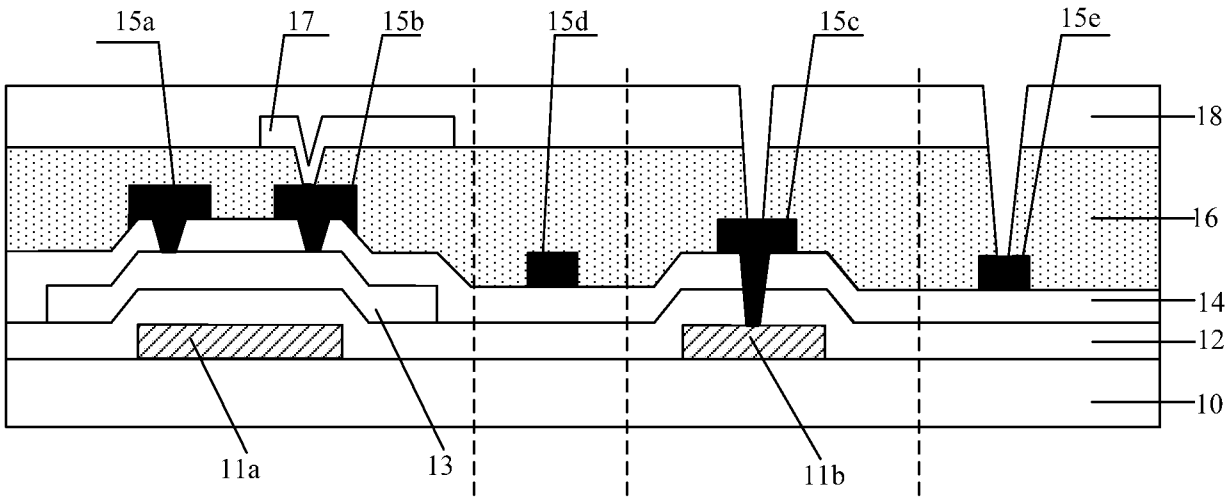

15a
17
15b
15d
15c
15e
18
16
14
12
10
11a
13
11b

图 8

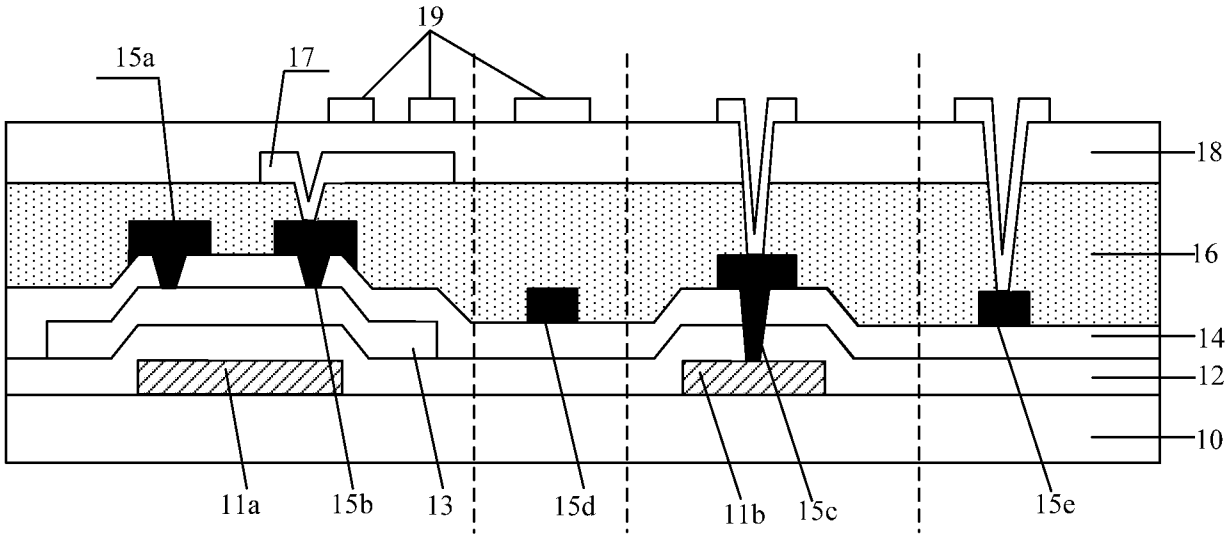

19
15a
17
18
16
14
12
10
11a
15b
13
15d
11b
15c
15e

图 9

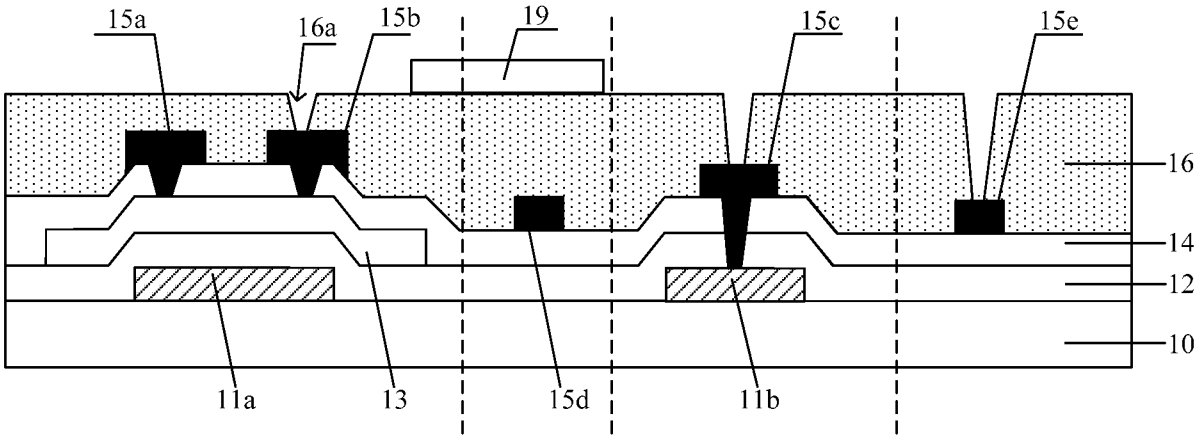

15a
16a
15b
19
15c
15e
16
14
12
10
11a
13
15d
11b

图 10

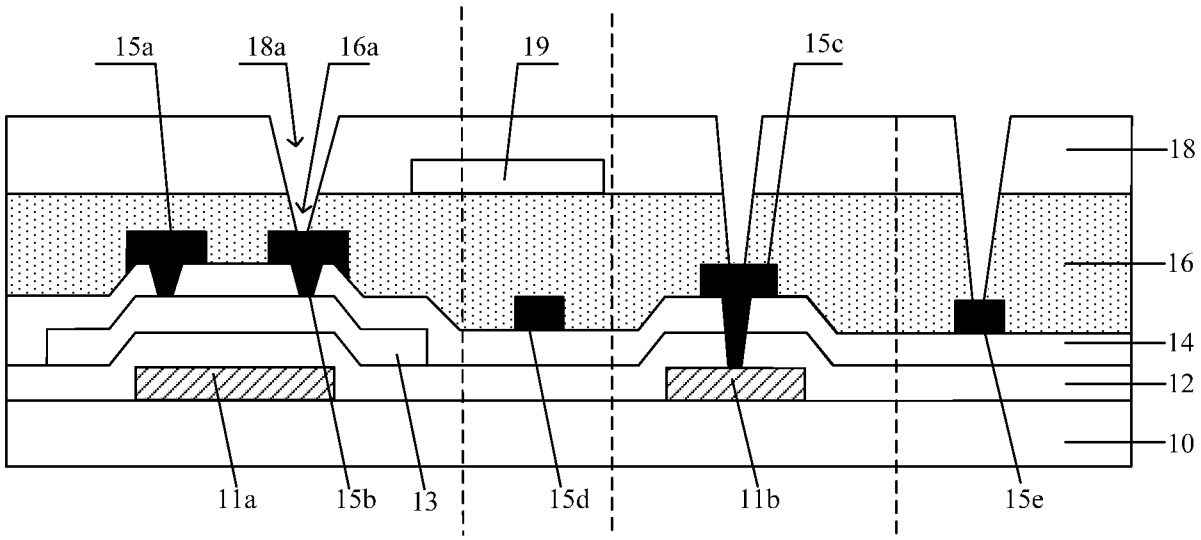

15a
18a
16a
19
15c
18
16
14
12
10
11a
15b
13
15d
11b
15e

图 11

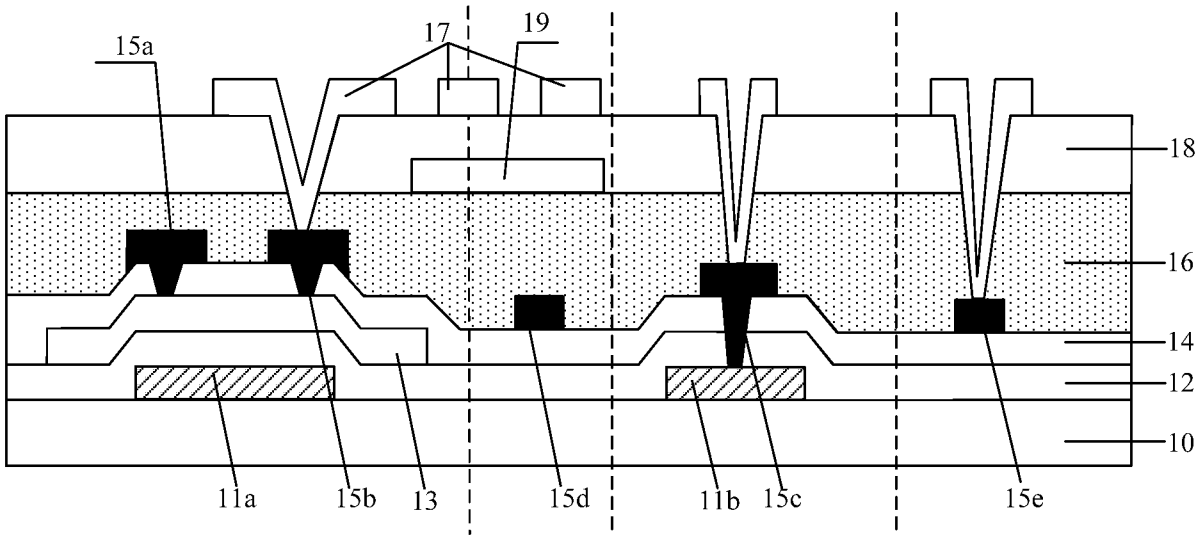

15a
17
19
18
16
14
12
10
11a
15b
13
15d
11b
15c
15e

图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089144

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/00 (2006.01)
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 27/-; G02G 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: pixel+, organic+, transparenc+, gate, hole, via, parasitism, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103325792 A (HEFEI JINGDONGFANG BOE OPTOELECTRONIC et al.) 25 September 2013 (25.09.2013) the whole document	1-20
X	CN 102645808 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 August 2012 (22.08.2012) paragraphs [0064]-[0157], figures 2-16	1-20
A	US 2008/0157080 A1 (GRUNER et al.) 03 July 2008 (03.07.2008) the whole document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 March 2014 (07.03.2014)	20 March 2014 (20.03.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Liang Telephone No. (86-10) 62411571

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089144

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103325792 A	25.09.2013	None	
CN 102645808 A	22.08.2012	WO 2013/155830 A1	24.10.2013
US 2008/0157080 A1	03.07.2008	None	

国际检索报告

国际申请号
PCT/CN2013/089144

A. 主题的分类

H01L 27/00（2006.01）i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 27/-, G02G 1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI:像素,有机,透明,寄生,栅,漏,孔

WPI,EPODOC: pixel+, organic+, Transparenc+, gate, hole, via

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN103325792A（合肥京东方光电科技有限公司 等）25.9 月 2013（25.09.2013）全文	1-20
X	CN102645808A（京东方科技集团股份有限公司 等）22.8 月 2012（22.08.2012）说明书[0064]-[0157]，附图 2-16	1-20
A	US2008/0157080A1（GRUNER 等） 03.7 月 2008（03.07.2008） 全文	1-20

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
07.3 月 2014（07.03.2014）	**20.3 月 2014 (20.03.2014)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 马良 电话号码：(86-10) **62411571**

国际检索报告

关于同族专利的信息

国际申请号 **PCT/CN2013/089144**

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN103325792A	25.09.2013	无	
CN102645808A	22.08.2012	WO2013/155830A1	24.10.2013
US2008/0157080A1	03.07.2008	无	