



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0170227
(43) 공개일자 2022년12월29일

(51) 국제특허분류(Int. Cl.)

H01L 23/16 (2006.01) H01L 23/14 (2006.01)
H01L 23/48 (2006.01) H01L 23/485 (2006.01)
H01L 25/065 (2006.01)

(52) CPC특허분류

H01L 23/16 (2013.01)
H01L 23/147 (2013.01)

(21) 출원번호 10-2021-0081011

(22) 출원일자 2021년06월22일

심사청구일자 2021년06월22일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

오범환

인천광역시 연수구 인천타워대로 253-25, 102동 509호(송도동, 아트원 푸르지오)

정지훈

경기도 시흥시 장곡로53번길 10, 204동 202호(장곡동, 숲속마을벽산임광APT)

김민석

경상남도 김해시 내외로 55, 302동 1105호(내동, 동아아파트)

(74) 대리인

양성보

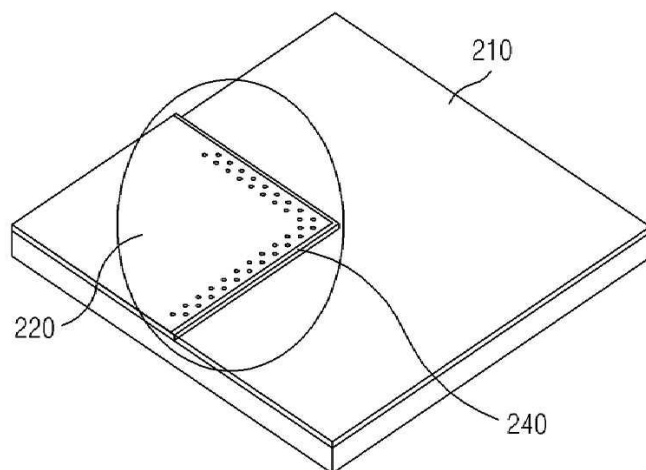
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 반도체칩 구조변형 개선공정

(57) 요약

반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지 및 공정 방법이 제시된다. 본 발명에서 제안하는 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지는 기판 상에 수직 적층된 복수의 칩, 상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀 및 상기 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 형성되는 언더필 독 구조를 포함한다.

대표도 - 도2a



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/485 (2013.01)

H01L 25/0657 (2013.01)

명세서

청구범위

청구항 1

기관 상에 수직 적층된 복수의 칩;

상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀; 및

상기 기관 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 형성되는 언더필 독 구조

를 포함하는 TSV 반도체 패키지.

청구항 2

제1항에 있어서,

상기 언더필 독 구조는,

상기 수직 적층된 복수의 칩의 수가 증가할수록 증가하는 수직 적층된 복수의 칩의 팽창을 억제하는

TSV 반도체 패키지.

청구항 3

제1항에 있어서,

상기 언더필 독 구조는,

국제반도체기술로드맵(ITRS)에 따른 본딩 정렬(Bonding alignment) 정확도의 기준값인 1.75um 이내가 되도록 하고,

상기 언더필 독 구조의 두께의 증가에 따른 비아 홀의 응력의 증가가 최소화되도록 하는 두께로 형성되는

TSV 반도체 패키지.

청구항 4

제1항에 있어서,

상기 언더필 독 구조는,

10mm 지름을 가진 Si 칩을 4층 적층 하였을 때 사용된 언더필 독 재료의 CTE특성을 기준으로 6% 이상의 두께를 갖고, 적층수가 증가할 수록 상기 언더필 독 두께는 선형적으로 증가하는

TSV 반도체 패키지.

청구항 5

기관 상에 복수의 칩을 수직 적층하는 단계;

상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀을 형성하는 단계; 및

상기 기관 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성하는 단계

를 포함하는 TSV 반도체 패키지 공정 방법.

청구항 6

제1항에 있어서,

상기 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성하는 단계는,

상기 수직 적층된 복수의 칩의 수가 증가할수록 증가하는 수직 적층된 복수의 칩의 팽창을 억제하고,

국제반도체기술로드맵(ITRS)에 따른 본딩 정렬(Bonding alignment) 정확도의 기준값인 1.75um 이내가 되도록 하고,

상기 언더필 독 구조의 두께의 증가에 따른 비아 홀의 응력의 증가가 최소화되도록 하는 두께로 상기 언더필 독 구조를 형성하는

TSV 반도체 패키지 공정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 발명은 TSV(Through Silicon Via) 반도체 패키지의 본딩 공정상의 뒤틀림(Warpage)을 개선하는 추가 구조 및 그 공정 방법에 관한 것이다.

배경 기술

[0002] 반도체 기기들이 소형화에 됨에 따라 반도체 패키지는 작은 공간에 많은 칩을 넣는 고집적화가 계속 발전하며 진행되고 있다. 그에 따라 소형화 및 고집적화에 유리한 칩들을 수직으로 적층 시키는 3D 적층 패키지 기술인, TSV(Through Silicon Via) 기술이 주목을 받고 있다.

[0003] TSV 기술은 실리콘 웨이퍼를 관통하는 비아(Via) 홀을 형성하고 전도성 물질인 Cu를 비아 홀에 충전시켜 칩 내부에 직접 전기적 연결을 할 수 있게 하는 기술이다. 그런데 칩과 기판의 재질인 Si와 비아 홀의 재질인 Cu의 열팽창 계수의 차이는 약 7배 정도가 나게 되고, 이로 인해 고온 공정 상의 반도체 패키지의 뒤틀림(Warpage)이 발생하는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국 공개특허공보 제10-2017-0021070호(2017.02.27)

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 본딩 공정 상의 TSV 반도체 패키지에서 반도체 칩의 정렬불량의 원인이 되는 칩과 기판의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 Si 칩의 수평방향의 뒤틀림(Warpage) 개선을 위한 미세 구조 및 그 공정 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지는 기판 상에 수직 적층된 복수의 칩, 상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀 및 상기 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 형성되는 언더필 독 구조를 포함한다.

[0007] 상기 언더필 독 구조는 상기 수직 적층된 복수의 칩의 수가 증가할수록 증가하는 수직 적층된 복수의 칩의 팽창을 억제한다.

[0008] 상기 언더필 독 구조는 국제반도체기술로드맵(ITRS)에 따른 본딩 정렬(Bonding alignment) 정확도의 기준값인 1.75um 이내가 되도록 하고, 상기 언더필 독 구조의 두께의 증가에 따른 비아 홀의 응력의 증가가 최소화되도록 하는 두께로 형성된다.

[0009] 상기 언더필 독 구조는 10mm 지름을 가진 Si 칩을 4층 적층 하였을 때, 사용된 언더필 재료의 CTE특성을 기준으로 6%의 두께를 갖는다. 적층수가 증가되면 언더필 독 두께는 선형적으로 증가하면 되며, 추후 실시예로써 설명된다.

[0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지 공정 방법은 기판 상에 복수의 칩을 수직 적층하는 단계, 상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀을 형성하는 단계 및 상기 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성하는 단계를 포함한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 반도체 구조변형을 억제하기 위해 TSV 반도체 패키지에 적절한 두께의 언더필 독을 형성함으로써 TSV 반도체 패키지의 수평방향 뒤틀림(Warpage)을 줄이는 효과가 있다. 또한, 뒤틀림을 줄임으로써 본딩 정렬(Bonding alignment)의 정확도를 높이는 이점이 있다.

도면의 간단한 설명

[0012] 도 1은 종래기술에 따른 TSV 반도체 패키지의 구조를 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지의 구조를 설명하기 위한 도면이다.

도 3은 종래기술에 따른 TSV 반도체 패키지의 고온공정 전산모사를 진행한 결과를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 TSV 반도체 패키지의 고온공정 전산모사를 진행한 결과를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 TSV 반도체 패키지의 본 미세스(Von Mises) 응력을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지 공정 방법을 설명하기 위한 흐름도이다.

도 7은 본 발명의 일 실시예에 따른 언더필 독 구조의 두께에 따른 수평방향 뒤틀림 결과를 나타내는 그래프이다.

도 8은 본 발명의 일 실시예에 따른 언더필 독 구조의 두께에 따른 본 미세스(Von Mises) 응력의 결과를 나타내는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 칩 적층 수와 개선용 언더필 독 두께의 선형적 거동을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 발명은 TSV(Through Silicon Via) 반도체 패키지의 본딩 공정상의 뒤틀림(Warpage)을 개선하는 추가 구조에 관한 것으로서, 더욱 상세하게는 반도체 패키지의 구성요소의 구조를 변경하여 Si 칩의 팽창을 억제하고, Si 칩에 가해지는 응력을 최소화하여 반도체 패키지의 뒤틀림을 줄이기 위한 구조에 관한 것이다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0015] 도 1은 종래기술에 따른 TSV 반도체 패키지의 구조를 설명하기 위한 도면이다.

[0016] 도 1 종래기술에 따른 TSV 반도체 패키지 모델과 공정환경, 구성요소의 크기, CTE(Coefficient of Thermal Expansion), 1층에서 4층까지의 단면도를 나타낸다.

[0017] 도 1(a)는 종래기술에 따른 TSV 반도체 패키지 상부 평면도이다.

- [0018] TSV 기술은 실리콘 웨이퍼를 관통하는 비아(Via) 홀을 형성하고 전도성 물질인 Cu를 비아 홀에 충전시켜 칩 내부에 직접 전기적 연결을 할 수 있게 하는 기술이다. TSV 기술은 Si 기판(110) 상에 Si 칩(120)을 수직 적층하고, 기판(110) 상에 수직 적층된 복수의 칩(120)을 Cu 비아를 통해 전기적 연결을 하여 저전력화와 고속화의 장점이 있다.
- [0019] 그런데 칩과 기판의 재질인 Si과 비아 홀의 재질인 Cu의 열팽창 계수의 차이는 약 7배 정도가 나게 되고, 이로 인해 고온 공정 상의 반도체 패키지의 뒤틀림(Warpage)이 발생하는 문제가 있다.
- [0020] 도 1(b) 내지 도 1(b)는 종래기술에 따른 TSV 반도체 패키지의 수직 적층된 Si 칩의 단면도이다.
- [0021] 도 1(b) 내지 도 1(b)는 Si 기판(110) 상에 수직 적층된 Si 칩(120)의 적층 수에 따른 단면도를 나타낸다. 기판(110) 상에 수직 적층된 복수의 칩(120)을 Cu 비아(130)를 통해 전기적 연결한다.
- [0022] 반도체 기기들이 소형화에 됨에 따라 반도체 패키지는 작은 공간에 많은 칩을 넣는 고집적화가 계속 발전하며 진행되고 있다. 그에 따라 소형화 및 고집적화에 유리한 칩들을 수직으로 적층 시키는 3D 적층 패키지 기술에 있어서, Si 칩을 적층 할수록 수평방향 뒤틀림이 증가한다. 이것은 고집적화를 위해서는 칩을 수직으로 적층을 하여야 하고 칩을 적층 할수록 본딩 정렬(Bonding alignment) 정확도의 오차가 증가함을 의미한다.
- [0023] 도 1(f)는 종래기술에 따른 TSV 반도체 패키지 모델과 공정환경, 구성요소의 크기, CTE(Coefficient of Thermal Expansion)을 나타내는 표이다.
- [0024] 이러한 종래기술에서의 뒤틀림 개선을 위하여 도 2와 같이 언더필 독 구조를 형성함으로써, TSV 반도체 패키지의 구성요소의 팽창을 이용하여 Si 칩의 뒤틀림을 억제하는 역할을 하도록 한다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지의 구조를 설명하기 위한 도면이다.
- [0027] 도 2(a)는 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지의 상부 평면도이다.
- [0028] 제안하는 언더필 독 구조를 갖는 TSV 반도체 패키지의 구조는 기판(210) 상에 수직 적층된 복수의 칩(220), 복수의 칩(220) 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 복수의 칩(220)을 연결하기 위한 비아 홀(230) 및 기판(210) 및 복수의 칩(220)의 재질과 비아 홀(230)의 재질의 열팽창 계수의 차이로 인한 복수의 칩(220)의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 수직 적층된 복수의 칩(220) 주위에 형성되는 언더필 독 구조(240)를 포함한다.
- [0029] 도 2(b) 내지 도 2(e)은 Si 기판(210) 상에 수직 적층된 Si 칩(220)의 적층 수에 따른 단면도를 나타낸다. 기판(210) 상에 수직 적층된 복수의 칩(220)을 Cu 비아(230)를 통해 전기적 연결한다. 그리고, 기판(210) 및 복수의 칩(220)의 재질과 비아 홀(230)의 재질의 열팽창 계수의 차이로 인한 복수의 칩(220)의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 수직 적층된 복수의 칩(220) 주위에 언더필 독 구조(240)를 형성한다.
- [0030] 앞서 설명된 바와 같이, 반도체의 고집적화를 위해 칩을 수직으로 적층하게 되고, 칩을 적층함에 따라 발생하는 수평방향 뒤틀림은 증가하게 된다. 이러한 수평방향 뒤틀림은 본딩 정렬 정확도에 영향을 준다.
- [0031] 본 발명에서는 이러한 반도체 패키지의 Si 칩 수평방향 뒤틀림의 개선을 위하여 Si 칩 주위에 언더필을 이용한 독 구조(240) 형성을 제안한다. 언더필 독 구조(240)를 형성하게 된다면 언더필 독이 Si 칩(220)의 팽창을 억제하는 역할을 하기 때문에 뒤틀림 개선에 도움이 된다. 언더필 독의 두께를 두껍게 할수록 수평방향 뒤틀림은 줄일 수 있지만 Cu 비아의 본 미세스(Von Mises) 응력이 증가하는 모습을 볼 수 있다. 응력이 증가하면 구성요소의 파손 우려가 있기 때문에 언더필 독 구조의 적절한 두께를 찾는 것이 중요하다.
- [0032] 본 발명의 실시예에 따른 TSV 반도체 패키지의 뒤틀림과 응력을 확인하기 위해 전산모사를 진행하였고, 공정은 질소환경에서 260도의 공정온도를 적용하였다.
- [0034] 도 3은 종래기술에 따른 TSV 반도체 패키지의 고온공정 전산모사를 진행한 결과를 나타내는 도면이다.
- [0035] 도 1에 도시된 종래기술에 따른 TSV 반도체 패키지의 구조에 대하여 TSV 반도체 패키지의 뒤틀림과 응력을 확인

하기 위해 전산모사를 진행하였고, 공정은 질소환경에서 260도의 공정온도를 적용하였다.

[0036] 도 3(a) 내지 도 3(d)은 Si 수직 적층된 Si 칩의 적층 수에 따른 전산모사를 진행한 결과를 나타내는 도면이다. 도 3에서 볼 수 있듯이 많은 수의 칩을 적층할수록 수평방향 뒤틀림이 증가하는 것을 확인할 수 있다.

[0038] 도 4는 본 발명의 일 실시예에 따른 TSV 반도체 패키지의 고온공정 전산모사를 진행한 결과를 나타내는 도면이다.

[0039] 도 4에 도시된 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지의 구조에 대하여 TSV 반도체 패키지의 뒤틀림과 응력을 확인하기 위해 전산모사를 진행하였고, 공정은 질소환경에서 260도의 공정온도를 적용하였다. 칩의 적층 수는 상용칩에 적용되는 12단 3D-TSV을 토대로 1층에서 4층까지, 그리고 추후에 도9를 통해 8층과 12층의 전산모사 결과를 정리하였다. 4층이 적층되고, 언더필 독 구조의 두께를 0.6mm로 형성할 때의 결과이고, 언더필 독 구조를 형성함으로써 뒤틀림이 줄어드는 것을 볼 수 있다. 8층과 12층의 경우에도, 적층수의 증가에 따라서 독 두께를 1.7mm와 2.85mm 정도로 증가시키면, 오차한도 이내로 적절한 개선이 이루어지는 것을 확인하였다.

[0040] 도 4(a) 내지 도 4(d)은 Si 수직 적층된 Si 칩의 적층 수 및 언더필 독 구조의 두께에 따른 전산모사를 진행한 결과를 나타내는 도면이다. 도 4에서 볼 수 있듯이 언더필 독 구조의 두께를 두껍게 할수록 수평방향 뒤틀림이 줄어드는 것을 확인할 수 있다.

[0042] 도 5는 본 발명의 일 실시예에 따른 TSV 반도체 패키지의 본 미세스(Von Mises) 응력을 나타내는 도면이다.

[0043] 도 5를 참조하면, 언더필 독 구조의 두께가 0.6mm일 때 전산모사의 결과를 나타낸 것이다.

[0044] 도 5(a) 내지 도 5(d)은 Si 수직 적층된 Si 칩의 적층 수 및 언더필 독 구조의 두께에 따른 본 미세스 응력을 나타내는 도면이다. Si 칩의 적층 수 및 언더필 독 구조의 두께가 증가할수록 Cu 비아(511, 512, 513, 514)에서 응력을 많이 받는 것을 확인할 수 있다. 도 5를 참조하면, 언더필 독 구조의 두께가 두꺼워질수록 Cu 비아의 응력이 증가하는 것을 볼 수 있다. 언더필 독 구조의 두께를 무작정 늘려준다면 뒤틀림은 계속 줄어들겠지만 응력이 증가하여 파손의 우려가 있기에 적절한 값을 찾아야 한다.

[0045] 국제반도체기술로드맵(ITRS)에 의하면 비아 홀의 지름이 10um 기준 본딩 정렬(Bonding alignment) 정확도는 1.75um 이내여야 함을 확인할 수 있다. 전산모사 상으로 4층 적층 기준 언더필 독 구조의 두께가 0.6mm일 때 뒤틀림이 1.72um라는 결과값을 얻었다. 언더필 독 구조의 두께를 증가시키는 것은 본딩 정렬의 정확도를 높일 수는 있지만 Cu 비아의 응력을 증가시키는 결과를 초래한다.

[0046] 그렇기 때문에 본딩 정렬 정확도의 기준값인 1.75um 이내가 되고 독 두께에 따른 응력의 증가가 최소화되도록 하는 언더필 독 구조를 형성하는 것을 제안한다. 본 발명의 실시예에서는 적층수에 따라, 2층 이하에서는 독구조가 필요 없고, 그 이상의 적층일 때는 '적층수-2'에 $\sim 0.285\text{mm}$ 를 곱한 두께, 즉, 4층일 때는 $(4-2) \times 0.285 \sim 0.6\text{mm}$, 8층일 때는 $(8-2) \times 0.285 \sim 1.72\text{mm}$, 12층일 때는 $(12-2) \times 0.285 \sim 2.85\text{mm}$ 정도의 두께를 가진 언더필 독 구조를 형성하는 것을 그 예시로서 제안한다.

[0048] 도 6은 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지 공정 방법을 설명하기 위한 흐름도이다.

[0049] 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지 공정 방법은 기판 상에 복수의 칩을 수직 적층하는 단계(610), 상기 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀을 형성하는 단계(620) 및 상기 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warping)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성하는 단계(630)를 포함한다.

[0050] 단계(610)에서, 기판 상에 복수의 칩을 수직 적층한다.

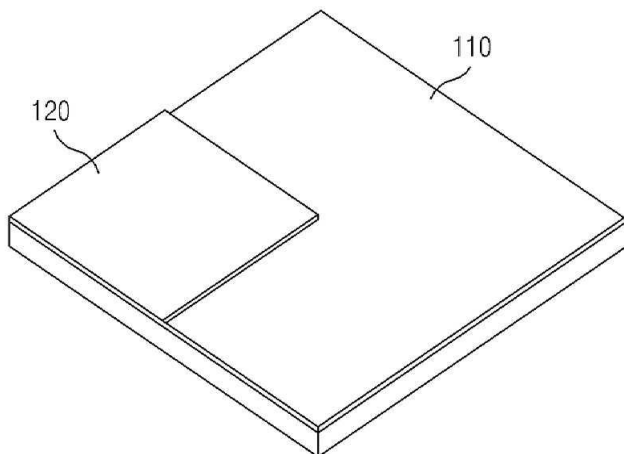
[0051] 단계(620)에서, 복수의 칩 내부의 전기적 연결을 위해 내부가 전도물질로 충전되고, 상기 복수의 칩을 연결하기 위한 비아 홀을 형성한다.

- [0052] TSV 기술은 실리콘 웨이퍼를 관통하는 비아(Via) 홀을 형성하고 전도성 물질인 Cu를 비아 홀에 충전시켜 칩 내부에 직접 전기적 연결을 할 수 있게 하는 기술이다. TSV 기술은 Si 기판 상에 Si 칩을 수직 적층하고, 기판 상에 수직 적층된 복수의 칩을 Cu 비아를 통해 전기적 연결을 하여 저전력화와 고속화의 장점이 있다.
- [0053] 그런데 칩과 기판의 재질인 Si과 비아 홀의 재질인 Cu의 열팽창 계수의 차이는 약 7배 정도가 나게 되고, 이로 인해 고온 공정 상의 반도체 패키지의 뒤틀림(Warpage)이 발생하는 문제가 있다.
- [0054] 반도체 기기들이 소형화에 됨에 따라 반도체 패키지는 작은 공간에 많은 칩을 넣는 고집적화가 계속 발전하며 진행되고 있다. 그에 따라 소형화 및 고집적화에 유리한 칩들을 수직으로 적층시키는 3D 적층 패키지 기술에 있어서, Si 칩을 적층 할수록 수평방향 뒤틀림이 증가한다. 이것은 고집적화를 위해서는 칩을 수직으로 적층을 하여야 하고 칩을 적층 할수록 본딩 정렬(Bonding alignment) 정확도의 오차가 증가함을 의미한다.
- [0055] 단계(630)에서, 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 상기 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 상기 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성한다.
- [0056] 기판 및 복수의 칩의 재질과 비아 홀의 재질의 열팽창 계수의 차이로 인한 복수의 칩의 수평방향의 뒤틀림(Warpage)을 개선하기 위해 수직 적층된 복수의 칩 주위에 언더필 독 구조를 형성한다.
- [0057] 앞서 설명된 바와 같이, 반도체의 고집적화를 위해 칩을 수직으로 적층하게 되고, 칩을 적층함에 따라 발생하는 수평방향 뒤틀림은 증가하게 된다. 이러한 수평방향 뒤틀림은 본딩 정렬 정확도에 영향을 준다.
- [0058] 본 발명에서는 이러한 반도체 패키지의 Si 칩 수평방향 뒤틀림의 개선을 위하여 Si 칩 주위에 언더필을 이용한 독 구조 형성을 제안한다. 언더필 독 구조를 형성하게 된다면 언더필 독이 Si 칩의 팽창을 억제하는 역할을 하기 때문에 뒤틀림 개선에 도움이 된다. 언더필 독의 두께를 두껍게 할수록 수평방향 뒤틀림은 줄일 수 있지만 Cu 비아의 본 미세스(Von Mises) 응력이 증가하는 모습을 볼 수 있다. 응력이 증가하면 구성요소의 파손 우려가 있기 때문에 언더필 독 구조의 적절한 두께를 찾는 것이 중요하다.
- [0060] 도 7은 본 발명의 일 실시예에 따른 언더필 독 구조의 두께에 따른 수평방향 뒤틀림 결과를 나타내는 그래프이다.
- [0061] 본 발명의 일 실시예에 따른 반도체 구조변형을 억제하기 위한 언더필 독 구조를 갖는 TSV 반도체 패키지의 구조에 대하여 TSV 반도체 패키지의 뒤틀림과 응력을 확인하기 위해 전산모사를 진행하였고, 공정은 질소환경에서 260도의 공정온도를 적용하였다. 도 7을 참조하면, 언더필 독 구조의 두께가 증가할 수록 뒤틀림이 감소하는 것을 확인할 수 있다. 이러한 값은 본 발명의 실시예에 따른 개선 목표값으로 설정된 지름 10um 비아 홀 기준 본딩 정렬 정확도인 1.75um이하를 만족한다.
- [0063] 도 8은 본 발명의 일 실시예에 따른 언더필 독 구조의 두께에 따른 본 미세스(Von Mises) 응력의 결과를 나타내는 그래프이다.
- [0064] 도 8을 참조하면, 언더필 독 구조의 두께가 두꺼워질수록 Cu 비아의 응력이 증가하는 것을 볼 수 있다. 언더필 독 구조의 두께를 무작정 늘려준다면 뒤틀림은 계속 줄어들겠지만 응력이 증가하여 파손의 우려가 있기에 적절한 값을 찾아야 한다.
- [0065] 따라서, 언더필 독 구조의 적절한 두께를 선정하기 위한 기준이 필요하다. 본 발명의 실시예에서는 국제반도체 기술로드맵(ITRS)을 따른 기준을 따른다. 예를 들어, 비아 홀의 지름이 10um 기준으로 본딩 정렬 정확도가 1.75um이내가 되고 독 두께에 따른 응력 증가가 최소화되도록 하는 언더필 독 두께를 선정할 수 있다.
- [0067] 도 9는 본 발명의 일 실시예에 따른 칩 적층 수와 언더필 독 개선 두께의 선형적 거동을 나타내는 그래프이다.
- [0068] 도 9를 참조하면, 칩 적층 수와 개선을 위해 요구되는 언더필 독 두께는 선형적이며, '적층수-2'에 $\sim 0.285\text{mm}$ 를 곱한 두께, 즉, 4층일 때는 $(4-2) \times 0.285 \sim 0.6\text{mm}$, 8층일 때는 $(8-2) \times 0.285 \sim 1.72\text{mm}$, 12층일 때는 $(12-2) \times 0.285 \sim 2.85\text{mm}$ 정도의 두께를 가진 언더필 독 구조를 형성하는 것이 적절하다는 것을 확인할 수 있다. 이보다 더 두꺼운 언더필 독을 사용한다면 수평방향 뒤틀림은 좀더 줄일 수 있지만, 응력증가를 고려하여 언더필 독 두께를 최소화하는 것이 필요하다.

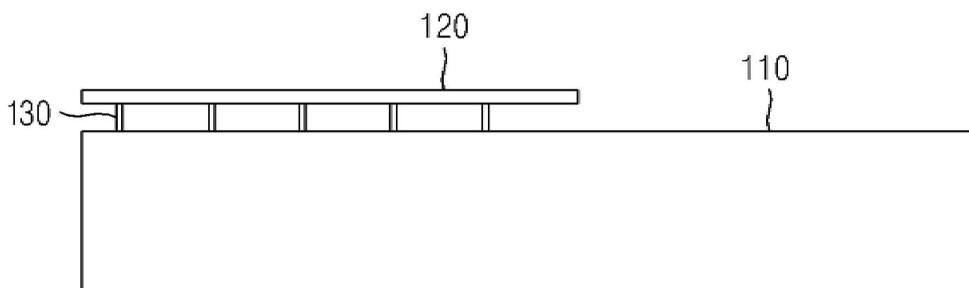
- [0070] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다.
- [0071] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0072] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

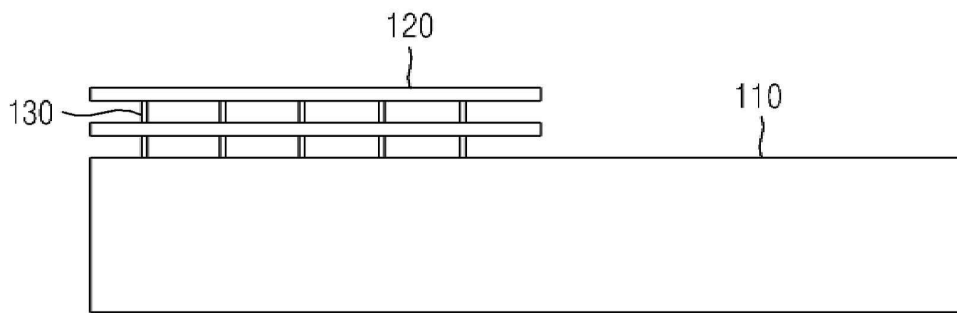
도면1a



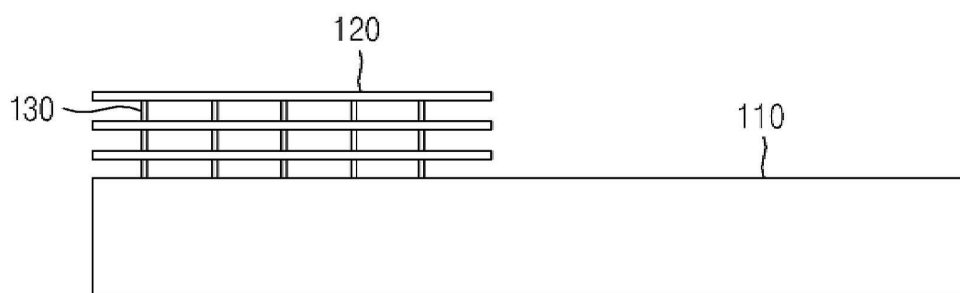
도면1b



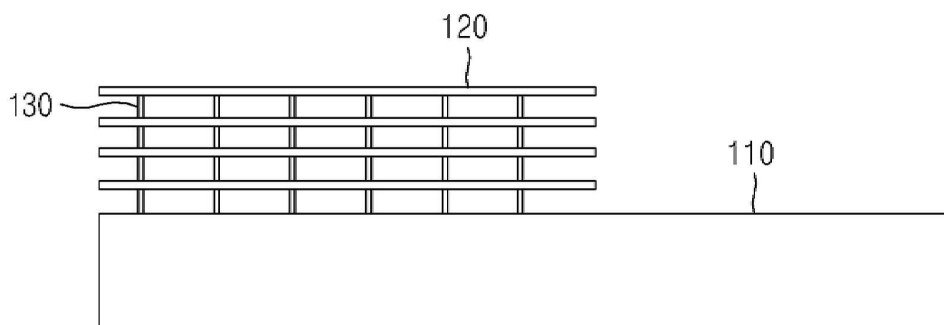
도면1c



도면1d



도면1e

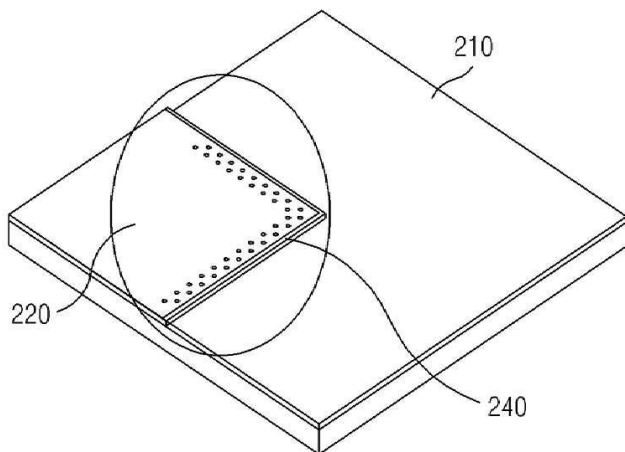


도면1f

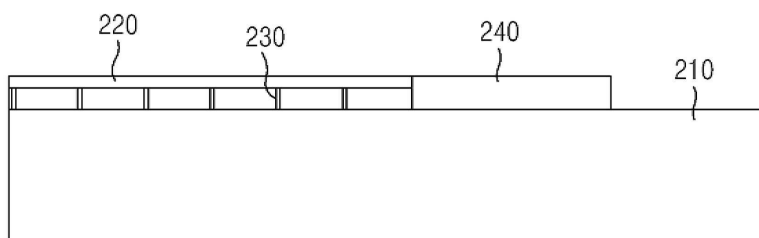
Parts	Material	Dimension(mm ³)	CTE
Substrate	Si	20*20*0.6	3.9e-06/K
Chip	Si	10*10*0.05	3.9e-06/K
	Epoxy	10*10*0.1	3.9e-05/K

Parts	Material	Dimension(mm)	Hight(mm)	CTE
via	Cu	0.01	0.08	1.7e-005/k
Solder	SAC	0.01	0.02	2.1e-005/k

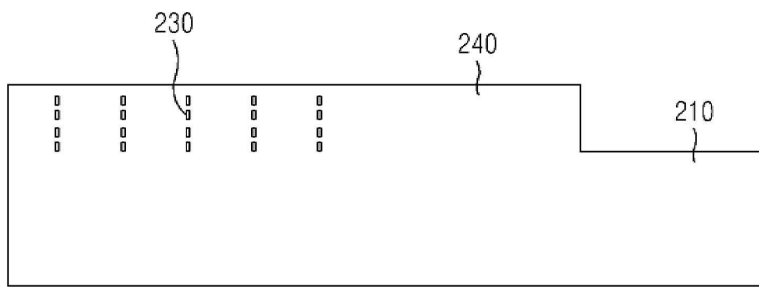
도면2a



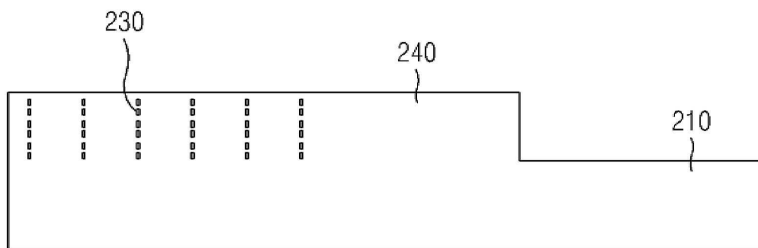
도면2b



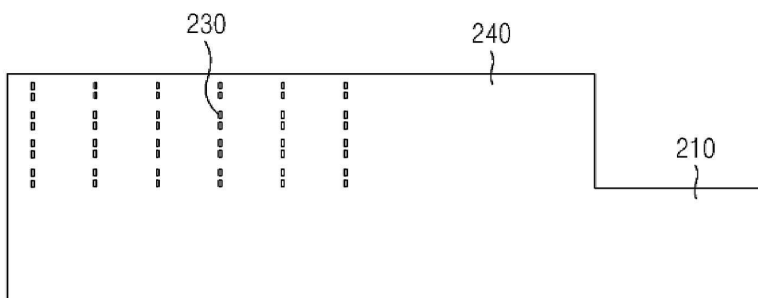
도면2c



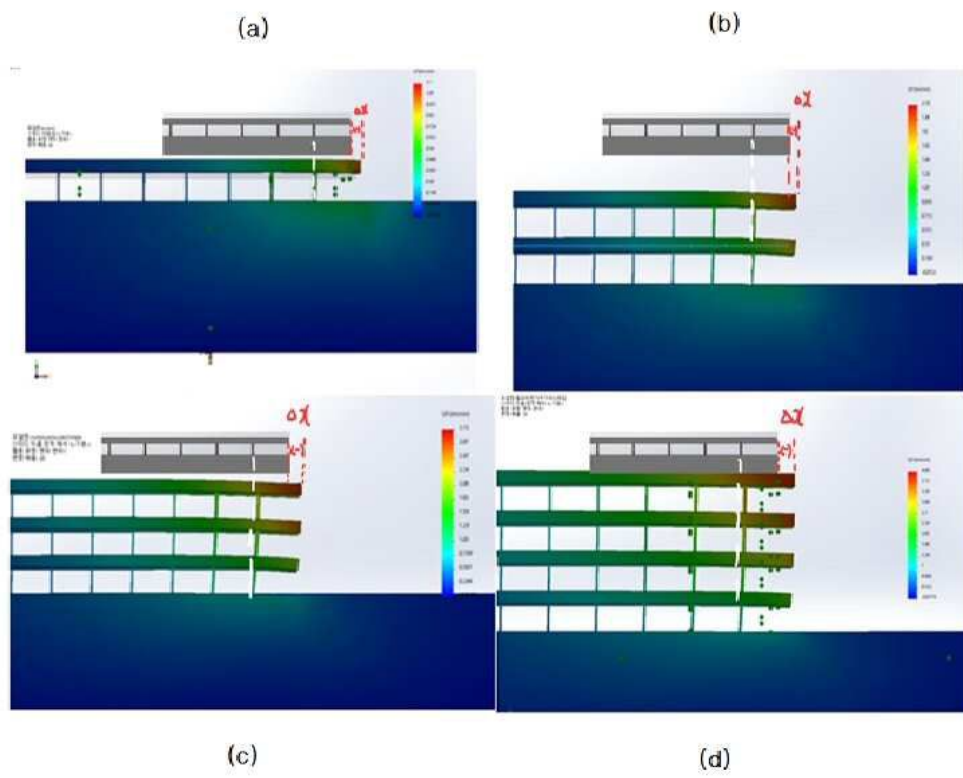
도면2d



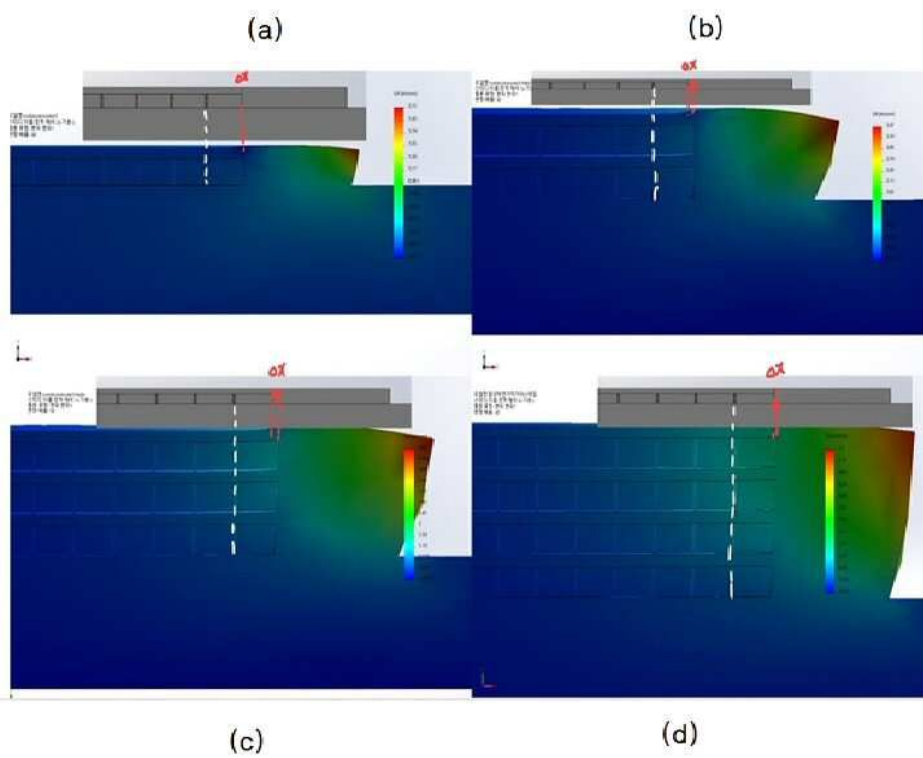
도면2e



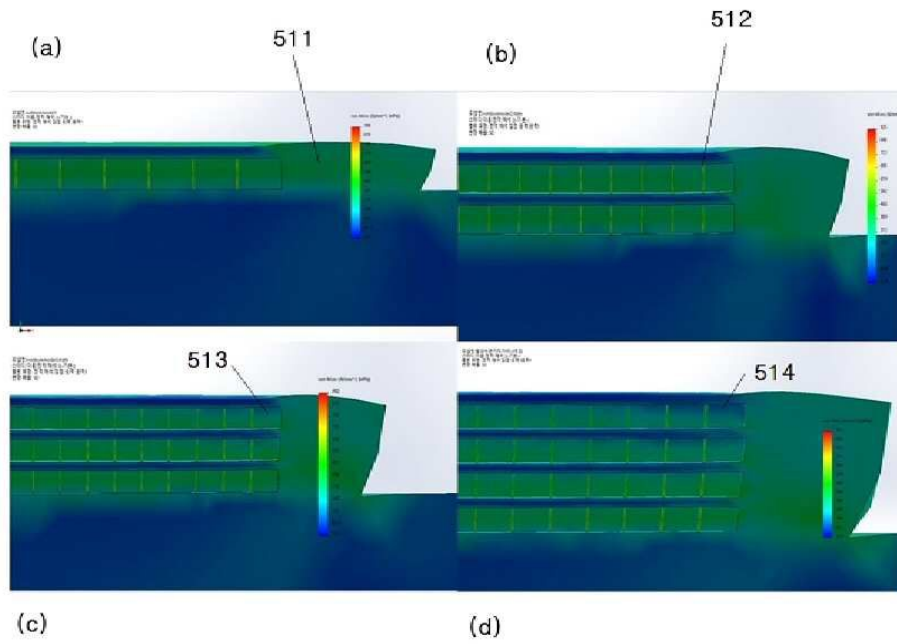
도면3



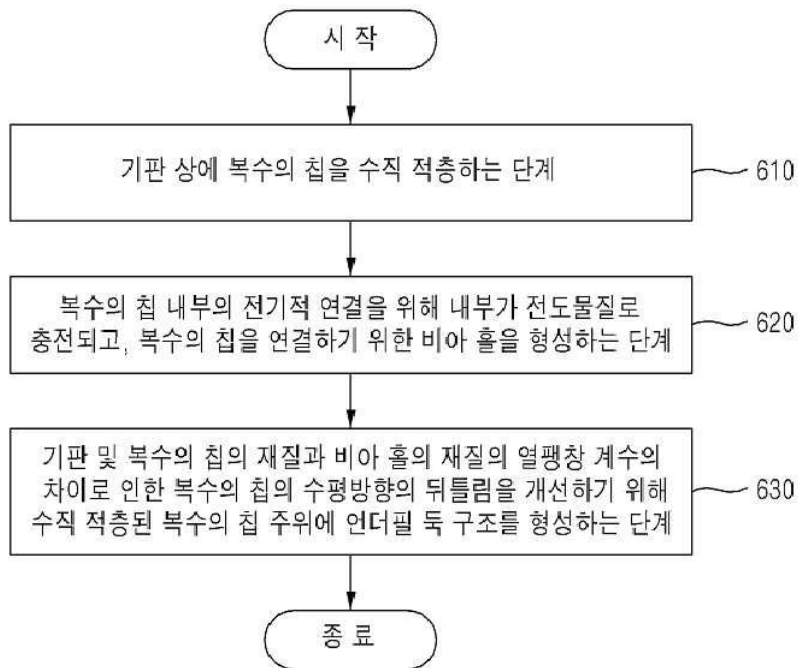
도면4



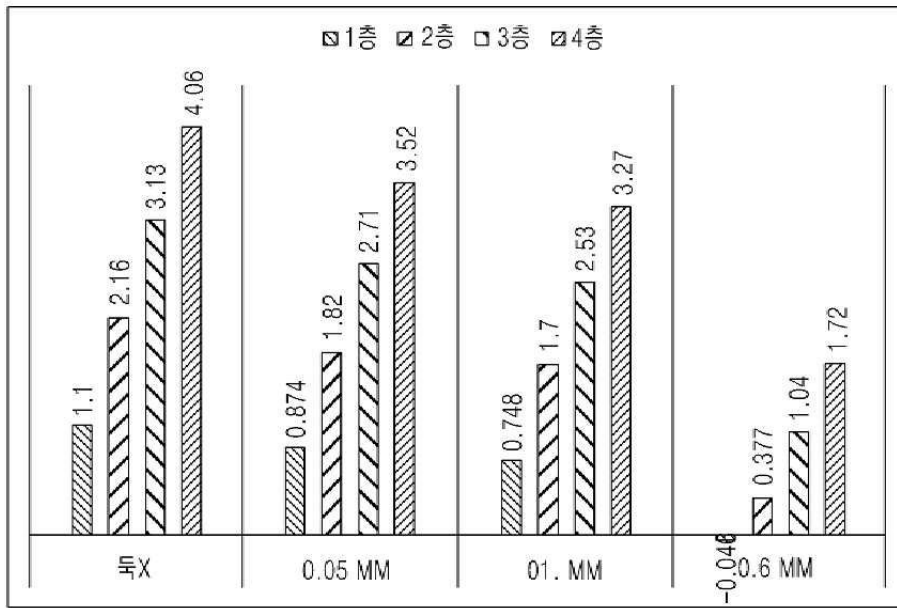
도면5



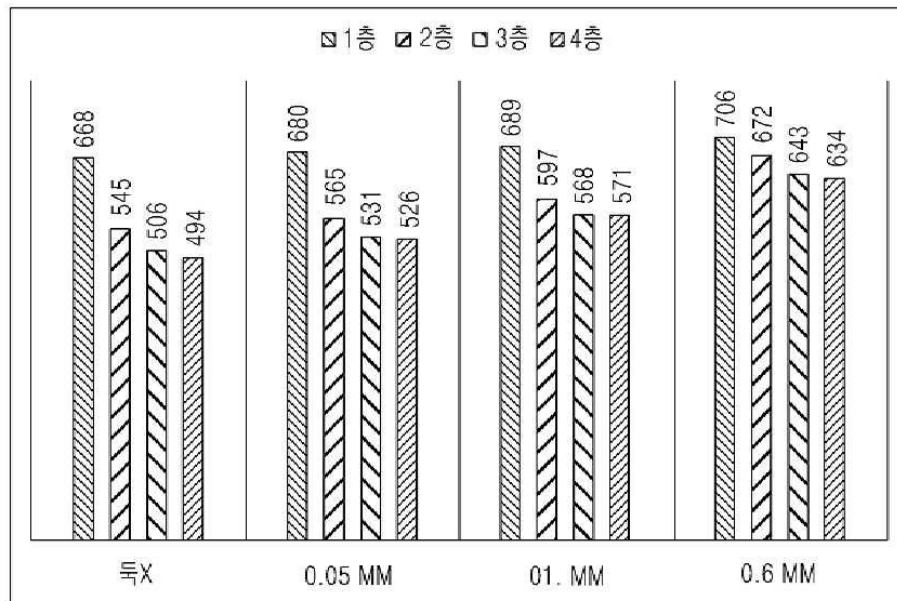
도면6



도면7



도면8



도면9

