(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101355084 B
(45)授权公告日 2012.07.18

(21)申请号 200810131428.4

(22)申请日 2003.08.13

(30)优先权数据
10/218,678 2002.08.14 US

(62)分案原申请数据
03824204.4 2003.08.13

(73)专利权人 先进模拟科技公司
地址 美国加利福尼亚州

(72)发明人 理查德·K·威廉斯
迈克尔·E·康奈尔 陈伟田

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 彭久云

(51)Int.Cl.
H01L 27/04(2006.01)
H01L 27/082(2006.01)
H01L 21/8228(2006.01)
H01L 21/76(2006.01)

(56)对比文件
US 5814858 A,1998.09.29, 全文.
US 6420771 B2,2002.07.16, 全文.
US 2001/0050412 A1,2001.12.13, 说明书0038段到0075段,图3、4.

审查员 赵星

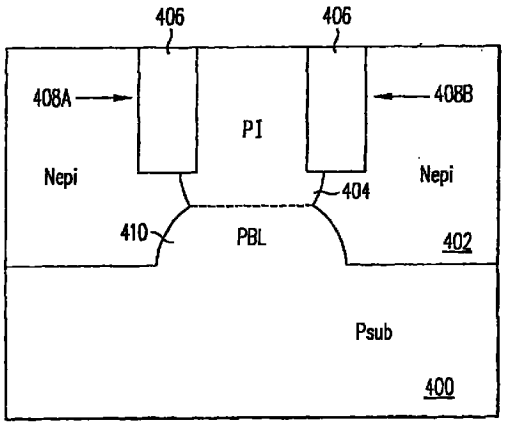
权利要求书 2 页 说明书 17 页 附图 53 页

(54)发明名称

半导体结构及制造半导体器件的方法

(57)摘要

本发明公开了一种半导体结构、双极型晶体管布置及制造半导体器件的方法。该半导体结构包括:第一导电类型的半导体衬底;形成于所述衬底之上的所述第一导电类型的外延层;形成于所述外延层中的槽,所述槽包含电介质材料;与所述槽的侧面邻接的第二导电类型的区域;及所述第二导电类型的掩埋层,所述掩埋层从所述衬底向上延伸并与所述区域汇合。



CN 101355084 B

1. 一种半导体结构，包括：

第一导电类型的半导体衬底；

形成于所述衬底上的所述第一导电类型的外延层；

形成于所述外延层中的槽，所述槽具有在所述外延层和所述衬底之间的界面上方的所述外延层中的底部，所述槽包含电介质材料；

与所述槽的侧面邻接的第二导电类型的区域；

形成于所述外延层中的第二槽，所述第二槽具有在所述外延层和所述衬底之间的界面上方的所述外延层中的底部，所述第二槽包含电介质材料，所述第二导电类型的区域邻接所述第二槽的侧面；及

所述第二导电类型的掩埋层，所述掩埋层位于所述衬底和所述外延层之间的所述界面，且从所述衬底向上延伸并与所述区域汇合。

2. 如权利要求 1 的半导体结构，其中所述掩埋层在所述外延层中的低于每个所述槽底部的水平面的水平面处与所述区域汇合。

3. 如权利要求 2 的半导体结构，其中所述掩埋层横向延伸超过所述槽中的一个。

4. 如权利要求 2 的半导体结构，其中所述掩埋层横向延伸超过两个所述槽。

5. 一种半导体结构，包括：

第一导电类型的半导体衬底；

在所述衬底的顶部上的第二导电类型的外延层；

形成于所述外延层中的第一和第二槽，所述第一和第二槽的每一个具有在所述衬底和所述外延层之间的界面上方在所述外延层中的底部，所述槽包含电介质材料；

在所述槽之间的台地中的第一导电类型的区域，所述区域与所述槽各自的侧面邻接，所述区域向下延伸到所述衬底。

6. 一种半导体结构，包括：

第一导电类型的半导体衬底；

形成于所述衬底上的所述第一导电类型的外延层；

在所述衬底和所述外延层之间的界面处的第二导电类型的掩埋层；和

从所述外延层的表面延伸进入所述掩埋层的第一槽和第二槽，所述第一槽和第二槽用电介质材料填充。

7. 如权利要求 6 的半导体结构，其中所述第一和第二槽的每一个具有在所述衬底和所述外延层之间的界面上方、在所述外延层中的底部。

8. 一种半导体结构，包括：

第一导电类型的半导体衬底；

形成于所述衬底上的第二导电类型的外延层；

在所述衬底和所述外延层之间的界面处的所述第一导电类型的第一掩埋层；

在所述界面处的所述第二导电类型的第二掩埋层，所述第一掩埋层向上延伸至所述第二掩埋层之上的水平面；

从所述外延层的表面延伸进入所述第一掩埋层但是没有进入所述第二掩埋层的槽，所述槽用电介质材料填充。

9. 如权利要求 8 的半导体结构，包括从所述外延层的所述表面延伸进入所述第二掩埋

层的第二槽，所述第二槽用电介质材料填充。

10. 如权利要求 8 的半导体结构，其中所述第二掩埋层横向延伸超过所述第一掩埋层使得所述第一掩埋层的位于所述第二掩埋层之上的部分与所述衬底电隔离。

11. 一种制造半导体器件的方法，包括：

提供第一导电类型的半导体衬底；

在所述衬底的顶部上形成第二导电类型的外延层；

在所述外延层中形成槽对，每个所述槽具有在所述衬底和所述外延层之间的界面上方的底部；

用电介质材料基本上填满所述槽；

将所述第一导电类型的掺杂剂引入所述槽之间的台地中，所述掺杂剂邻接两个槽；以及

加热所述外延层以引起所述掺杂剂向下扩散到所述衬底。

12. 如权利要求 11 的方法，包括加热所述衬底从而使所述掺杂剂在所述衬底中向下扩散。

13. 如权利要求 11 的方法，其中引入掺杂剂包括引入具有与所述衬底的导电类型相同的导电类型的掺杂剂。

14. 一种制造半导体器件的方法，包括：

提供半导体衬底；

注入掺杂剂到所述衬底中；

在所述衬底上形成外延层；

使所述衬底中的该掺杂剂向上扩散进入所述外延层中从而形成掩埋层；

在所述外延层中形成槽对，每个所述槽具有在所述衬底和所述外延层之间的界面上方的底部，该槽限定所述槽之间的台地，所述台地位于所述掩埋层之上；

用电介质材料基本上填满所述槽；

将掺杂剂引入到所述槽之间的台地中，所述掺杂剂邻接两个槽；以及

使所述台地中的所述掺杂剂向下扩散且引起所述掩埋层向上扩散，使得所述台地中的所述掺杂剂与所述掩埋层汇合。

半导体结构及制造半导体器件的方法

[0001] 本申请是递交于2003年8月13日、申请号为03824204.4(国际申请号为PCT/US2003/025516)、发明名称为“具有槽限制的隔离扩散的互补模拟双极型晶体管”的发明专利申请的分案申请。

[0002] 技术领域

[0003] 本发明涉及一种用于结隔离的集成半导体器件尤其是互补模拟双极型(CAB)晶体管的隔离结构及其形成方法。

[0004] 背景技术

[0005] 随着集成电路中最小特征尺寸变得更小,提高集成电路(IC)芯片上器件的封装密度(packing density)是必然的。如果器件间的距离不能够同样减小,则更小器件的优势大部分丧失。

[0006] 图1-11示出现有技术的工艺和结构以及这些工艺和结构中所固有的一些问题。

[0007] 图1A示出了制造半导体器件的常用方法。经由形成于掩模层102中的开口,掺杂剂被引入N或P衬底100,掩模层102可以是氧化物、氮化物、光致抗蚀剂或者它们的组合。掺杂剂可以通过离子注入或通过高温预沉积引入(即浅扩散,来自气态或者固态源的掺杂源由此被引入半导体)。接着掺杂剂可以通过加热扩散以形成浅区域104,如图1B所示,或者掺杂剂可以在更高的温度下扩散或者扩散更长的时间以形成深得多的区域106,如图1C所示。区域104可以深0.5至2μm,且区域106可以深2μm至10μm。图1D是区域106的左侧的视图,详细地示出了在热扩散工艺期间区域106的横向扩展。如所告知的,结掺杂剂在扩散期间既横向也垂直扩展。通常的规则是,自掩模开口边缘处的点(0,0)的横向扩展等于结的垂直深度(x_j)的大约0.8倍。掺杂剂的这个横向扩展限制了使用传统热扩散工艺形成的器件的水平间距和封装密度。

[0008] 图2A和2B示出扩散工艺的另一问题,即,结深可以是掩模开口宽度的函数。图2A示出了在经由掩模开口W_1的注入之后进行扩散的结果,并且图2B示出了在经由掩模开口W_2的注入之后进行扩散的结果,其中$W_1 > W_2$。图2B中结的最终深度是图2A中的结深的η,因子η小于1。这种现象产生的原因是掩模开口较小时掺杂剂的横向扩展比掩模开口大时更大地减小了表面浓度及垂直方向上的掺杂浓度梯度。于是在掩模开口小时掺杂剂更慢地向下扩散,一种被称为“欠缺扩散”(“starved diffusion”)的效应。因此掩模开口必须较大以得到深结,从而例如建立用于厚层的侧壁隔离区域。大的掩模开口的必要性再一次限制了半导体器件的封装密度。

[0009] 图3A和3B例证了这些问题所造成的一些影响。理想情况下,希望形成与浅扩散110分隔$Y_{N+/P+}$距离的深扩散108,如图3A所示。实际情况是,由于掺杂剂横向扩展,图3A所示形态的深扩散108是不可能的。代替的情况是,结果为宽得多的扩散112,如图3B所示,其与扩散110分隔一个小得多的距离$Y_{N+/P+}$,尽管N+和P+结的掩模图形单元(mask feature)之间具有相同的间距。

[0010] 在垂直隔离区域和掩埋层的形成中出现类似问题。图4A示出了包括延伸穿过N外延层116到达P衬底120的垂直P隔离区域114的理想结构。在N外延层116和P衬底

120 之间的界面处形成 N 掩埋层 (NBL)118。P 隔离区域 114 和 N 掩埋层 118 均是具有垂直边缘的陡峭、定义良好的区域，分隔距离 W_3。实际上传统扩散工艺所出现的情况示于图 4B。N 掩埋层 118 在 N 外延层 116 的生长和 P 隔离区域 114 的后续驱入 (driving-in) 期间水平地扩展，并且 P 隔离区域 114 同样地横向扩展，将 N 掩埋层 118 和 P 隔离区域 114 之间的间距减小为远小于 W_3 的距离 W_4。结果会降低 N 掩埋层 118 和 P 隔离区域之间的击穿电压，并且要得到图 4A 所示结构的击穿电压，不得不显著加宽 N 掩埋层 118 和 P 隔离区域 114 之间的间距。

[0011] 图 5A-5F 示出了传统工艺结隔离 (junction-isolation) 的步骤，即从顶表面向下延伸的隔离，(也叫做“仅向下”结隔离)。图 5A 中，在 P 衬底 124 上已经生长了厚氧化物层 122(例如，1 至 5μm 厚)。图 5B 中，已经在氧化物层 122 之上形成了光致抗蚀剂层 126，并且已经经由光致抗蚀剂层 126 中的开口蚀刻了氧化物层 122。如图 5C 所示，在开口中形成薄氧化物层 130，并且经由该开口注入诸如锑或砷的慢扩散 N 型掺杂剂，以形成 N 掩埋层 128。

[0012] 为了给上面叠加的外延层的后续生长作准备，必须降低 N 掩埋层 128 中的表面掺杂剂的浓度。这对于减少外延层生长期间掺杂剂的脱气 (outgasing) 进入外延反应器 (reactor) 中是必须的。为了实现这点，N 掩埋层 128 在高温下被长时间驱入 (drive in)，例如 1100 至 1250℃下 5 至 20 小时。为了稍后处理的目的用于形成 N 掩埋层 128 的掺杂剂是慢扩散的掺杂剂，因而在外延之前将它扩散远离硅表面必须采取高温和长时间，由于此事实，这个热工艺的长度和温度是必需的。

[0013] 图 5D 示出了在 P 衬底 124 上生长 N 外延层 132 后的结构。如图所示，N 掩埋层 128 已经向上扩散进入 N 外延层 132。

[0014] 如图 5E 所示，在 N 外延层 132 的表面上形成氧化物层 134，并且使用光致抗蚀剂掩模层 136 在氧化物层 134 中蚀刻出开口。经由氧化物层 134 中的开口注入诸如硼的 P 型掺杂剂，以形成 P 隔离区域 136。接着对整个结构进行热处理，这就造成了 P 隔离区域 136 向下扩散穿过 N 外延层 132 到达 P 衬底 124，同时形成薄氧化物层 138。在这个热处理期间 N 掩埋层 128 向上及横向扩散。由于 N 掩埋层 128 由慢扩散掺杂剂形成，它比 P 隔离区域 136 中的硼更慢地扩散，并且因此 N 掩埋层 128 保持与 P 隔离区域 136 分隔。然而，为了确保这个分隔，N 外延层 132 必须制作得比非上述情况所要求的要厚。

[0015] 图 6 示出了通过在 P 隔离区域 136 的紧下面形成 P 掩埋层 140 来减轻这个问题的方式。P 掩埋层 140 在热处理期间向上扩散并在某一时候接近 N 外延层 132 的中部与向下扩散的 P 隔离区域 136 相遇，从而减小所需热处理的量和 N 掩埋层 128 的横向扩散。然而，这种横向扩散确实发生了并且晶片空间因此而仍然浪费。

[0016] 图 7A-7F 示出了用于形成图 6 的结构的工艺。图 7A 示出了在生长外延层之前，N 掩埋层 128 已经被注入并且被热扩散以降低表面掺杂剂浓度之后的结构。在热扩散工艺期间，形成了厚氧化物层 146。在使用了高浓度的砷来形成掩埋层的情况下，在 NBL 上面的氧化物可生长至略厚于在更轻掺杂的 P 型衬底上方生长的那些部分 (称为“浓度促进氧化”的效应)。结果会是尽管具有相同的氧化时间，但氧化物层 142 具有比氧化物 146 厚度小的厚度。使用锑作为掺杂剂种类 (dopant species) 时同样可以出现这种现象，但是效应的程度减轻。光致抗蚀剂层 144 被沉积在氧化物层 142 和 146 之上并被构图以用于硼离子的注入

以便形成P掩埋层140。光致抗蚀剂层144中开口 的边缘与N掩埋层128的边缘间隔横向距离W_5，以确保N掩埋层128和P掩埋层140在后续热处理期间不会汇合(merge)。

[0017] 如图7B所示，经由光致抗蚀剂层144中的开口蚀刻氧化物层142，并且经由该开口注入硼（或者另一P型掺杂剂）以形成P掩埋层140。该结构再次被退火以降低P掩埋层140的表面浓度，形成薄氧化物层148，如图7C所示。

[0018] 接着利用外延沉积在P衬底124之上生长N外延层132，如图7D所示。通常气相外延(VPE)沉积与液相外延相比是优选的，尤其在沉积硅时。但是，VPE要求衬底被加热到高温，通常1200℃以上。在生长N外延层132期间，N掩埋层128和P掩埋层140均垂直及横向扩展，减小了这两个掩埋层之间的间距。

[0019] 如图7E所示，在N外延层132的表面上形成氧化物层150。利用常用光刻技术构图氧化物层150以形成开口，硼经由该开口注入以形成P隔离区域136。如图7F所示，接着该结构再次退火，从而促使P掩埋层140向上扩散并且P隔离区域136向下扩散，直到这两个扩散在N外延层132内的某处汇合(merge)。在此退火期间，N掩埋层128和P掩埋层140横向扩散，直到它们之间的间距变得非常小。缺少图7A所示的间距W_5，这两个掩埋层事实上将汇合，因此间距W5实际上是为了确保在最终结构中P掩埋层140与N掩埋层128充分间隔以提供所需击穿电压所必须付出的“代价”。

[0020] 明显地，这是一个可能导致晶片翘曲的复杂、耗时的工艺，尤其对于较大的晶片而言，并可能造成较低的成品率。在隔离扩散期间NBL的向上扩散同样减小了N外延层132的“平”浓度（“flat”concentration）部分，因而要求比向上扩散没有发生的情况下所需的更厚的外延层。

[0021] 图8示出了通过一直穿过N外延层132蚀刻槽152并用电介质154填满槽152来避免这个问题的一种方式。例如，由于N外延层可能大约5μm至20μm厚，所以槽152可能不得不非常深以完全穿过N外延层132延伸。

[0022] 图9A-9F中示出了形成图8的结构的工艺。在已经形成N外延层132之后，氧化物或其它硬掩模层156沉积在N外延层132上并利用光致抗蚀剂层158构图，如图9A所示。从而在层156中形成了开口160，如图9B所示，并且穿过N外延层132蚀刻出槽152，如图9C所示。这通常通过反应离子蚀刻(RIE)来完成。

[0023] 在槽152已经形成后，去除硬掩模层156，并且在槽152中生长牺牲氧化物层(sacrificial oxide layer)（未示出）以修复RIE工艺所造成的晶体损伤。去除牺牲氧化物层并在槽152的壁和N外延层132的顶表面上生长另一氧化物层162，如图9D所示。用电介质材料164填满槽152，电介质材料164叠盖N外延层132的顶表面，如图9E所示，并且如图9F所示将电介质材料164平坦化，使得电介质材料164的顶表面与氧化物层162的顶表面齐平。

[0024] 由于在此工艺期间槽152没有显著地膨胀或扩展，并且由于它没有形成至外延层的PN结，槽152可以比例如图7C所示阶段的P掩埋层140更加靠近N掩埋层128。然而，这个工艺具有几个问题和风险。由于槽152可能非常深，它会难以被填满。如图10A所示，如果槽未填满，会剩下窄缺口，从电介质材料164的顶表面向下延伸，与槽自身共形，如图10A所示，或者可在槽中留下窄空腔，如图10B所示。如果槽具有窄的口，会在底部部分留下空腔，如图10C所示，或者如果RIE是较少各向异性的，产生具有宽口的槽，在回蚀刻期间会

从槽的内部去除电介质164，仅在槽底部内留下小部分，如图10D所示。总之，深槽隔离和再填充对于大量制造仍然是挑战性的工艺。

[0025] 图11A-11E示出了使用现有扩散技术形成的几种半导体器件。

[0026] 图11A示出了在生长于P衬底200上的N外延层202中形成的NPN晶体管234和PNP晶体管236。NPN晶体管的发射极是N+区域208，基极包括P+区域（基极接触，或非本征基极）210和专用P基极区域（有源晶体管或本征基极区域）206，并且集电极包括N+区域212（集电极接触区域）、N外延层202的一部分（集电极）、和N掩埋层204A（所谓的子集电极区域）。N掩埋层204A将晶体管234与P衬底200隔离并降低集电极的电阻。

[0027] 在PNP晶体管236中，发射极是P+区域226，基极包括N+非本征基极接触区域224和专用本征基极区域222，并且集电极包括P+集电极接触区域228、P阱220和P掩埋层子集电极218。PNP晶体管236通过N掩埋层204B与P衬底200隔离。N掩埋层(NBL)204B和P掩埋层(PBL)218形成在N外延层202和P衬底200的界面处。可以用诸如锑或砷的较慢扩散掺杂剂形成N掩埋层204B，并且可以用诸如硼的快扩散掺杂剂形成P掩埋层218。结果，P掩埋层218延伸到N掩埋层204B上方，在某些情况下可以同时延伸到NBL的上方和下方。

[0028] NPN晶体管234通过P隔离区域214与PNP晶体管236隔离，P隔离 区域214从N外延层202的表面延伸到P衬底200中。P隔离区域214还提供了经由P+接触区域216设定P衬底200的电位的手段，并且常常偏置在最负的片内电位(on-chip potential)或地电位。N外延层202在PNP晶体管236中的部分的电位可以经由N+接触区域230设定，在此，NBL 204B必须偏置在等于或者比P衬底200更加正的电位，并且等于或者比PBL 218更加正。习惯做法通常包括将NBL偏置在正电压干线(supply rail)（例如，Vcc），或者将PBL 218和NBL 204B短路为相等电位（零偏置结）。

[0029] 图11B示出了横向双扩散N沟道MOSFET 238（也称为LDMOSFET）和包括PMOSFET 240和NMOSFET 242的隔离的CMOS对(isolated CMOSpair)。再一次，器件形成在N外延层202中。在N沟道LDMOSFET 238中，源是N+区域246，体(body)包括P+接触区域244和专用P体扩散248（或P阱265），并且漏是N+区域249和作为轻掺杂漏极扩展(drain extension)的N外延层202的部分。P体（或P阱）248的沟道部分在栅247的下面，设定MOSFET的阈值电压并防止源和漏之间的穿通击穿（通过强迫P体-N外延结的耗尽扩展的多数进入器件的外延漏侧）。不同于沟道长度由栅区域的长度决定的传统MOSFET，在该器件中，沿着表面即横向的源246和体248之间的结深差设定了LDMOSFET的沟道长度。在器件的自对准情况下，在形成器件的栅电极之后注入P体248，在这之后，高温下结被长时间扩散（例如，1100℃ 14小时），从而得到充分的结深和沟道长度。由于源和体结均形成在栅后，器件是自对准的。在LDMOSFET的较低成本的情况下，P阱扩散265（用于CMOS）被用作器件的体。由于阱形成在栅前，它不与栅自对准，使得穿通和阈值电压取决于掩模对准。将沟道与N+区域分隔的N外延层202的部分提高了器件的击穿电位，如果它也与P体区域248和隔离扩散250均充分地间隔的话。

[0030] 在PMOSFET 240中，源是P+区域256，体包括N+接触区域254和N外延层202的一部分，并且漏是P+区域258。N外延层202的沟道部分在栅260的下面。在NMOSFET 242中，源是N+区域264，体包括P+接触区域262和P阱265，并且漏是N+区域266。P阱265

的沟道部分在栅 268 的下面。CMOS 对和轻掺杂漏 NMOSFET 238 通过 P 隔离区域 250 彼此分隔。通过隔离区域 250 和 P+ 接触区域 252 与 P 衬底 200 接触。NBL 204 将 P 阱 265 与 P 衬底 200 隔离。

[0031] 图 11C 示出了 N 沟道准垂直 (quasi-vertical)DMOSFET 270、N 沟道横向 DMOSFET 272 的另一变体和全隔离的 PMOSFET 274。准垂直 DMOSFET270 构建成以栅 276A、276B 和 276C 作为边界的单元的矩阵。DMOSFET 270 的每一单元包括作为源的 N+ 区域 280 以及一起充当体的 P+ 区域 282 和 P 体 278。源与体短路在一起。电流从源流出、经由栅 276A、276B、276C 下面的沟道、经由 N 外延层 202、向下到达 N 掩埋层 204D，然后向上经由 N 下沉区 (sinker)284 和 N+ 区域 286 到达漏端子 (drain terminal)(因此是术语准垂直)。DMOSFET 270 通过 N 掩埋层 204D 与 P 衬底 200 隔离，其降低了器件的电阻。

[0032] N 沟道横向 DMOSFET 272 包括充当源的 N+ 区域 298 以及一起充当体的 P+ 区域 294 和 P 体 292。电流从 N+ 区域 298 流出、经由栅 296 下面的沟道、向下至 N 掩埋层 204E 并沿着 N 外延层 202 中的表面、然后向上经由 N 下沉区 300 和 N+ 区域 302 至漏端子。N 沟道 LDMOSFET 272 通过 N 掩埋层 204E 与 P 衬底 200 隔离并且通过 P 隔离区域 288 和 P 掩埋层 290 与 DMOSFET270 隔离。

[0033] 被隔离的 PMOSFET 274 包括充当源的 P+ 区域 310 和充当漏的 P+ 区域 312。体是 N 外延层 202 的一部分并通过 N+ 接触区域 308 被接触。电流从 P+ 区域 310 经由栅 314 下面的沟道流到 P+ 区域 312。PMOSFET 274 通过 N 掩埋层 204F 与 P 衬底 200 隔离并通过 P 隔离区域 304 和 P 掩埋层 306 与 NMOSFET 272 隔离。

[0034] 图 11D 示出了另一 N 沟道横向 DMOSFET 变体 308、横向 NMOSFET 310 和垂直 PNP 双极型晶体管 312。N 沟道 LDMOSFET 308 类似于图 11B 示出的 NMOSFET 238(相同的部件用同样的标记)，除了栅 314 在场氧化物层之上提升并且轻掺杂 NMOSFET 308 通过 N 掩埋层 204G 与 P 衬底 200 隔离以外。N 沟道横向 DMOSFET 310 类似于图 11B 示出的 N 沟道 LDMOSFET 242，除了 NMOSFET 310 不包括 N 掩埋层 204 以外。

[0035] 在垂直 PNP 晶体管 312 中，P+ 区域 314 充当发射极，N 基 316、N+ 区域 318 和 N 外延层 202 的一部分充当基极，以及 P 掩埋层 320 和 P 下沉区 322 充当集电极。PNP 晶体管 312 通过 N 掩埋层 204H 与 P 衬底 200 隔离。

[0036] N 沟道横向 DMOSFET 308 通过 P 隔离扩散 324 和 P 掩埋层 326 与横向 NMOSFET 310 隔离，并且横向 NMOSFET 310 通过 P 下沉区 328 和 P 掩埋 层 330 与垂直 PNP 双极型晶体管 312 隔离。

[0037] 图 11E 示出了在生长于 P 衬底 340 上的 P 外延层 342 中形成的器件。CMOS 对包括 PMOSFET 344 和 NMOSFET 346。PMOSFET 344 和 NMOSFET346 类似于图 11B 示出的 PMOSFET 240 和 NMOSFET 242，除了 PMOSFET344 形成在 N 阱 350 中和 NMOSFET 346 形成在 P 外延层 342 中以外。PMOSFET 344 和 NMOSFET 346 通过包括 N 掩埋层 356 及 N 隔离扩散 (NI)352 和 354 的隔离结构与 P 衬底 340 隔离。隔离结构的偏置可经由 N+ 区域 358 设定，并且常常偏置在给 CMOS 器件供电的最正供应电压。

[0038] N 沟道轻掺杂横向 DMOSFET 348 包括：作为源的 N+ 区域 360，作为体的 P+ 区域 364、P 体 362 和 P 外延层 342 的一部分，以及作为漏的 N 轻掺杂漏区 366、N 阱 368 和 N+ 区域 370。沟道形成在栅 372 下面的 P 阱 362 和 P 外延层 342 中。NMOSFET 348 不与 P 衬底

340 隔离。

[0039] 图 11A-11E 所示器件的共同特征是它们通常要求长的热扩散以便实现经由外延层的连接。可能需要这些连接来形成隔离区域或者来连接至作为器件的组成部件的掩埋层。提供高击穿电压通常需要更厚的外延层和更长的热处理。所有热处理在从上注入的隔离区域中和从下向上扩散的掩埋层中既产生横向也产生垂直掺杂剂扩展。这种横向掺杂剂扩展限制了利用这些现有技术工艺能够达到的间距和封装密度。

[0040] 因此，随着器件自身特征尺寸的减小，相应地需要允许器件在晶片表面上更加致密封装的工艺。

发明内容

[0041] 按照本发明，通过在扩散的一侧或几侧上形成槽（在扩散之前）并用氧化物或其它电介质材料填充槽来限制热扩散工艺期间掺杂剂的横向扩展。优选地，通过在掺杂剂的两侧或多侧上、尤其是在工艺中更深扩散的结上形成槽，在几个方向上限制掺杂剂的横向扩展。

[0042] 大体上，限制扩散的槽具有充分的深度从而扩散的高度掺杂表面部分的大部分被槽限制，槽具有优选为结的最后深度的至少 15-20％的深度。在一些情况下，槽全面地限制扩散，即，槽深于最后的结深。例如槽的深度范围可以为 0.5μm 至 5μm，但是通常槽深会在 1μm 至 3μm 的范围。在一个优选实施例中，槽充分深以限制扩散的更高度掺杂部分且充分浅以易于填充和平 坦化。

[0043] 在包括外延层的实施例中，槽延伸进入外延层但是没有延伸穿过外延层并进入下面衬底。在一个优选实施例中，器件被深结隔离所隔离，这里，隔离结的主要部分被由电介质填充的槽限制。在其它实施例中，向上扩散的掩埋层叠盖槽限制的向下扩散的扩散以完成隔离结构。

[0044] 这个工艺对于在外延层中构造较高电压的器件尤其有用。标称在例如 20V 工作电压下可靠工作的双极型晶体管器件，将通常要求 60V 至 70V 范围内的击穿电压。这需要较厚的外延层和延伸穿过外延层以将器件与衬底电隔离或者使得器件彼此隔离的深扩散。这个隔离通过反向偏置的 PN 结提供。在传统技术中，这些深扩散要求大量的热预算 (thermal budget)（温度和时间的乘积），这也造成扩散横向扩展并增加器件的尺寸，限制了可以放置在晶片给定区域中的器件数量。

[0045] 使用本发明的原理，扩散区的横向扩大受限，因为槽内电介质材料中掺杂剂的扩散系数通常小于半导体衬底或外延层中掺杂剂的扩散系数。而且，掺杂剂扩散进入槽的电介质中之后不是电活性的并且不影响或改变相邻结或器件的结击穿。而且，即使相反导电性的掺杂剂在槽以下的区域中彼此接触，通常在这个位置的扩散的掺杂浓度足够低使得 PN 结的击穿电压较高。因此，本发明的使用允许较高的封装密度并提供了晶片上可用空间的极大有效利用。例如，器件可以隔开仅仅一个微米，而不是数十微米。

[0046] 本发明的原理不仅适用于用于隔离目的的扩散或区域，而且适用于用来提供至掩埋层或至衬底的电连接的“下沉区 (sinker)”扩散。这种下沉区扩散可在其导电类型与扩散区自身的导电类型相同或相反的材料中形成。因此 不同于传统的仅提供隔离（并且难以制造）的深槽氧化物隔离，槽限制扩散能够提供从晶片顶表面至深在硅内部的结的低

阻电接触，该结使用易于制造的工艺（即，因为它不要求困难的槽填充和平坦化步骤）。

[0047] 根据本发明的另一方面，电介质填充的槽从外延层或衬底的表面延伸进入沉没区域（submerged region）。该沉没区域可以是形成在外延层和衬底之间的界面处的掩埋层，或是通过以较高的能量注入掺杂剂到衬底中而形成的深区。

附图说明

[0048] 图 1A-1D 示出了在半导体器件中形成被扩散了的区域的常用工艺，尤其是在热处理期间发生的横向掺杂剂扩展；

[0049] 图 2A 和 2B 示出了被扩散了的区域的深度如何随着掩模开口宽度变化，掺杂剂经由该掩模开口注入；

[0050] 图 3A 和 3B 总结了图 1A-1D 和图 2A-2B 示出的问题；

[0051] 图 4A 和 4B 示出了在热处理期间保持掩埋层和垂直隔离区域之间间距的问题；

[0052] 图 5A-5F 示出了形成图 4B 所示结构的工艺步骤；

[0053] 图 6 示出了使用隔离区域下面的向上扩散的掩埋层作为降低热预算和横向掺杂剂扩展量的技术；

[0054] 图 7A-7F 示出了形成图 6 所示结构的工艺步骤；

[0055] 图 8 示出了包括用电介质填充的槽的隔离结构；

[0056] 图 9A-9F 示出了用于制造图 8 所示隔离结构的工艺；

[0057] 图 10A-10D 示出了在填充图 8 所示隔离结构的槽时会出现的问题；

[0058] 图 11A-11E 示出了使用现有扩散技术形成的几种半导体器件；

[0059] 图 12 示出了在与隔离扩散相反的导电类型的外延层中形成的槽限制的基本隔离扩散；

[0060] 图 13A-13D 示出图 12 所示槽限制的隔离扩散的几种变化；

[0061] 图 14 示出在与下沉区扩散相同的导电类型的外延层中形成的槽限制的下沉区扩散；

[0062] 图 15A-15E 示出图 14 所示槽限制的下沉区扩散的几种变化；

[0063] 图 16A 示出 P 型衬底中的槽限制的 N 型下沉区；

[0064] 图 16B 示出 P 型外延层中的槽限制的 N 型下沉区；

[0065] 图 16C 示出与下面的 N 掩埋层汇合的槽限制的 N 型下沉区；

[0066] 图 16D 和 16E 示出形成为环绕式隔离结构的一部分的、槽限制的 N 型下沉区；

[0067] 图 17 示出包括延伸到 N 掩埋层中的、填充了电介质的槽的隔离结构；

[0068] 图 18 示出在 P 型衬底中形成的、P 型槽限制的下沉区；

[0069] 图 19 示出在 P 型外延层中形成的、P 型槽限制的下沉区；

[0070] 图 20 示出在 P 衬底中形成的、槽限制的 N 阱；

[0071] 图 21 示出在 N 外延层中形成的、槽限制的 P 阱；

[0072] 图 22A 和 22B 示出使用填充了电介质的槽和 N 掩埋层来形成 P 外延层的被隔离口袋区；

[0073] 图 23A 和 23B 示出使用填充了电介质的槽和注入的深 N 区来形成 P 衬底的被隔离口袋区；

[0074] 图 24A 和 24B 示出使用填充了电介质的槽和 P 掩埋层来形成 N 外延层的被隔离口袋区；

[0075] 图 25A 和 25B 示出使用填充了电介质的槽和注入的深 P 区来形成 N 衬底的被隔离口袋区；

[0076] 图 26A 和 26B 示出使用填充了电介质的槽和 P 掩埋层来形成 N 外延层的被隔离口袋区，该 P 掩埋层通过 N 掩埋层与 P 衬底隔离；

[0077] 图 27A-27I 示出形成填充了电介质的槽的工艺；

[0078] 图 28 示出用于构造互补模拟双极型晶体管的工艺流程；

[0079] 图 29A-29M 示出图 28 概括的工艺的步骤；

[0080] 图 30 比较了非限制与槽限制的扩散，针对窄和宽特征尺寸。

具体实施方式

[0081] 图 12 示出本发明的结构和工艺的基本例。在 P 衬底 400 上已生长了 N 外延层 402，并且 P 型掺杂剂例如硼已通过 N 外延层 402 的顶表面注入以形成 P 隔离区域 404。槽 408A 和 408B 已经形成在 N 外延层 402 中 P 区 404 的相对侧。用电介质材料 406 填充槽 408A 和 408B，电介质材料可以是氧化物、氮化物或者不同类型电介质的多层。

[0082] 在热处理期间，由于隔离区域 404 中的 P 型掺杂剂向下扩散，槽 408A 和 408B 充当掺杂剂横向扩展的阻挡层 (barrier)。掺杂剂的扩散系数在电介质材料 406 中通常低于在 N 外延层 402 中。这就限制了掺杂剂的横向扩展。相应地，所造成的槽 408A 和 408B 之间 P 型掺杂剂浓度的提高趋于增加垂直方向上的掺杂剂浓度梯度，以及这趋于使得掺杂剂比不存在槽的情况更加迅速地向下扩散。因此得到给定的扩散深度需要更少的热处理。

[0083] 除了减少执行隔离扩散所需时间之外，该方法允许更窄的隔离特征尺寸被使用而不会受到欠缺扩散（一种对于给定量扩散时间与所要求的相比导致所不期望地更浅的结的效应）的限制。使用槽限制的扩散时欠缺扩散的发生出现得更晚，因为更低的横向扩散速度保持表面浓度和垂直梯度更高，促使 垂直扩散以更加快的速度进行。当然，在结的底部到达槽的底部后速度下降，但是到那时候扩散速度无论如何已经显著变慢了。

[0084] 在如上所述的工艺中，掺杂剂在近表面引入，使用传统低能量注入，例如 140keV 以下，具有可以从 $5E12cm^{-2}$ 变动至 $5E15cm^{-2}$ 的注入剂量（但是更常见地在 $2E13cm^{-2}$ 至 $2E14cm^{-2}$ 的范围），或者通过预沉积形成（在存在气态或固态掺杂剂源的情况下通过高温扩散掺入）。扩散前的结深一般小于 0.5μm。

[0085] 可选择地，在任何高温扩散时间之前，初始地可以在更深的深度形成注入，例如其峰值浓度处于硅内 0.5 至 2.0μm 处。更深的注入达到它们的全目标深度时需要的扩散时间更少，但是需要使用高能（即，兆伏）离子注入。注入能量范围从 300keV 到 3MeV，为获得高制造生产率 1MeV 至 2MeV 的注入通常是优选的。阻挡来自其他区域的掺杂剂所需的光致抗蚀剂的厚度必须相应地增加，通常达到 2 至 4μm 的厚度。

[0086] 通常隔离扩散需要进行到比被隔离的外延层更深的结深，并且一般不小于外延厚度的 120％，以保证外延层厚度的变化不会造成不完全隔离（意味着离子注入没有层叠到衬底上）。对于 4μm 层，4.8μm 至 5.2μm 的扩散深度是常用的。该扩散可以在 1050℃至 1200℃下进行，但是优选地在 1100℃至 1150℃从而使扩散速度最大化而不损害扩散炉和

造成晶片翘曲。

[0087] 在所示例子中，槽深度通常可蚀刻至外延厚度的大致一半，例如 2μm，并通常是被隔离层的深度的 30％至 70％，但是可以在外延层的 10％至 90％之间变动。深度深于 5μm 的槽逐渐变得难以填充和平坦化。

[0088] 槽宽度可以在 0.1μm 至 2μm 的范围，槽尺寸在 0.5 至 1μm 左右是优选的。槽之间的台地 (mesa) 的宽度可以在 0.5μm 至 10μm 的范围，1.5 至 5μm 的宽度是优选的。槽可仅在一侧限制扩散，在两侧是优选的（作为条带 (stripe) 或拱 (ring)），但是也可在三侧或四侧限制扩散，或者在所有侧（同心的）完全包围扩散。

[0089] 在可选发明中，也可在扩散后或者部分扩散后蚀刻和填充槽，但是这样做时，工艺丧失了控制掺杂剂横向扩展的一些优势。通过在槽蚀刻前扩散，槽位置必须间隔更宽，以与区 404 的更宽扩展的横向扩散相交 (intersect)。这种方法消除了形成窄却深的结的益处。

[0090] 一种替代方法是在注入区下面形成掩埋层。图 13A 中，例如，P 掩埋层 410 已经形成在 P 隔离区域 404 下面。对于 P 型隔离柱 (isolation column)，P 型掩埋层可包括硼（或注入的铝），其在外延生长前以 $1E12^{-2}$ 至 $4E14cm^{-2}$ 的剂量（但是 $2E13^{-2}$ 至 $2E14^{-2}$ 的剂量是优选的）以及通常在 120keV 以下的能量例如 80keV（但是可能高达 300keV）引入。在热处理期间，P 掩埋层 410 向上扩散直到它与向下扩散的 P 隔离区域 404 汇合在位于槽 408A 和 408B 底部以下的位置处（用虚线表示）。图 13B 示出 P 隔离区域 404 和 P 掩埋层 410 的汇合发生在槽 408A 和 408B 间的台地中的实施例。图 13C 示出其中 P 区是 P 阱 412 而不是隔离区域的实施例，用于形成 N 外延层 402 的表面与 P 衬底 400 之间的连接。相比于隔离扩散，P 阱 412 一般具有更低的浓度和更小的注入剂量，并且通常具有充分低的表面浓度以在阱内集成诸如 NPN 双极型晶体管或 PMOS 的器件。阱的形成通常使用从 $1E12cm^{-2}$ 至 $5E13cm^{-2}$ 范围的注入剂量，但是使用所报道的相同可能范围的用于隔离注入的注入能量。由于阱中的掺杂浓度一般小于隔离区域中的掺杂浓度，到达目标深度所需的阱扩散的扩散时间（或者等效的温度－时间）可能长 20％至 60％。

[0091] 图 13D 示出其中使用单个槽 414 的变体，并且 P 掩埋层 416 向上扩散直到 P 掩埋层 416 与槽 414 交迭。如果选择这个变体，必须小心以确保槽 414 足够深并且 P 掩埋层 416 向上扩散足够使得 P 掩埋层 416 实际上与槽 414 交迭。而且这个变体自身没有象槽限制的结隔离形式那样提供衬底和晶片顶面 (topside) 之间的电连接。

[0092] 如图 14 所示，本发明的技术也可用于在具有与下沉区区相同的导电类型的外延层中形成下沉区区。N 下沉区区 (sinker)418 已经被注入并且在槽 420A 和 420B 之间向下扩散，这限制了 N 下沉区 418 的横向扩展。掺杂剂可以是磷。注入特性和注入剂量范围类似于 P 型（硼）注入的情形，除了磷注入要求 2.5 至 3 倍的能量来达到与硼注入相同的深度。扩散系数同样可比于硼，但是必须考虑实际条件来计算具体实例。如果磷注入仅用于引入掺杂剂作为浅结（但是不用于决定结深），60keV 至 120keV 的注入能量是常用的，90keV 是典型值。

[0093] 从完备的观点出发，图 14 中 N 下沉区 418 的深度不是 PN 结的深度（如图 12 中 P 隔离扩散 404 的情形）。由于被扩散了的 N 型区域没有在 N 型外延层中形成 PN 结，所以“结”是虚结，是在浓度不同的两个接触或交迭的 N 型区域之间的结。通常浓度上 10 至 15％的

变化可认为是虚结 (virtualjunction)。

[0094] 图 15A 和 15B 分别可比于图 13A 和 13B，并且示出 N 掩埋层 422 可向上扩散并且在槽 420A 和 420B（图 13A）的底部之下面与 N 下沉区 418 汇合，或在槽 420A 和 420B 之间的台地内汇合（图 13B）。图 15C 和 15D 示出 N 掩埋层不必限制于正好在 N 下沉区下面的区域，而是可沿着一个或几个方向横向延伸。图 15C 中的 N 掩埋层 424 在槽 420A 和 420B 的底部之下与 N 下沉区 418 汇合；图 15D 中的 N 掩埋层 426 在槽 420A 和 420B 之间的台地内与 N 下沉区 418 汇合。图 15E 示出 N 掩埋层 428 在两个（或多个）方向上横向延伸并与 N 下沉区 418 汇合。N 掩埋层 422、424、426 和 428b 可以是以 60keV 至 180keV 并且以范围在 $1E12cm^{-2}$ 至 $5E15cm^{-2}$（通常从 $5E14cm^{-2}$ 至 $3E15cm^{-2}$）的剂量注入的砷、锑或磷。应当在外延生长前扩散 N 掩埋层，以防止外延期间的脱气和横向自动掺杂。前述现有技术的扩散周期 (diffusioncycles) 对于现有技术的形成掩埋层是常见的，其是适用的并且对于准备外延生长是足够的。N 掩埋层 424、426 和 428 更常见地包括诸如砷或锑的慢扩散掺杂剂，以防止向上扩散以及外延厚度 402 的“平区域”(flat zone) 的丧失。

[0095] N 掩埋层 422、424、426 和 428 也可以以高得多的剂量（例如，超过 $5E15cm^{-2}$）注入，但是必须在高温下退火以消除在外延生长期间晶体缺陷和堆垛层错的形成。

[0096] 图 16A 示出 P 衬底 430 中槽 432A 和 432B 之间包括 N 下沉区 434 的实施例。它的形成类似于图 14 的 N 下沉区 418，除了它形成在 P 型材料中而不是在 N 型外延层中。图 16B 类似于图 16A，除了槽 432A 和 432B 以及 N 下沉区 434 形成在 P 外延层 436 中而不是 P 衬底 430 中。图 16C 类似于图 16B，但是示出 N 下沉区 434 与 P 掩埋层 438 汇合，P 掩埋层 438 形成在 P 衬底 430 和 P 外延层 436 之间界面处并向上扩散从而与 N 下沉区 434 汇合。图 16D 示出 N 下沉区 434 与沿着一个方向横向延伸的 N 掩埋层 440 汇合，形成围绕 P 外延层 436 的在槽 432B 右侧的部分的抱合 (wraparound) 隔离结构。图 16E 示出类似于图 16D 所示的结构，但是 N 掩埋层 442 沿着两个（或多个）方向延伸从而在 P 外延层 436 内产生许多被隔离的口袋区。

[0097] 图 17 中，通过促使 N 掩埋层向上扩散直到 N 掩埋层 442 与被电介质填 充的槽 444 交迭来形成 P 外延层 436 的被隔离的口袋区 (pocket)。

[0098] 图 18 示出在 P 衬底 450 中槽 452A 和 452B 之间包括 P 下沉区 454 的实施例。这个实施例，具有形成在 P 型材料或外延中的 P 下沉区，类似于图 14 所示 N 外延层中 N 下沉区的布置，除了所有 P 型和 N 型区域交换了。图 19 类似于图 18，除了槽 452A 和 452B 以及 P 下沉区 454 形成于 P 外延层 456 中而不是 P 衬底 450 中。

[0099] 图 20 示出形成在 P 衬底 460 中的被电介质填充的单个槽 462，及扩散到 P 衬底 460 中的 N 阱 464，槽 462 防止 N 阱 464 扩散进入 P 衬底 460 的位于槽 462 左侧的部分。图 21 示出形成在生长于 P 衬底 460 之上的 N 外延层 466 中的槽 462，槽 462 防止 P 阱 468 扩散进入 N 外延层 466 的位于槽 462 右侧的部分。在任何一种情况下，这个结构具有两个优点：它防止在掺杂浓度高的表面处形成任何 PN 结；并且它使阱边缘处的横向扩散最小。注意，一些增强扩散和增加的结深可以出现在阱边缘处。

[0100] 图 22A 和 22B 示出形成于 P 外延层 472 中的槽如何能与 N 掩埋层 474 一起用来形成 P 外延层 472 的被隔离的口袋区。图 22A 中，仅槽 476B 延伸进入 N 掩埋层 474；槽 476A 没有。图 22B 中，槽 478A 和 478B 均延伸进入 N 掩埋层 474。两种情况下可以使用相同的槽

来形成槽限制的扩散，作为隔离、阱或者下沉区区。

[0101] 图 23A 和 23B 类似于图 22A 和 22B，除了取代通过扩散在 P 衬底 470 和 P 外延层 472 的界面处形成 N 掩埋层，这里通过注入 N 掺杂剂到 P 衬底 470 中形成深 N 区 480，这在申请 [Attorney Docket No. AAT011 US] 中更详细地作了介绍，同此共同提交，其全文引入作为参考。图 23A 中，仅槽 476B 延伸进入深 N 区 480；槽 476A 没有。图 22B 中，槽 478A、478B 和 478C 全部延伸进入深 N 区 480。这些槽也可用于形成槽限制的扩散，作为下沉区、隔离或者阱。

[0102] 图 24A 和 24B 示出在 N 外延层 492 中形成的槽如何可与 P 掩埋层 494 一起用来形成 N 外延层 492 的被隔离的口袋区。图 24A 中，仅槽 496B 延伸进入 P 掩埋层 494；槽 496A 没有。图 24B 中，槽 498A、498B 和 498C 全部延伸进入 P 掩埋层 494。所述槽也可用于形成槽限制的扩散，作为下沉区、隔离或阱。

[0103] 图 25A 和 25B 类似于图 24A 和 24B，除了取代通过扩散在 N 衬底 490 和 N 外延层 492 的界面处形成 P 掩埋层，这里通过注入 P 掺杂剂到 N 衬底 490 中形成深 P 区 500，这在上面参考的申请 [Attorney Docket No. AAT011 US] 中作了介绍。图 25A 中，仅槽 496B 延伸进入深 P 区 500；槽 496A 没有。图 25B 中，槽 498A、498B 和 498C 全部延伸进入深 P 区 500。这些槽也可用于形成槽限制的扩散，作为下沉区、隔离或者阱。

[0104] 图 26A 和 26B 示出了包括形成在 P 衬底 510 和 N 外延层 512 间的界面处的 N 掩埋层 514 和 P 掩埋层 516 的结构。P 掩埋层 516 向上扩散超过 N 掩埋层 514 的上边缘。这与 N 掩埋层 514 横向延伸超过 P 掩埋层 516 的事实相结合，产生了 P 掩埋层 516 的位于 N 掩埋层 514 之上并与 P 衬底 510 隔离的部分。这些槽也可用于形成槽限制的扩散，其作为下沉区、隔离或者阱。

[0105] 通过从 N 外延层 512 的表面向下延伸的电介质填充的槽，N 外延层 512 可以分成被隔离的口袋区。图 26A 中，电介质填充的槽 518C 将 N 外延层 512 分成被隔离的口袋区。图 26B 中，电介质填充的槽 520A 和 520B 的每一个将 N 外延层 512 分成被隔离的口袋区。通常，电介质填充的槽应当延伸进入 P 掩埋层 516，但是为了允许电流横向流过 P 掩埋层 516，槽不应当延伸穿过 P 掩埋层 516 并进入 N 掩埋层 514。这些槽也可用于形成槽限制的扩散，其作为下沉区、隔离或者阱。

[0106] 这里重述槽限制的扩散（并且更一般地称为槽限制的结）与深槽氧化物隔离之间的差异是重要的。深槽隔离 (DTI) 使用完全切穿外延层并进入下面的衬底的槽。因此在 DTI 工艺中，在槽出现的任何横断面中，横向电流流动（在阱、扩散结和甚至掩埋层中）被切断，即由于槽的存在而中断。例如当期望不相关的器件 - 例如两个相邻双极型器件的集电极 - 完全彼此隔离时，DTI 型槽的深度是有益的。但是在双极型的横断面中，基极和集电极之间的横向电流流动不能被深槽切断，意味着 DTI 型槽不能够用于双极型的“内部”，而仅仅用于双极型之间。例如考虑图 26B 的结构，其中槽 520S 和 520B 延伸进入（但是没有完全穿过）P 掩埋层 516。由于 PBL 层 516 没有被“切断”，电流能够在所述层中横向流动，方便与该区域以外的区域中的层接触，这些有源器件可以构造于该区域。而且，与 N 掩埋层 514 的电接触也可以在沿着器件横向范围包括边缘的任何地方进行，并且 N 掩埋层 514 将仍然偏置在公共电位 (common potential)，允许 NBL514 中的横向电流流动（平行于晶片表面）。如果使用 DTI 槽，N 掩埋层会被切割成分隔的岛，每 一个岛需要它自己的电接触。

类似的理由适用于图 22B 中交迭 N 掩埋层 479 的槽。

[0107] 图 27A-27I 示出用于形成电介质填充的槽的可能工艺。示出了槽形成在生长于衬底上的外延层中。如上所述，外延层和衬底可以是同一导电类型 (N 或 P) 或者不同导电类型。而且，如图 23A 和 23B 所示，例如，在某些实施例中，槽可以形成在不具有外延层的衬底中。在这些条件中工艺将保持基本上相同，除了用于槽深度的标准可能不同。

[0108] 如图 27A 所示，在外延层 532 的表面上形成诸如氧化物或氮化物（或其叠层）的材料的硬掩模层 534。硬掩模层 534 用光致抗蚀剂层 536 掩蔽，并蚀刻以形成开口 538。如图 27B 所示，通常使用反应离子蚀刻 (RIE) 蚀刻槽出 540。尽管在制造槽栅 (trench-gated) MOSFET 的工艺中经常在 RIE 之前去除光致抗蚀剂层 536，此处在 RIE 期间将光致抗蚀剂层 536 留在原位是可取的，因为该槽可以比通常用于槽栅垂直功率 MOSFET 的槽深（例如，2-4μm 深）。或者，可以增加硬掩模层 534 的厚度以经受住硅槽蚀刻工艺。

[0109] 硬掩模层 534 和光致抗蚀剂层 536 被去除（或者利用掩模选择性地去除），并且可选地，牺牲氧化物层 542 形成在槽 540 的壁上，如图 27C 所示，并且被去除，如图 27D 所示。这用于修复在 RIE 工艺期间通常出现的晶体损伤。在槽 540 的壁上生长氧化物衬 (liner)544，如图 27E 所示，并且在槽 540 中和外延层 532 的表面之上沉积诸如 TEOS 氧化物的电介质 546，如图 27F 所示。氧化物衬 544 充当对诸如硼和 / 或磷的掺杂剂的屏蔽，这些掺杂剂可以包含在电介质 546 中从而使电介质 546 更容易流动并填充到槽 540 中。如果这些掺杂剂被允许进入外延层 532，器件的电特性可能改变。在某些情况下可能通过首先沉积未掺杂氧化物到槽中而可以省略氧化物衬。

[0110] 接下来，可通过化学机械抛光 (CMP) 平坦化该结构的顶表面，从而形成图 27G 所示的半平坦表面。外延层 532 的表面被再氧化以形成氧化物层 548，如图 27H 所示。由于氧化工艺消耗部分外延层 532 而未消耗氧化物 546（其已经氧化），在槽 540 上方产生凹部。或者，在平坦化工艺中氧化物衬 544 的一部分可以留在外延层 532 的顶表面上，在这种情况下图 27H 所示的再氧化步骤可以是不必要的。

[0111] 替代的方案是对图 27F 中的玻璃 546 进行回蚀刻，这将不会产生与图 27G 所示一样平的表面。由于被沉积的氧化物趋于较快地蚀刻，因此槽上方 的一些凹部是可能的。接着氮化硅可被沉积并使用 CMP 方法平坦化，从而用氮化物盖住或密封槽的顶部。

[0112] 如图 27I 所示，多晶硅层 550 可以沉积在氧化物层 548 上并构图，用于形成电阻或电容。如果电容要被形成在多晶硅层 550 和外延层 532 之间，氧化物层 548 的厚度是关键的，并且通过热方式生长氧化物层 548 而不是沉积氧化物层 548 是可取的，因为热工艺通常比沉积工艺提供对氧化物层厚度更强的控制。如果多晶硅层 550 被用作电阻或者与另一上面叠加的多晶硅层用作电容，则这个因素不重要。

[0113] 图 12 至 27 所示的工艺步骤是能够用于制造广泛种类的半导体器件的构造单元，包括但不限于双极型晶体管、MOSFET、二极管等等。这些工艺步骤包括使用槽限制的扩散和结的结构的集成。图 28 和 29 示出将本发明用于互补（即，NPN 和 PNP 两者的集成）模拟双极型晶体管的构造，但是这个具体实施例的描述不应当解释为说明本发明局限于此。术语“模拟”被包括进来仅用于标识本技术的目的是制造能够构造高质量电流源（高厄利电压器件）和高击穿电压（例如，大于 3 或 5V 而不会遭受 BVceo 急速返回到比供电电压低的维持电压的问题）的双极型器件。当然，槽限制的扩散技术不限于制造模拟双极型，也可用

于数字优化的双极型。

[0114] 图 28 提供了该工艺的总览。每个“卡片”代表一工艺步骤。总体上讲，剪掉角的卡片表示可选步骤，尽管其它步骤在特定情形下也可以省略。

[0115] 工艺开始于一系列的注入和扩散到衬底中以及在衬底上生长外延层。接下来执行有关构造中间深度的局部槽隔离 (PTI) 区域的步骤。使用得益于槽限制的扩散的布局，深结被理想地注入和扩散，并且形成双极型晶体管的基极区域。可选地，可以构造多晶硅电容。接着是“后期”注入，其形成晶体管的发射极和集电极区域。最后，在硅之上构建用于提供与硅中的区域相连接的双层金属 (DLM) 互连结构。所谓“+5 工艺”指整个 DLM 互连序列使用了 5 道掩模，一道定义和蚀刻至硅的接触，另一道用于金属 1，第三道用于金属 1 和金属 2 之间的层间电介质的通孔蚀刻，第四道掩模用于金属 2，最后一道掩模蚀刻用于焊盘 (bonding pad) 的钝化层。因此在完成硅处理之后，“+3 工艺”生产出单层金属 (SLM)，所谓“+5 工艺”得到双层金属 (DLM)，“+7 工艺”得到三层金属互连。所有这些互连选项与所示的工艺流程相容，并且与槽限制的结和扩散的使用是相互兼容的。

[0116] 参考图 29A，在 P 衬底 600 上依次沉积氧化物层 602 和光致抗蚀剂层 604，构图光致抗蚀剂层 604 并经由光致抗蚀剂层 604 中的开口蚀刻氧化物层 602。去除光致抗蚀剂层 604，并经由氧化物层 602 中的开口注入（使用与上文描述的具有可比性的条件）锑和单离子化 (single-ionized) 或双离子化 (double-ionized) 的磷（或者两者的组合），如图 29B 所示。

[0117] 去除氧化物层 602，并且将锑和磷长时间驱入。这引起在 P 衬底 600 的表面上形成新的氧化物层 606，并且 N 掩埋层 608 形成在 P 衬底 600 的表面之下，分成区段 (section)608A、608B 和 608C。区段 608A、608B 和 608C 于在氧化物层 602 经由光致抗蚀剂层 604 中的开口蚀刻之后氧化物层 602 留下的位置处分隔。

[0118] 如图 29D 所示，去除氧化物层 606，沉积并构图光致抗蚀剂层 610。在分隔 N 掩埋层 608 的区段 608A、608B 和 608C 的间隙的上方的光致抗蚀剂层 610 中形成开口 612A 和 612B，并在 N 掩埋层 608 的区段 608A 上方的光致抗蚀剂层 610 中形成开口 612C。硼经由开口 612A、612B 和 612C 注入以在 P 衬底 600 中形成 P 掩埋层 614 的区段 614A 和 614B（见图 29E）。由于使用磷来形成 N 掩埋层 608，硼注入的剂量应当相当高（例如 3E14 至 7E15cm^{-2}），以确保在交迭区中硼克服磷掺杂。如果仅仅慢扩散掺杂剂例如锑或砷被用来形成 N 掩埋层 608，硼注入的剂量可以减小到 8E13cm^{-2}。通过开口 612C 的硼掺杂剂不会反掺杂 (counterdope) N 掩埋层区段 608A 中的磷和锑，因此未在图 29E 中示出。

[0119] 如图 29E 所示，在 P 衬底 600 之上生长 N 外延层 616。在此工艺期间，N 掩埋层 608 和 P 掩埋层 614 向上扩散进入 N 外延层 616。不需要附加扩散来形成这个结，因为外延沉积工艺本身发生在高温下。由于 N 掩埋层 608 包括快扩散掺杂剂磷，在外延生长之前进行的磷和锑注入在扩散中的驱入期间，N 掩埋层 608 中的峰值掺杂剂浓度显著地向下移动。因此，在向上扩散进入 N 外延层 616 期间，硼通常移动在磷前面（硼具有更高的浓度和更高的扩散系数），并且 P 掩埋层 614 比 N 掩埋层 614 的磷和锑掺杂剂更高地进入到 N 外延层 616 中。相反地，如图 29E 所示，P 掩埋层 614 没有延伸到 P 衬底 600 中的磷 / 锑扩散之下。这在 P 掩埋层 614 的区段 614C 的情况下是重要的，因为如果 P 掩埋层部分 614C 延伸到 N 掩埋层区段 608A 之下，阱（由 N 掩埋层部分 608A 围起）到下面衬底的击穿电压会降低（见

图 29M)。

[0120] P 掩埋层 614 的区段 614A 和 614B 可以接触 N 掩埋层 608 的区段 608A、608B 和 608C，如图 29E 所示，或者 P 掩埋层 614 的区段 614A 和 614B 可以与 N 掩埋层 608 的区段 608A、608B 和 608C 分隔，如图 29F 所示。P 掩埋层 614 的区段 614A 和 614B 与 N 掩埋层 608 的区段 608A、608B 和 608C 之间的间距（或没有）通过改变光致抗蚀剂层 610 中开口 612A 和 612B 的宽度加以控制（见图 29D)。在此次讨论的剩余部分，假定开口 612A 和 612B 的宽度被设定为产生图 29F 所示的实施例。

[0121] 如图 29G 所示，槽 618 形成在 N 外延层 616 中并用氧化物层 622 填充，优选地使用图 27A-27I 中示出的工艺。槽 618 形成 N 外延层 616 中的居间台地 620A-620I。在本实施例中，槽 618 没有延伸至深达 P 掩埋层 614 的上边界。在其它实施例中，该些槽可以延伸进入 P 掩埋层 614，但是它们不应该延伸至完全穿过 P 掩埋层 614 或完全穿过 N 外延层 616 进入 P 衬底 600。槽 618 的宽度优选在 0.8 至 1.2μm 范围内，尽管可以使用更窄的槽。

[0122] 从图 29G 明显看出，一些槽 618 与 P 掩埋层 614 的区段 614A、614B 和 614C 的垂直边缘对齐。具体地，槽 618B 与区段 614C 的边缘对齐，槽 618C 和 618D 与区段 614A 的相对边缘对齐，以及槽 618F 和 618G 与区段 614C 的相对边缘对齐。结果，台地 620B 位于区段 614C 上方，台地 620D 位于区段 614A 上方，台地 620G 位于区段 614B 上方。使用由掩埋层注入期间生长的氧化物层在 P 衬底 600 的顶表面中形成的凹痕 (indentation)，实现这些对齐。使用具有一频率的红外线，在该频率下硅有些透明，这些凹痕的“图像”可通过掩模对准机器透过薄外延层观看到。尽管由于外延层的弥散 (dispersal) “图像”稍微模糊，但是实现掩模与掩埋层的良好对准是足够清晰的。图 29C，例如，示出了在外延生长前形成 N 掩埋层 608 期间形成在 P 衬底 600 中的边缘。这些边缘，尽管在 N 外延层 616 的生长期间被硅覆盖，通过红外线，仍然可以在外延的底边缘、在衬底与外延的界面处观看到。用于将外延层表面上的部件与掩埋层对准的技术对于本领域技术人员是公知的，因此这里不再详细阐述。

[0123] 图 29G 所示的槽 618 的深度在图中示出为大约是外延层 616 厚度的一半，但根据工艺需要它可以延伸得更深或做得更浅。最重要的是，它没有延伸到完全穿过外延层，即，槽不是与外延层的厚度一样深，因此它不应当被认为是深槽隔离或其等效情况。如图 29G 所示，槽在它被蚀刻和填充时具有 接近交迭在 P 掩埋层 614C 上但是实际上与 P 掩埋层 614C 隔开的深度。然后在后续热处理中，PBL 614C 层将向上扩散并可能与槽 618 交迭，尽管这个结果不被工艺流程所要求。

[0124] 如图 29H 所示，光致抗蚀剂层 624 形成在氧化物层 622 的表面上并被构图，从而具有位于台地 620C、620F 和 620H 上方的开口。砷和磷经由光致抗蚀剂层 624 中的该开口注入从而在台地 620C、620F 和 620H 中分别形成 N+ 下沉区 626C、626F 和 626H，如图 29I 所示。磷迅速地扩散而砷更慢地扩散，因此这两种掺杂剂的组合拉平 (level out) 了 N+ 下沉区 626C、626F 和 626H 的掺杂剂分布 (dopant profile)。包括砷和磷的混合注入涉及具有基本上不同扩散系数的两种掺杂剂。更快的磷可以比砷更轻地掺杂（例如，$7E13cm^{-2}$，而不是 $2E15cm^{-2}$)，使得在后续热处理期间磷不会过深地延伸到硅中。

[0125] 接着剥离光致抗蚀剂层 624，可以使用 1000℃至 1200℃的高温扩散工艺局部地扩散 N 型下沉区扩散剂 1 至 7 小时，但是优选在 1100℃至 1150℃之间。或者，扩散完全可以

省略，或者注入和退火被磷的预沉积所取代（使用诸如 $POCL_3$ 的气态源）。预沉积是本领域所公知的，这里将不再详细阐述。

[0126] 然后，光致抗蚀剂层 628 形成在氧化物层 622 的表面上并被构图，从而具有位于台地 620B、620D、620G 和 620I 上方的开口。硼经由光致抗蚀剂层 628 中的该开口注入以在台地 620B、620D、620G 和 620I 中分别形成 P+ 隔离区域 630B、630D、630G 和 630I/630I′。去除光致抗蚀剂层 628。

[0127] 现在退火该结构以驱入 (drive in)N+ 和 P+ 掺杂剂（这里称为隔离扩散）。退火的结果是，P+ 隔离区域 630B 与 P 掩埋层 614C 汇合，N+ 下沉区 626C 与 N 掩埋层 608A 汇合，P+ 隔离区域与 P 掩埋层 614A 汇合；N+ 下沉区 626F 与 N 掩埋层 608B 汇合，P+ 隔离区域 630G 与 P 掩埋层 614B 汇合，以及 N+ 下沉区 626H 与 N 掩埋层 608C 汇合。P+ 隔离区域 630I 和 630I′ 向下扩散但是没有与任何其它区域汇合。P+ 隔离区域 630D 与 P 掩埋层 614A 的结合以及 P+ 隔离区域 630G 与 P 掩埋层 614B 的结合形成在顶部被槽 618 横向限制的 P 型掺杂剂列，其延伸进入 P 衬底 600 并且使形成在 N 外延层 616 中的器件相互隔离。所得结构显示在图 29J 中（只是 PB 区域 638 和 NB 区域 632 还没有形成）。

[0128] 在这个工艺流程中，硼隔离、磷下沉区和各种驱入扩散的顺序可以改变 而不会实质上改变所得器件（只要总的热预算、温度 - 时间周期 (temperature-time cycle) 到这时保持固定）。例如，硼隔离可以在 N 下沉区注入之前，N 下沉区注入可以（或者可以不）采用注入后局部驱动扩散 (postimplant partial drive diffusion)。

[0129] 另一种替代方案是使用具有高达 3MeV 的注入（但是优选具有从 0.5MeV 上至 2MeV 的不同能量的几次注入）的高能离子注入来注入隔离或下沉区或两者，从而注入之后的更深的结（已经超过 2.5μm）比低注入能量深扩散型需要更少的扩散时间和更低的温度。

[0130] 图 29J 中，N 型扩散 (N 下沉区和 N 掩埋层）示出为与 P 型扩散 (P 隔离区域和 P 掩埋层）隔开。即使 N 型扩散和 P 型扩散之间存在接触（如图 29E 所示的实施例），这个接触只能发生在槽 618 的下面，在该处掺杂浓度较低。按照这种方式形成的任何 PN 结的击穿电压会较高，尤其是与如果槽不在那儿时形成的表面结相比较。换句话说，N 下沉区和 P 隔离区域通过 N 外延层 616 表面附近的槽 618 分隔，在 N 外延层 616 的表面附近这些扩散的掺杂浓度高而足以导致低的击穿电压。在 N 外延层 616 的下部，该处在 N 下沉区和 P 隔离区域（或相应的 N 和 P 掩埋层）之间可能存在接触，这些扩散的掺杂浓度较低（并且更多分级或散开），因此可形成的任何 PN 结的击穿电压会比较高。

[0131] N 外延层 616 的表面被掩蔽（未示出）并且 N 型掺杂剂例如磷经由掩模中的开口注入以形成 N 基极区域 632，如图 29J 所示。磷注入可以从 60keV 至高达 2MeV。较低的注入能范围通常需要工艺中稍后的驱入扩散（对于 0.5μm 至 2.5μm 的最后结深）、或需要使用多晶硅发射极（对于 0.5μm 以下的结深）。较高的能量注入需要更少的扩散或不需要扩散。注入剂量范围从 $3E13cm^{-2}$ 至 $2E14cm^{-2}$。剥离光致抗蚀剂掩模，以及沉积和构图光致抗蚀剂层 634 以形成开口 636。硼 (B^+ 和 / 或 B^{++}) 经由开口 636 注入以在台地 620E 中形成 P 基极区域 638。硼的更深注入，称为本征基极，剂量可以在 $3E13cm^{-2}$ 至 $2E14cm^{-2}$ 的范围，注入能量在 90keV 至 2MeV 的范围。较低的注入能量范围通常需要工艺中稍后的驱入扩散（对于 0.5μm 至 2.5μm 的最后结深）、或需要使用多晶硅发射极（对于 0.5μm 以下的结深）。较高的能量注入需要更少的扩散或不需要扩散。本征注入剂量在 $3E13cm^{-2}$ 至 $2E14cm^{-2}$ 的范

围。

[0132] 如虚线所示，优选通过两次注入的叠加形成 P 基极区域 638，即，在 N 外延层 616 的表面附近创建低电阻区的低能注入（称作非本征基极注入）和更深地渗透到 N 外延层 616 中的较高能量注入（前述本征基极注入）。非本征基极注入典型的是在剂量大于 $5E14cm^{-2}$、能量为 30 至 60keV 下进行的 B^+ 或 BF_2^+ 种类 (species)。如果进行显著基极扩散，非本征注入的使用具有有限的用途。对于浅结器件，它极大地提高性能。

[0133] 在高温下使用相当长的扩散时间形成 N 基极区域 632 或 P 基极区域 638 而不是使用更高注入能量的情形下，则必须从下沉区和隔离扩散消去热时间 (hot time)。

[0134] 在注入两个基极区域后，去除光致抗蚀剂层 634，并且沉积和构图光致抗蚀剂层 640 以形成一系列开口，如图 29K 所示。砷经由光致抗蚀剂层 640 中的开口注入从而在 N 基极 632 和 N 下沉区 626C、626F 和 626H 中形成接触区域，并且在 P 基极区域 638 中形成 N 发射极区域 642。N 发射极区域 642 延伸到 P 基极区域 638 的重掺杂表面区之下，使得基极的电特性由 N 发射极区域 642 下面的更轻掺杂部分决定，通过本征基极垂直导电。N+ 注入可以是 30keV 至 50keV 的磷，或优选是 60keV 至 120keV 的砷，剂量是 $2E15cm^{-2}$ 至 $7E15cm^{-2}$。

[0135] 去除光致抗蚀剂层 640，并且沉积和构图光致抗蚀剂层 644 以形成一系列开口，如图 29L 所示。硼经由光致抗蚀剂层 644 中的开口注入从而在 P 隔离区域 630B、630D、630G、630I 和 630I′ 中形成接触区域，在 N 基极区域 632 中形成 P 发射极区域 646，并且在 P 基极区域 638 中形成接触区域 648。P+ 注入可以是 30keV 至 50keV 的硼，或优选是 60keV 至 120keV 的 BF_2^+，剂量是 $2E15cm^{-2}$ 至 $7E15cm^{-2}$。然后去除光致抗蚀剂层 644。

[0136] 如图 29M 所示，在氧化物层 622 上沉积电介质层 650。电介质层 650 被掩蔽，经由掩模中的开口蚀刻电介质层 650 和氧化物层 622 从而形成至 N 外延层 616 中不同区域的开口。在开口中沉积 Ti 或 TiN 阻挡层 651，并且第一金属层 652 沉积在阻挡层 651 上方并被构图以形成金属接触。在电介质层 650 上沉积第二电介质层 654，并施加一具有定位为接触 P 隔离区域 630B、630D 和 630I 的开口的通孔掩模。经由通孔掩模中的开口在电介质层 654 中蚀刻出通孔，并且在通孔中沉积第二金属层 656。

[0137] 这个工艺的结果是，已经在 N 外延层 616 中形成了垂直 PNP 晶体管 660、垂直 NPN 晶体管 662 和横向 PNP 晶体管 664。垂直 PNP 晶体管 660 包括以 下区域：

[0138] 发射极：P+ 区域 646

[0139] 基极：N 基极区域 632 和 N 外延层 616 的一部分

[0140] 集电极：P 掩埋层 614C 和 P 隔离区域 630B

[0141] 垂直 PNP 晶体管 660 通过包括 N 掩埋层 608A 和 N 下沉区 626C 的隔离结构与 P 衬底 600 隔离。

[0142] 垂直 NPN 晶体管 662 包括以下区域：

[0143] 发射极：N+ 区域 642

[0144] 基极：P 基极区域 638

[0145] 集电极：N 外延层 616 的一部分、N 掩埋层 608B、N 下沉区 626F

[0146] 横向 PNP 晶体管 664 包括以下区域：

[0147] 发射极：P 隔离区域 630I′

[0148] 基极：N 外延层 616 的一部分、N 掩埋层 608C、N 下沉区 626H

[0149] 集电极 :P 隔离区域 630I

[0150] 此外，垂直 PNP 晶体管 660 通过包括 P 隔离区域 630D 和 P 掩埋层 614A 的垂直列与垂直 NPN 晶体管 662 隔离。垂直 NPN 晶体管 662 通过包括 P 隔离区域 630G 和 P 掩埋层 614B 的垂直列与横向 PNP 晶体管 664 隔离。

[0151] 使用现有技术工艺，由于热处理期间的横向掺杂剂扩展，晶体管 660、662 和 664 通常将不得不彼此隔开数十微米。相反，使用本发明的横向限制的下沉区和隔离区域，晶体管 660、662 和 664 之间的间距，图 29M 示出为 X_1 和 X_2，可以减小至仅 3 至 4 微米。这允许晶片上器件的封装密度的大幅增加，而不牺牲器件间电隔离的质量。

[0152] 图 30 示出了用于减小横向间距的槽限制的扩散的优势，尤其是在小特征尺寸深扩散方面。附图示出了四个被扩散了的区域，每一个开始于相同的浅离子注入（全部采用 $8E13cm^{-2}$ 的剂量和 80keV 的能量），接着是相同的扩散（1100℃，4 小时）。垂直和横向尺度上标记的增量是 0.5μm。灰色的阴影表示最后掺杂浓度方面的数量级差异。

[0153] 槽限制的宽扩散 701A 中，被注入的区域跨距槽 702 之间的宽度，产生具有 2μm 宽度的扩散 703（由线 A-A′ 表示）。最重掺杂部分向下扩散至 1μm 的深度，如线 E-E′ 所示。注意到扩散延伸至刚好在槽下面，深度小于 2μm，但是重掺杂部分仅向下延伸至 E-E′ 线。

[0154] 扩散 701B 是不受限制的宽扩散的例子，包括由具有 2μm 宽度（由线 B-B′ 指示，长度上等于线 A-A′ ）的注入构造的扩散 704。高温驱入后，区域 740 扩散，它的重掺杂部分到达 1μm 的深度，到达由线 E-E′ 标识的深度，并且横向扩散 705 将扩散的宽度扩展到大大地超过注入的 2μm 宽度。横向扩散 705 通常表现出等于结深 85％的横向范围。由于掩模中用于定义注入的开口宽度比扩散 704 的重掺杂部分的深度宽，常规扩散 701B 与限制的扩散 701A 具有基本上相同的深度。

[0155] 扩散 710A 是被槽 712 限制的窄扩散的例子。注入 713 从槽延伸到槽，如线 C-C′ 的长度所指示，具有约 0.5μm 的宽度。尽管扩散 710A 的宽度小于扩散的深度，结 713 具有明显地等于（如果不是略微大于）宽扩散 701A 和 701B 的深度，因此没有表现出欠缺扩散。即使其深度，槽限制的扩散 713 也具有非常窄的宽度。

[0156] 扩散 710B 是不受限制的窄扩散的例子，其中二维扩散的不利结果（所谓“欠缺扩散”）变得明显。不仅被扩散了的区域 714 横向扩展进入区 715，而且扩散 714 的重掺杂部分甚至没有扩散足够深到越过线 E-E′ 。事实上是扩散的大的横向分量将扩散从一维改变为二维，产生点源。比较 710A 和 710B，槽限制的扩散更深、更重掺杂、并且更窄，所有这些是实现集成电路元件所期望的特性。

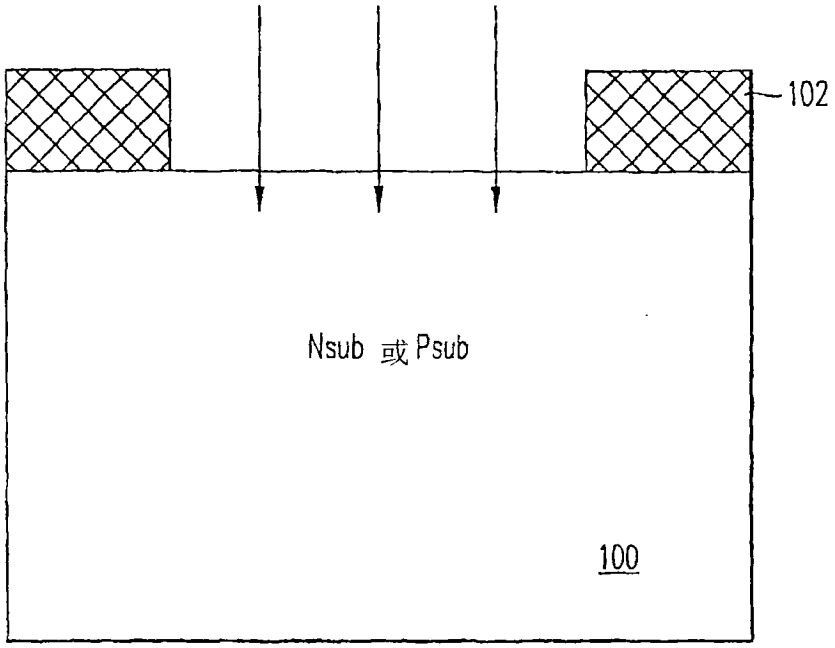


图 1A

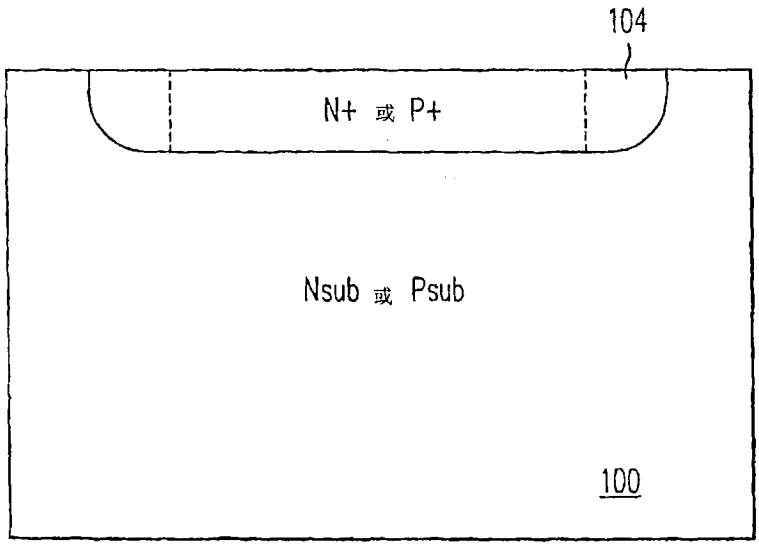


图 1B

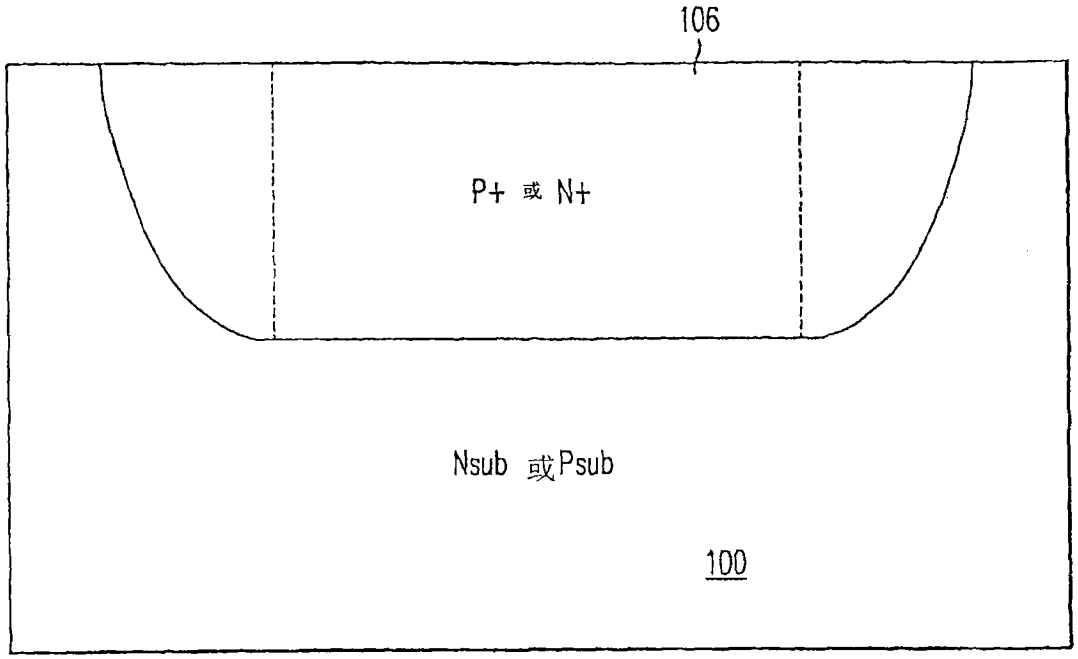


图 1C

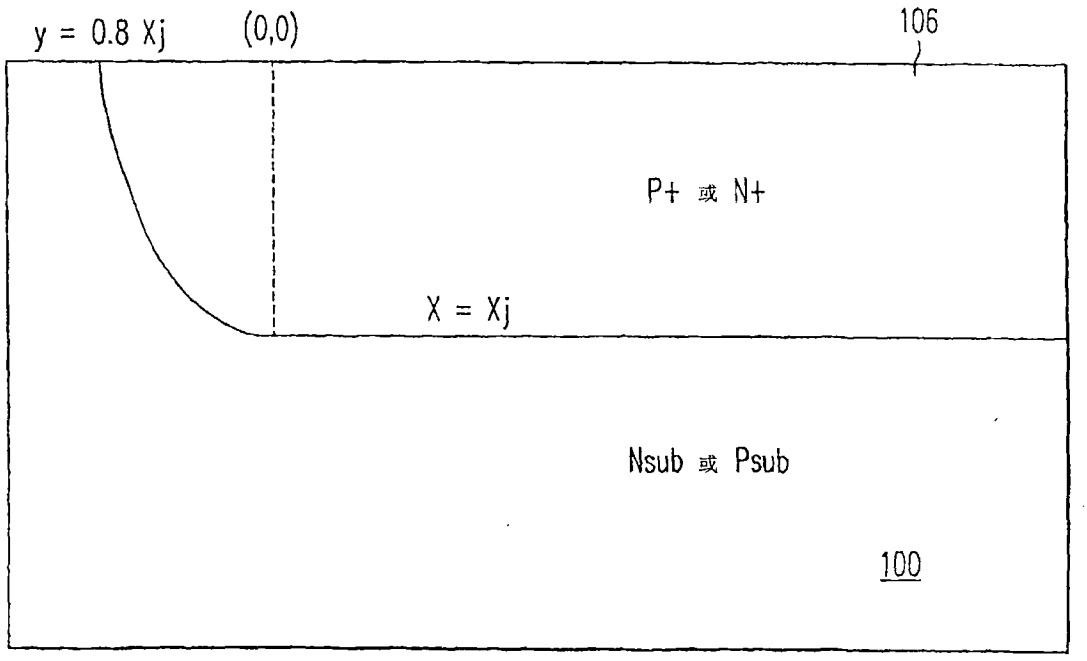


图 1D

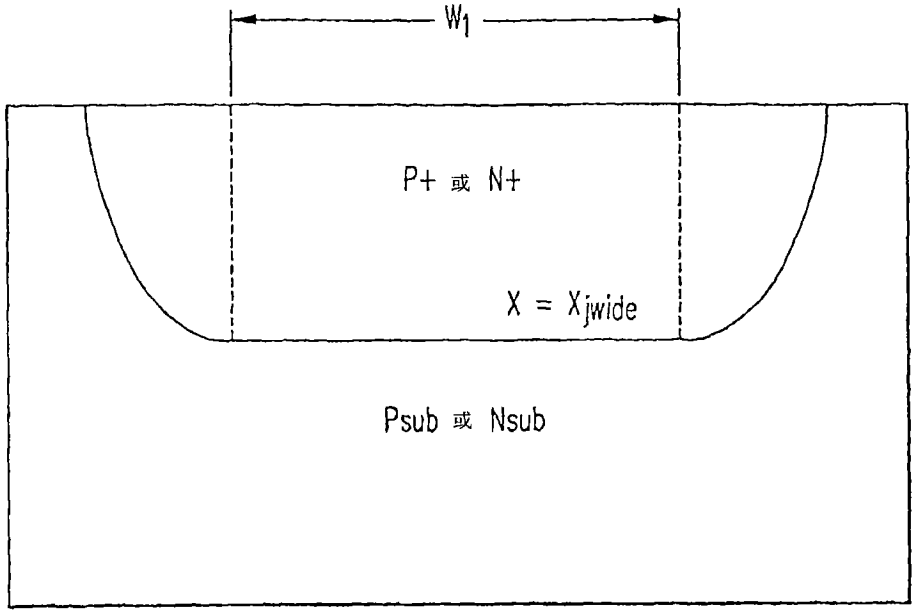


图 2A

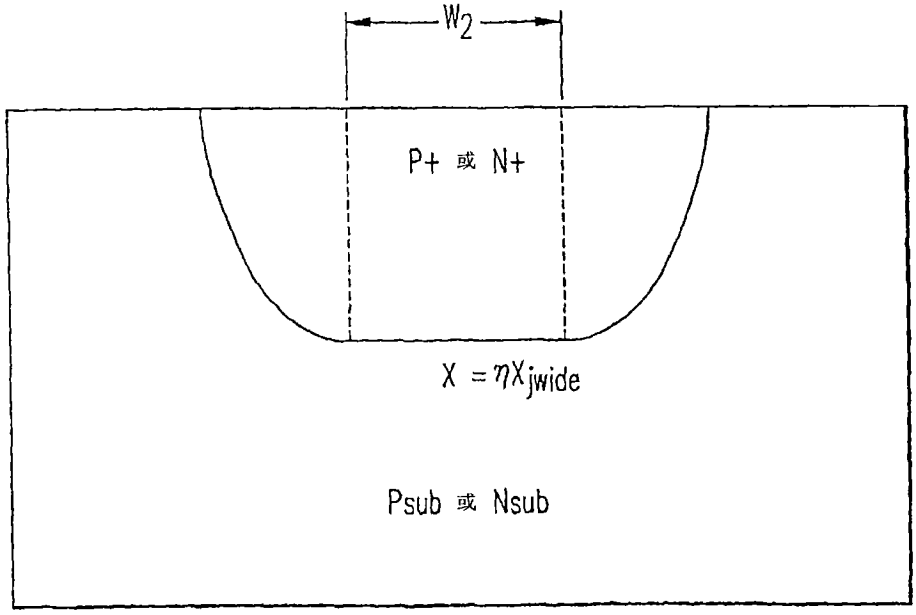


图 2B

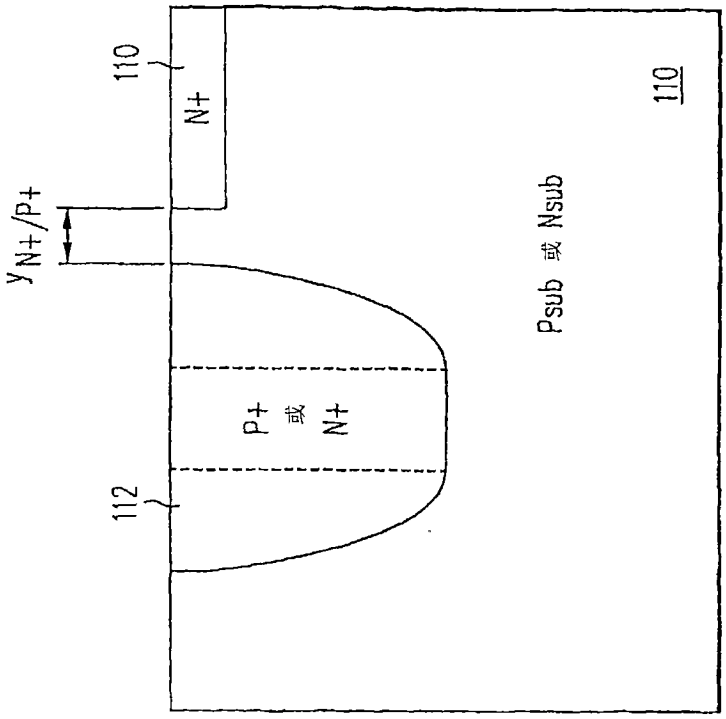

110
N+
$y_{N+/P+}$
110
Psub 或 Nsub
P+ 或 N+
112

图 3B

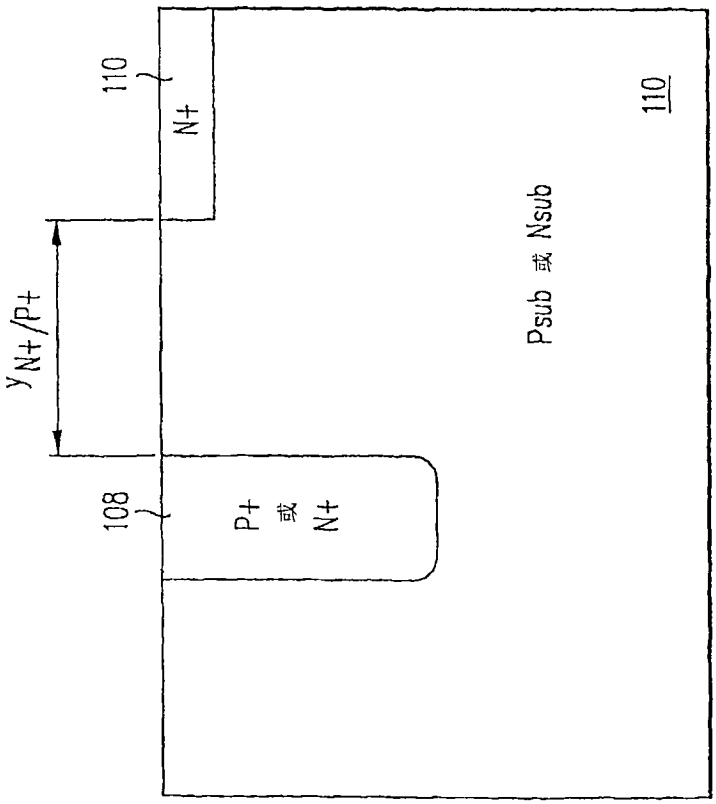

110
N+
$y_{N+/P+}$
110
Psub 或 Nsub
P+ 或 N+
108

图 3A

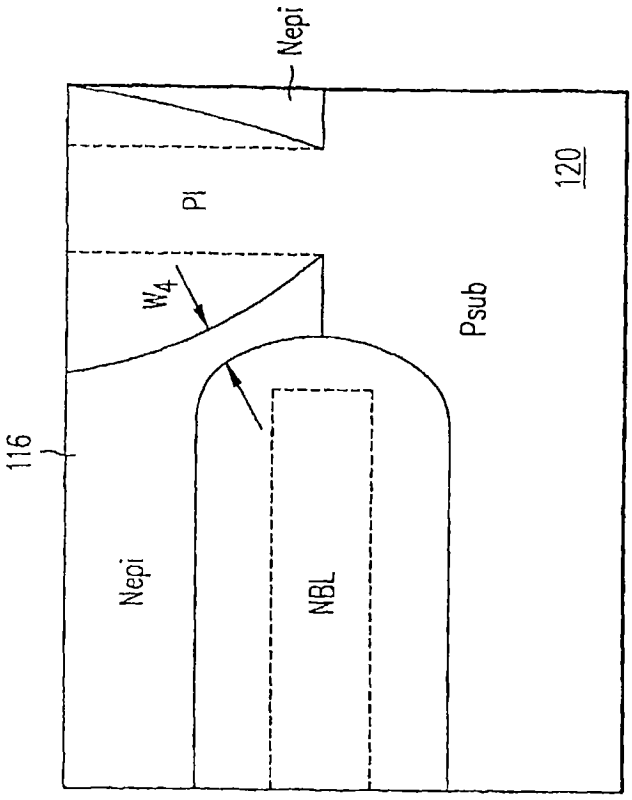

Nepi
120
PI
W_4
Psub
116
Nepi
NBL

图 4B

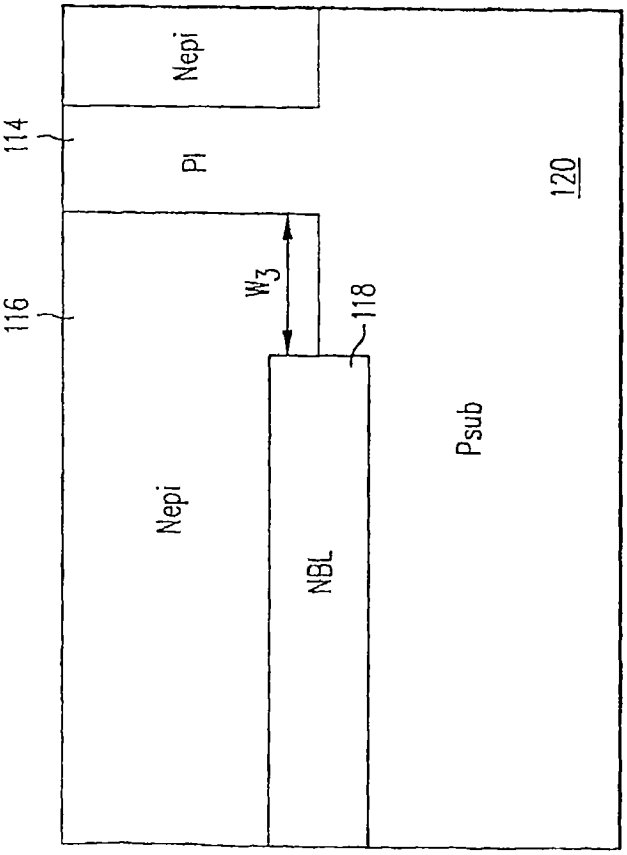

Nepi
114
PI
120
W_3
118
116
Nepi
NBL
Psub

图 4A

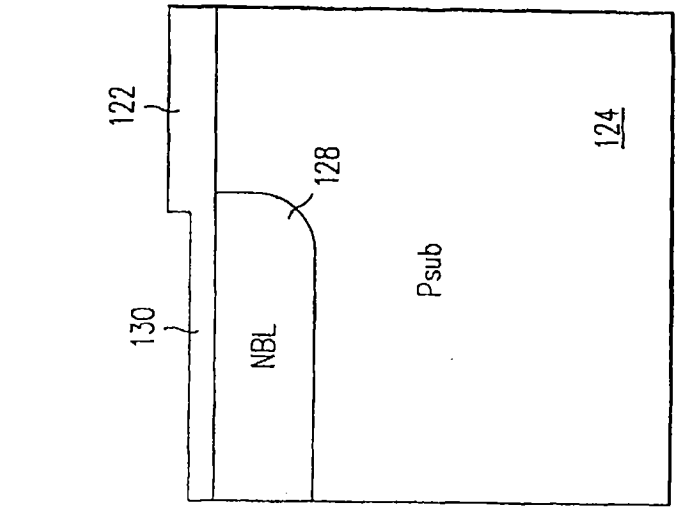


图 5C

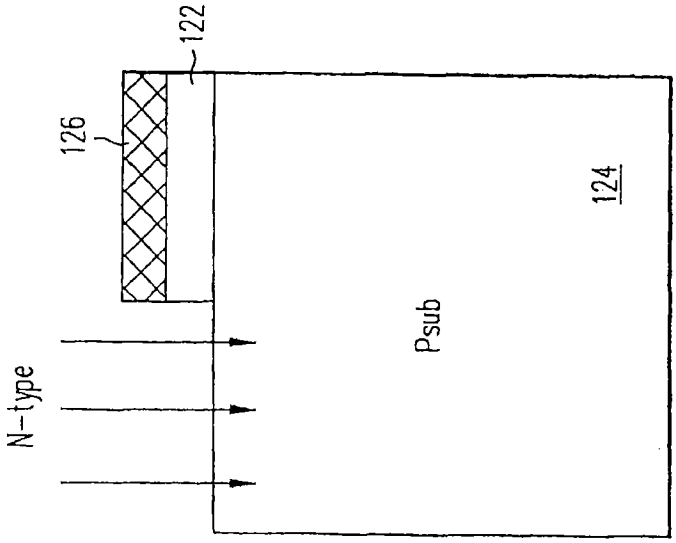


图 5B

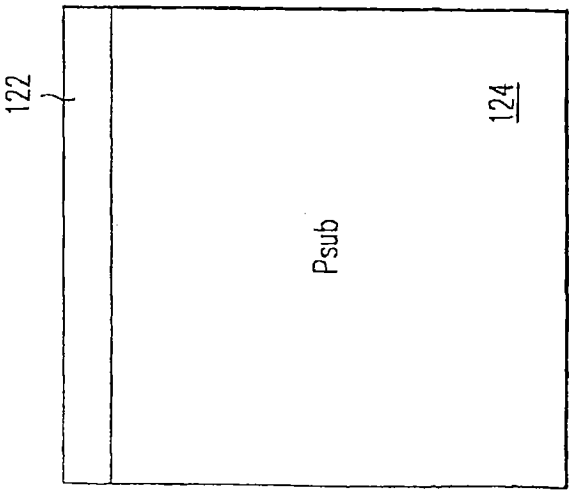


图 5A

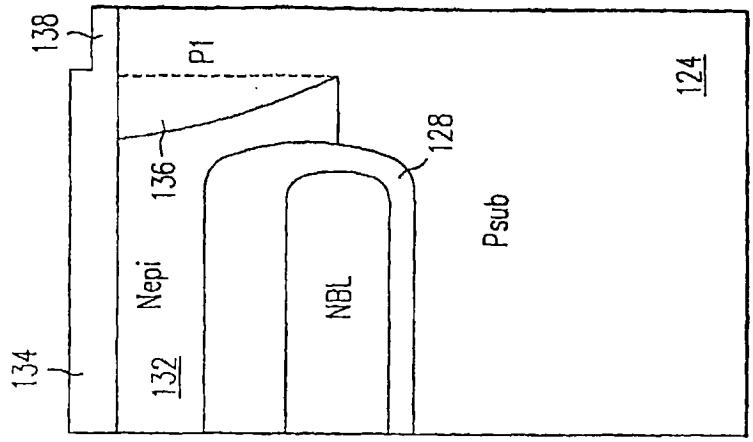

138
P1
136
128
124
Nepi
NBL
Psub
132
134

图 5F

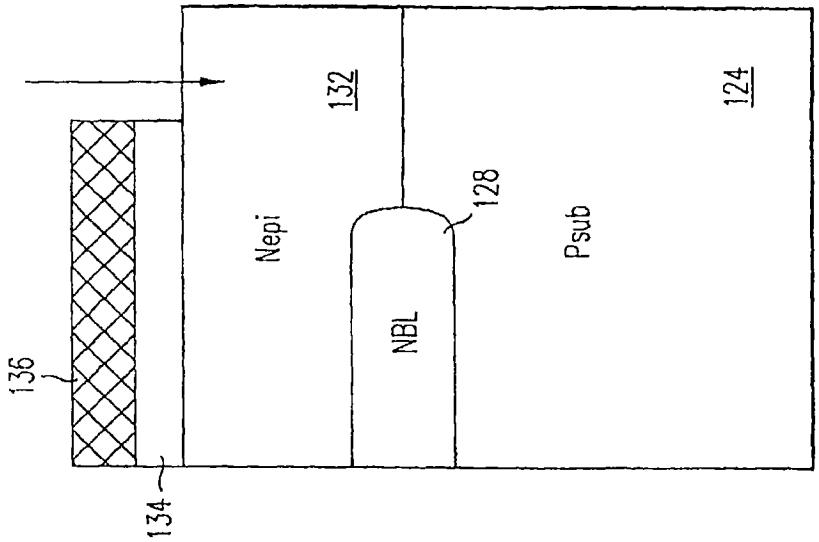

136
132
124
128
Nepi
NBL
Psub
134

图 5E

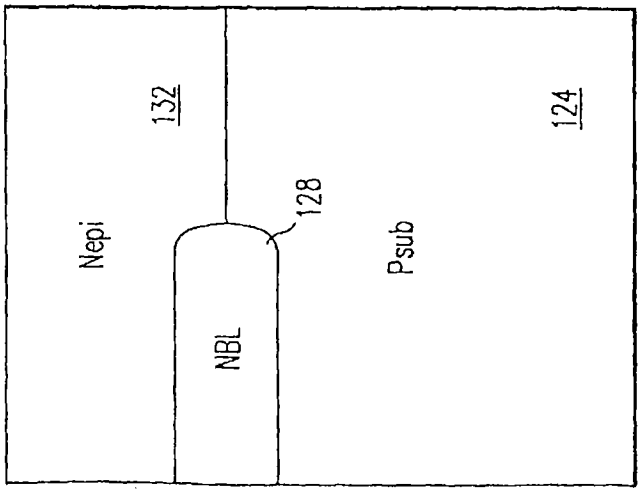

132
124
128
Nepi
NBL
Psub

图 5D

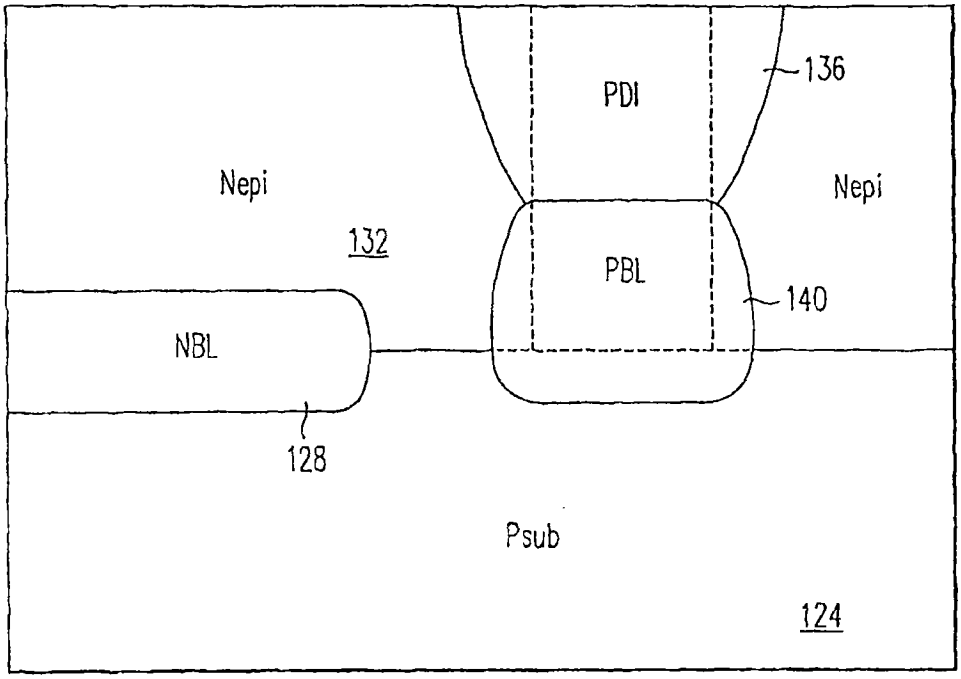

PDI
136
Nepi
Nepi
132
PBL
140
NBL
128
Psub
124

图 6

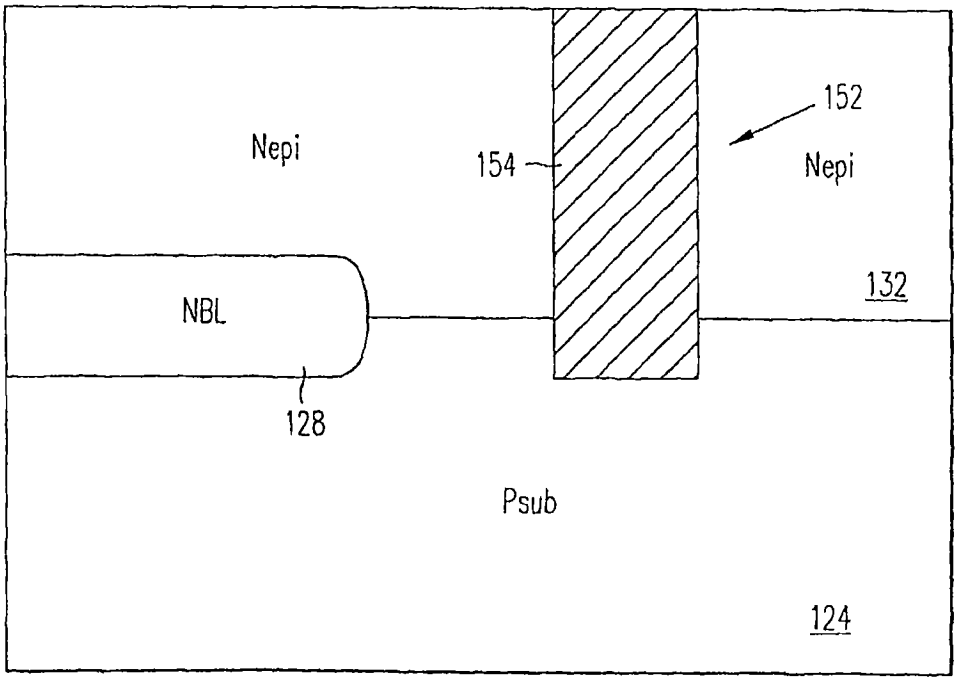

152
Nepi
154
Nepi
132
NBL
128
Psub
124

图 8

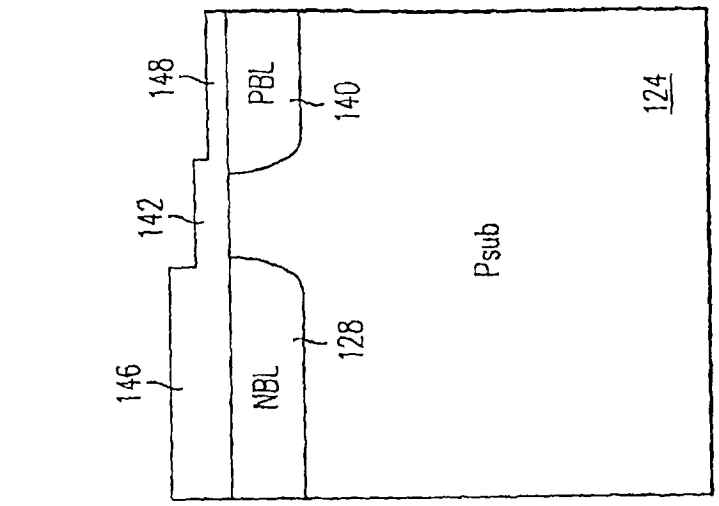

148
PBL
140
124
142
Psub
128
146
NBL

图 7C

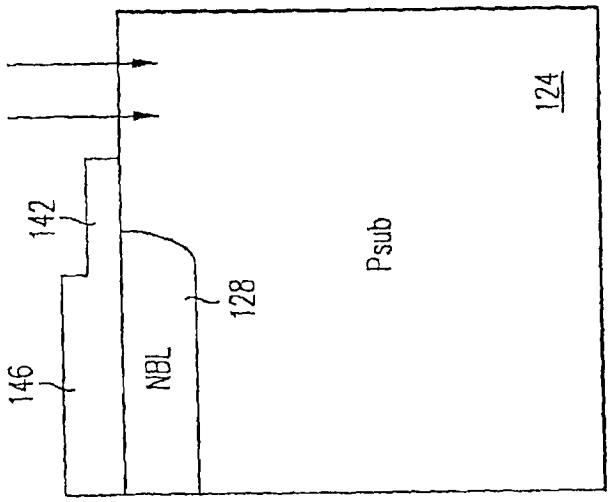

124
142
Psub
128
146
NBL

图 7B

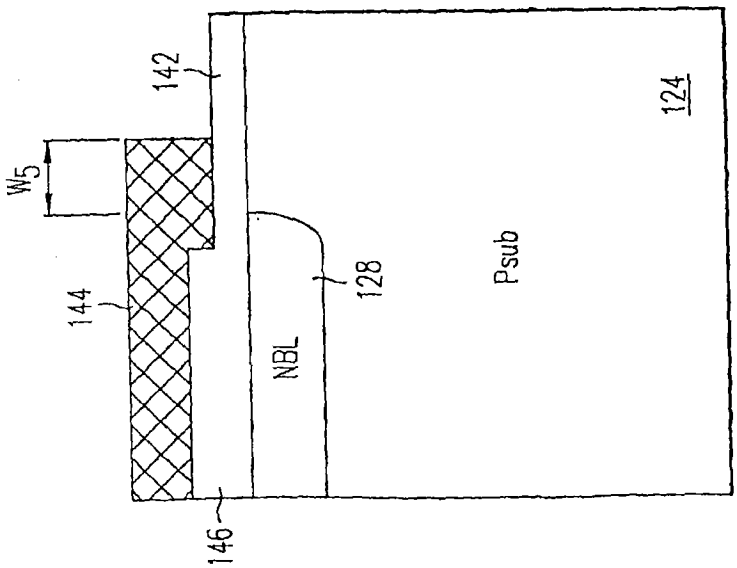

142
124
W5
144
Psub
128
NBL
146

图 7A

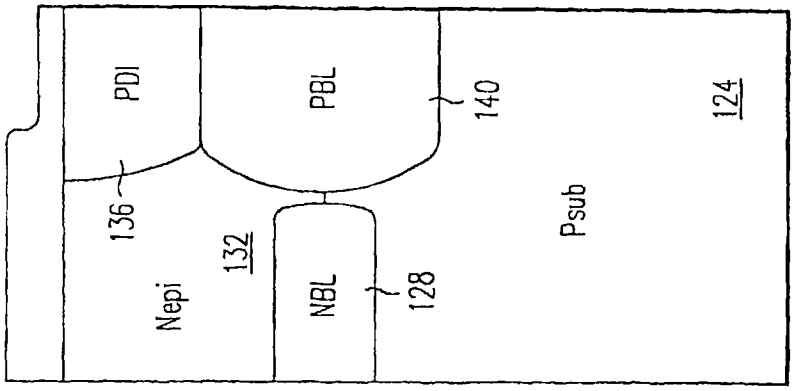

PDI
PBL
140
124
136
132
Nepi
NBL
128
Psub

图 7F

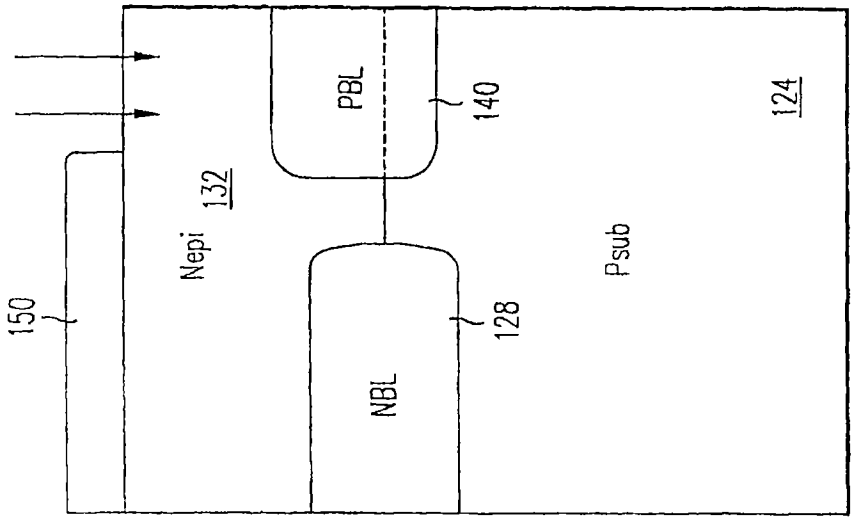

PBL
140
124
132
Nepi
150
NBL
128
Psub

图 7E

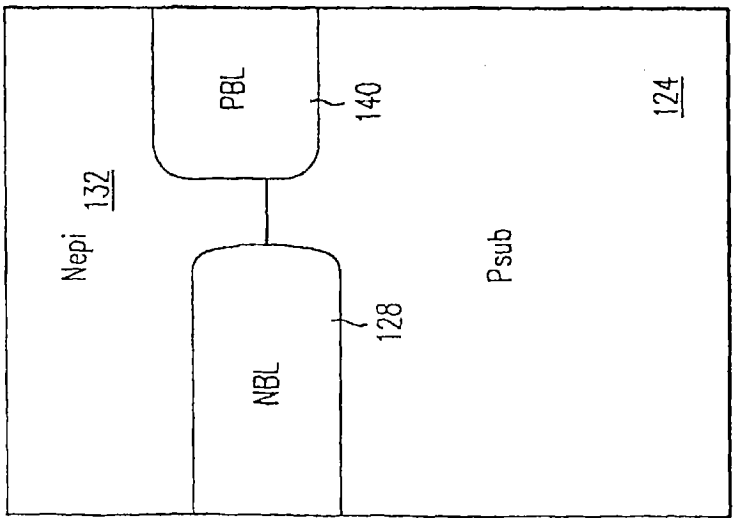

PBL
140
124
132
Nepi
NBL
128
Psub

图 7D

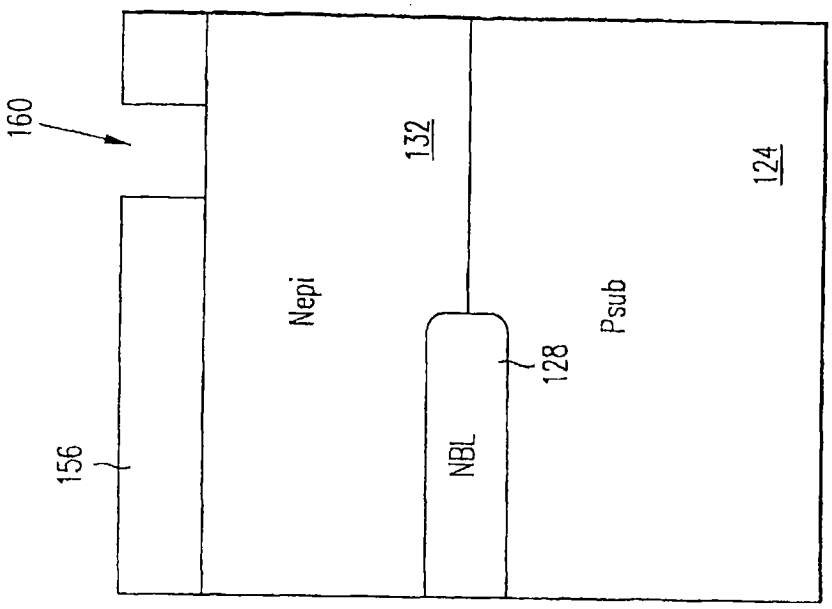

160
132
124
Nepi
Psub
128
NBL
156

图 9B

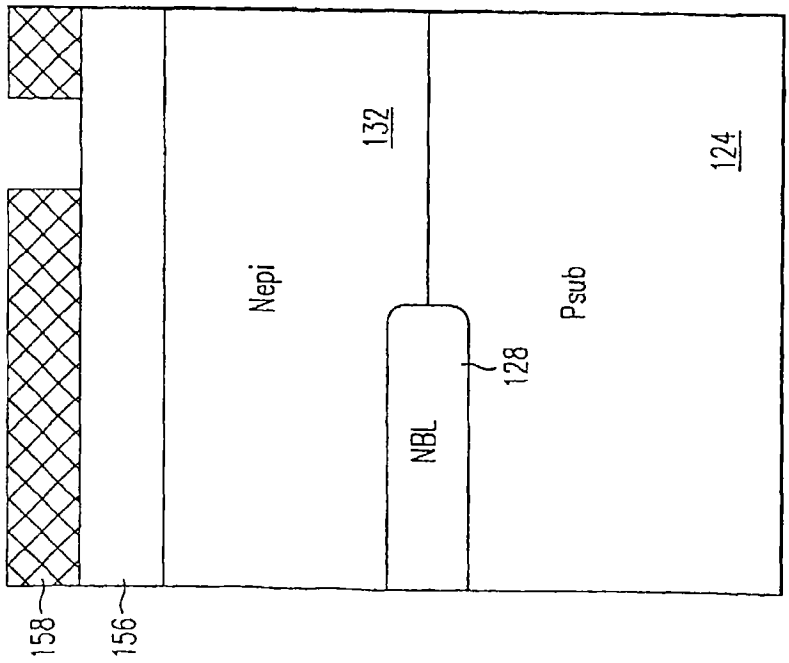

132
124
Nepi
Psub
128
NBL
158
156

图 9A

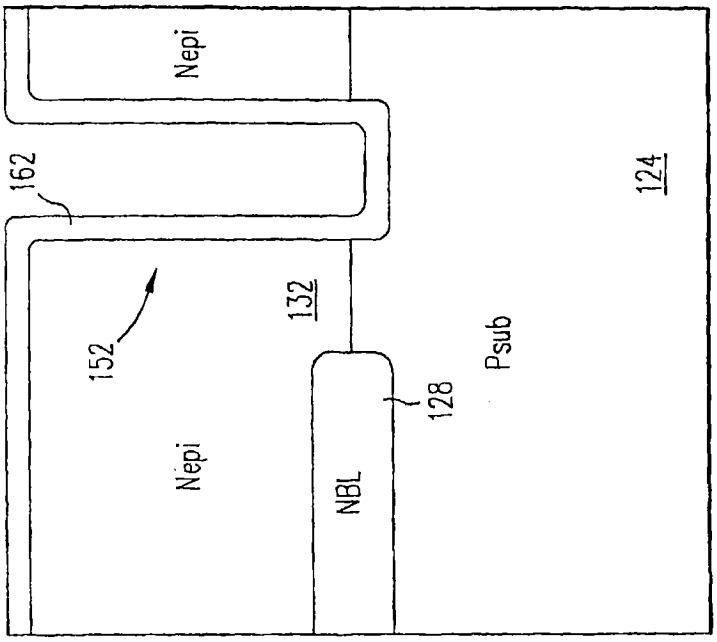

Nepi
162
124
152
132
Psub
128
Nepi
NBL

图 9D

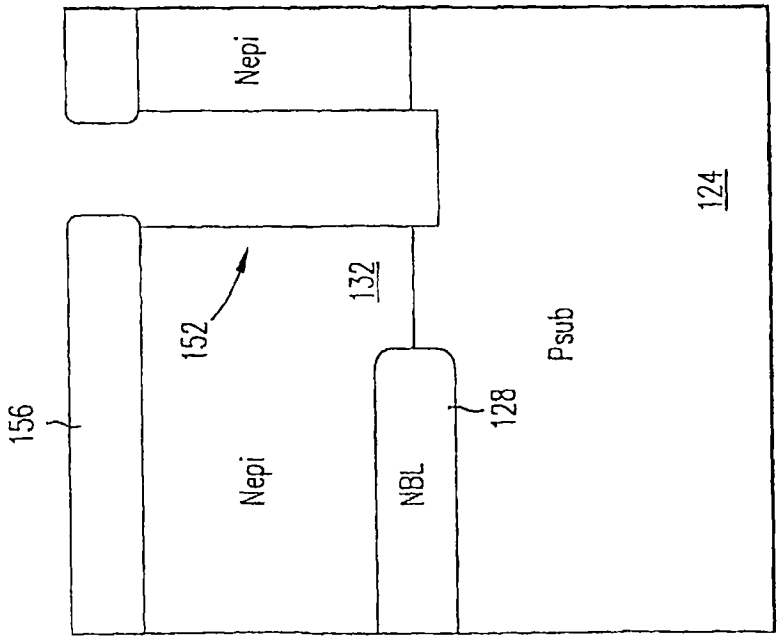

Nepi
124
152
132
Psub
156
128
Nepi
NBL

图 9C

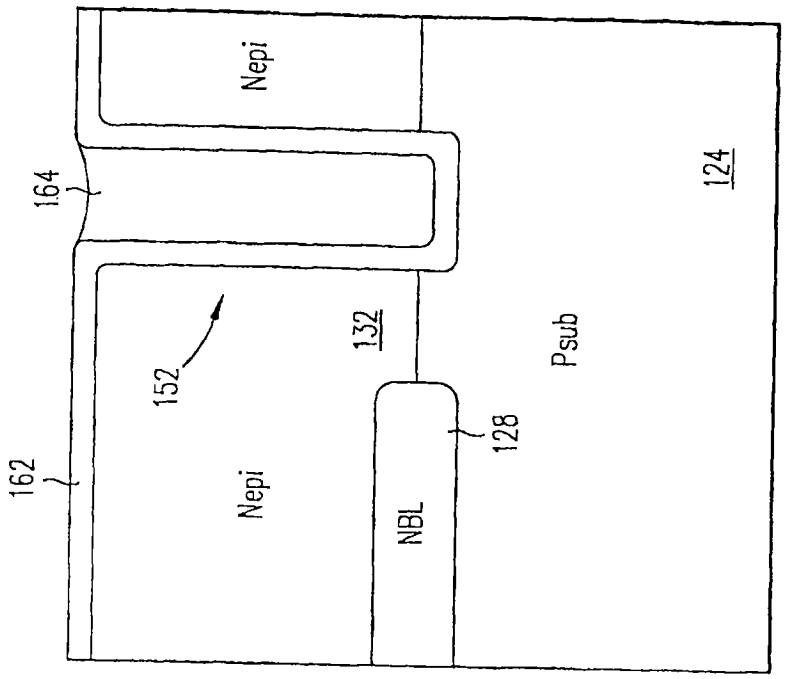

Nepi
164
124
152
132
Psub
162
Nepi
NBL
128

图 9F

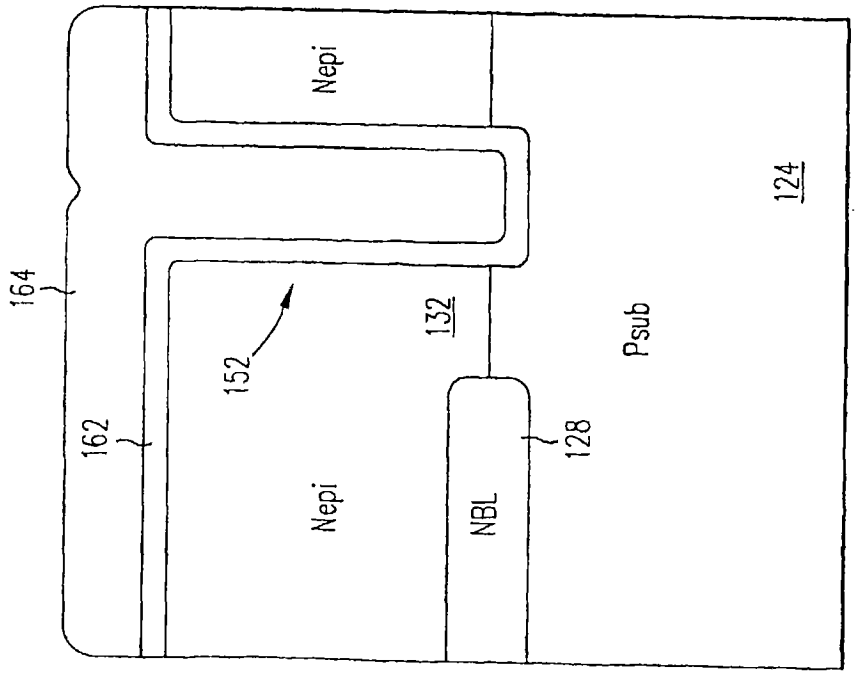

Nepi
164
124
152
132
Psub
162
Nepi
NBL
128

图 9E

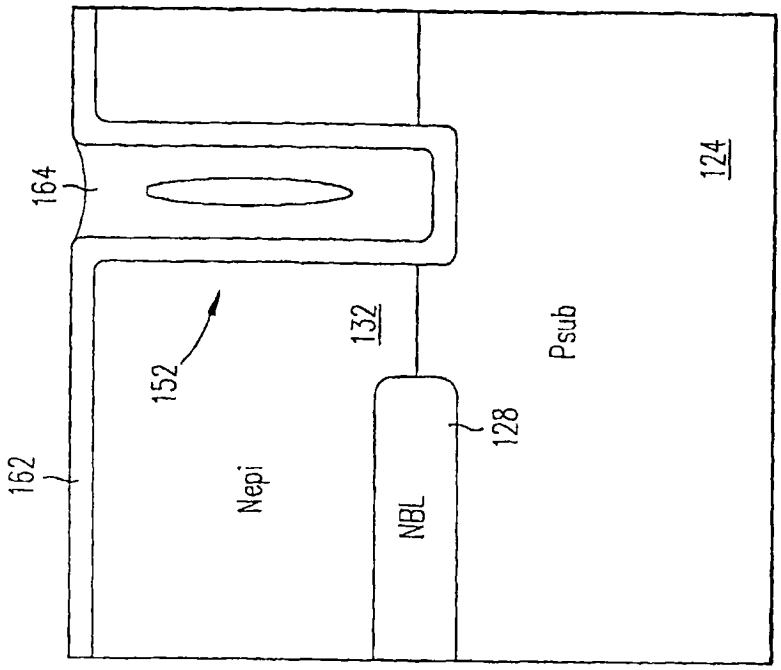

164
124
152
132
Psub
162
Nepi
NBL
128

图 10B

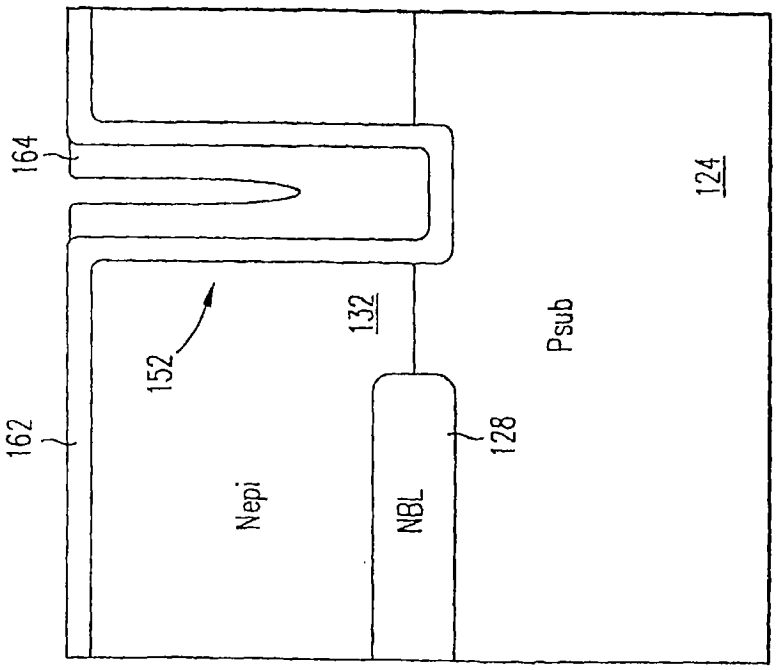

164
124
152
132
Psub
162
Nepi
NBL
128

图 10A

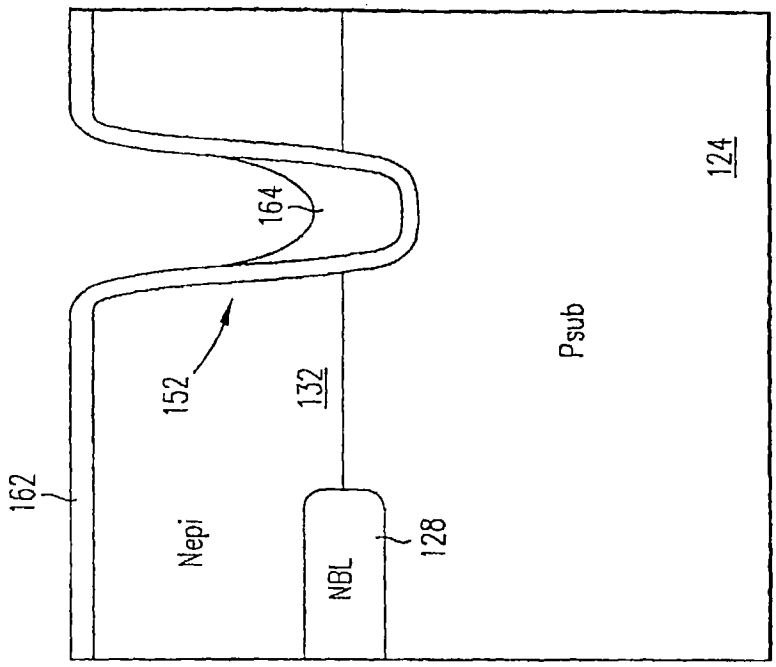

162
164
152
132
124
Nepi
NBL
128
Psub

图 10D

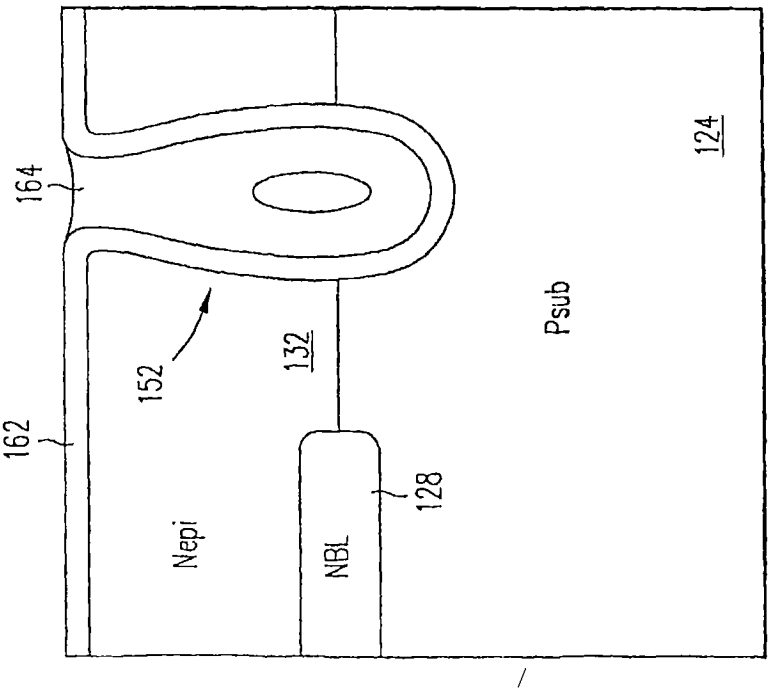

162
164
152
132
124
Nepi
NBL
128
Psub

图 10C

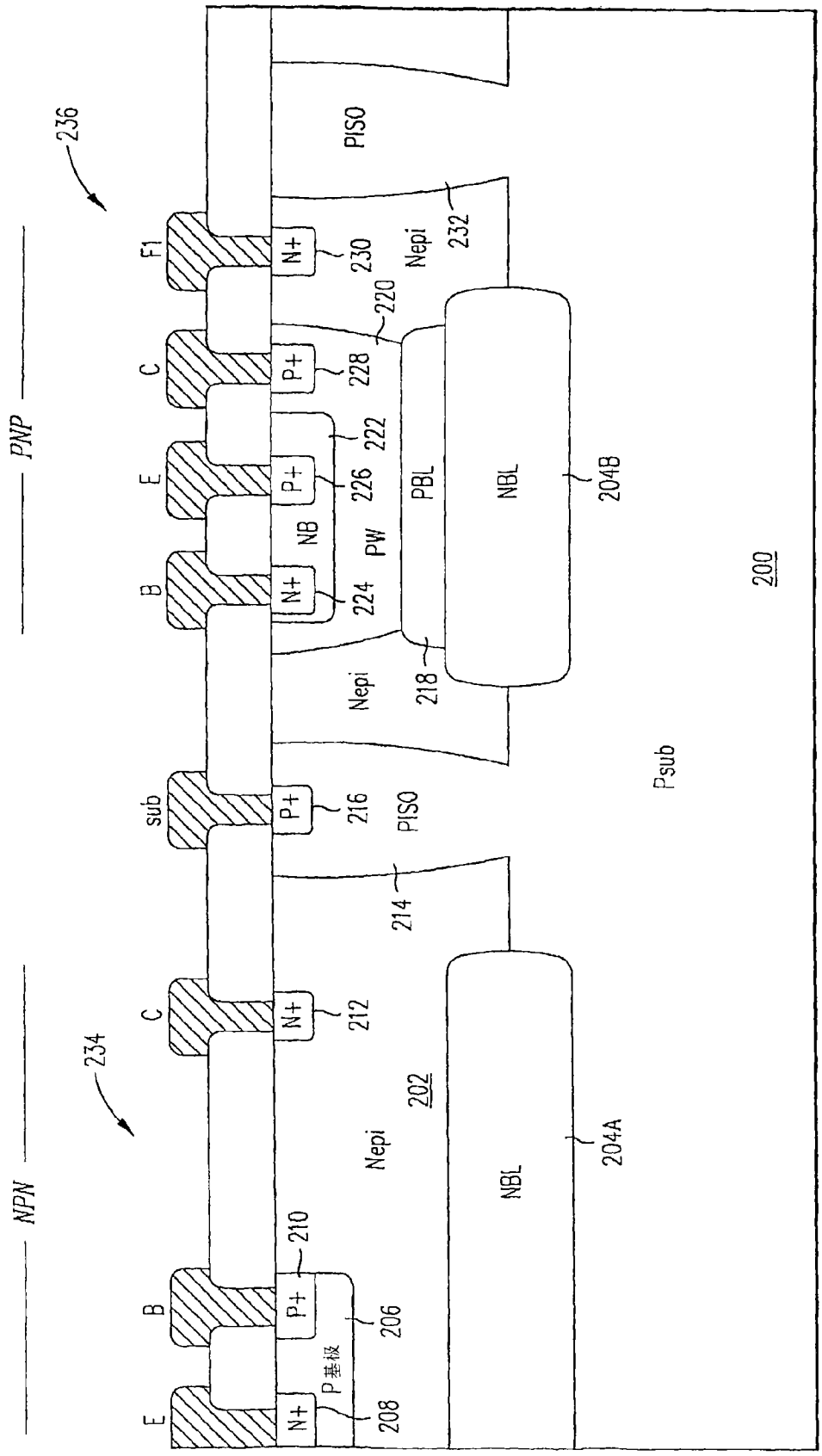

NPN
PNP
234
236
E
B
C
sub
C
B
E
F1
N+
P+
P基极
NB
PW
Nepi
PISO
NBL
PBL
Psub
200
202
204A
204B
206
208
210
212
214
216
218
220
222
224
226
228
230
232

图 11A

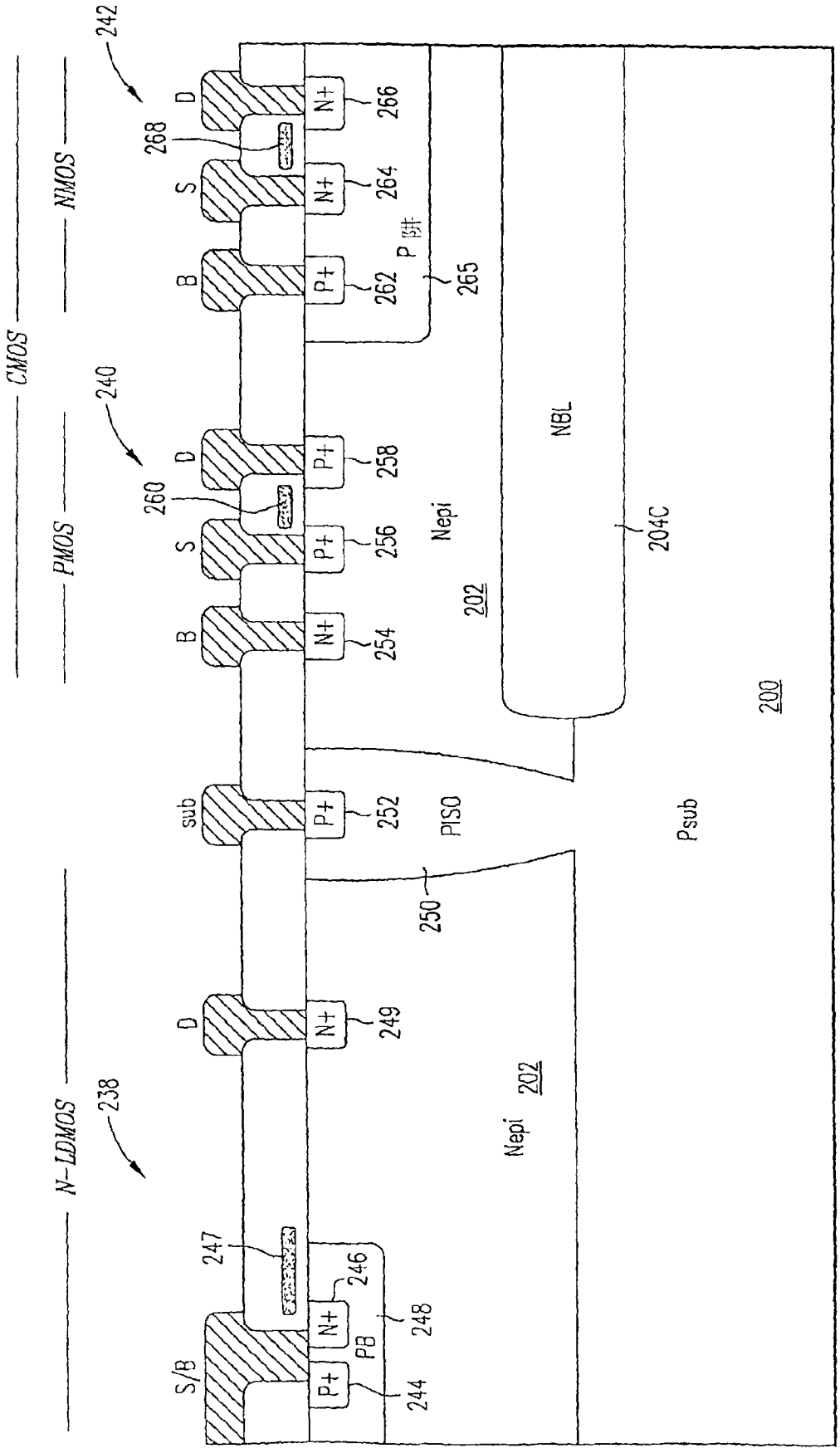

CMOS
NMOS
PMOS
N-LDMOS
242
240
238
D
S
B
sub
S/B
N+
P+
266
264
262
258
256
254
252
249
247
246
248
244
268
260
265
P 阱
Nepi
202
NBL
204C
200
PISO
Psub
250
PB

图 11B

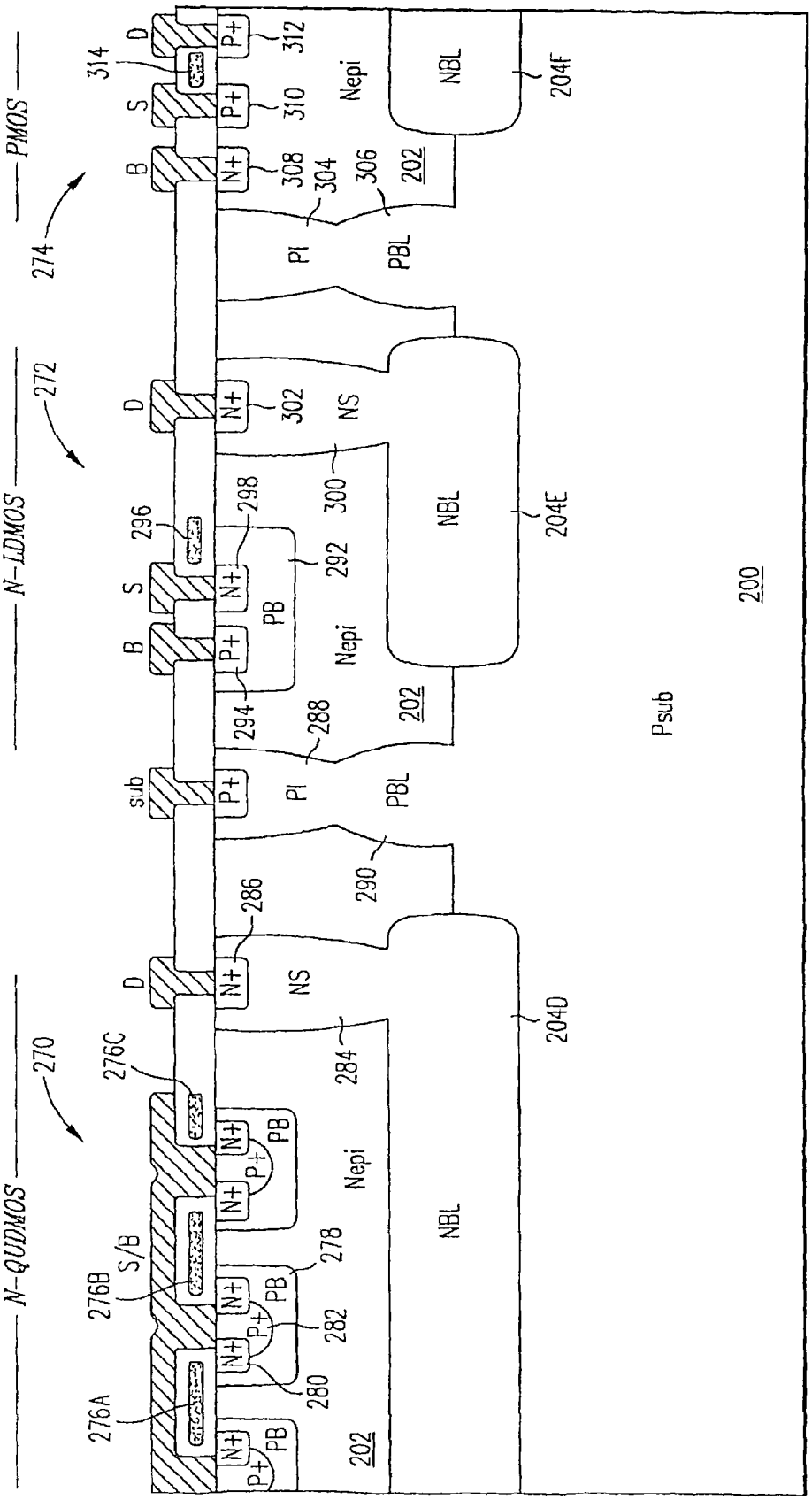

N-QUDMOS
270
276C
276B
S/B
276A
N-LDMOS
272
PMOS
274
D
S
B
sub
N+
P+
PB
NS
PI
PBL
Nepi
NBL
Psub
200
202
204D
204E
204F
278
280
282
284
286
288
290
292
294
296
298
300
302
304
306
308
310
312
314

图 11C

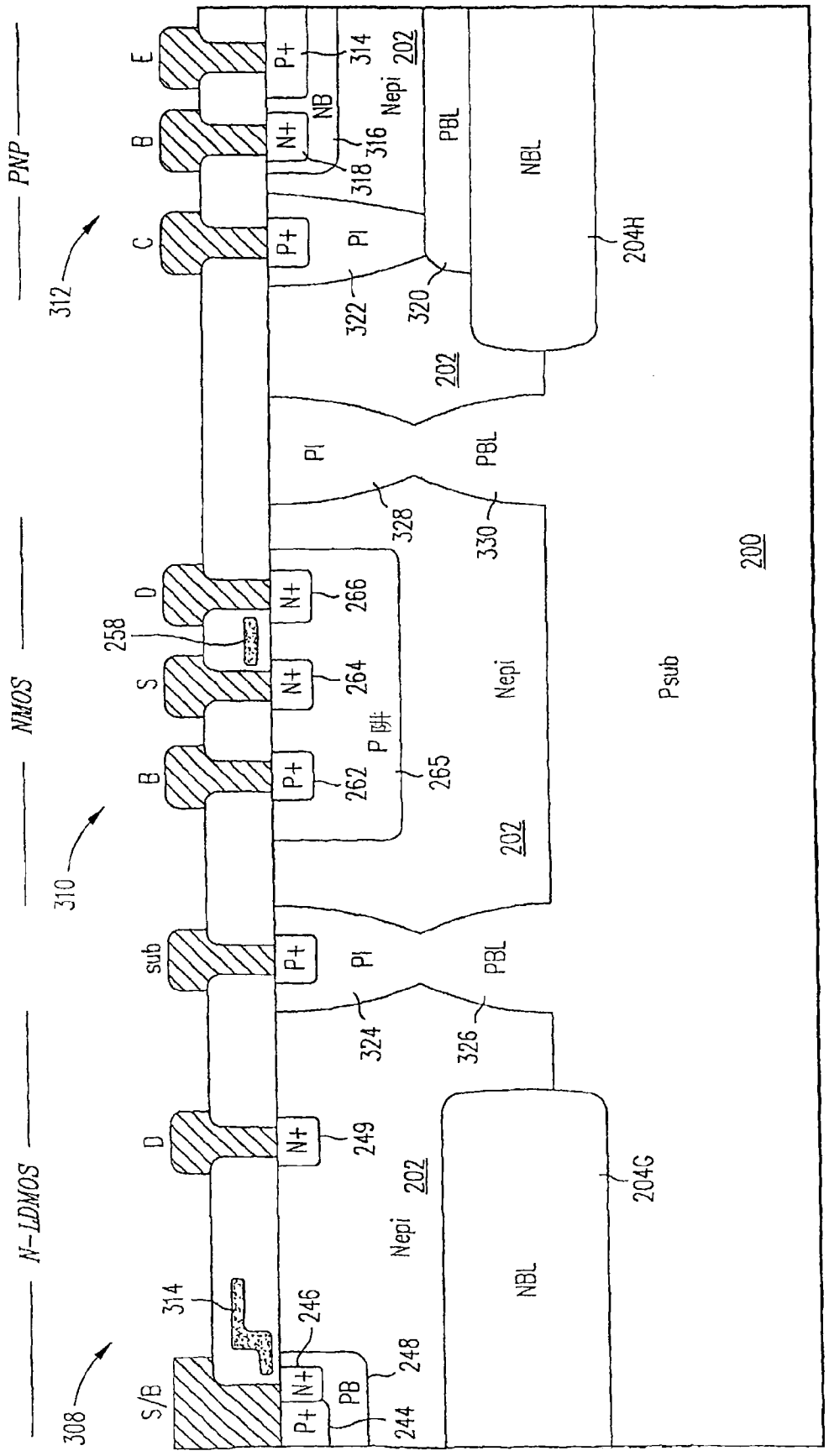

PNP
NMOS
N-LDMOS
312
310
308
E
B
C
D
S
B
sub
D
S/B
P+
N+
NB
PI
PBL
NBL
Nepi
202
200
Psub
P 阱
314
316
318
320
322
328
330
324
326
249
246
248
244
PB
258
264
265
266
262
204H
204G

图 11D

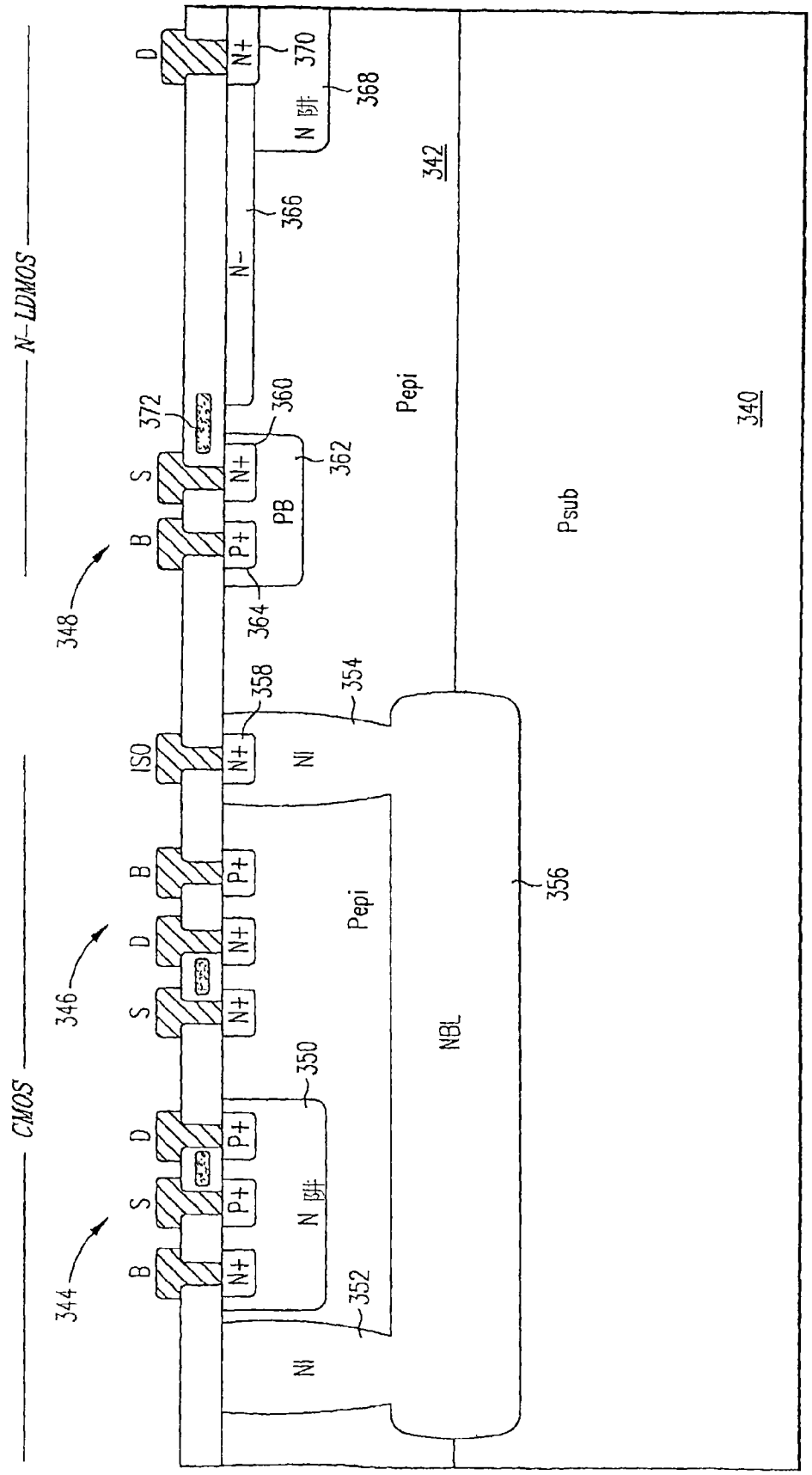

N-LDMOS
CMOS
348
346
344
D
S
B
ISO
N+
P+
N 阱
PB
NI
Pepi
NBL
Psub
N-
340
342
350
352
354
356
358
360
362
364
366
368
370
372

图 11E

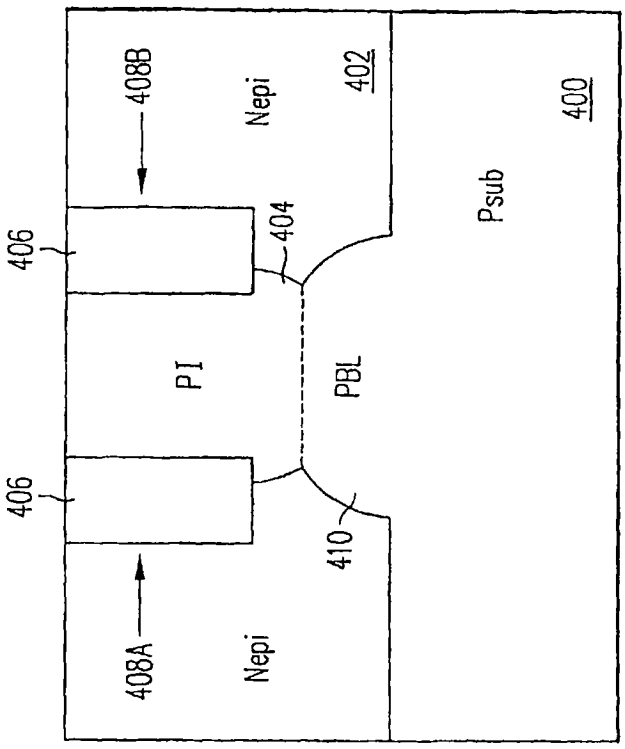

408B
Nepi
402
400
406
404
Psub
PI
PBL
406
410
408A
Nepi

图 13A

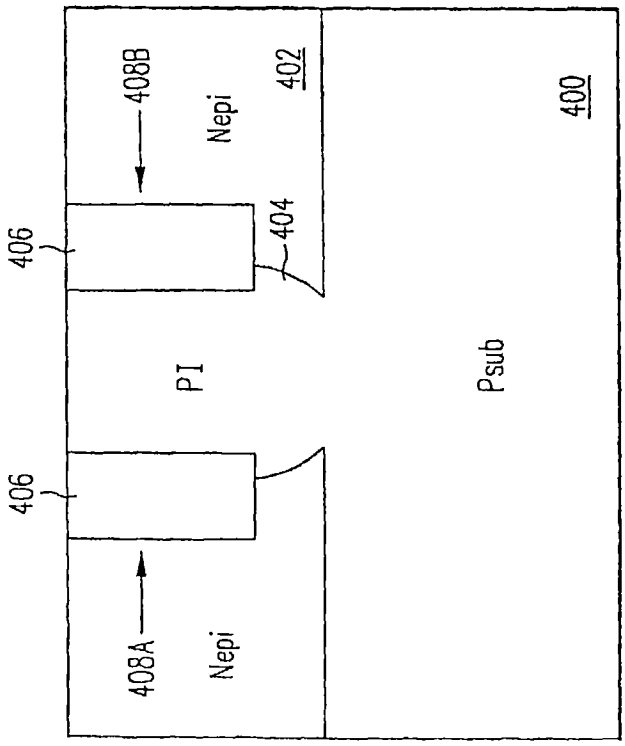

408B
Nepi
402
400
406
404
Psub
PI
406
408A
Nepi

图 12

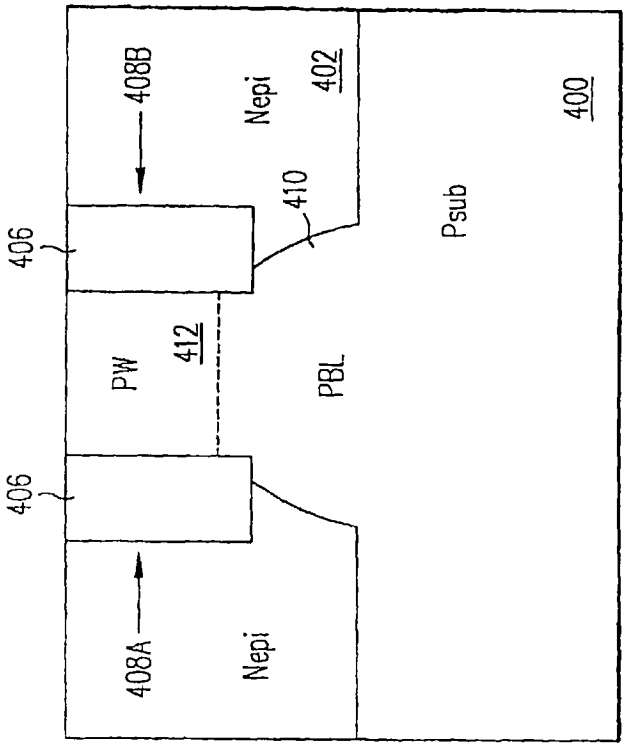

408B
Nepi
402
400
410
406
Psub
PW
412
PBL
406
408A
Nepi

图 13C

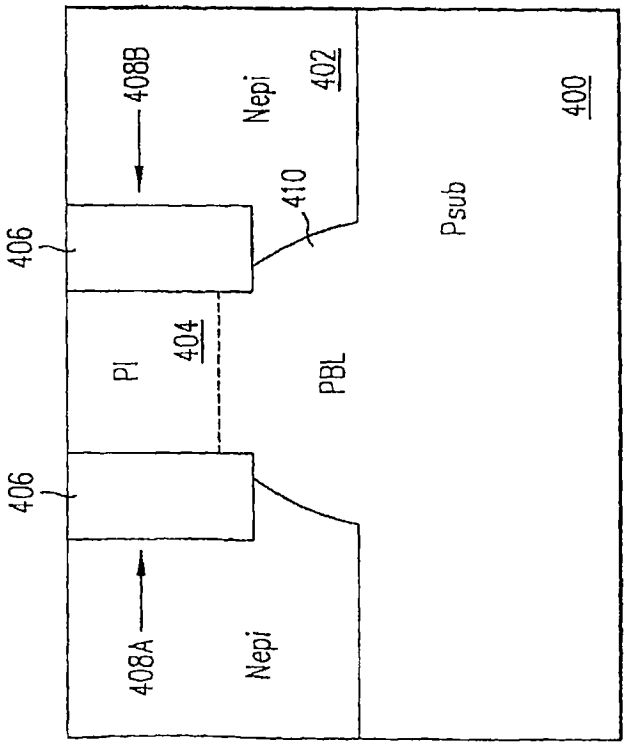

408B
Nepi
402
400
410
406
Psub
PI
404
PBL
406
408A
Nepi

图 13B

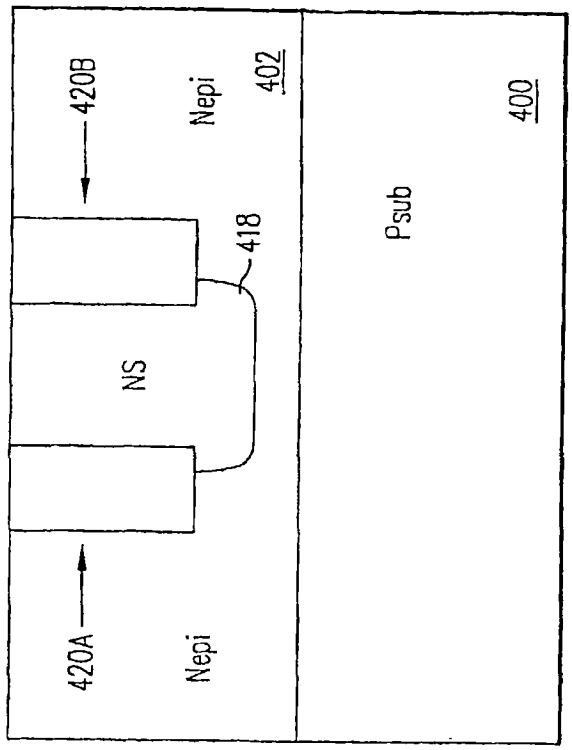

420B
Nepi
402
400
418
Psub
NS
420A
Nepi

图 14

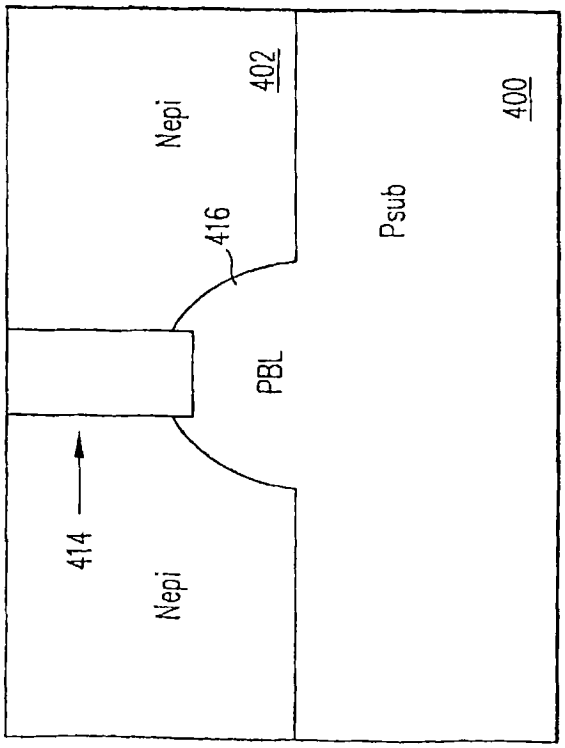

Nepi
402
400
416
Psub
PBL
414
Nepi

图 13D

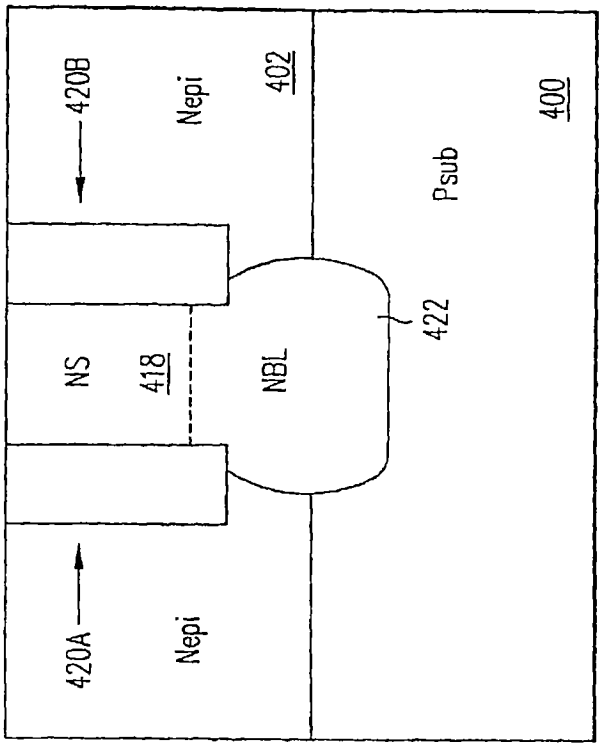

420B
Nepi
402
400
Psub
NS
418
NBL
422
420A
Nepi

图 15B

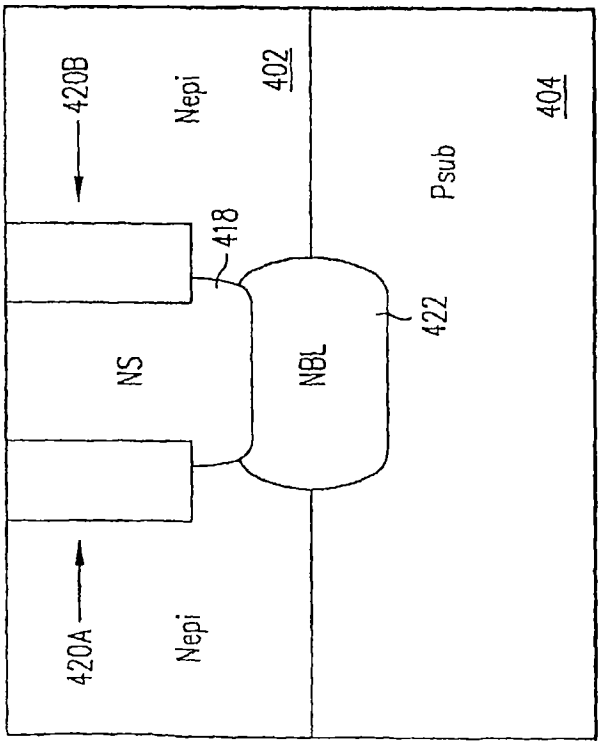

420B
Nepi
402
404
Psub
418
NS
NBL
422
420A
Nepi

图 15A

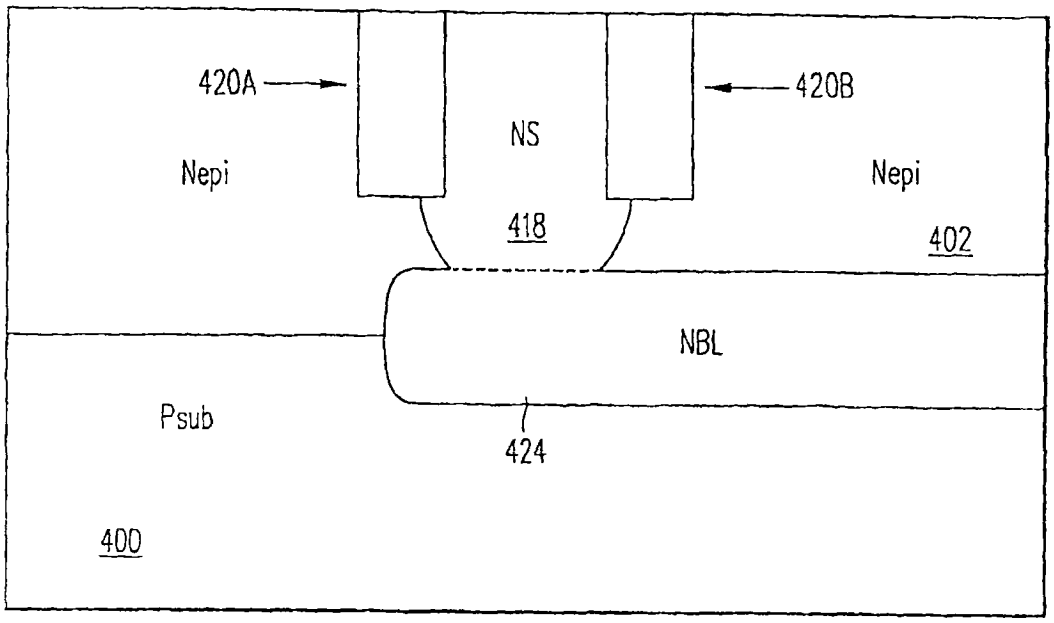

420A
420B
NS
Nepi
Nepi
418
402
NBL
Psub
424
400

图 15C

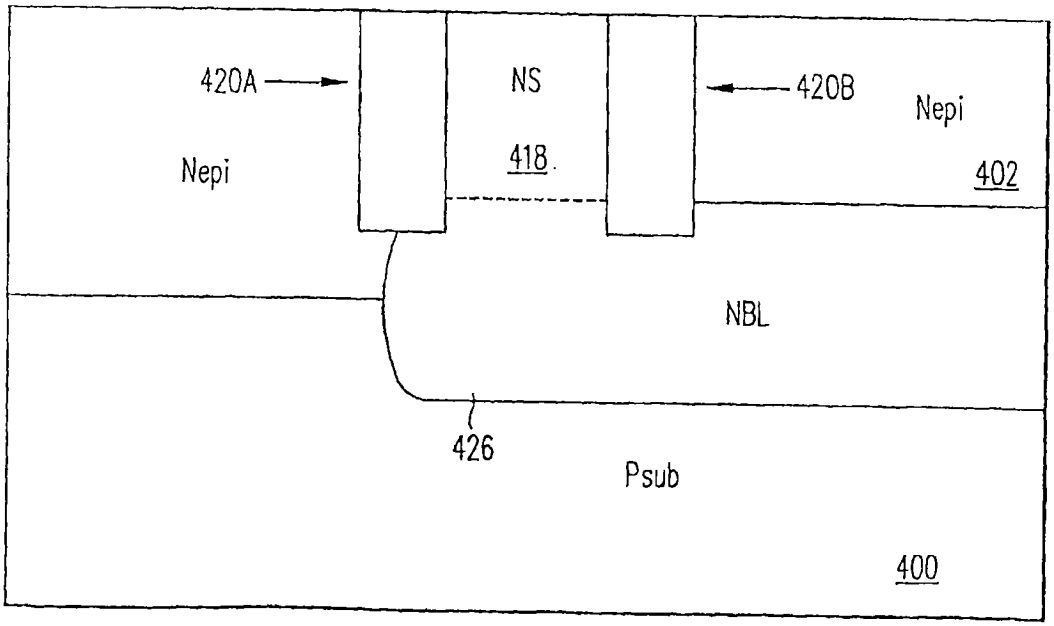

420A
NS
420B
Nepi
Nepi
418
402
NBL
426
Psub
400

图 15D

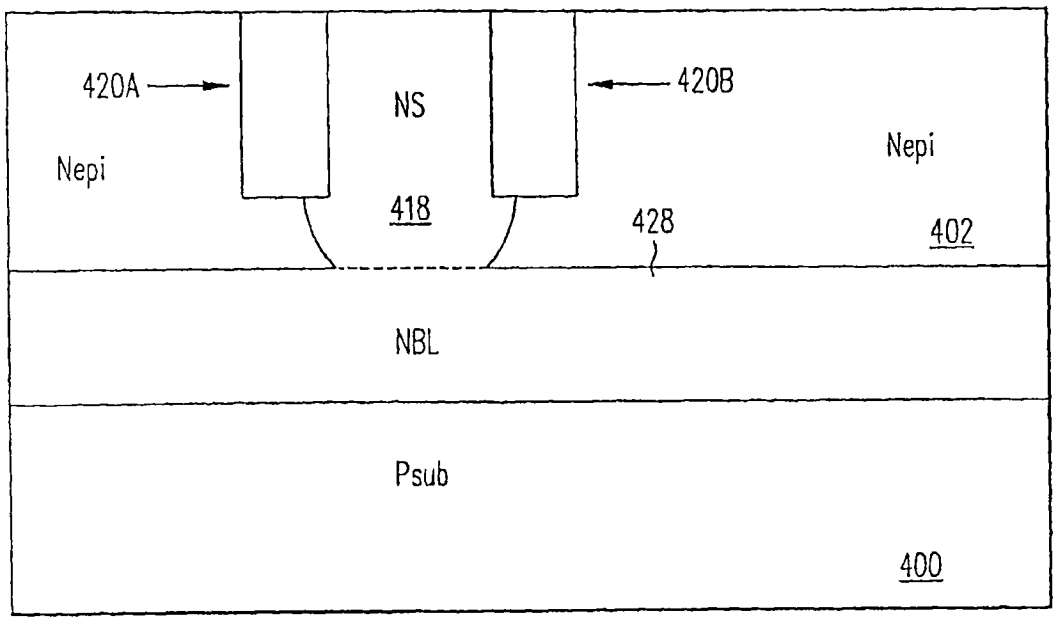

420A
NS
420B
Nepi
Nepi
418
428
402
NBL
Psub
400

图 15E

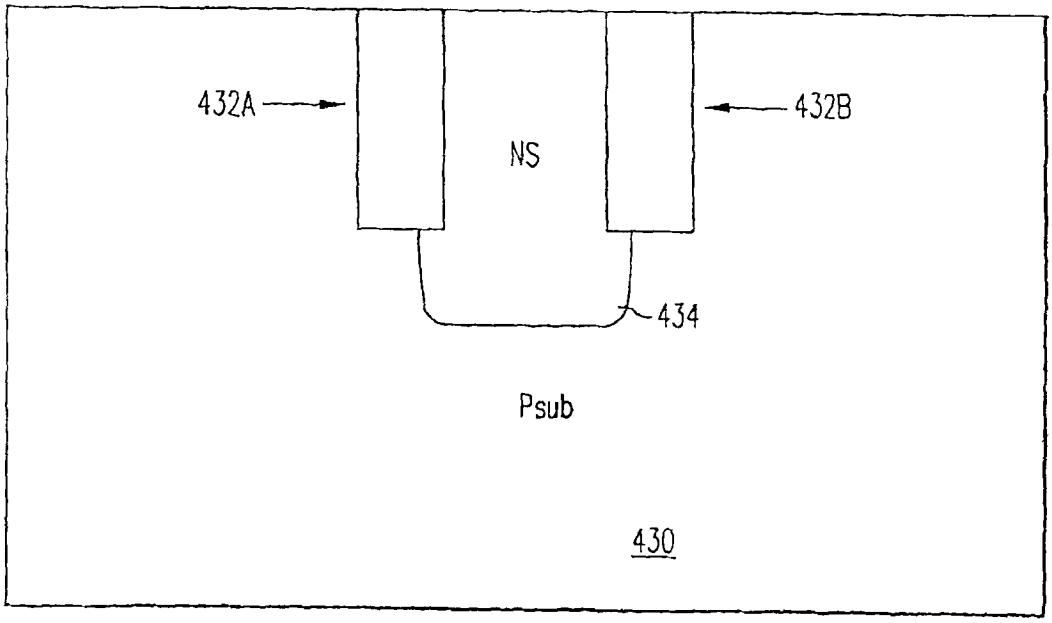

432A
NS
432B
434
Psub
430

图 16A

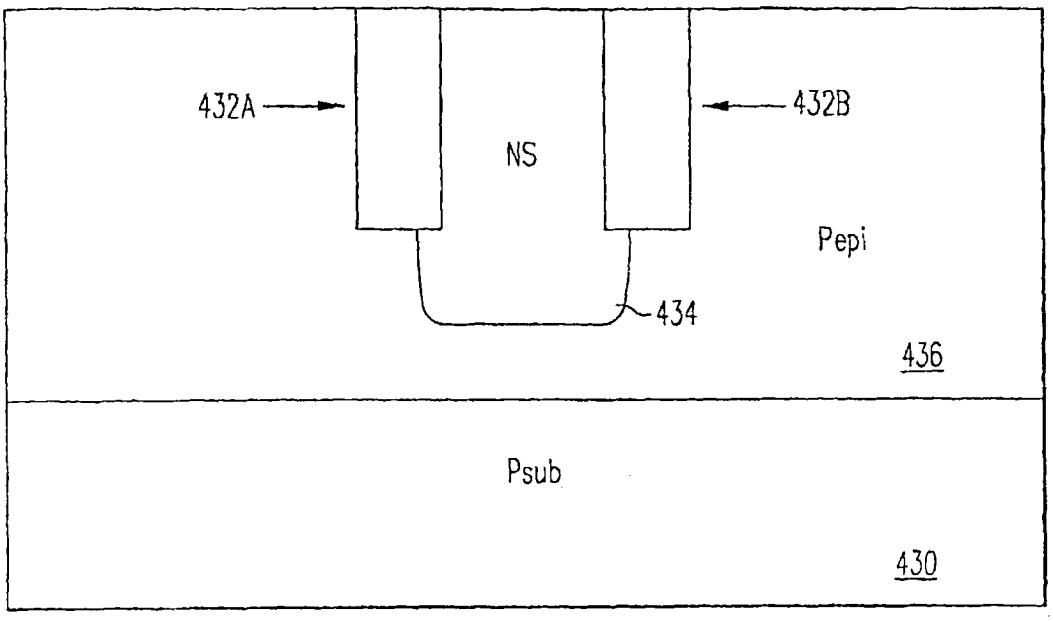

432A
NS
432B
Pepi
434
436
Psub
430

图 16B

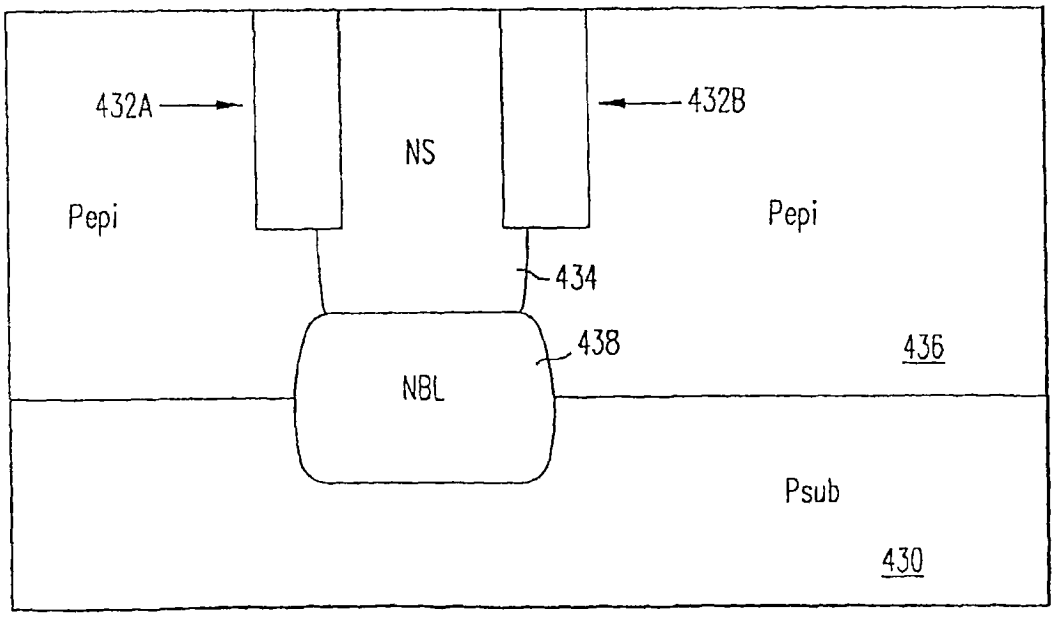

432A
NS
432B
Pepi
Pepi
434
438
436
NBL
Psub
430

图 16C

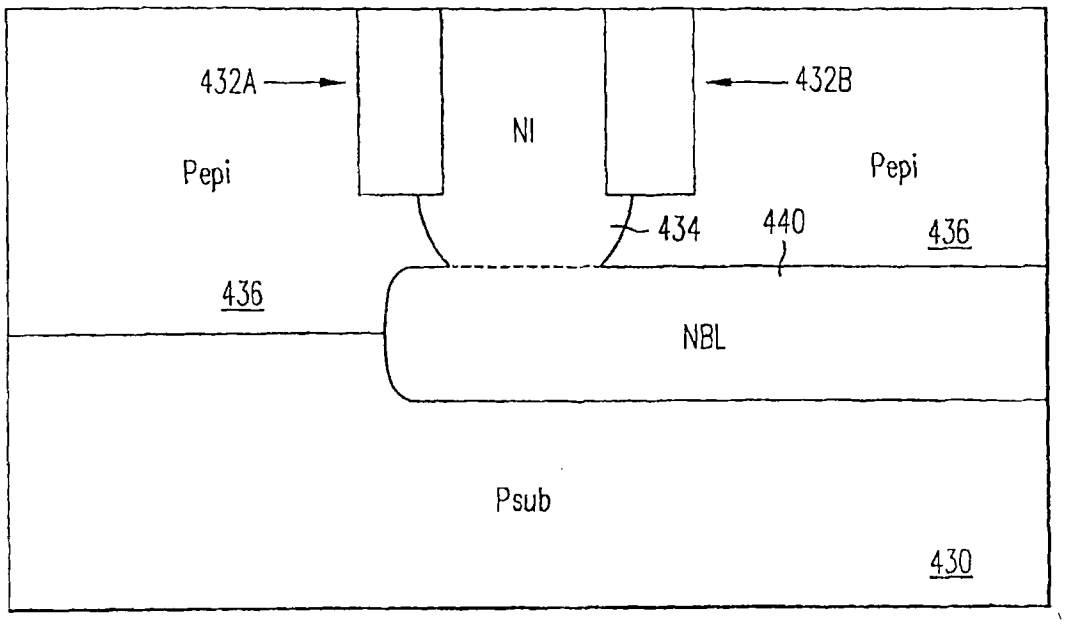

432A
432B
NI
Pepi
Pepi
434
440
436
436
NBL
Psub
430

图 16D

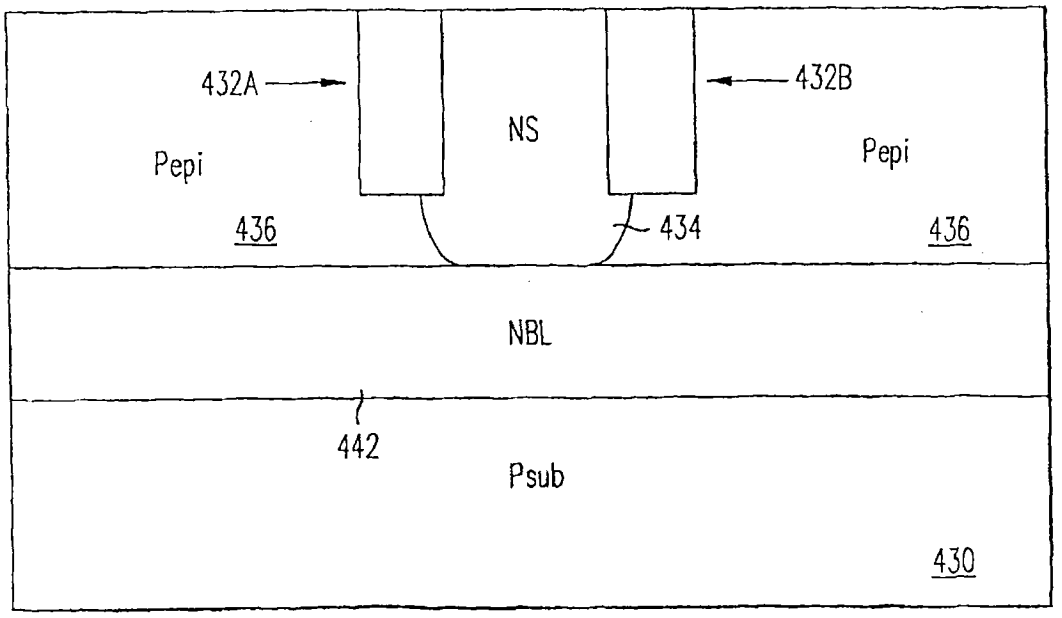

432A
432B
NS
Pepi
Pepi
436
434
436
NBL
442
Psub
430

图 16E

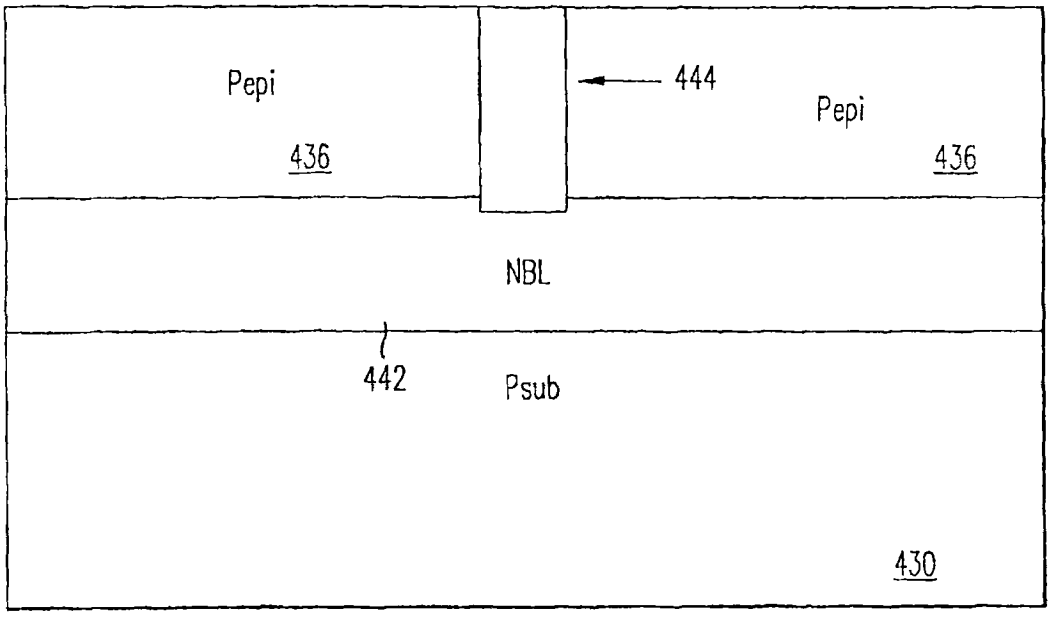

Pepi
436
444
Pepi
436
NBL
442
Psub
430

图 17

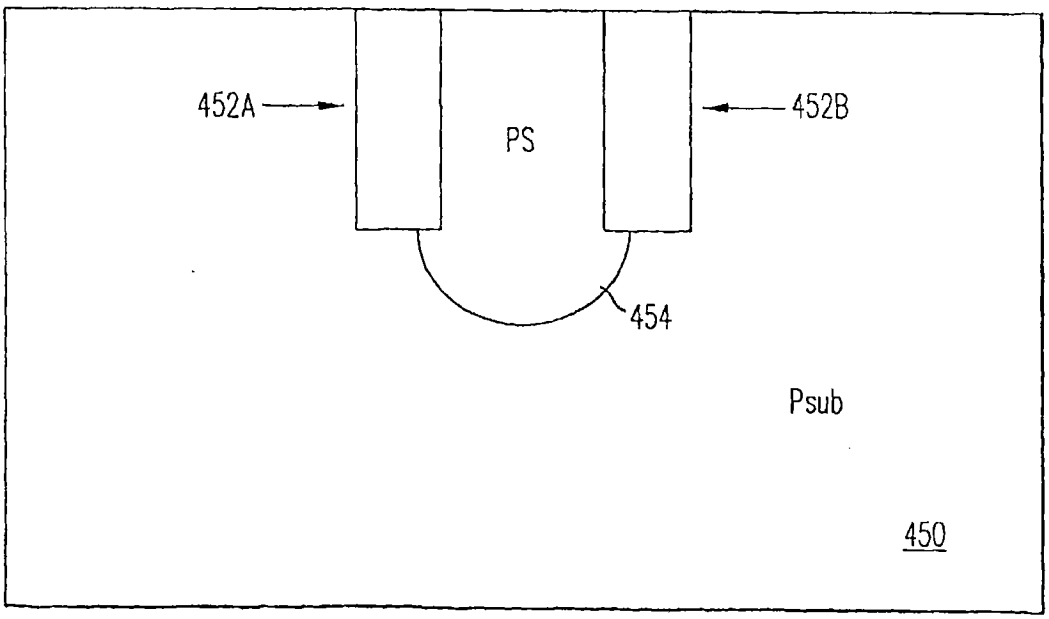

452A
PS
452B
454
Psub
450

图 18

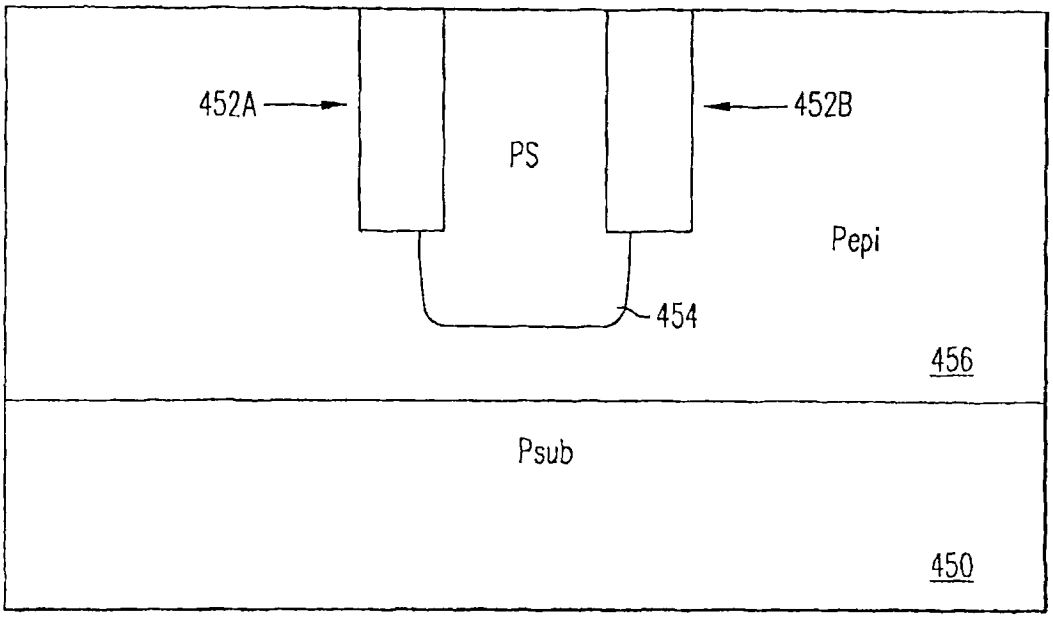


图 19

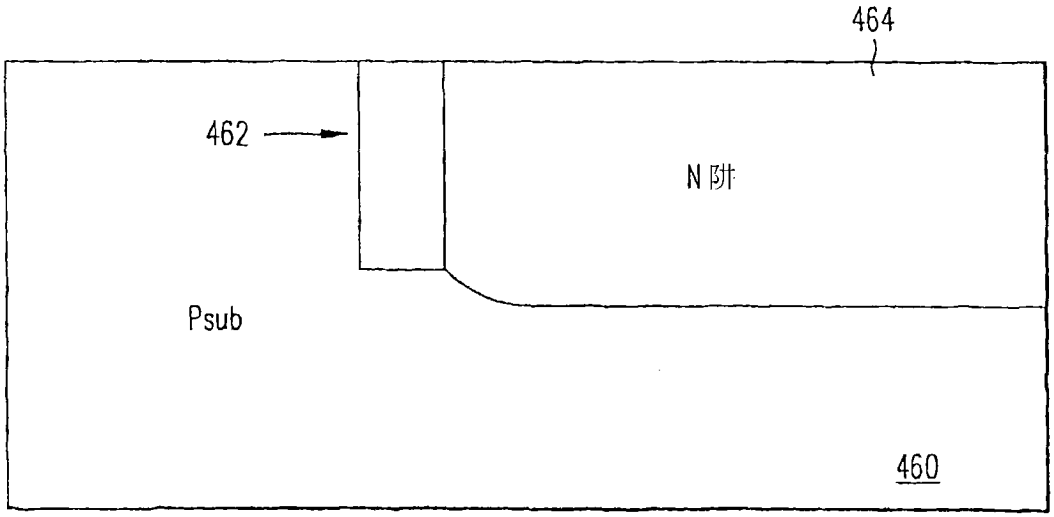


图 20

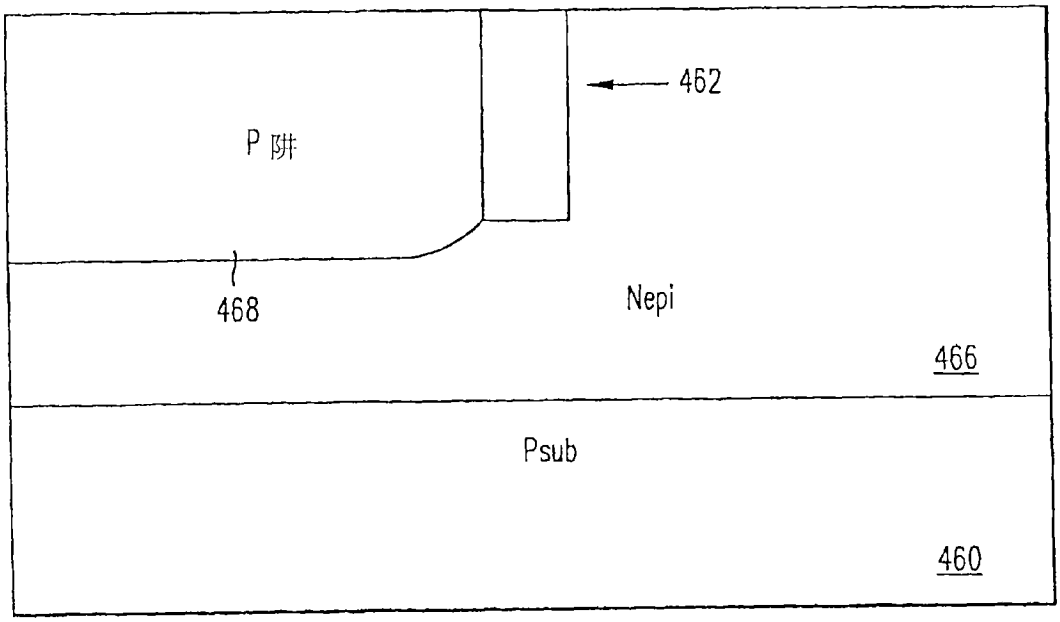


图 21

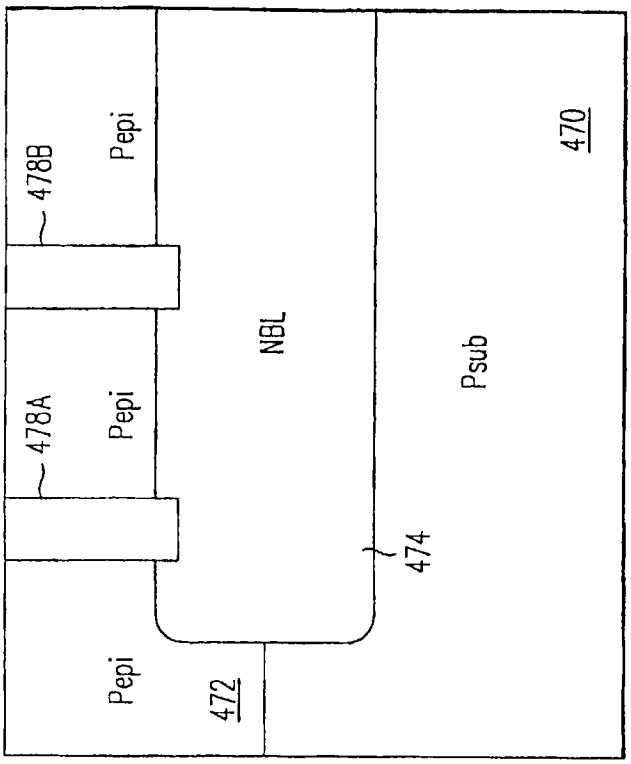

478B
Pepi
470
NBL
478A
Pepi
Psub
474
Pepi
472

图 22B

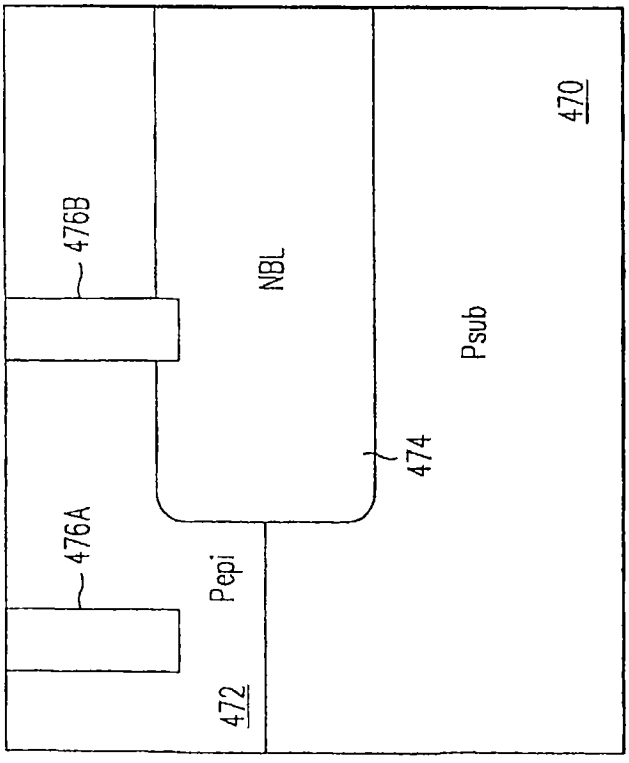

476B
470
NBL
Psub
474
476A
Pepi
472

图 22A

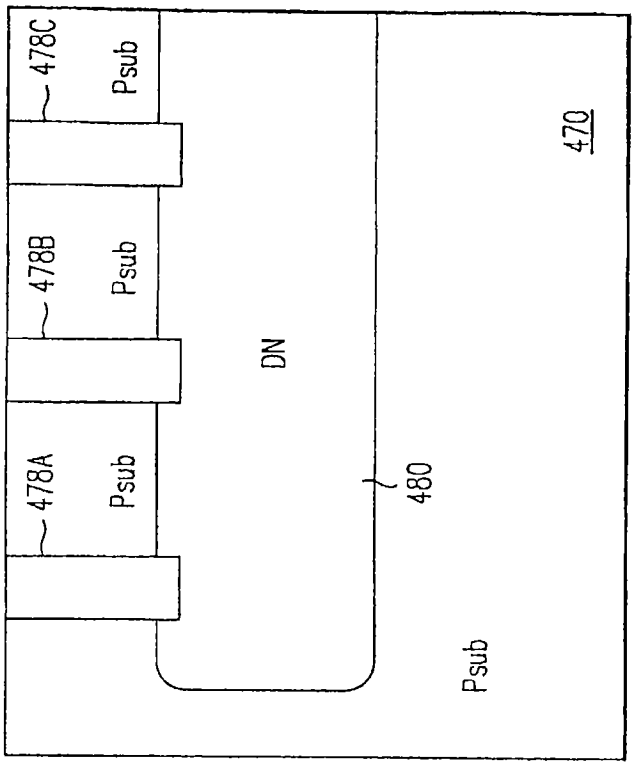

478C
Psub
478B
Psub
478A
Psub
DN
480
470
Psub

图 23B

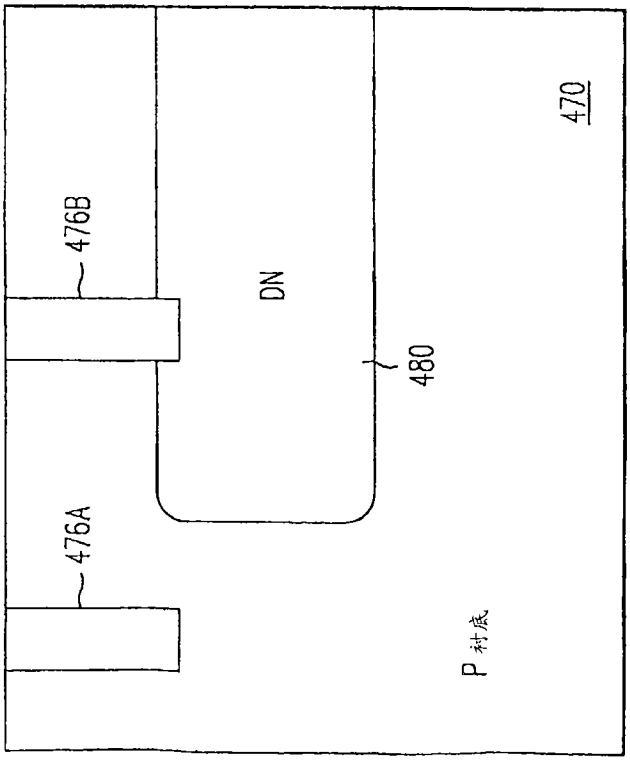

476B
476A
DN
480
470
P 衬底

图 23A

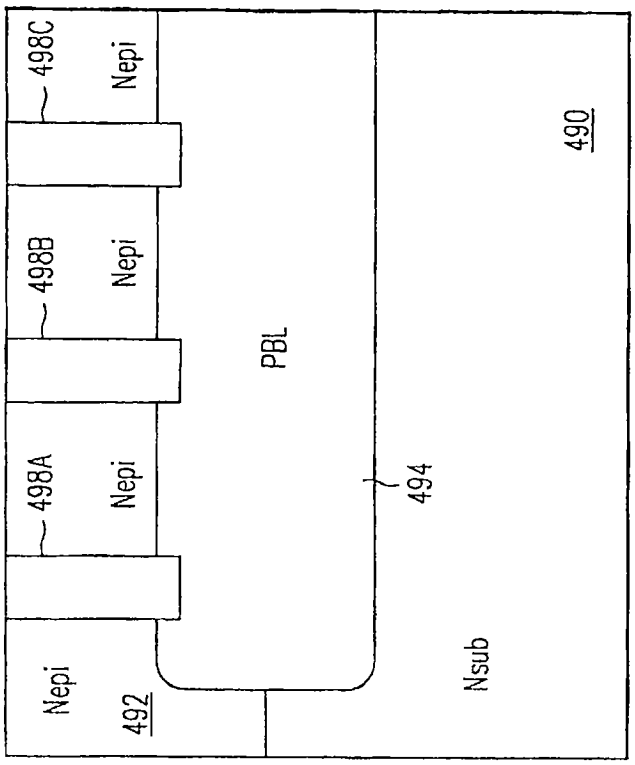

498C
Nepi
498B
Nepi
498A
Nepi
Nepi
492
PBL
494
490
Nsub

图 24B

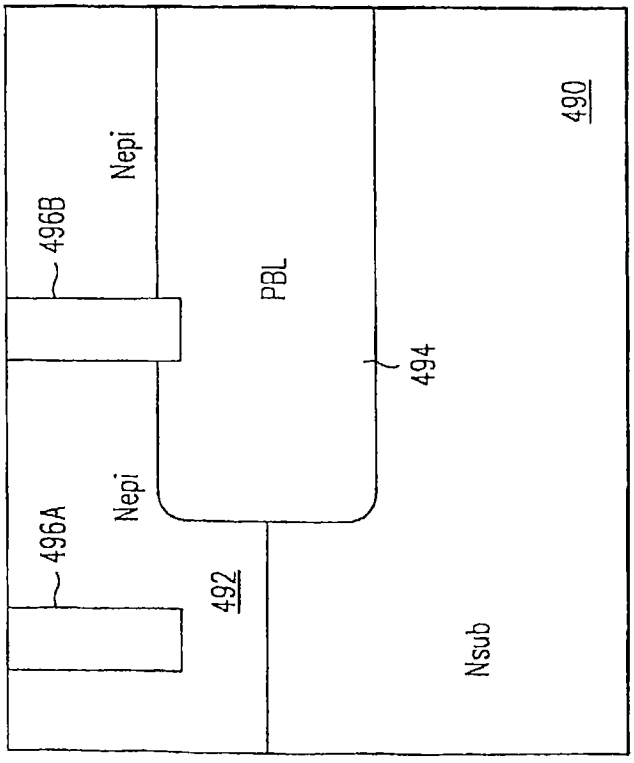

496B
Nepi
496A
Nepi
492
PBL
494
490
Nsub

图 24A

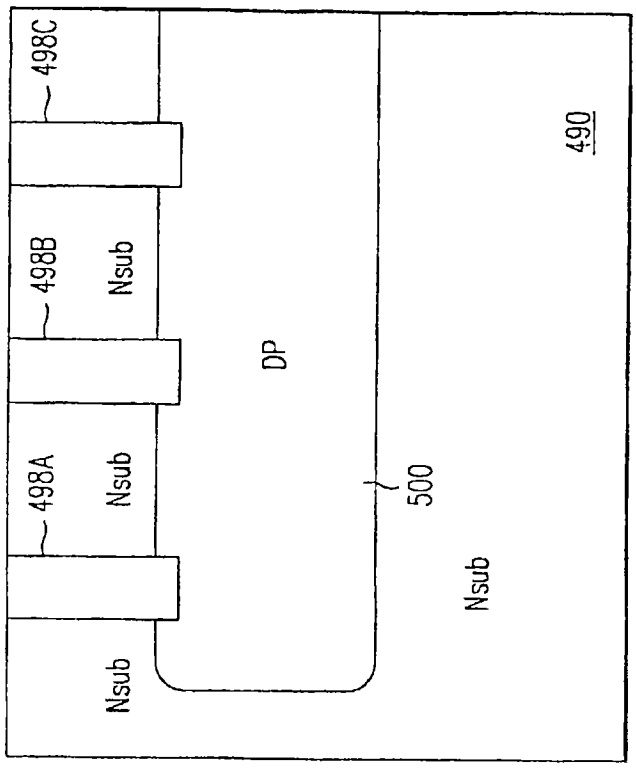

498C
498B
Nsub
498A
Nsub
Nsub
DP
500
Nsub
490

图 25B

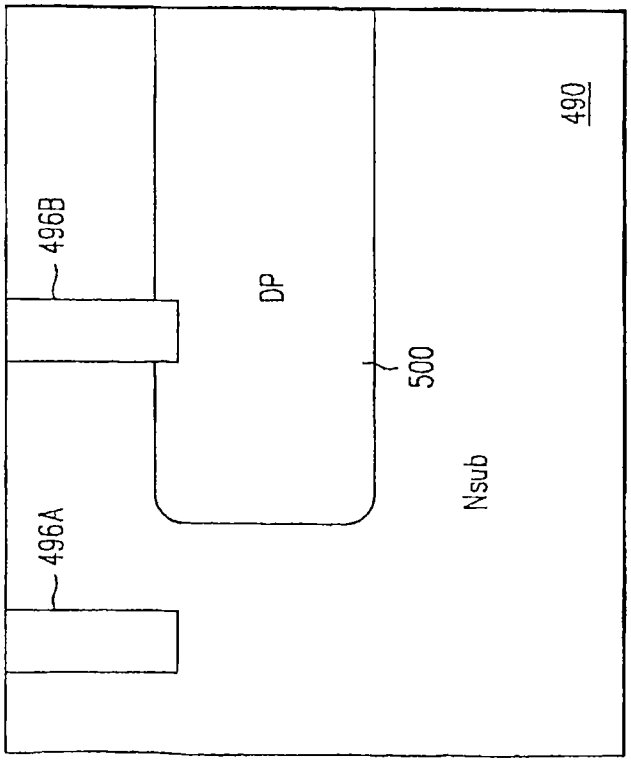

496B
496A
DP
500
Nsub
490

图 25A

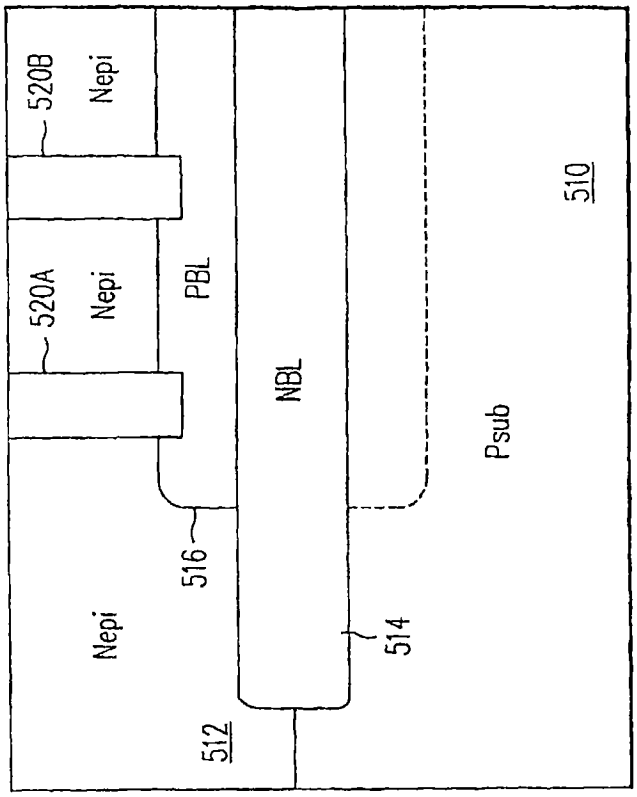

520B
Nepi
520A
Nepi
PBL
NBL
Psub
510
516
514
Nepi
512

图 26B

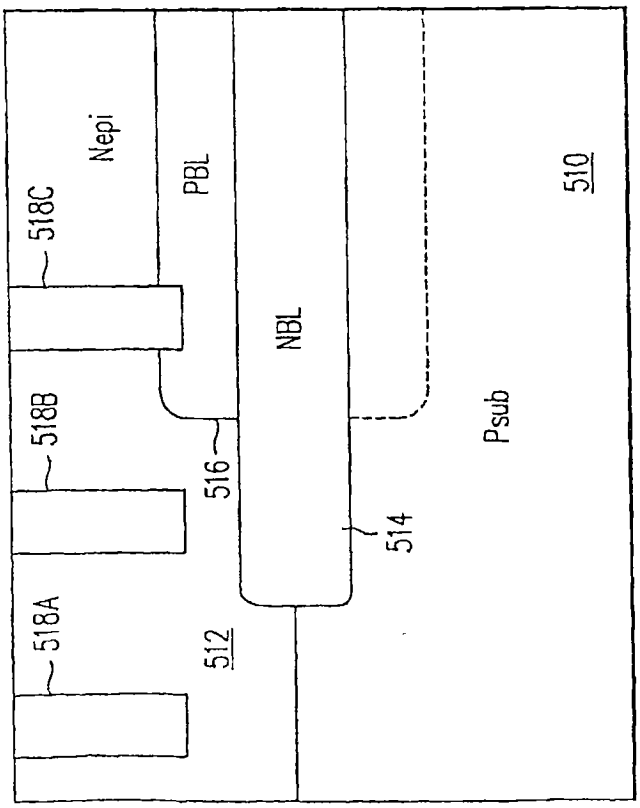

518C
Nepi
PBL
NBL
Psub
510
518B
516
514
518A
512

图 26A

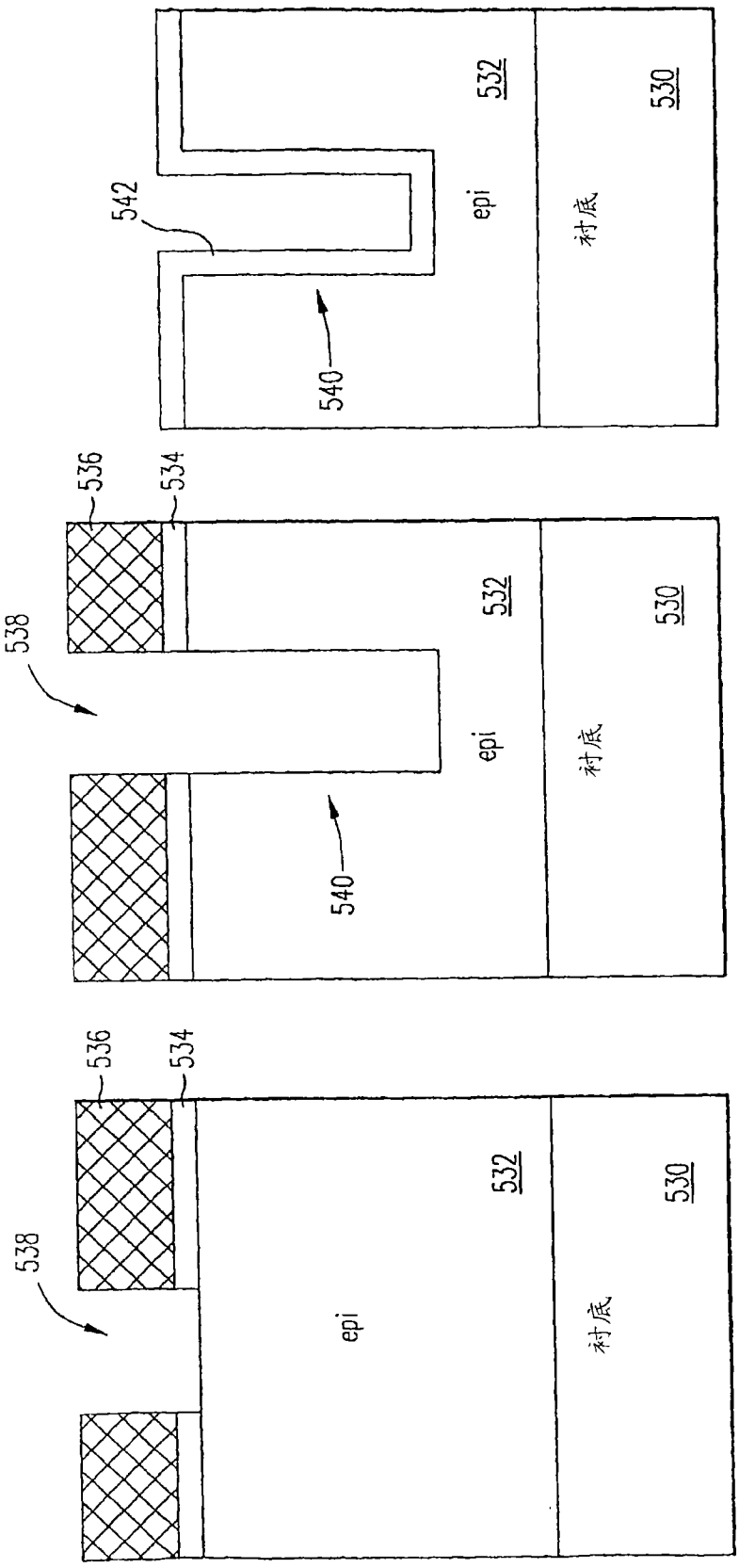


图 27C

图 27B

图 27A

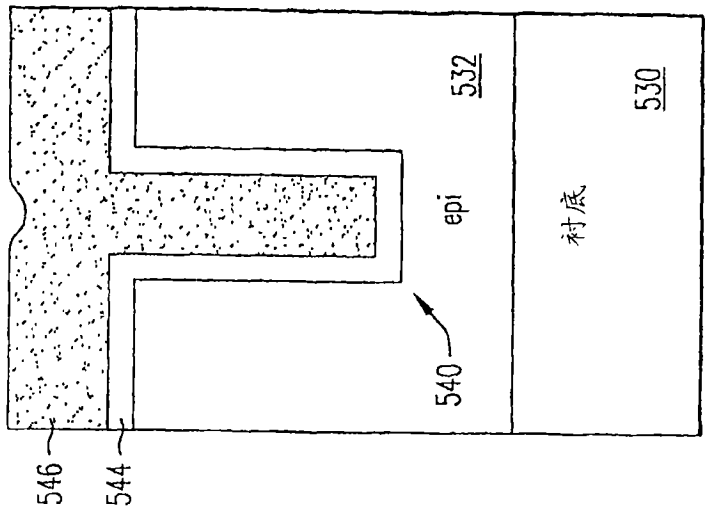


图 27F

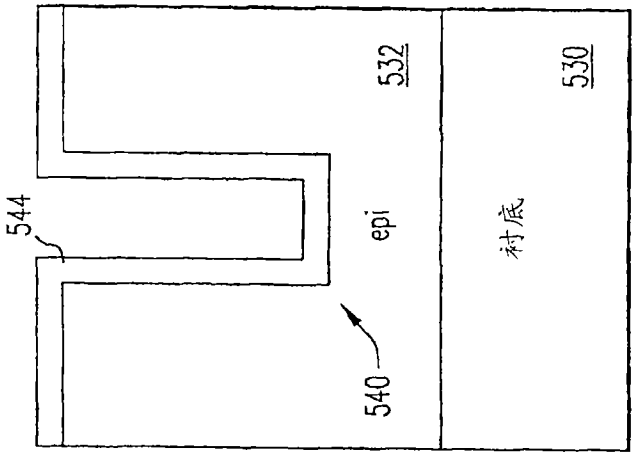


图 27E

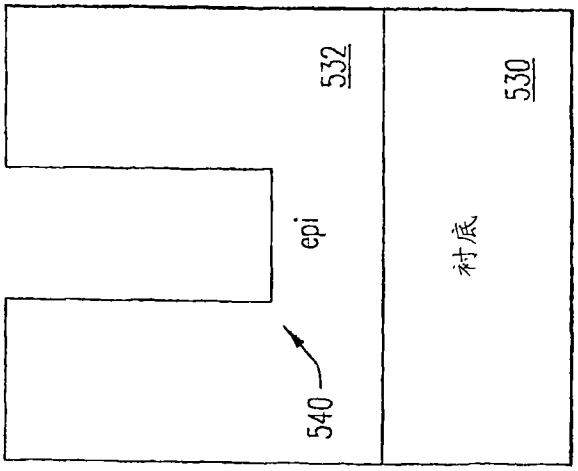


图 27D

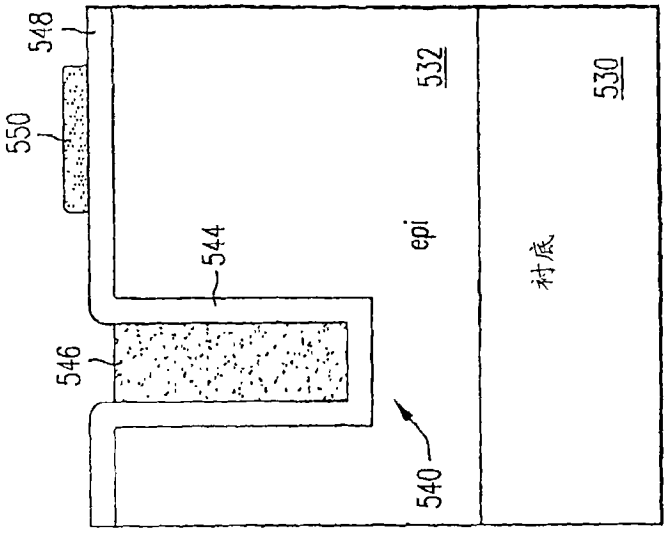


图 27I

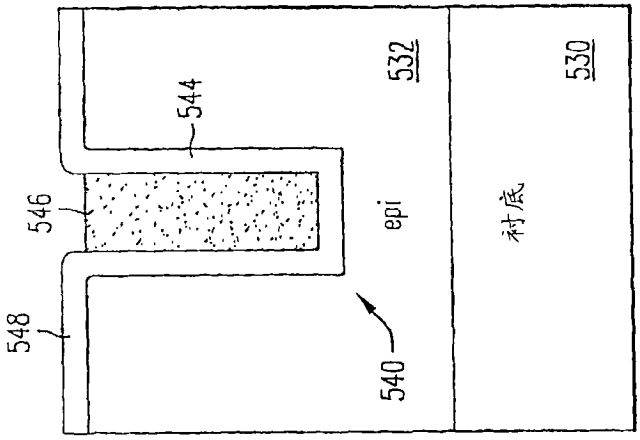


图 27H

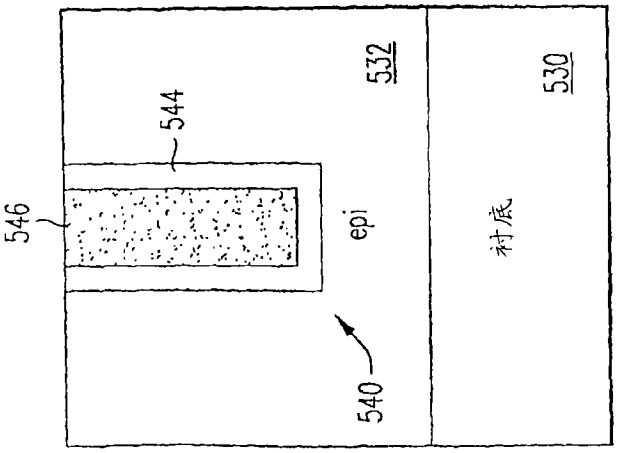


图 27G

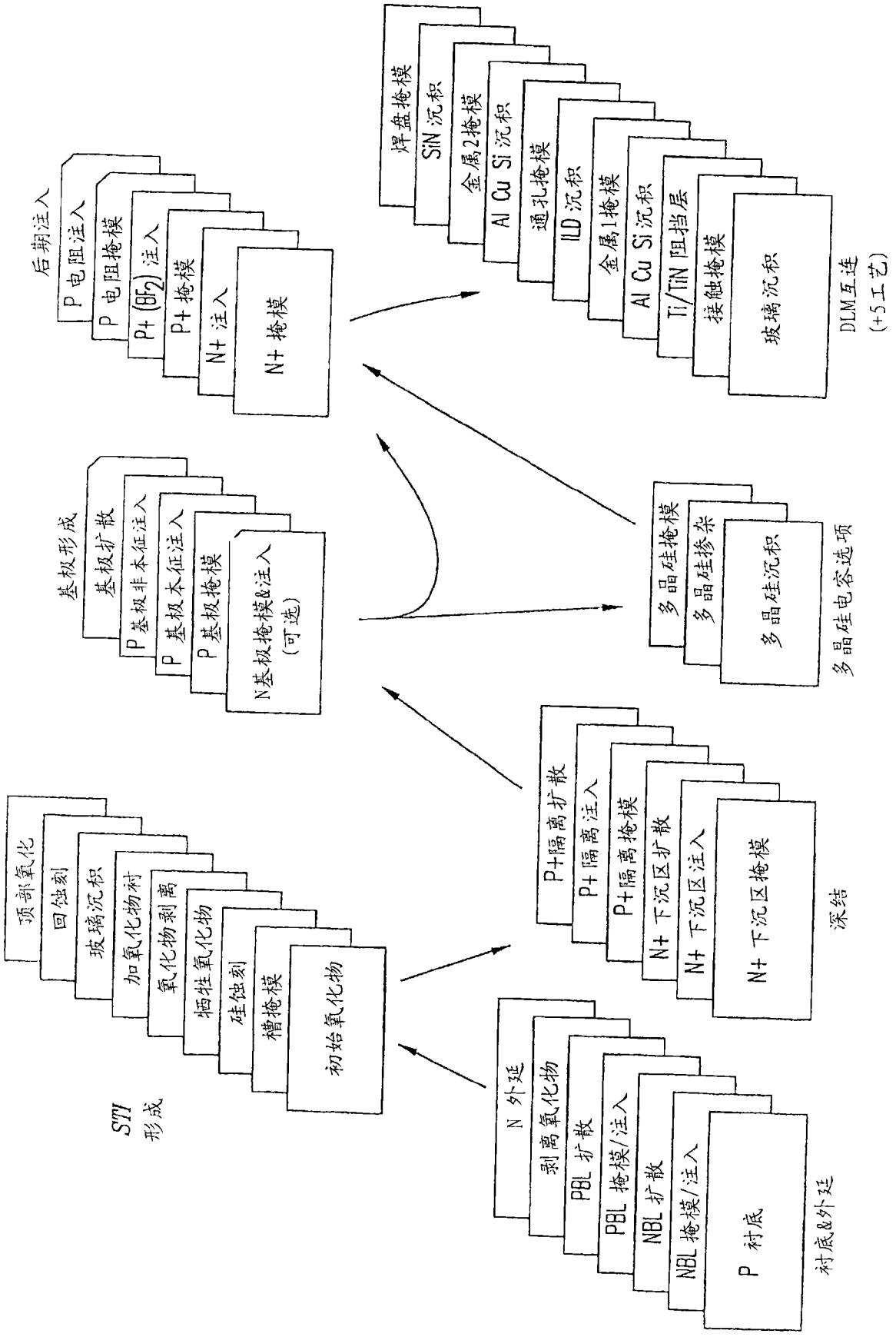

衬底&外延
P 衬底
NBL 掩模/注入
NBL 扩散
PBL 掩模/注入
PBL 扩散
剥离氧化物
N 外延
STI 形成
初始氧化物
槽掩模
硅蚀刻
牺牲氧化物
氧化物剥离
加氧化物衬
玻璃沉积
回蚀刻
顶部氧化
深结
N+ 下沉区掩模
N+ 下沉区注入
N+ 下沉区扩散
P+隔离掩模
P+隔离注入
P+隔离扩散
多晶硅沉积
多晶硅掺杂
多晶硅掩模
多晶硅电容选项
N基极掩模&注入
(可选)
P 基极掩模
P 基极本征注入
P 基极非本征注入
基极扩散
基极形成
N+ 掩模
N+ 注入
P+ 掩模
P+ (BF2) 注入
P 电阻掩模
P 电阻注入
后期注入
玻璃沉积
接触掩模
Ti/TiN 阻挡层
Al Cu Si 沉积
金属1掩模
ILD 沉积
通孔掩模
Al Cu Si 沉积
金属2掩模
SiN 沉积
焊盘掩模
DLM互连
(+5工艺)

图 28

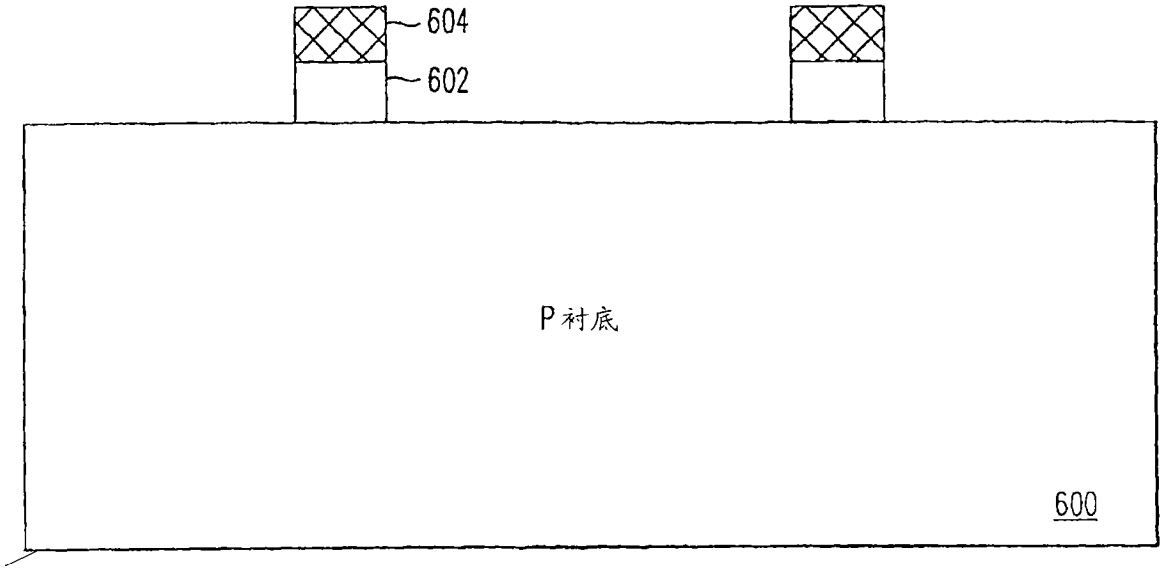


图 29A

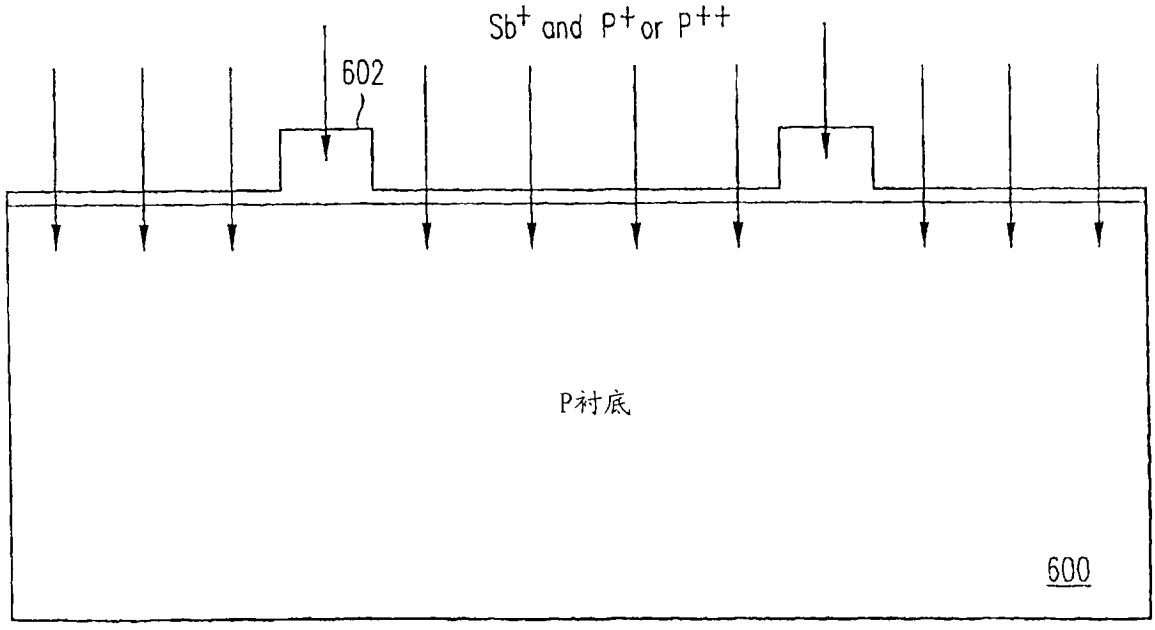


图 29B

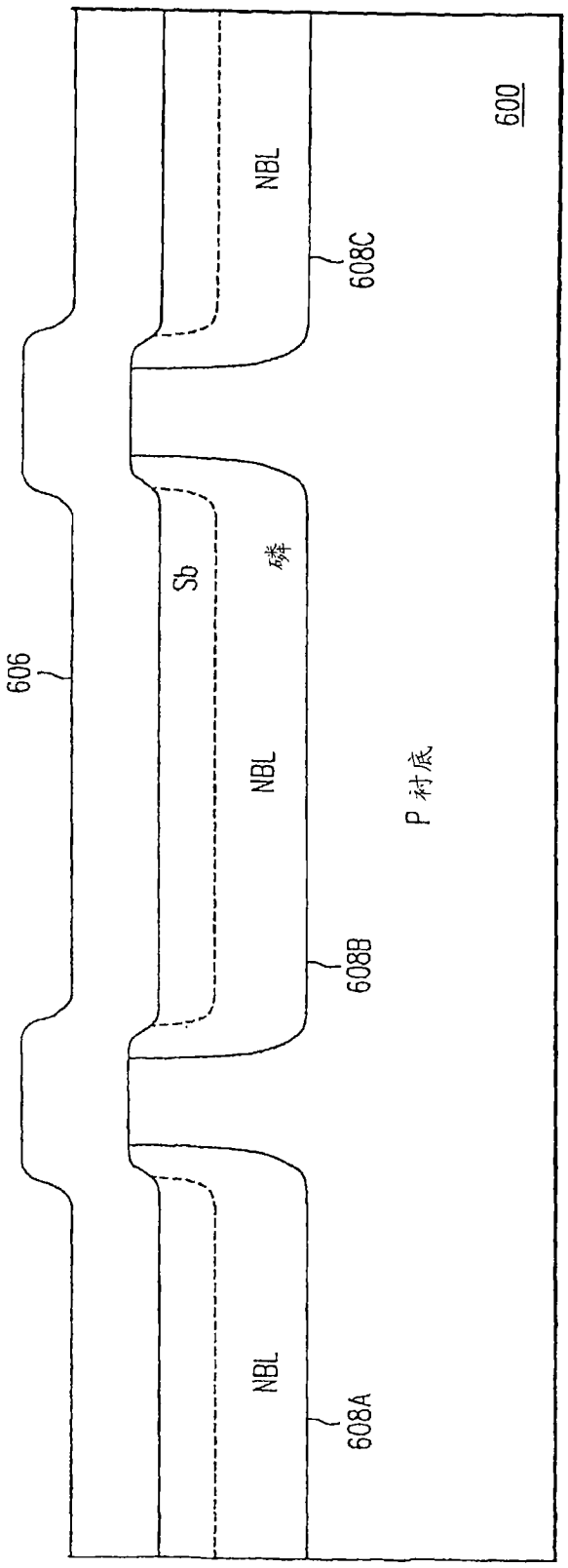


图 29C

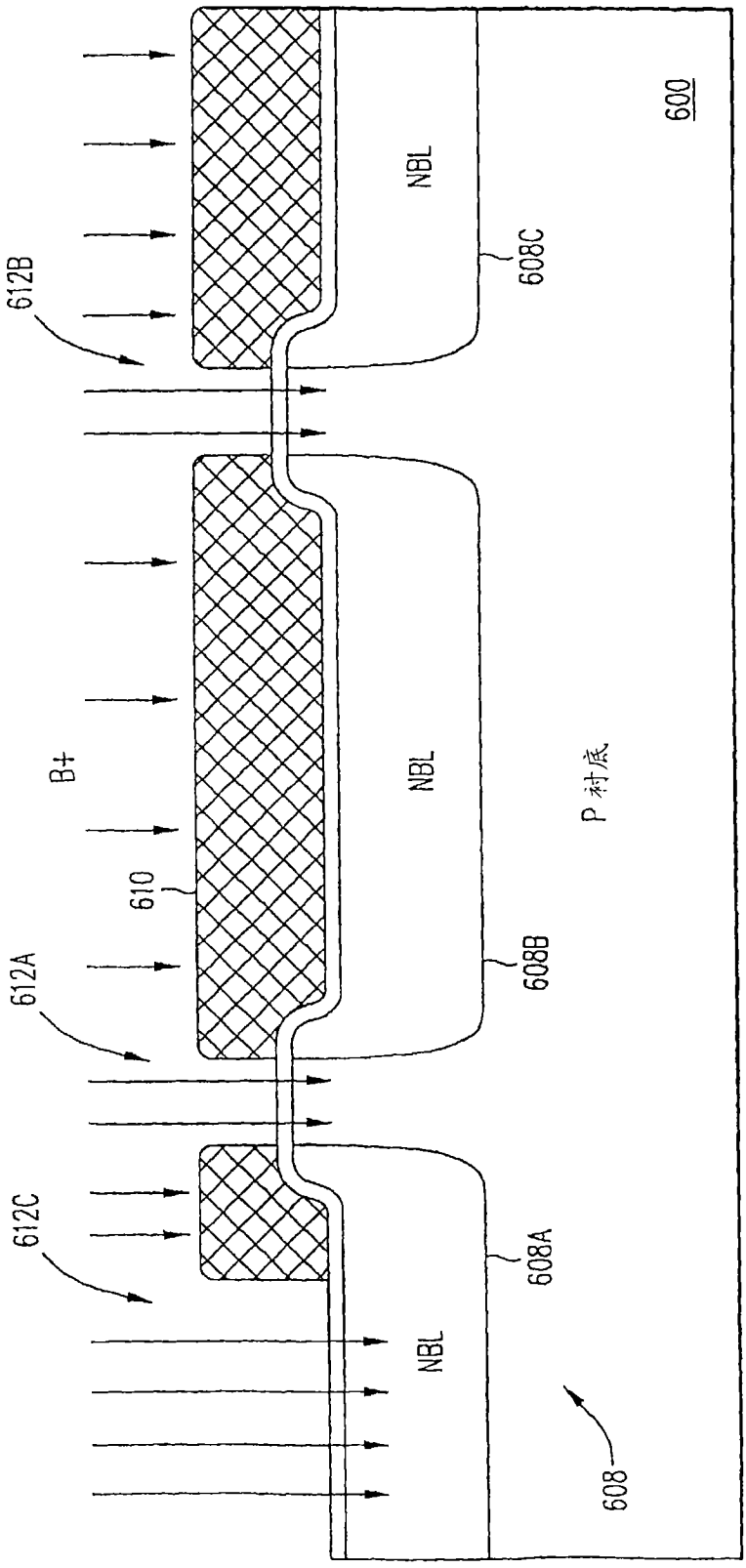


图 29D

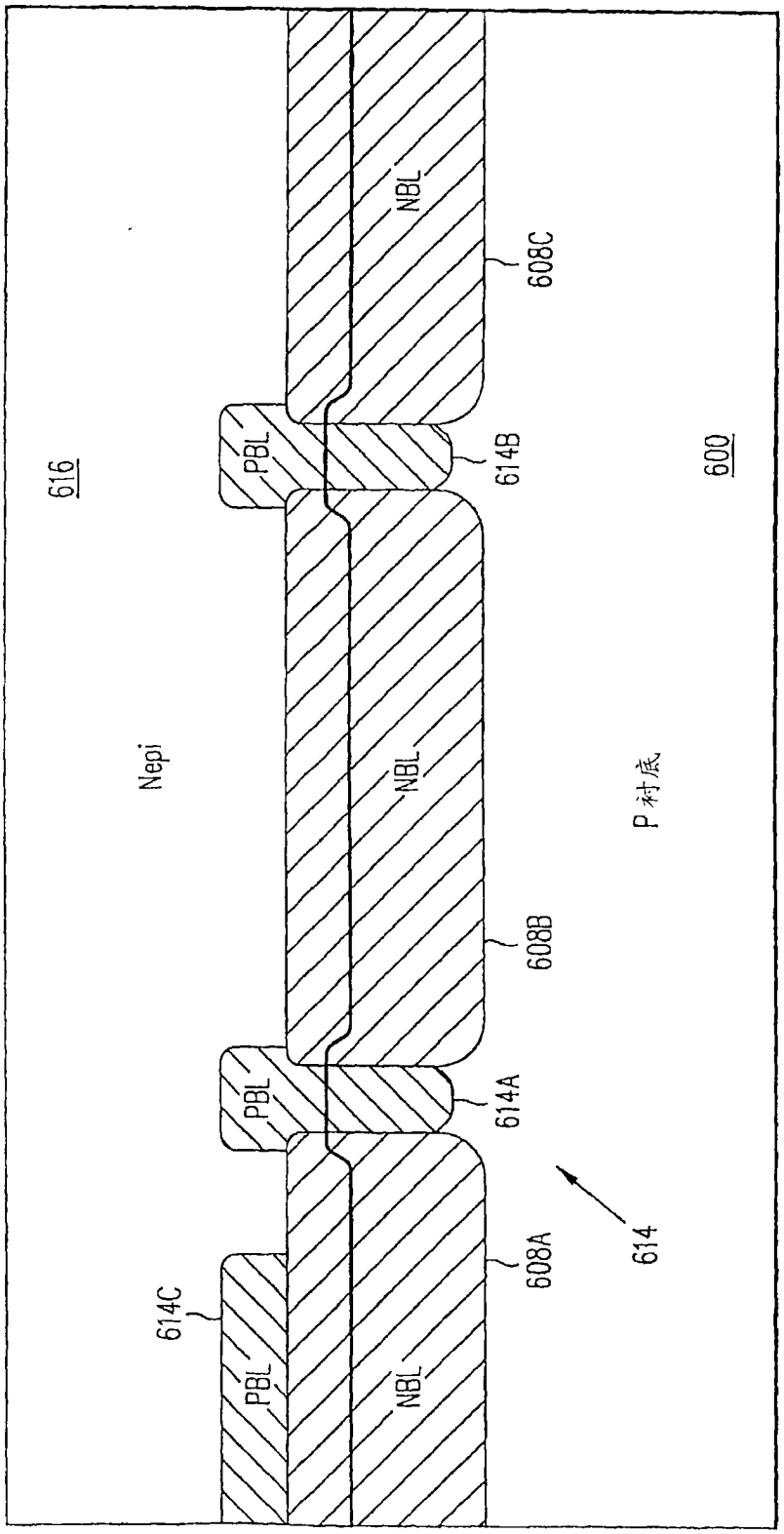


图 29E

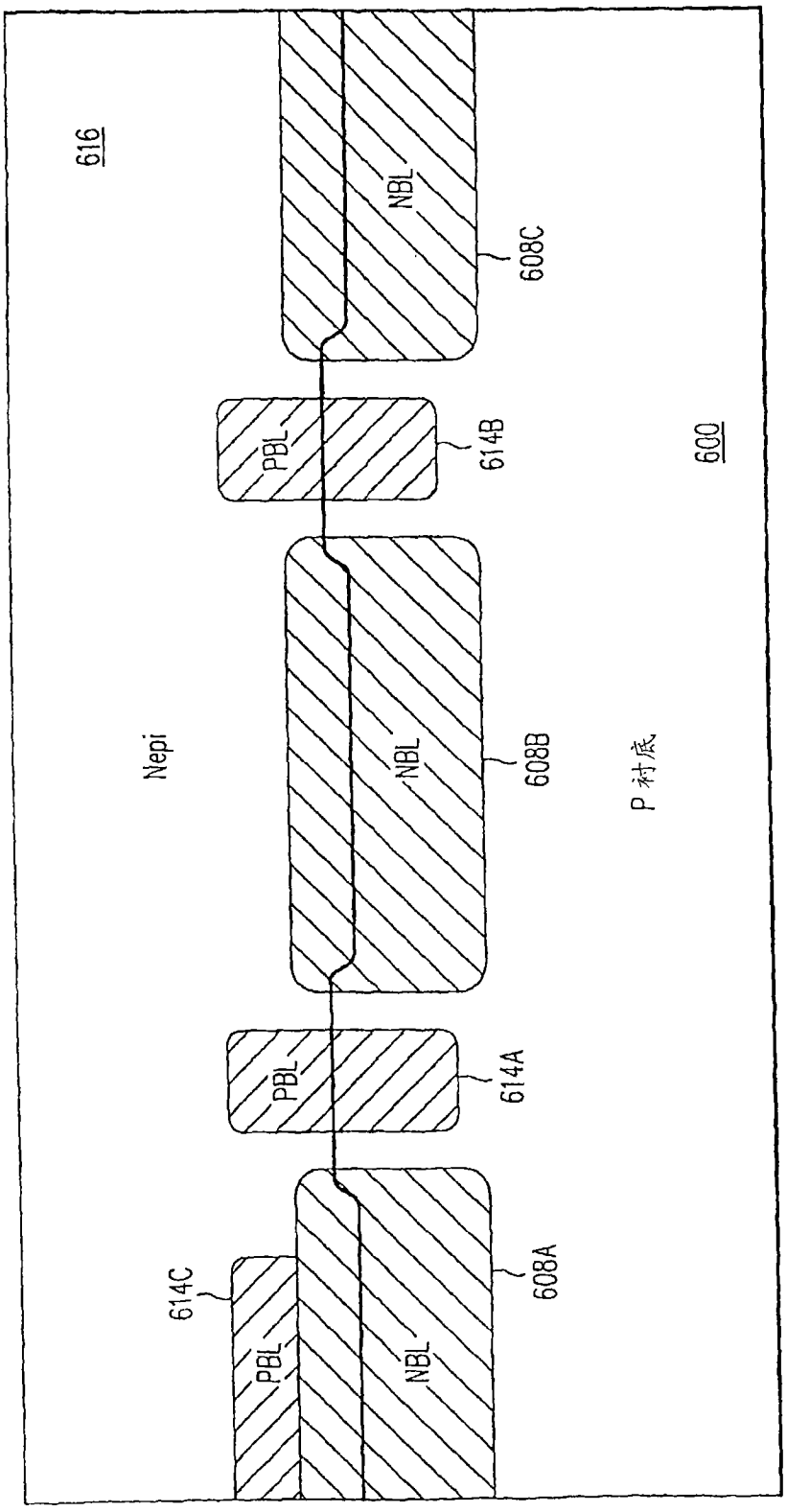

616
NBL
608C
PBL
614B
600
Nepi
NBL
608B
P 衬底
PBL
614A
614C
PBL
NBL
608A

图 29F

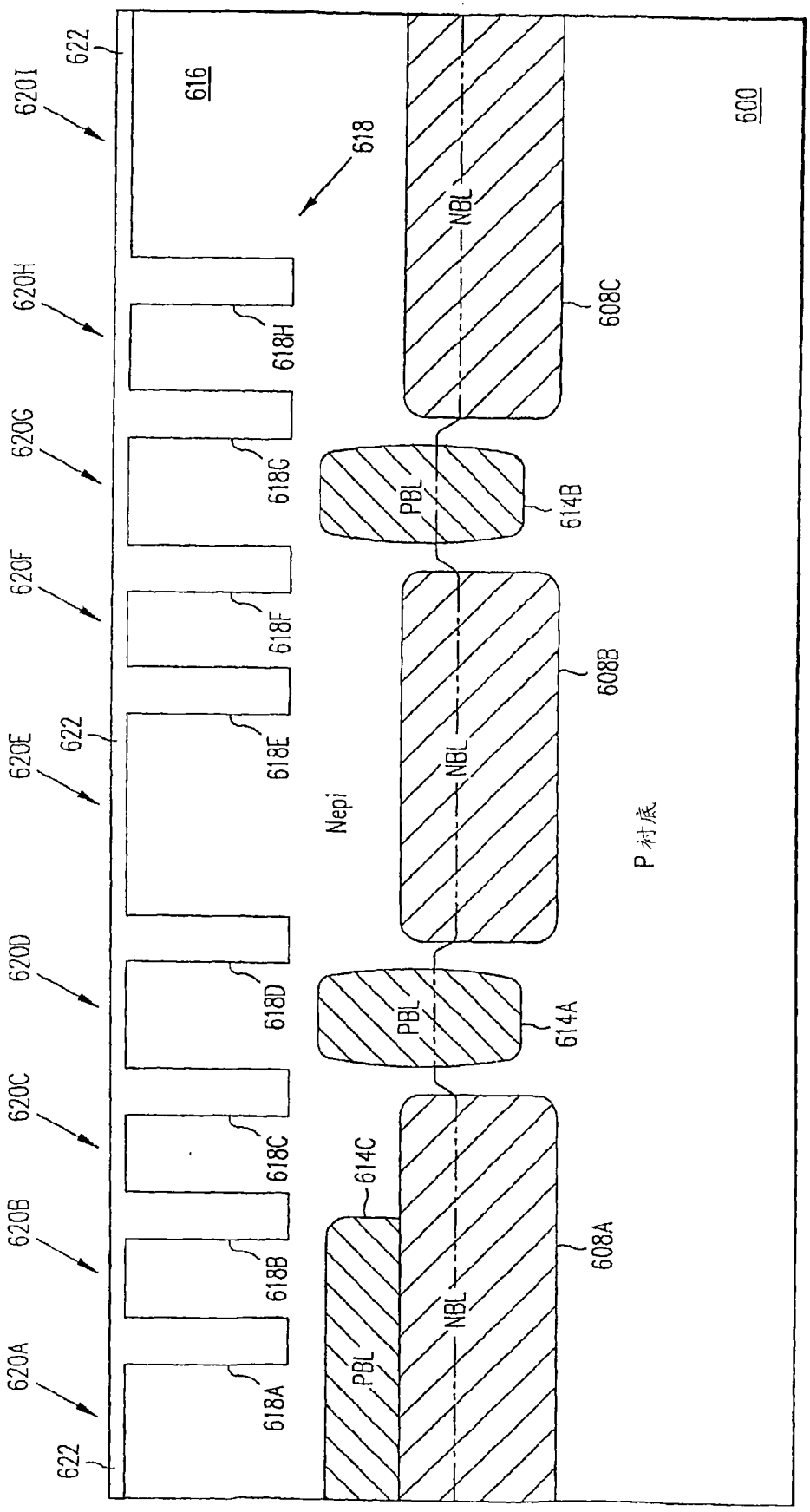

620I
622
616
618
600
620H
618H
608C
NBL
620G
618C
PBL
614B
620F
618F
620E
622
618E
608B
Nepi
NBL
620D
618D
P 衬底
PBL
614A
620C
618C
614C
608A
620B
618B
NBL
620A
618A
PBL
622

图 29G

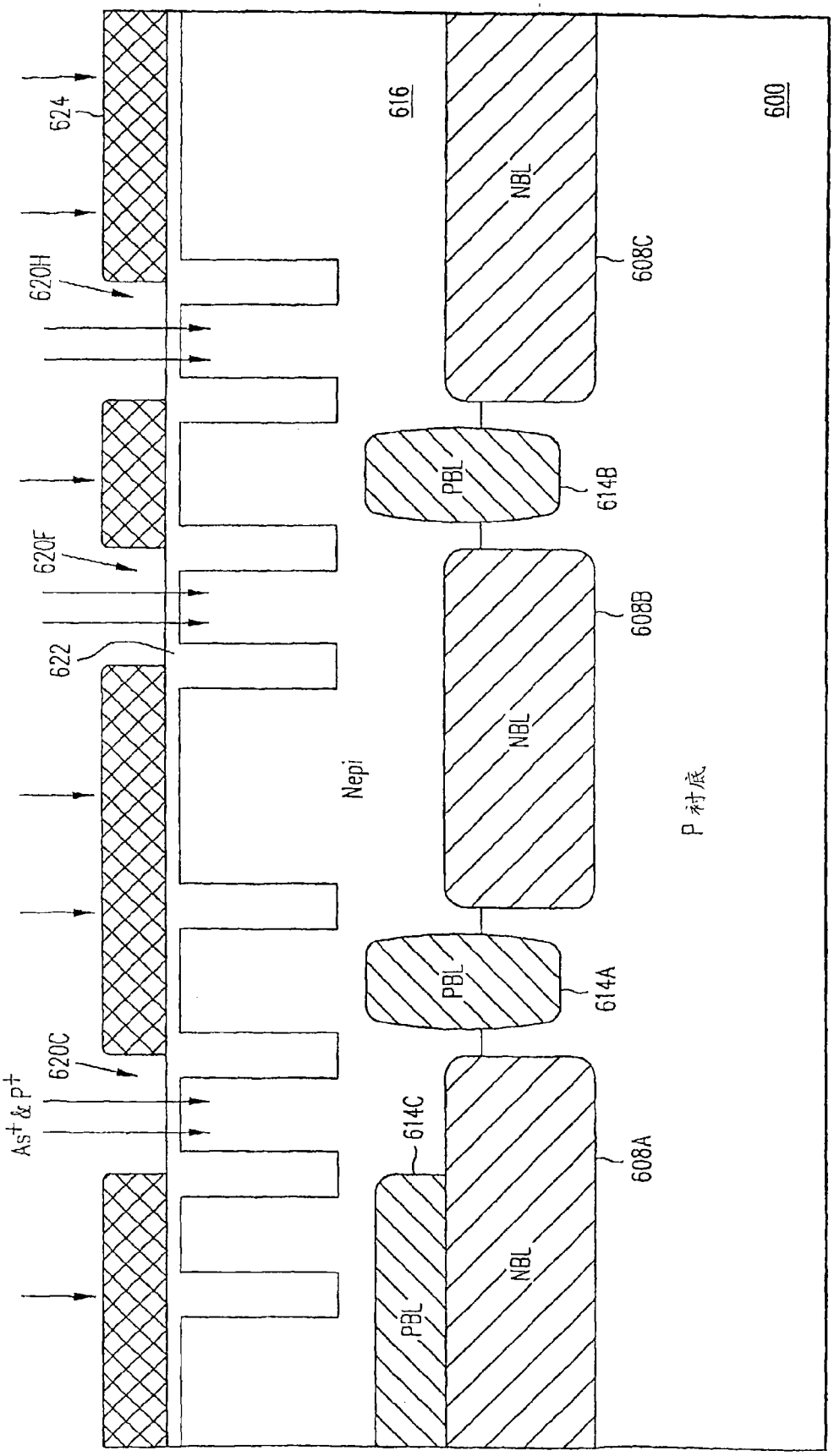

624
620H
620F
622
620C
As+ & P+
616
600
NBL
608C
PBL
614B
608B
Nepi
P 衬底
614A
614C
608A

图 29H

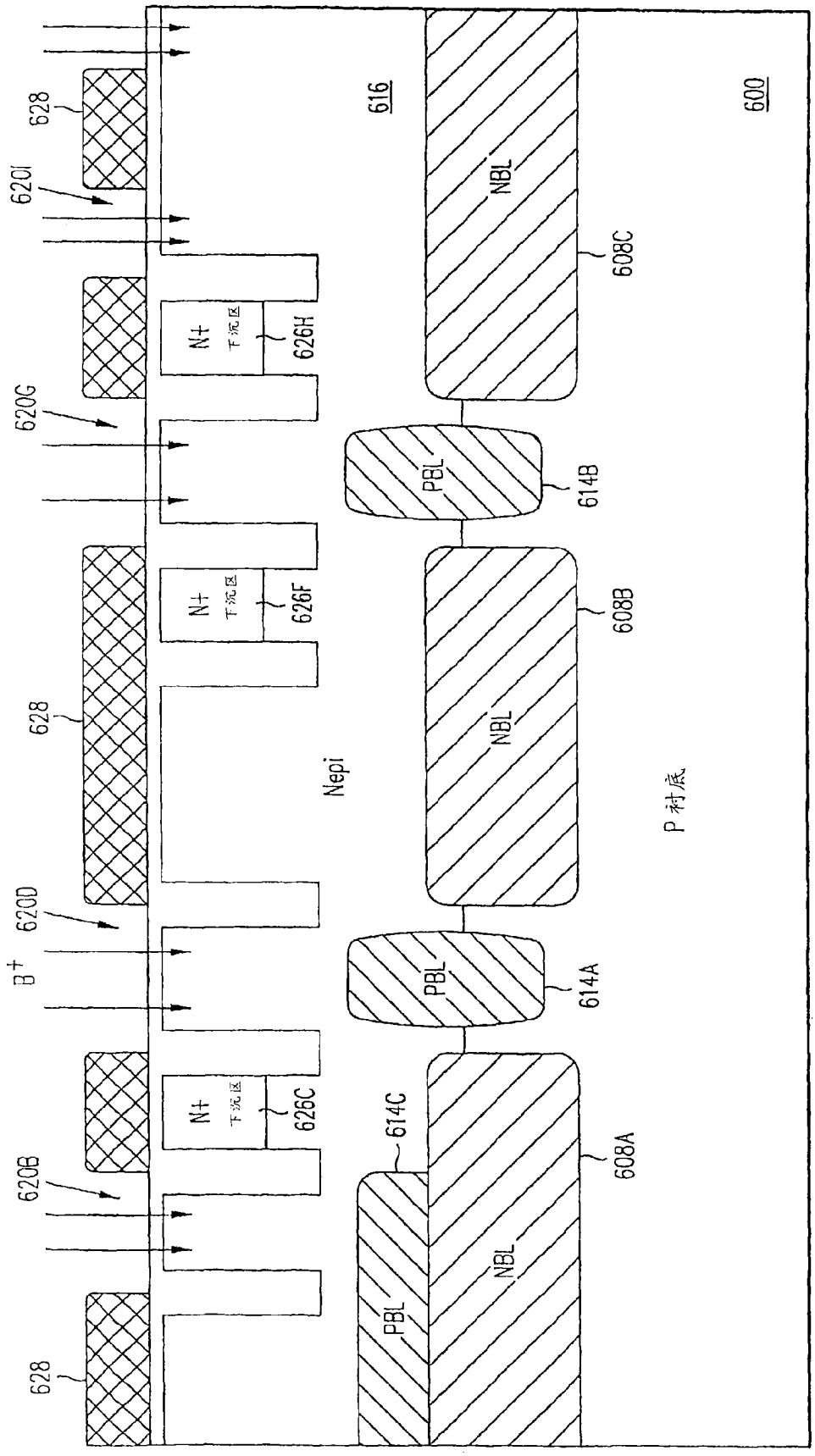

600
616
Nepi
P 衬底
NBL
PBL
608A
608B
608C
614A
614B
614C
626C
626F
626H
N+
下沉区
620B
620C
620D
620I
628
B+

图 29I

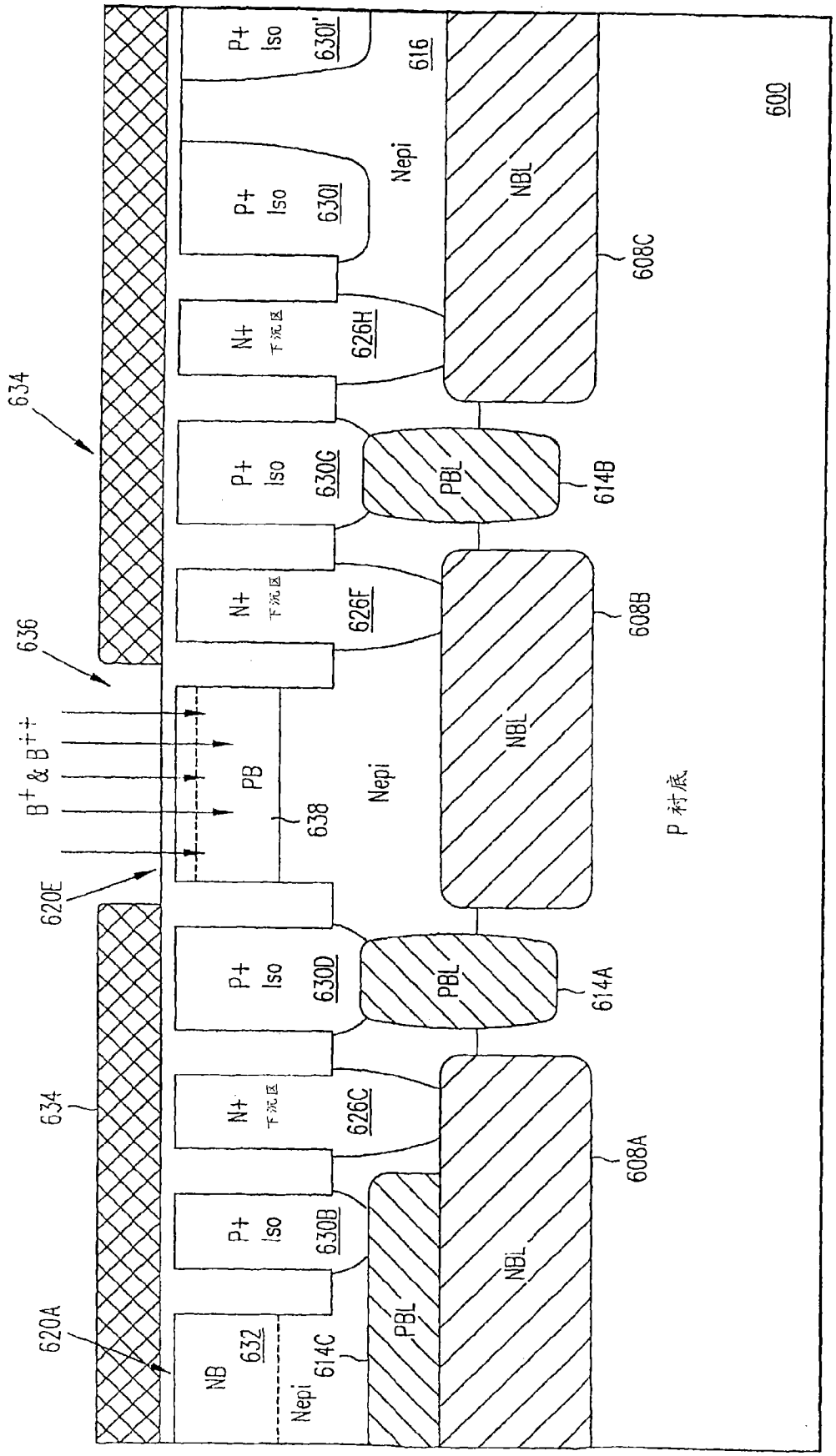

600
P 衬底
NBL
608A
608B
608C
PBL
614A
614B
Nepi
616
NB
632
614C
PB
638
P+ Iso
630B
630C
630D
630I
630I'
N+ 下沉区
626C
626F
626H
620A
620E
634
636
B+ & B++

图 29J

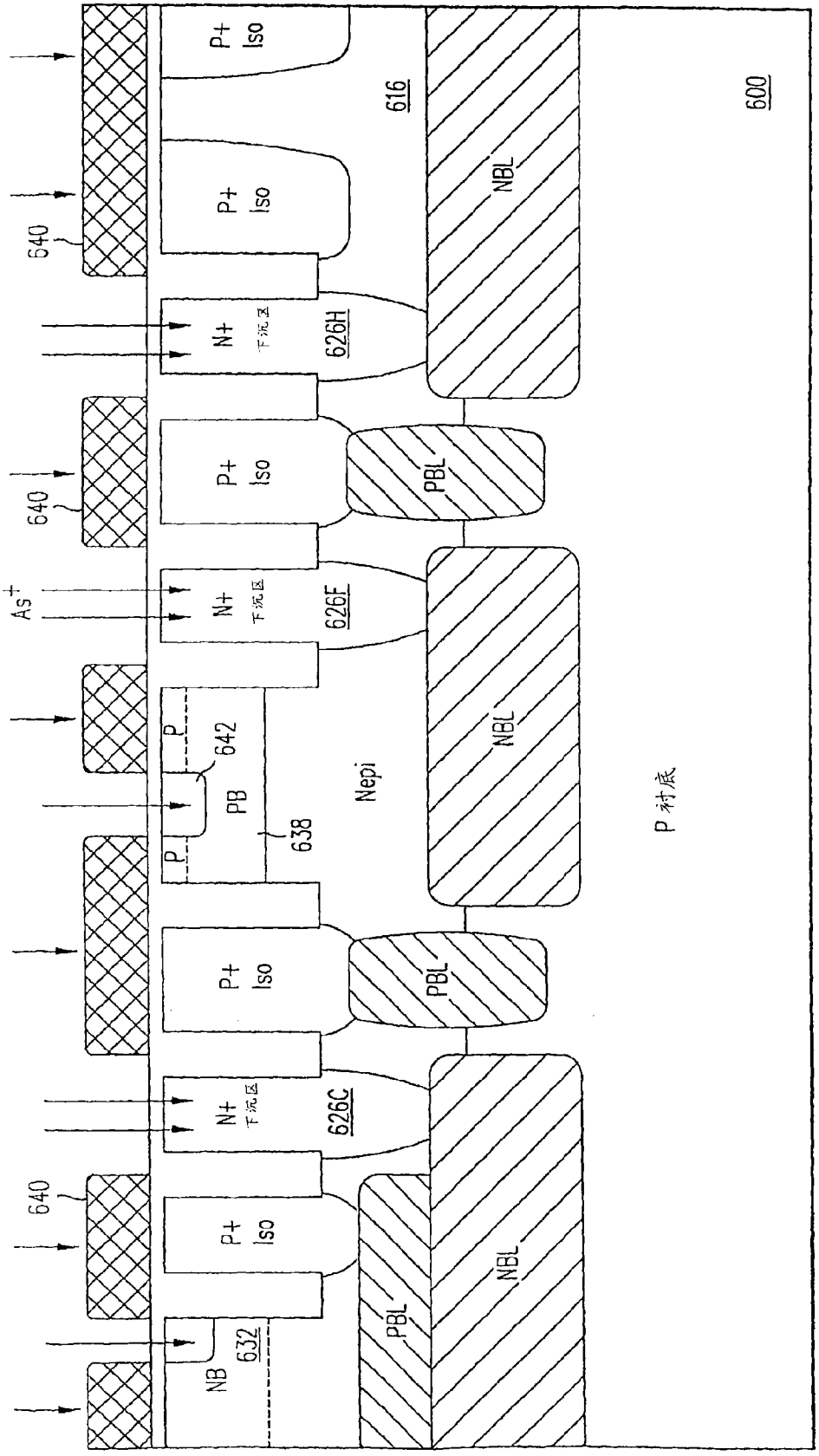

P+ Iso
616
600
640
N+ 下沉区
626H
NBL
PBL
As+
626F
P
642
PB
638
Nepi
626C
NB
632
P 衬底

图 29K

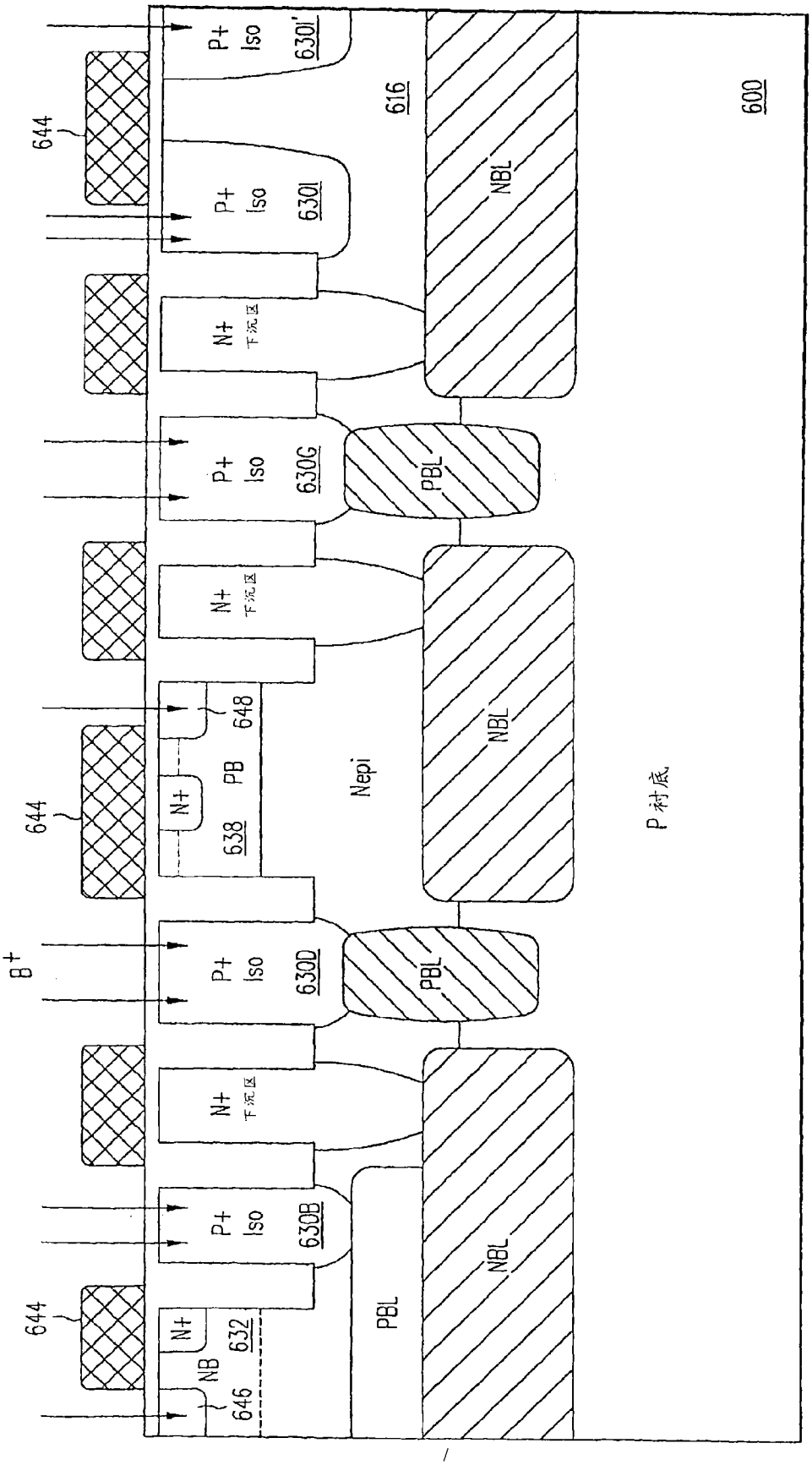

P+ Iso
630I'
616
600
644
P+ Iso
630I
NBL
N+ 下沉区
P+ Iso
630G
PBL
N+ 下沉区
N+
638
PB
648
Nepi
NBL
644
B+
P+ Iso
630D
PBL
N+ 下沉区
P+ Iso
630B
644
N+
NB
632
646
PBL
NBL
P 衬底

图 29L

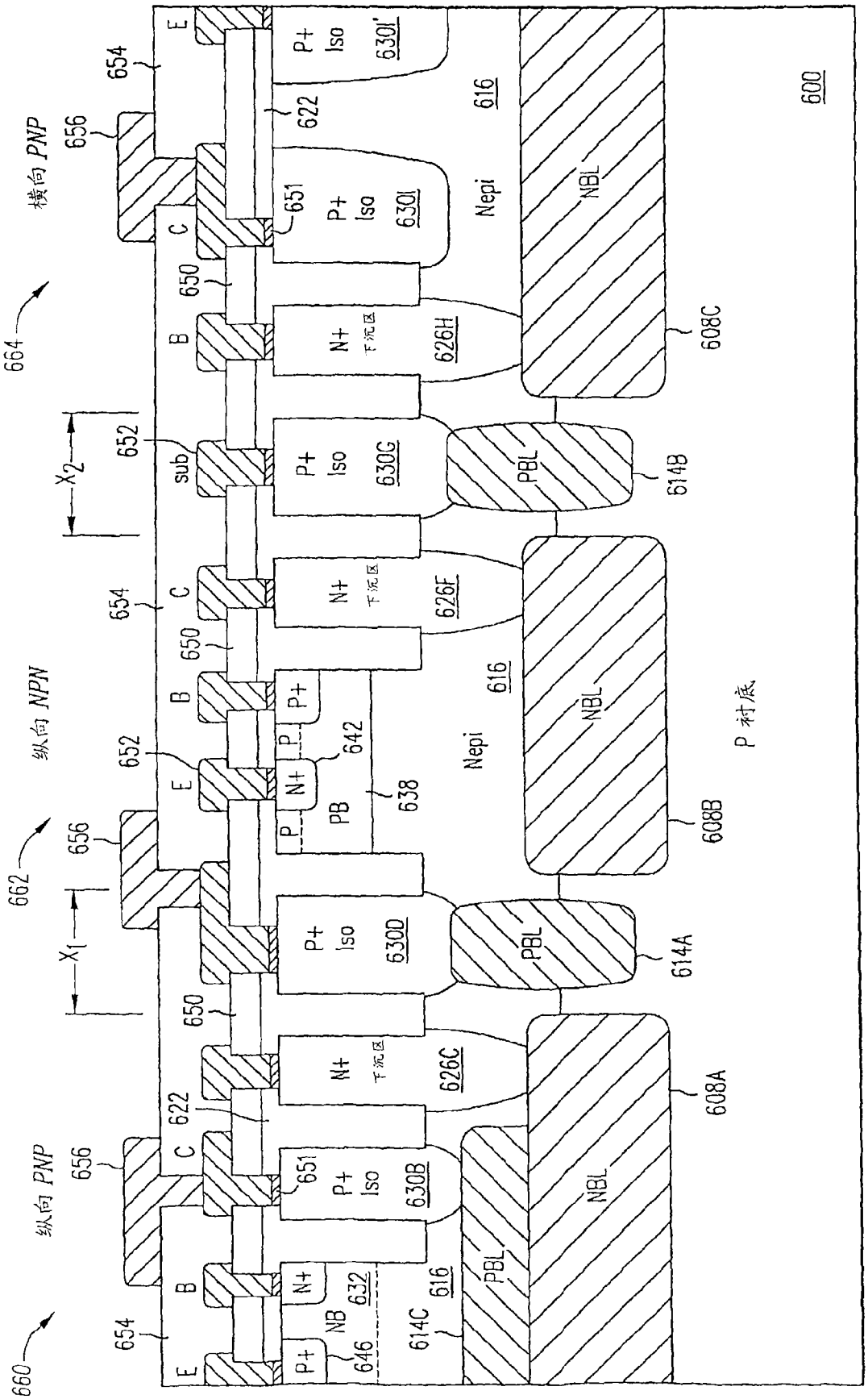

600
P 衬底
Nepi
616
NBL
608A
608B
608C
PBL
614A
614B
614C
630I'
630I
630G
630D
630B
626H
626F
626C
642
638
632
646
622
650
652
654
656
651
N+ 下沉区
P+ Iso
P+
N+
P
PB
NB
sub
E
B
C
横向 PNP
纵向 NPN
纵向 PNP
660
662
664
X1
X2

图 29M

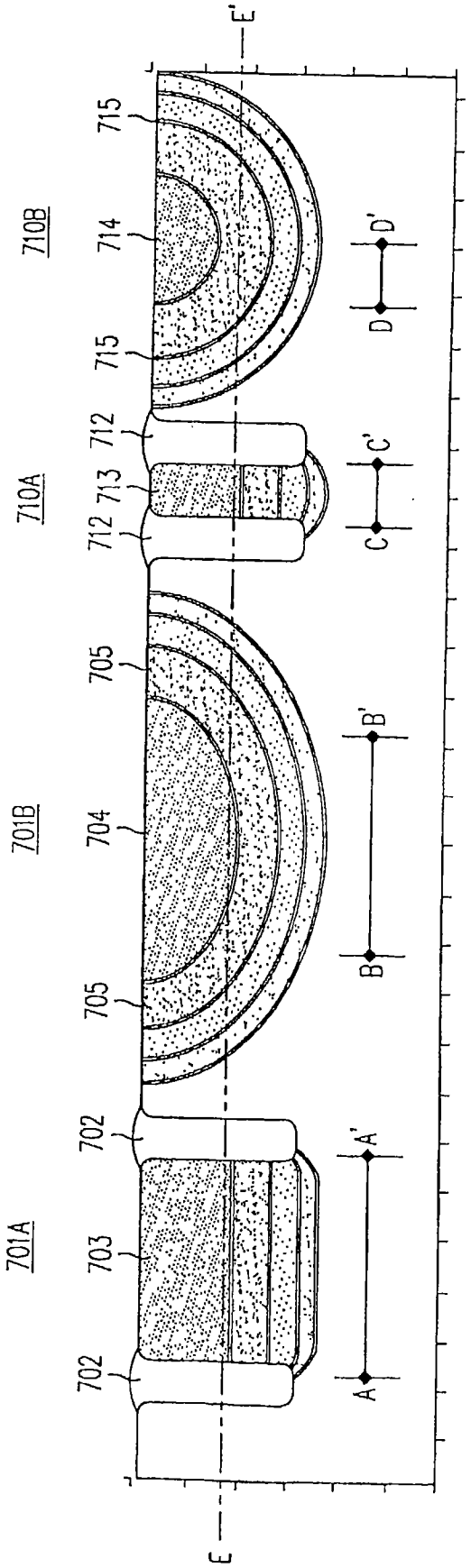

E'
715
714
715
710B
712
713
712
710A
705
704
705
701B
702
703
702
701A
E
A
A'
B
B'
C
C'
D
D'

图 30