



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

(22) Prihlášené 30 11 78
(21) (PV 7871-78)

(40) Zverejnené 15 09 80

(45) Vydané 15 09 83

206698

(11) (B1)

(51) Int. Cl.³

H 03 K 3/12

(75)

Autor vynálezu

JANOTKA JÚLIUS ing., VAVRIŠOVO a GROCH ANTON ing., LIPTOVSKÝ HRÁDOK

(54) Bistabilný klopný obvod

Vynález sa týka bistabilného klopného obvodu s nastaviteľným extrémne nízkym príkonom, pozostávajúci z dvoch dvojíc unipolárnych tranzistorov pracujúcich ako súčtové logické členy NOR a z dvoch bipolárnych tranzistorov.

Známe zapojenia bistabilných klopných obvodov s unipolárnymi tranzistorami používajú v záťaži odpor, prípadne u C—MOS hradlú je to unipolárny tranzistor s opačnou vodivosťou kanálu. V prvom zapojení znižovanie príkonu zväčšovaním odporovej záťaže má nepriaznivý vplyv na skreslenie čela a tyla impulzov pri preklápaní obvodu zo stavu log 1 do stavu log 0 a späť a u druhého zapojenia nie je možnosť nastavenia príkonu a použitia vyššieho napájacieho napätia.

Tieto nedostatky odstraňuje bistabilný klopný obvod s nastaviteľným extrémne nízkym príkonom pozostávajúci z dvoch dvojíc unipolárnych tranzistorov pracujúcich ako súčtové logické členy NOR a z dvoch bipolárnych tranzistorov podľa vynálezu, ktorého podstata spočíva v tom, že výtokové elektródy a substráty prvej dvojice unipolárnych tranzistorov i druhej dvojice unipolárnych tranzistorov sú navzájom spojené a pripojené na kladný pól zdroja napájacieho napätia a výtokové elektródy v prvej dvojici unipolárnych tranzistorov i v druhej dvojici unipolárnych tranzistorov sú navzájom spojené,

pričom spojené výtokové elektródy prvej dvojice unipolárnych tranzistorov sú pripojené na prvý výstup a súčasne uzol spolu s hradlom tretieho unipolárneho tranzistora druhej dvojice unipolárnych tranzistorov a s kolektorom prvého bipolárneho tranzistora, ktorého emitor je pripojený na záporný pól zdroja napájacieho napätia a spojené výtokové elektródy druhej dvojice unipolárnych tranzistorov sú pripojené na druhý výstup a súčasne uzol, spolu s hradlom druhého unipolárneho tranzistora prvej dvojice unipolárnych tranzistorov a s kolektorom druhého bipolárneho tranzistora, ktorého emitor je pripojený na záporný pól zdroja napájacieho napätia, hradlo prvého unipolárneho tranzistora prvej dvojice unipolárnych tranzistorov je pripojené na prvý vstup obvodu a súčasne cez tretí odpor na kladný pól zdroja napájacieho napätia, na ktorý je tiež pripojené cez štvrtý odpor hradlo štvrtého unipolárneho tranzistora, ktoré je súčasne pripojené na druhý vstup obvodu, hradlo druhého unipolárneho tranzistora je pripojené jednak na druhý výstup obvodu a jednak cez druhý odpor na bázu prvého bipolárneho tranzistora a hradlo tretieho unipolárneho tranzistora je pripojené jednak na prvý výstup obvodu a jednak cez prvý odpor na bázu druhého bipolárneho tranzistora.

Zaradením cez odpor spínaných tranzisto-

rov namiesto zatažovacích odporov podľa vynálezu je vylúčený nepriaznivý vplyv znižovania príkonu na strmost čela a tyla výstupných impulzov pri prechode zo stavu log 1 do stavu log 0 a späť. Je možné použiť vyššie napájacie napätie ako v zapojení bistabilného klopného obvodu z C—MOS hradíel.

Vynález teraz podrobnejšie vysvetlíme pomocou schémy zapojenia bistabilného klopného obvodu podľa vynálezu znázorneného na priloženom výkrese.

Obvod pozostáva z dvoch dvojíc unipolárnych tranzistorov **T1**, **T2** a **T3**, **T4**, z ktorých každá pracuje ako súčtový logický člen NOR. Na spojené výtokové elektródy prvého unipolárneho tranzistora **T1** a druhého unipolárneho tranzistora **T2** je pripojený kolektor prvého bipolárneho tranzistora **T5**, ktorý je spínaný cez druhý odpor **R2** z druhého výstupu **O2**. Na spojené výtokové elektródy tretieho unipolárneho tranzistora **T3** a štvrtého unipolárneho tranzistora **T4** je pripojený kolektor druhého bipolárneho tranzistora **T6**, ktorý je spínaný z prvého výstupu **O1** cez prvý odpor **R1**. Prvý výstup **O1** obvodu je spojený s hradlom tretieho unipolárneho tranzistora **T3** a druhý výstup **O2** obvodu je pripojený na hradlo druhého unipolárneho tranzistora **T2**. Hradlo prvého unipolárneho tranzistora **T1** je spojené cez tretí odpor **R3** s kladným pólom $+$ zdroja napájacieho napätia a je zároveň prvým vstupom **I1** bistabilného klopného obvodu. Výtokové elektródy a substráty štyroch unipolárnych tranzistorov **T1**, **T2**, **T3** a **T4** sú pripojené na kladný pól $+$ zdroja napájacieho napätia a emistory prvého bipolárneho tranzistora **T5** a druhého

bipolárneho tranzistora **T6** sú pripojené na záporný pól $-$ zdroja napájacieho napätia.

Činnosť obvodu podľa vynálezu je nasledovná. Po pripojení napájacieho napätia na kladný pól $+$ a záporný pól $-$ zdroja objaví sa na jednom z výstupov, napríklad na prvom výstupe **O1** log 1 (kladné napätie zdroja) a na druhom výstupe **O2** bude log 0. Zopnutý bude druhý bipolárny tranzistor **T6** cez prvý odpor **R1** z prvého výstupu **O1** a druhý unipolárny tranzistor **T2** z druhého výstupu **O2**. Ostatné tranzistory zostanú zatvorené. Prúd tečie cez otvorený druhý unipolárny tranzistor **T2**, prvý odpor **R1** a prechod báza—emitor druhého bipolárneho tranzistora **T6**. Po privedení záporného impulzu na druhý vstup **I2** sa otvorí štvrtý unipolárny tranzistor **T4**, na druhom výstupe **O2** sa objaví log 1, ktorá uzatvorí druhý unipolárny tranzistor **T2** a súčasne otvorí tretí unipolárny tranzistor **T3**. Obvod sa prekllopí a zotrúva v druhom stabilnom stave. Prúd tečie teraz cez otvorený tretí unipolárny tranzistor **T3**, druhý odpor **R2** a prechod báza—emitor prvého bipolárneho tranzistora **T5**. Po privedení záporného impulzu na prvý vstup **I1** sa obvod znova prekllopí do pôvodného stavu.

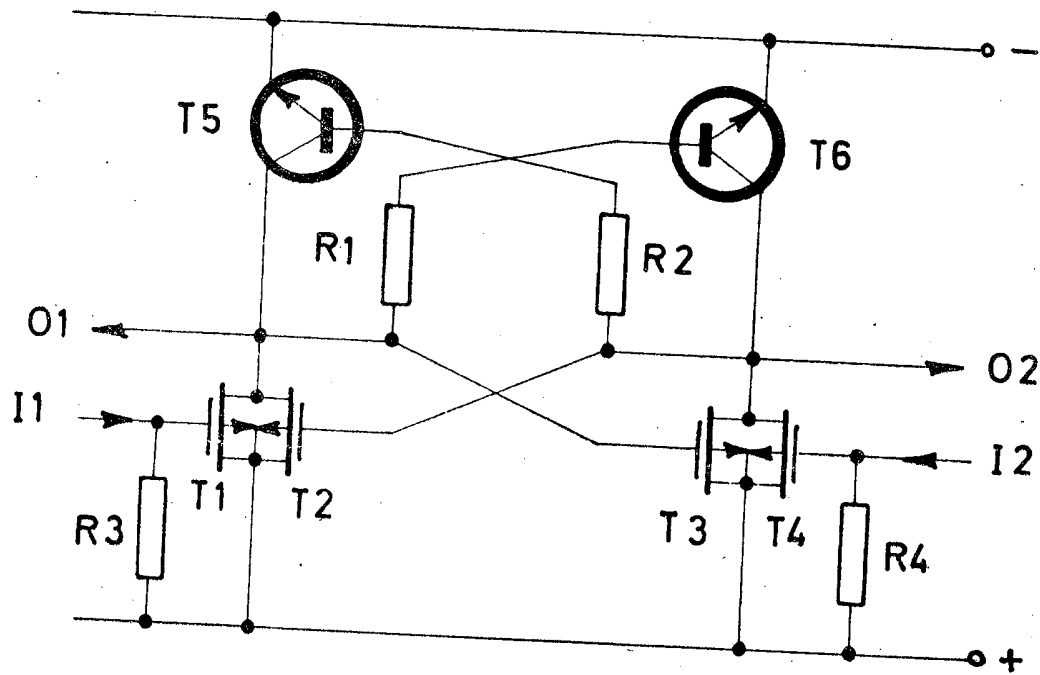
Odpor **R1** a **R2**, ktoré určujú príkon bistabilného klopného obvodu podľa vynálezu v jednom alebo druhom stabilnom stave, môžu mať hodnoty rádovo až desiatky megaohmov.

Bistabilný klopný obvod podľa vynálezu je určený pre využitie v telefónnych koncových zariadeniach.

PREDMET VYNÁLEZU

Bistabilný klopný obvod s nastaviteľným extrémne nízkym príkonom, pozostávajúci z dvoch dvojíc unipolárnych tranzistorov, pracujúcich ako súčtové logické členy NOR a z dvoch bipolárnych tranzistorov, vyznačujúci sa tým, že výtokové elektródy a substráty prvej dvojice unipolárnych tranzistorov (**T1**, **T2**) i druhej dvojice unipolárnych tranzistorov (**T3**, **T4**) sú navzájom spojené a pripojené na kladný pól $+$ zdroja napájacieho napätia a výtokové elektródy prvej dvojice unipolárnych tranzistorov (**T1**, **T2**) i druhej dvojice unipolárnych tranzistorov (**T3**, **T4**) sú navzájom spojené, pričom spojené výtokové elektródy prvej dvojice unipolárnych tranzistorov (**T1**, **T2**) sú pripojené na prvý výstup (**O1**) a súčasne na uzol spolu s hradlom tretieho unipolárneho tranzistora (**T3**) druhej dvojice unipolárnych tranzistorov (**T3**, **T4**) a s kolektorom prvého bipolárneho tranzistora (**T5**), ktorého emitor je pripojený na záporný pól $-$ zdroja napájacieho napätia a spojené výtokové elektródy druhej dvojice unipolárnych tranzistorov (**T3**, **T4**) sú

pripojené na druhý výstup (**O2**) a súčasne na uzol spolu s hradlom druhého unipolárneho tranzistora (**T2**) prvej dvojice unipolárnych tranzistorov (**T1**, **T2**) a s kolektorom druhého bipolárneho tranzistora (**T6**), ktorého emitor je pripojený na záporný pól $-$ zdroja napájacieho napätia, hradlo prvého unipolárneho tranzistora (**T1**) prvej dvojice unipolárnych tranzistorov (**T1**, **T2**) je pripojené na prvý vstup (**I1**) obvodu a súčasne cez tretí odpor (**R3**) na kladný pól $+$ zdroja napájacieho napätia, na ktorý je tiež pripojené cez štvrtý odpor (**R4**) hradlo štvrtého unipolárneho tranzistora (**T4**), ktoré je súčasne pripojené na druhý vstup (**I2**) obvodu, hradlo druhého unipolárneho tranzistora (**T2**) je pripojené na druhý výstup (**O2**) obvodu a cez druhý odpor (**R2**) na bázu prvého bipolárneho tranzistora (**T5**) a hradlo tretieho unipolárneho tranzistora (**T3**) je pripojené jednak na prvý výstup (**O1**) obvodu a jednak cez prvý odpor (**R1**) na bázu druhého bipolárneho tranzistora (**T6**).



Obr. 1