

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/762 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480014590.8

[45] 授权公告日 2009年5月27日

[11] 授权公告号 CN 100492589C

[22] 申请日 2004.5.27

[21] 申请号 200480014590.8

[30] 优先权

[32] 2003.5.30 [33] FR [31] 0306568

[86] 国际申请 PCT/FR2004/001314 2004.5.27

[87] 国际公布 WO2004/109781 法 2004.12.16

[85] 进入国家阶段日期 2005.11.28

[73] 专利权人 S. O. I 探测硅绝缘技术公司

地址 法国贝尔宁

[72] 发明人 法布里斯·勒泰特 布鲁诺·吉瑟兰
奥利维尔·雷萨克

[56] 参考文献

WO01/97282A1 2001.12.20

US5053835A 1991.10.1

JP2002050749A 2002.2.15

CN1292149A 2001.4.18

US6121121A 2000.9.19

US4876219A 1989.10.24

审查员 彭丽娟

[74] 专利代理机构 北京律盟知识产权代理有限责
任公司

代理人 王允方 刘国伟

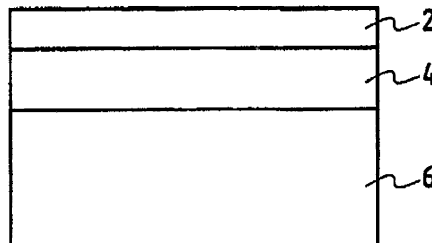
权利要求书 2 页 说明书 9 页 附图 3 页

[54] 发明名称

承受应力的系统的衬底及在所述衬底上生长晶体的方法

[57] 摘要

本发明涉及一种用于晶体生长的支撑件，其包括一成核层(2)、一多晶或多孔缓冲层(4)及一支撑层(6)。



1、一种用于晶体生长的支撑件，其包括：

一成核层(2, 10)；

一支撑衬底(6, 16)；及

一插入在所述成核层及所述支撑衬底之间的缓冲层(4, 14)，其中所述缓冲层为一通过其中材料的机械置换来吸收热弹性应力的多孔层或所述缓冲层为一通过其中的缺陷发生来吸收热弹性应力的多晶层。

2、如权利要求1所述的支撑件，其中所述成核层(2)为一单晶材料层。

3、如权利要求2所述的支撑件，其中所述单晶材料由硅、碳化硅(SiC)、氮化镓(GaN)、蓝宝石、氮化铝(AlN)或金刚石形成。

4、如权利要求1至3中任一权利要求所述的支撑件，其中所述成核层(2)通过从另一衬底上转移而获得。

5、如权利要求1至4中任一权利要求所述的支撑件，其中所述支撑衬底(6, 16)由硅(Si)、碳化硅(SiC)、蓝宝石、氮化铝(AlN)或金刚石形成。

6、如权利要求1至5中任一权利要求所述的支撑件，其中所述缓冲层由硅、多孔硅、多晶硅、碳化硅、氮化镓、蓝宝石、氮化铝或氮化硅形成。

7、如权利要求1至6中任一权利要求所述的支撑件，其中所述成核层(10)由硅形成，所述缓冲层(14)为多晶或多孔性，所述支撑衬底(16)由一半导体层形成，且一氧化物层(12)包含于所述成核层与所述缓冲层(14)之间。

8、如权利要求7所述的支撑件，其中所述氧化物层为一硅氧化物层或一硼磷硅酸盐玻璃(BPSG)层。

9、如权利要求1至8中任一权利要求所述的支撑件，其中所述成核层的厚度在0.1 μm至2 μm范围内。

10、如权利要求1至9中任一权利要求所述的支撑件，其中所述缓冲层的厚度在0.01 μm至2 μm范围内。

11、如权利要求1至10中任一权利要求所述的支撑件，所述支撑衬底进一

步包括图形(22, 23, 25, 43)。

12、一种用于晶体生长的支撑件，其包括至少一成核层(24)、及一包含图形(22, 25)的支撑衬底(6, 16)，所述图形延伸入或起源于所述衬底的面向所述成核层的面(43)，以便吸收所述表面上所产生的热弹性应力。

13、如权利要求12所述的支撑件，其中所述成核层及所述支撑衬底由硅形成，且一氧化物或绝缘体层位于所述成核层与所述衬底之间。

14、如权利要求12或权利要求13所述的支撑件，其进一步包括一位于所述成核层(24)或所述氧化物或绝缘体层与所述支撑衬底之间的缓冲层(4, 14)或中间层。

15、如权利要求14所述的支撑件，其中所述缓冲层为多晶或多孔性。

16、如权利要求15所述的支撑件，其中所述缓冲层由硅或多孔硅、多晶硅、碳化硅(SiC)、氮化镓(GaN)、蓝宝石、氮化铝(AlN)或氮化硅形成。

17、如权利要求11至16中任一权利要求所述的支撑件，所述图案部分或完全封闭于所述支撑衬底的所述表面(43)上。

18、如权利要求11至17中任一权利要求所述的支撑件，其中所述图形呈凹口、沟槽或锯痕形式。

19、一种外延生长方法，其中生长是在一如权利要求1至18中任一权利要求所述的支撑件上进行。

20、如权利要求19所述的方法，生成的材料是由 GaN、GaAs、InP、GaAlAs、InGaAs、AlN、AlGaN 或 SiGe 形成。

承受应力的系统的衬底及在所述衬底上生长晶体的方法

技术领域

本发明涉及用于晶体生长(外延生长)的衬底的领域并涉及使用所述衬底的晶体生长的技术。

本发明适用于诸如 GaN、GaAs、InP、GaAlAs、InGaAs、AlN、AlGaN 或甚至 SiGe 等材料层的外延生长的技术。

背景技术

当前,人们正在尝试制作这些材料的外延层,尤其是在氮化镓 GaN 的情况下。特别是,需要具有可靠的晶体质量的相对厚的层(> 1 或 2 μm),这些层不承受应力或稍微承受应力且具有低缺陷密度(例如,具有小于 $10^6/\text{cm}^2$ 的位错密度)。

一种已知的外延生长的实例是使用 MOCVD 技术在一用于外延的衬底上获得厚 GaN 层 ($C > 12$ 微米(μm)) 的 GaN 的外延生长。该文献提及那种类型的外延生长实质上是在下列体衬底上实施:蓝宝石、SiC 及 Si。那三种衬底是最常用的衬底,因为其是最容易获得的衬底。人们已对诸如 ZnO 或 LiGaO₂ 等衬底进行了若干试验。

当前,无论使用何种成核表面,均匀地沉积于一衬底表面上的外延 GaN 层具有一 10^8 至 $10^{10}/\text{cm}^2$ 范围内的位错密度。

通过 MOCVD (生长温度为 1000-1100 $^{\circ}\text{C}$) 获得的厚 GaN 层中的应力明显取决于所述外延衬底的热膨胀系数,热膨胀系数决定了施加于所述系统上的热弹性起源的应力。

在蓝宝石上制成的 GaN 层处于压缩中,而在 SiC 上获得的 GaN 层承受轻微的张力,但在硅上的 GaN 层则承受高张力。对于承受张力的层,此会导致一在外延薄膜中形成裂痕的强大趋向,从而毁坏外延薄膜。处于压缩力中的层同样

是一个问题。

这种现象对于硅上的生长尤为明显。对于所述外延支撑件而言，超过其便会出现裂痕的极限值为 $1\ \mu\text{m}$ 至 $2\ \mu\text{m}$ ，所述极限值是关于制作良好质量层的一限制因素。

对 SOI(绝缘体上硅)衬底的生长试验已显示，因为氧化物上存在的极薄的硅薄膜的揉顺性质，使用所述类型的衬底可减小外延生长层中的晶体缺陷密度。然而，所述系统在其吸收应力的能力方面受到限制，尤其是对于厚 GaN 层(最多 $1\ \mu\text{m}$ 至 $2\ \mu\text{m}$)。

通过在具有图形的衬底上生长晶体似乎可改进晶体质量。所获得的位错密度大约为 $10^6/\text{cm}^2$ 。除已知为悬空外延(PE)、从沟槽中横向生长(LOFT)及悬臂外延(CE)等技术外，还存在若干横向外延生长(ELO)技术。所有这些技术均基于外延生长层的横向生长及聚结以最终形成一连续薄膜。所获得的连续薄膜具有若干晶体质量得到改进的精确区域(横向外延生长(FLOG)技术)，或具有一晶体质量均匀的薄膜(LOFT 技术)。这些解决方案已经证明适合于蓝宝石、SiC 及 Si(111)。

虽然这些解决方案改进了外延生长薄膜的晶体质量，但其不能有效地解决所述外延生长薄膜中的应力问题。

因此，存在这样一个问题，即制作一种能够在晶体生长期间，尤其是在一材料的厚外延生长期间，而且尤其是在所述材料的热膨胀系数不同于或迥然不同于所述衬底或外延支撑件的热膨胀系数的情况下吸收高强度应力的衬底或支撑件。

还存在这样一个问题，即找到一种能够吸收高强度应力的衬底或支撑件，以尤其在(例如)生长 GaN 层时获得厚层。

发明内容

在第一方面，本发明提供一种用于晶体生长的支撑件，其包括：

- 一成核或生长层;
- 一多晶体、多孔或非晶缓冲层或中间层; 及,
- 一基础衬底。

所述缓冲层能够吸收或调节在所述支撑件的成核或生长层上实施外延生长期间出现的应力。

因此, 这种新颖类型的支撑件能够更容易地制作具有约为数 μm (例如 $4 \mu\text{m}$) 厚度的外延层, 尤其是厚 GaN 层。

所述成核层可为一(例如)由 Si 或 SiC 或 GaN 形成的或由蓝宝石或 AlN 或金刚石形成的单晶材料层。所述成核层可通过从另一衬底上转移而获得。

所述支撑衬底可由 Si 或 SiC 形成, 且所述缓冲层可由非晶硅、多孔硅、多晶硅、非晶二氧化硅 SiO_2 、非晶氮化硅 Si_3N_4 、碳化硅(SiC)、氮化镓(GaN)、蓝宝石或氮化铝(AlN)形成。

在一变化形式中, 所述成核层由硅形成, 所述缓冲层为多晶或多孔的, 所述基础衬底由硅形成, 及一电绝缘层同样被包含在所述成核层与所述缓冲层之间。所述绝缘层则可为一氧化物层(例如硅的)或一硼磷硅酸盐玻璃层。

本发明的结构可与 SOI(绝缘体上硅)类型的结构相兼容。

因此, 在本发明的一第一实施方案中, 一中间层形成于所述基础衬底与所述成核层或者所述 SOI 双层(表面硅层和绝缘层(例如氧化硅))之间。

在本发明的另一实施方案中, 在基础衬底上形成一能够吸收表面处所产生的热弹性应力的机械吸收构件或机械系统。这种机械系统包括(例如)一吸收元件阵列, 所述吸收元件阵列可通过机械加工(例如通过离子蚀刻)所述基础衬底来获得。

本发明还提供一种用于晶体生长的支撑件, 其包括至少一成核或生长层及一其中蚀刻有图形的基础衬底。

所述成核层及所述基础衬底可由硅形成, 一氧化物或电绝缘层定位于所述成核层与所述衬底之间。

因此，所述第二实施方案也可与一 SOI 型结构相兼容。

一缓冲层可定位于所述成核层或生长层或所述氧化物层与所述基础衬底之间，所述缓冲层为多孔或单晶的，举例而言，由 Si、非晶硅、多孔硅、多晶硅、SiC、GaN、蓝宝石或 AlN 所形成。

如上文所定义，可在根据本发明的一支撑件上实施根据本发明的一外延生长方法。

附图说明

- 图 1 及 2 显示本发明的一第一实施方案；
- 图 3A 至 4 显示本发明的一第二实施方案；
- 图 5A 和 5B 显示一种衬底断裂方法的步骤。

具体实施方式

在一第一实施方案中，一缓冲或中间层插在一成核或生长层与一基础衬底之间，所述缓冲层能够(例如)通过在所述层中产生晶体缺陷或通过所述层中材料的机械置换来吸收一定数量的应力。

所述结构的一实例显示于图 1 中，图 1 显示上文所提及的一成核层 2、一缓冲层 4、及一诸如 Si 或 SiC 或蓝宝石(Al_2O_3)或氮化铝(AlN)等的支撑衬底 6。

举例而言，缓冲层 4 为一多晶、多孔或非晶层。其可通过 CVD 技术形成，并可由硅(Si)、碳化硅(SiC)、磷化镓(GaN)、蓝宝石或氮化铝(AlN)、二氧化硅(SiO_2)、或氮化硅(Si_3N_4)等形成。所述材料仅以例示方式给出。

在所述硅层的实例中，所述缓冲层可为由非晶硅、多晶硅或多孔硅(通过有意的多孔化 (porosification) 或通过多孔沉积而获得)形成的一薄层。

成核层 2 为(例如)一单晶材料层，其通过(例如)使用被称作“智能切割”的断裂方法(参见与此主题相关的图 5A 和 5B，或甚至参见下文于本说明书中所引用的由 A.J. Auberton-Hervé 所撰写的文章)从一第一衬底转移一薄层而获得。

通常，所述成核层的厚度约为 $0.1\mu\text{m}$ 至 $2\mu\text{m}$ ，例如 $0.5\mu\text{m}$ ；所述缓冲层的厚度约为零点几 μm ，例如约 $0.01\mu\text{m}$ 至约 $1\mu\text{m}$ 或 $2\mu\text{m}$ ，而所述衬底可约为数百 μm ，或在 $100\mu\text{m}$ 至 $700\mu\text{m}$ 范围内，例如约 $500\mu\text{m}$ 或约 $525\mu\text{m}$ 。

成核层 2 的热膨胀系数 C_1 和 C_2 可与衬底 6 的热膨胀系数 C_1 和 C_2 不同。举例而言，SiC 具有一 $4.5 \times 10^{-6} \text{K}^{-1}$ 的热膨胀系数，Si 具有一 $2.5 \times 10^{-6} \text{K}^{-1}$ 的热膨胀系数，氧化铝(Al_2O_3)具有一 $7 \times 10^{-6} \text{K}^{-1}$ 的热膨胀系数。

层 2 的热膨胀系数与衬底 6 的热膨胀系数中的这种差可在温度上升或者下降阶段产生应力，尤其是一旦相对差 $|C_1 - C_2| / C_1$ 或 $|C_1 - C_2| / C_2$ 在环境温度下至少为 10% 或 20% 或 30%，即约 20°C 或 25°C 时。

在那种类型的结构中，温度偏移期间所产生的应力由缓冲层 4 吸收。在一多晶层的情况下，所述应力通过缺陷产生而被吸收在多晶层内。在一多孔层的情况下，所述孔允许材料的局部置换，从而以机械方式吸收张力或应力。在一非晶层的情况下，所述应力的特许松弛状态是通过存在的层的蠕变而产生。

本发明还适用于一 SOI 型结构，在 SOI 型结构中，所述氧化物不是一硅氧化物，而是一在低温下变得有粘性的氧化物，例如一硼磷硅酸盐玻璃(BPSG)。如果所述层是粘性的，则其通过蠕变来吸收张力及应力。

同一类型的缓冲层可插入所述氧化或绝缘层与所述衬底之间的一 SOI 结构中。这种结构显示于图 2 中，其中参考标号 10 表示一半导体材料薄层，优选为(例如)由硅、碳化硅 SiC、氮化镓 GaN、蓝宝石或 AlN 形成的单晶体。参考标号 12 表示一 SiO_2 氧化物层，层 14 代表所述缓冲层及参考标号 16 代表一由一半导体材料(例如厚硅)形成的衬底。

在这种 SOI 结构中，因为是在约数百度(例如： 1000°C)的温度下实施所述晶体生长方法，所以该氧化物层还用作一应力调节层。在那些温度下，氧化物变得有粘性，并吸收一些应力。

缓冲层 14 也将吸收一些所述应力，但以一不同的方式，因为其未变得有粘性。

因此,成核层 10 与衬底 16 之间的热膨胀系数的相对差在环境温度(20°C 或 25°C)下可同样大于 10%或 20%或 30%。

对于一 SOI 结构,缓冲层 14 可(例如)通过沉积一可框入并吸收应力的非晶或多晶硅而产生且在(例如)10 nm 至 1 μm 或 0.1 μm 至 2 μm 的厚度范围内。

通常,可通过转移形成的层 10 的厚度约为 10nm 至 300nm,或甚至在 0.1 μm 至 2 μm 的范围内。可通过沉积形成的层 12 的厚度约为数百 nm,例如在 100nm 至 700nm 的范围内,例如 400nm。

衬底 10 可具有与图 1 所示的衬底 6 大致相同的厚度。

在图 3A 所示的另一实施方案中,在一衬底 20 或刚性支撑件中生成一调节层 22,所述调节层为弹性的,或者其至少在一与不同层 24、26 的平面平行的平面 xy 中具有弹性。所述层 22 是(例如)通过将凹口或沟槽或任何其他几何图形蚀刻在衬底 20 中而获得。所述图形具有弹性或可在一与层 24、26 的平面平行的平面中挠曲。通过应用传统的梁理论即可计算出所产生的弹性。在图 3B 所示的一变体中,还可在衬底 20 的背面中形成于一与图 3A 中的调节层类似的弹性调节层 23,借此避免了层 26 与衬底 20 之间可能的粘着问题,此类问题可出现在图 3 所示构造中。此变体还能够吸收应力。

图 3A 和 3B 中的两个机械应力调节系统可存在于同一衬底中。

在另一变体(图 3C)中,(例如)在所述衬底的一侧或两侧上制成衬底 20 中的凹口 25(诸如“锯痕”)。再一次,获得了一种应力吸收效应。

也可在所述衬底的一侧上具有一诸如图 3A 或 3B 中所示的系统且在另一侧上具有一诸如图 3C 中所示的系统。

所蚀刻或挖空的图形优选以一二维周期性图案或以一如图 4 中所示的一维周期性图案自身重复。

作为一实例,在衬底 20 中挖空若干深度 p 等于约 10 μm 和宽度 $\ell = 1\mu\text{m}$ 并间隔开一间距 $e = 1\mu\text{m}$ 的沟槽,以形成所述机械吸收系统。

层 24、26 及衬底 20 可相同于或类似于层 2、4 且可相同于或类似于图 1 中

的衬底 6，具有同样的典型厚度且以同样的技术获得。举例而言，成核层 24 可为一(例如)使用所述“智能切割”方法通过从一第一衬底中转移一薄层或通过断裂所述衬底(下文将结合图 5A 和 5B 阐述所述方法的各步骤)而获得的单晶材料层，而缓冲层 26 可(例如)为一由 Si、SiC、GaN、蓝宝石或 AlN 而形成的多晶或多孔层。

图 3A、3B 或 3C 的结构也可为一 SOI 类型的结构，层 26 可为一氧化物或绝缘体层，而层 24 可为一硅精细层。

还可使用一诸如图 2 中所示的结构来实施这些实施方案，如上文参照图 3A 至 3C 所阐述，在与层 10、12、14 的平面平行的一个面或另一个面上蚀刻衬底 16，以形成一弹性调节层。

在图 3A 中，如果是通过将层 26 分子粘着至衬底 20 而获得所述支撑件的话，尤其因可实质性减小(例如减小约 50%)所招致的接触表面面积，因此在一具有沟槽的衬底上实施粘着可修改所述粘着步骤。

别外，在高度蚀刻的表面(且因此具有一小的接触表面面积或一大大减小的接触表面面积)的情况下，举例而言，可优化所述沟槽或所述凹口的分布，以允许自发粘着。为此目的，可调整所述图案的几何参数，例如调整所述图案的宽度及/或周期性。

为了获得一蚀刻的衬底并能够保留一平坦的粘着表面，可在粘着之前部分或完全地封闭所述衬底的表面。甚至完全封闭所述沟槽或所述蚀刻图案的整个深度还能够保留对应力的一吸收效应。

在一实例中，如果所述表面是由硅形成的，则如图 4 (其中参考标号 28 指示在一沟槽充填硅至一深度 h 上方)中图解说明，可实施一在一氢气流中平滑衬底 20 的表面的步骤，以通过硅原子的迁移来部分或完全地弥合所述蚀刻坑。

在另一实例中，沉积一非一致性材料(例如，氧化物)以封闭表面上地所述沟槽。可通过一非优化浅沟槽隔离(STI)充填方法来实施所述沉积。所述方法(例如)阐述于 C.P. Chang 等人的“A highly manufacturable corner rounding solution for

0.18 μm shallow trench insulation”一文 (IEMD 97-661) 中。

装配的支撑件形成一元件, 所述元件可通过所述沟槽的杆条或凹口或壁在所述热弹性应力作应下的移动或变形来以机械方式吸收应力。

此种被称作“智能切割”(或衬底断裂)的方法阐述于 A. J. Auberton-Hervé 等人所著的文章“Why can Smart Cut change the 20 future of microelectronics?”中, 所述文章刊登于 (International Journal of High Speed Electronics and Systems, vol.10, No.1, 2000, P. 131-146) 中。

下文参照图 5A 和 5B 阐述此种方法的各个步骤, 图中参考编号 40 及 42 表示两种(例如)均由半导体材料形成的衬底。

在一第一步骤(图 5A)中, 在衬底 40 中实施离子或原子植入, 从而形成一大致平行于衬底 40 的表面 41 延伸的薄层 52。形成一薄弱或断裂的层或平面, 从而在衬底 40 的体积中界定一拟构成一薄膜的下部区域 45 及一构成衬底 40 的本体的上部区域 44。通常植入氢, 但也可植入其他物质, 包括共同植入氢和氮。

例如, 如上所述, 衬底 42 配备有雕刻图案。从表面 43 及/或从表面 47 上实施雕刻。

然后, 使用晶片粘着技术(使用微电子领域中已知的任一技术装配晶片)或通过粘合接触(例如分子粘附)或通过粘着来装配如此制备好的两个衬底 40 和 42, 使面 43 正对着面 41。关于这些技术, 可参阅 Q. Y. Tong 及 U. Gösele 的论著“Semiconductor Wafer Bonding”, (Science and Technology), Wiley Interscience Publications。

然后, 通过一沿薄弱平面 52 引起断裂的热或机械处理将衬底 40 的一部分 44 移除。此技术的一实例阐述于上述 A. J. Auberton-Hervé 等人的文章中。

所获得的结构即为图 5B 所示的结构。

为了加固衬底 42(或其面 43)与薄层 45(或接触面 41)之间的粘着界面或接合, 将温度提高到约 1000°C 可能较为理想。

在不同的升温阶段期间, 蚀刻于衬底 42 中的图形的结构(尤其是其挠性或

弹性)可补偿或吸收应力及因两个衬底 40、42 的热膨胀系数之间的差而引起的变分差。如上文已提及,所述系数之间的相对差在环境温度下可为至少 10%、至少 20%或至少 30%。

薄膜 45 也可为一成核或生长层,例如图 1 至 3C 所示的层 2、10 或 24(衬底 42 类似于图 1 至 4 所示的衬底 6、16、20)。然而,不同于那些结构,图 5B 中的结构不提供一缓冲层。

薄膜 45 也可由一重叠薄膜组合来取代。换句话说,本发明的这一方面不仅涉及衬底系统上的一单层,而且涉及任何采用沉积于一衬底上的多个层的多层系统。这就是(例如)图 1 至图 3C 中的成核层与缓冲层的关联性。

也可通过除离子植入以外的方法形成一薄弱平面。因此,如 K. Sataguchi 等人所著论文“ELTRAN® by Splitting Porous Si layers”(Proceedings of the 9th International Symposium on Silicon-on-Insulator Tech. and Device, 99-3, the Electrochemical Society, Seattle, p. 117-121 (1999))中所阐述,还要制作一多孔硅层。

其他技术也能够在不实施离子植入且不形成一薄弱平面的情况下使衬底变薄:所述技术包括研磨和蚀刻。

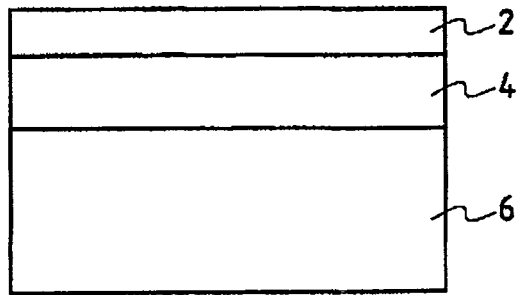


图 1

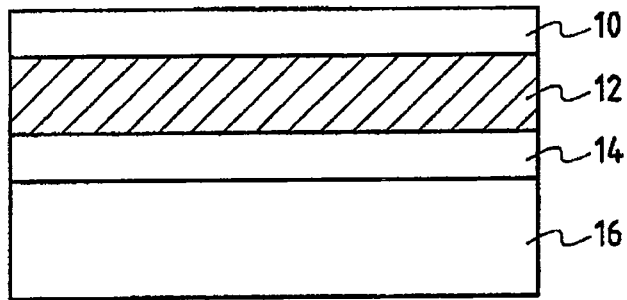


图 2

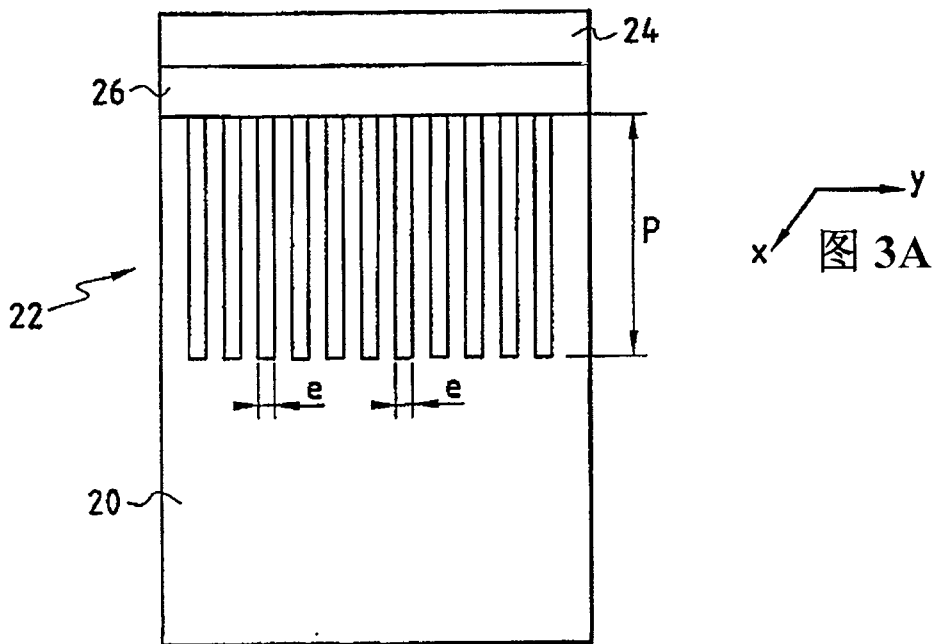


图 3A

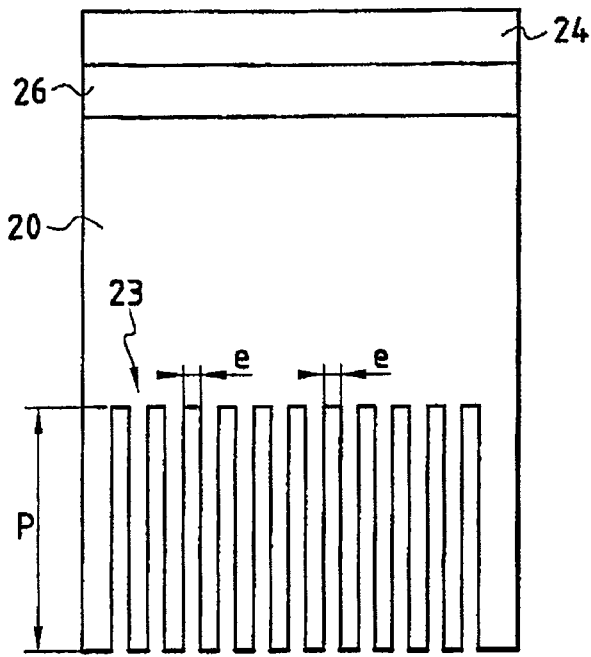


图 3B

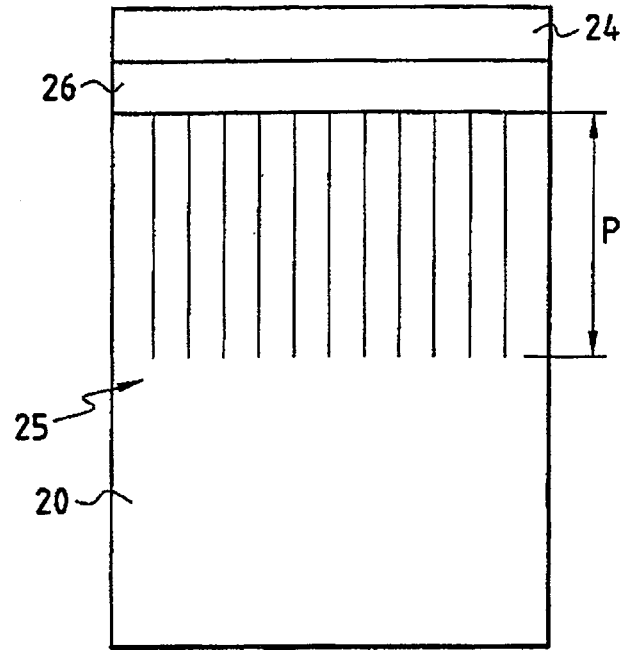


图 3C

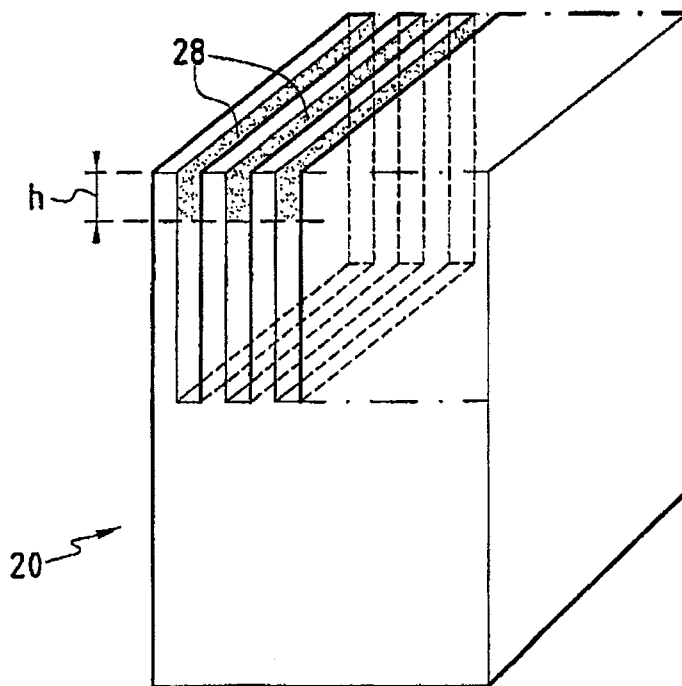


图 4

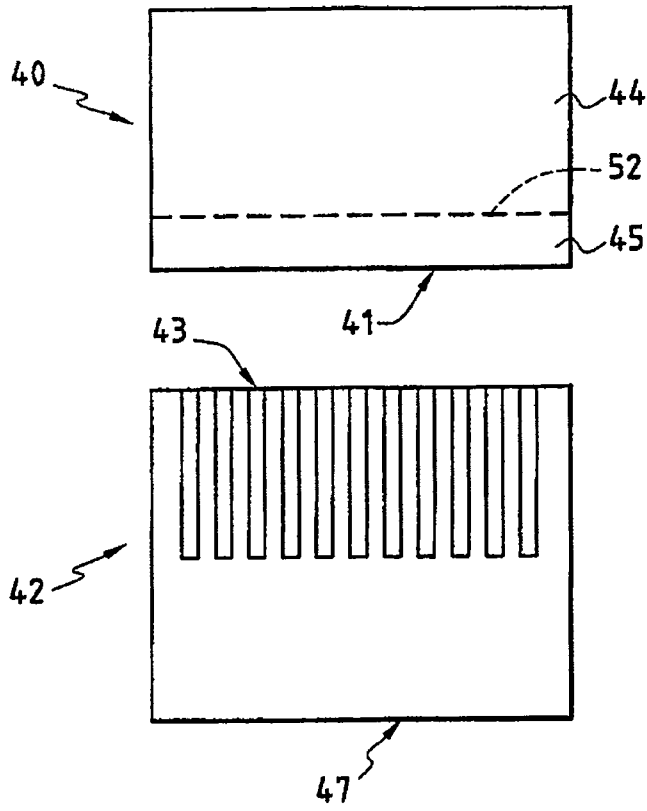


图 5A

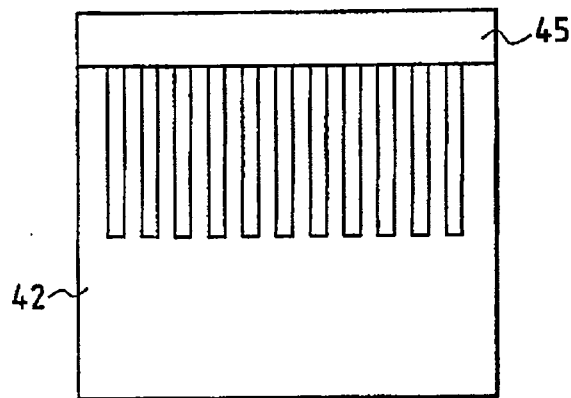


图 5B