

# 發明專利說明書 2004117002

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92133659

※申請日期：92-12-01      ※IPC分類：H01L 27/10

## 壹、發明名稱：(中文/英文)

儲存多個位元之電晶體及用於製造包含該電晶體的半導體記憶體之方法

Transistor storing multiple bits and method of manufacturing  
semiconductor memory including the same

## 貳、申請人：(共1人)

姓名或名稱：(中文/英文)

伊諾鐵克股份有限公司 / Innotech Corporation

代表人：(中文/英文)

津守 隆史

住居所或營業所地址：(中文/英文)

日本神奈川縣橫濱市港北區新橫濱3丁目17番6號

17-6, Shin-Yokohama 3-chome, Kouhoku-ku, Yokohama, Kanagawa, 222-  
8580 JAPAN

國籍：(中文/英文)

日本 / Japan

## 參、發明人：(共2人)

發明人1：

姓名：(中文/英文)

三井田 高 / MIIDA, Takashi

住居所地址：(中文/英文)

日本神奈川縣橫濱市港北區新橫濱3丁目17番6號 伊諾鐵克股份有限公司內

c/o Innotech Corporation, 17-6, Shin-Yokohama 3-chome, Kouhoku-ku,  
Yokohama, Kanagawa, 222-8580 JAPAN

國籍：(中文/英文)

日本 / Japan

發明人2：

姓 名：(中文/英文)

市之瀨 秀夫 / ICHINOSE, Hideo

住居所地址：(中文/英文)

日本神奈川縣橫濱市港北區新橫濱3丁目17番6號 伊諾鐵克股份有限公司內

c/o Innotech Corporation, 17-6, Shin-Yokohama 3-chome, Kouhoku-ku,  
Yokohama, Kanagawa, 222-8580 JAPAN

國 籍：(中文/英文)

日本 / Japan

## 肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間  
，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權  
：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003.01.07；2003-001189
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 本發明之背景

#### 【發明所屬之技術領域】

本發明係有關於一種電晶體、一種包含該電晶體的半導體記憶體以及一種用於製造一個電晶體之方法。尤其是，本發明係有關於一種對於具有分別儲存多個位元的儲存單元(cell)之半導體記憶體是有用的技術。

#### 【先前技術】

現今，包含 EEPROM(電氣式可抹除可程式化唯讀記憶體)的非依電性記憶體係廣泛地被應用，例如是應用至行動電話。舉例而言，EEPROM 通常只容許有一個資訊位元被儲存在每個儲存單元電晶體中。然而，為了促進元件的尺寸縮小，較佳的應該是實施一種具有多個位元的配置之單元電晶體，此係容許二或多個資訊位元被儲存在該單元電晶體中。

舉例而言，圖式中的第 63 圖係顯示在美國專利號 6,011,725 中所教示之一種具有多個位元的配置之儲存單元電晶體。如圖所示，該單元電晶體(大致為 1 表示)係具有一種所謂的 MONOS(金屬氧化物氮化物氧化物半導體)結構，其係由一個控制閘極電極(金屬)7、一個氧化矽層(氧化物)6、一個氮化矽層(氮化物)5、一個氧化矽層(氧化物)4 以及一個 P 型矽基板(半導體)2 依此順序所組成。

在該單元電晶體 1 中，N 型源極/汲極區域 3 與 8 係在

一個寫入或是一個讀出順序之各種的階段分別選擇性地變成一個源極或是一個汲極電極。換言之，源極/汲極區域 3 與 8 中的何者是作用為一個源極或是一個汲極電極是不確定的。在以下的說明中，源極/汲極區域 3 與 8 中排出電氣載體(在此特定的例子中可以是電子)之一區域以及另一區域將會分別被稱為一個源極以及一個汲極區域。

第 64A 圖係展示資料是如何被寫入該儲存單元電晶體 1。如圖所示，該源極區域 8 係被接地，同時適當的正電壓  $V_{D1}$  以及  $V_{G1}$  係分別被施加至該汲極區域 3 與控制閘極 7。在此情形中，一個電場係被建立在該源極區域 8 與汲極區域 3 之間並且加速電子，使得熱電子被產生在該汲極區域 3 的附近。由於其相對聲子(photon)的碰撞以及控制閘極電極 7 的正電位，因此所產生的熱電子係被注入到在藉由該氧化矽層 4 所形成的電位障壁之上的氮化矽層 5 中。因為該氮化矽層 5 並非導電的，因此被注入到該氮化矽層 5 中的熱電子係局部化(localize)在汲極區域 3 的附近，此係形成一個被儲存之右邊的資訊位元 9a。此種儲存情形係代表一種儲存的位元狀態(1、0)。

第 64B 圖係顯示一種其中第 64A 圖的源極與汲極電壓係彼此交換之情形。如圖所示，被注入到該氮化矽層 5 中的熱電子係局部化在該汲極區域 8 的附近，此係形成一個被儲存之左邊的資訊位元 9b。此係建立一種儲存狀態(0、1)。

第 65A 至 65D 圖係顯示該單元電晶體 1 可利用之四種

不同的邏輯儲存狀態。如第 65A 圖中所示，當電子未被儲存在該右邊與左邊的位元位置 9a 與 9b 中之任一個位置時，一種狀態(1、1)係被建立。如第 65D 圖中所示，當電子被儲存在該右邊與左邊的位元位置時，一種狀態(0、0)係被建立。以此種方式，該單元電晶體 1 係容許兩個位元的資料被儲存在其中。為了從該單元電晶體 1 讀出資料，被施加至該源極區域 8 與汲極區域 3 的電壓係彼此交換以量測汲極電流兩次，而每次量測到的汲極電流係與一個參考電流值相比較，即如同以下更明確地描述者。

在第 65D 圖中所示的狀態(0、0)中，電子係局部化在該右邊與左邊的位元位置 9a 與 9b，因而該氮化矽層 5 的電位是該四種狀態中最低的。因此，該單元電晶體 1 的閾值(threshold)電壓變成為最高的，因而造成實質上沒有汲極電流流通。甚至當施加至該源極區域 8 與汲極區域 3 的電壓交換時，該汲極電流的值仍然是相同的，並且幾乎是零。於是，該等順序地量測出的汲極電流都被判定為小於該參考電流。

在第 65A 圖中所示的狀態(1、1)中，電子並不存在於該右邊與左邊的位元位置 9a 與 9b，因而該氮化矽層 5 的電位是該四種狀態中最高的。因此，該電晶體 1 的閾值電壓變成為該四種狀態中最低的，此係造成最大的汲極電流流通。甚至當該源極區域 8 與汲極區域 3 彼此交換時，該汲極電流的值仍然是相同的，並且是該四種狀態中最大的。於是，該等一個接著一個所量測出的汲極電流都被判定

為大於該參考電流。

在另一方面，分別於第 65B 與 65C 圖中所示的狀態(1、0)以及(0、1)中，電子僅局部化在該右邊與左邊的位元位置 9a 與 9b 中之一位置，此係使得該單元電晶體 1 在左右方向上相關於電位分布為不對稱的。當被施加至該源極區域 8 與汲極區域 3 的電壓交換時，該等順序地量測出的汲極電流係彼此不同的。因此，藉由判斷該兩個順序地量測出的汲極電流中的何者是大於或是小於該參考電流以區別狀態(1、0)以及(0、1)是可行的。

然而，具有上述的結構之單元電晶體 1 有著某些尚未解決的問題，即如同以下將會描述者。首先，在寫入的情況中，請見第 65A 與 65B 圖，為了容許熱電子被注入到該氮化矽層 5 中，高電壓  $V_{G1}$  必須被施加至該控制閘極 7。更明確地說，為了熱電子的注入，從矽基板 2 的導電帶至氧化矽層 4 的導電帶之穿隧熱電子是必要的。在以上該兩個導電帶之間的能量差大約是 3.2 電子伏特(eV)。然而，熱電子係在與存在於矽基板 2 中的聲子碰撞上損失能量，因而無法被穿隧在上述的兩個導電帶之間，甚至若 3.2 伏特(V)的電壓被施加至該控制閘極 7 亦是如此。因此，實際上被施加至該控制閘極 7 的電壓  $V_{G1}$  必須高達 12V 至 13V。

儘管上述之高電壓係預期從一個內含在解碼器電路(未顯示)中之耐高電壓的電晶體施加至該控制閘極 7，此種電晶體仍然無法被小型化，因為小型化將會造成擊穿(punch-through)發生在該電晶體的源極與汲極電極之間。因此，

無法以上述的習知技術結構來縮減包含該解碼器電路之整個 EEPROM 的晶片尺寸。

其次，當狀態(1、0)或是(0、1)被感測時，用於區別該等汲極電流的電流窗(window)是較小的。電流窗係指在感測狀態(1、0)與(0、1)的情況中，藉由交換被施加至該源極與汲極區域3與8的電壓，一個接著一個地量測到的汲極電流之間的差值。當電子明確地局部化在該氮化矽層5的右端或是左端，亦即當該單元電晶體1在左右方向上的電位或是電子分布上是明確地不對稱的時候，則該電流窗絕對會擴大。

然而，不對稱性並未明確地出現在該單元電晶體1中，因為電子係被分布在該氮化矽層5中的某段寬度上。尤其，當為了縮減該單元尺寸，閘極長度L(請見第64A圖)被縮減時，在右邊與左邊的位元位置中之任一邊之處的電子局部化並不明確，此更減低了該單元電晶體1的不對稱性，並且因此縮減了該電流窗。此種小的電流窗係縮減了該汲極電流與參考電流的邊限，並且因而使得所儲存的資料之錯誤的識別更加惡化。

### 【發明內容】

本發明之一目的是提供一種多個位元的電晶體，其係能夠用降低的電壓，在增大的電流窗之下寫入資料、一種包含此種多個位元的電晶體之半導體記憶體、以及一種用於製造此種半導體記憶體之方法。

本發明的一種電晶體係包含一個具有一種導電度類型的半導體基板，該基板係被形成有一個突出部，該突出部係具有一對彼此面對的側壁。一個第一絕緣(Insulation)層係被形成在該突出部的頂端之上。一對具有相反導電度類型的源極/汲極區域係被形成在該半導體基板的表面之上、在該突出部的兩側處。第二絕緣層係分別覆蓋該些側壁中之一側壁以及該等源極/汲極區域中鄰接該側壁之一源極/汲極區域。一對浮動閘極係分別形成在該突出部的側壁之上，並且分別經由該個別的第二絕緣層來面對該側壁以及源極/汲極區域。第三絕緣層係分別被形成在該等浮動閘極之上。一個控制閘極係經由該第三絕緣層來面對該等浮動閘極，並且經由該第一絕緣層來面對該突出部的頂端。該等浮動閘極係分別具有一個實質矩形的截面，該矩形的截面係在一側經由一個第二絕緣層來面對該突出部的一個側壁，在另一側經由該第二絕緣層來面對一個源極/汲極區域，並且在又一側經由一個第三絕緣層來面對該控制閘極。

本發明的一種用於製造一個電晶體之方法係開始在一個具有一種導電度類型的半導體基板之主要的表面中形成複數個溝槽之步驟，藉以形成複數個突出部，該些突出部係分別具有一對彼此面對的側壁。一種具有相反導電度類型的雜質係被植入在該些溝槽的底部中，藉以在該些底部上形成源極/汲極區域。第二絕緣層係被形成在該些源極/汲極區域以及每個突出部的側壁之上。分別具有一個實質

矩形的截面之浮動閘極係經由該第二絕緣層而被形成在該突出部的側壁以及源極/汲極區域之上。接著，一個第四絕緣層係被形成在彼此鄰接的突出部中之一突出部的一個側壁之上所形成的浮動閘極、以及在另一突出部的側壁之上所形成的浮動閘極之間。最後，第三絕緣層係被形成在該第四絕緣層以及浮動閘極之上，並且接著一個控制閘極係被形成在該第三絕緣層之上。

從考量到以下結合所附的圖式所做之詳細說明，本發明的目的與特點將會變得更清楚易懂。

### 【實施方式】

根據本發明的半導體記憶體之較佳實施例將會在以下參考所附的圖式來加以描述。欲指明的是，未直接相關用於本發明的理解之結構上的元件係未加以顯示或是將不予以描述。信號係用附屬於其所出現的連線上之參考圖號加以稱呼。

為了更加理解舉例的實施例，內含在該半導體記憶體中的單元電晶體以及藉由該些單元電晶體所構成的電路之動作原理將會先被敘述。

第 1 圖係顯示體現本發明的一種半導體記憶體 10 之部分。如圖所示，該半導體記憶體 10 係被形成在一個 P 型矽基板 12 之上，該基板 12 是具有一種導電度類型的半導體基板。該 P 型矽基板 12 係由一個 P<sup>+</sup>型基板 12b 以及一 P 型磊晶層 12a 所組成，該 P 型磊晶層 12a 係形成在該 P<sup>+</sup>型基

板 12b 之一個主要的表面之上。一個 P 型井 13 係被形成在該 P 型磊晶層 12a 中。

複數個突出部或是隆起部(ridge)13a 係從該 P 型矽基板 12 之主要的表面突出。位元線 BL1 至 BL4 係被形成在 P 型井 13 的表面之上、在突出部 13a 的兩側之處。更明確地說，一種 N 型(在導電度類型上相對於該 P 型井 13)雜質的離子係被植入在 P 型井 13 的表面中、在預期要形成位元線 BL1 至 BL4 的位置之處。儘管該些位元線被其它結構上的構件遮住因而在該圖中不是清楚可見的，該些位元線 BL1 至 BL4 係在該記憶體單元陣列之列的方向上並排地被配置，而且分別延伸在行的方向上。

浮動閘極 FG1 與 FG2 以及一個控制閘極 CG 係由多晶矽所構成。更明確地說，複數個控制閘極 CG 係被配置在行的方向上，而且分別延伸在列的方向上。該些控制閘極 CG 係分別扮演字元線 WL1、WL2、等等的角色。由氧化矽所構成的絕緣層 36 係分別用於保護該些控制閘極 CG 中之特定的一個控制閘極 CG，而 Al(鋁)導線 38 係分別降低該些控制閘極 CG 中之特定的一個控制閘極 CG 之電阻。

第 2 圖是展示一個單元電晶體 TC 之放大後的圖。如圖所示，該單元電晶體 TC 係包含先前所述的突出部 13a 以及一個形成在該突出部 13a 的頂端 13c 之上的閘極絕緣層或是第一絕緣層 15c。該突出部 13a 具有一對彼此相對的側壁 13b，在側壁 13b 之上所形成的是在導電度類型上相對於該突出部 13a 之相反導電度類型的(N 型)區域 17。該 N

型區域 17 的雜質濃度係被選擇為落在該位元線 BL1 與 BL2 的雜質濃度之 1/100 以及 1/10000 之間，較佳的是 1/1000。穿隧(tunnel)絕緣層或是第二絕緣層 15a 係分別覆蓋該些側壁中之一側壁 13b 與位元線 BL1 以及另一側壁 13b 與位元線 BL2。位元線 BL1 與 BL2 兩者係作用為源極/汲極區域，如同稍後將明確地描述者。在此種意思之下，位元線 BL1 與 BL2 有時將會被稱為源極/汲極區域。

浮動閘極 FG1 與 FG2 係分別經由鄰接其之穿隧絕緣層 15a 而面對該源極/汲極區域 BL1 與 BL2 以及該突出部 13a 之相對的側壁 13b。多晶間(inter-polycrystalline)絕緣層或是第三絕緣層 15b 係分別被形成在浮動閘極 FG1 與 FG2 中之一上。在第 2 圖中所示之特定的配置中，該多晶間絕緣層 15b 以及閘極絕緣層 15c 係分別被實施成一個氧化矽層以及一個氮化矽層之一個積層(laminate)。該穿隧絕緣層 15a 係由氧化矽所構成。

該控制閘極 CG 係經由該多晶間絕緣層 15b 而至少部分地面對浮動閘極 FG1 與 FG2，並且經由該閘極絕緣層 15c 而部分地面對該突出部 13a 的頂端 13c。或者是，該控制閘極 CG 可以包括面對該浮動閘極 FG1 與 FG2 的片段(其中該多晶間絕緣層 15b 介於在兩者的中間)以及一個面對該頂端表面 13c 的片段(其中該閘極絕緣層 15c 介於在兩者的中間)，該些片段彼此是電氣上分開的，並且彼此獨立地被電氣地控制。

在第 2 圖中所示的結構中，一個通道區域係以一種立

體的配置而被形成在該突出部 13a 之相對的側壁 13b 以及頂端 13c 的表面層之上。此係對比於習知的通道區域是被形成在單一平面中。因此，該單元電晶體 TC 係達到一個較長的通道長度，然卻佔有最小的面積，並且因此可以縮減一個記憶體元件的尺寸。

突出部 13a 的 P 型雜質係具有一個濃度被調整以使得該單元電晶體 TC 正常是維持在其不導電的或是關斷的狀態中。更明確地說，假設一種其中一個預選的電壓係被施加至該源極/汲極區域 BL1 或是 BL2 之情形。於是，該 P 型雜質的濃度係被調整以使得當在如此偏壓的源極/汲極區域 BL1 或 BL2 以及該控制閘極 CG 之間的電位差是低於一個閾值電壓時，在該隆起部 13a 之頂端表面 13c 的附近所建立之通道區域係回應於透過該閘極絕緣層 15c 的控制閘極 CG 而變為其不導電的狀態，結果是使得該單元電晶體 TC 成為不導電的，或者是當該電位差等於或是高於該閾值電壓時，該電晶體 TC 係變為導電的。欲指出的是，被施加至源極/汲極區域 BL1 或 BL2 之預選的電壓係指用於寫入、讀出以及其他各種的動作所需之一個電壓  $V_{DD}$ ，如同稍後將會詳細描述者。

第 3 圖係顯示一個代表該單元電晶體 TC 的等效電路，並且其係包含各種與其相關的電容。該電容係藉由在彼此面對的控制閘極 CG 以及突出部 13a 的頂端 13c 之間的一個電容器  $C_{CG}$ 、在彼此面對的控制閘極 CG 以及浮動閘極 FG1(FG2)之間的一個電容器  $C_{CF1}(C_{CF2})$ 、在彼此面對的浮動

閘極 FG1(FG2)以及突出部 13a 的側壁 13b 之間的一個電容器  $C_{FG1}(C_{FG2})$ 、以及在彼此面對的浮動閘極 FG1(FG2)以及源極/汲極區域 BL1(BL2)之間的一個電容器  $C_{FS}(C_{FD})$ 來代表之。

請再次參考第 1 圖，複數個單元電晶體 TC 係並排地被配置在行與列的方向上。在行的方向上彼此鄰接之單元電晶體 TC(例如，單元電晶體  $TC_a$  與  $TC_b$ )係共用源極/汲極區域 BL3 與 BL4，但是彼此藉由一個隔離(isolation)區域 40 而為電氣隔離的。在另一方面，例如，在列的方向上彼此鄰接之單元電晶體  $TC_c$  與  $TC_a$  係共用控制閘極 CG 並且共用其之間的源極/汲極區域 BL3。

一種用於驅動個別的單元電晶體 TC 之方法將會在以下被描述。首先將參考第 4 圖以描述兩個位元的資料是如何被寫入到單元電晶體 TC 中。在該舉例的實施例中，電子可以選擇性地被注入到設置在突出部 13a 之相對側的浮動閘極 FG1 與 FG2 之任一個中。如第 4 圖中所示，為了注入電子到圖中所舉例之右邊的浮動閘極 FG2 中，一個具有例如是 2.2V 的閘極電壓  $V_G$  係被施加至該控制閘極 CG，而一個具有高於該閘極電壓之例如是 6V 的電壓  $V_{DD}$  係被施加至電子應該被注入其中的源極/汲極區域 BL2。同時，該基板 12 以及另一源極/汲極區域 BL1 係被接地。

在第 4 圖所示的情形中，被施加至該控制閘極 CG 的正電位係造成一個反轉(inversion)層 13d 形成在突出部 13a 之頂端 13c 的表面中。因此出現的反轉層 13d 係使得 N 型

區域 17 彼此電氣互連。因為 N 型區域 17 係分別與 N 型源極 / 沖極區域 BL1 與 BL2 中之一是接觸的，因此該 N 型源極 / 沖極區域 BL1 與 BL2 本身是電氣互連的。因此，載體(在第 4 圖中為電子)係流過一條藉由箭頭 50 與 52 所指出的路徑。

尤其請注意到沿著頂端 13c 流動的電子，該浮動閘極 FG2 係正好被設置在該圖的流動方向上之右手側。因此，該些電子可以直接被注入到該浮動閘極 FG2 中，而不需如同在習知的結構中地被引導。此係容許用於吸引電子朝向浮動閘極 FG2 的閘極電壓(寫入電壓) $V_G$  能夠被做成低於習知的閘極電壓。此外，該浮動閘極 FG2 係因為該沖極電壓透過具有較大的電容之閘極絕緣層 15a 而在電位上被提昇。此係容許該用於吸引電子朝向浮動閘極 FG2 的閘極電壓或是寫入電壓  $V_G$  進一步被降低。

再者，形成在該突出部 13a 的側壁 13b 之上的 N 型區域 17 係用於降低側壁 13b 的電阻，用於藉以阻止橫跨該側壁 13b 的電壓下降。因此，一個稍微低於在該源極 / 沖極區域 BL1 與 BL2 之間的例如是 6V 的電壓之較高的電壓係被施加至該頂端 13c 之相對的末端，此係使得該頂端 13c 強力地加速電子。於是，如同藉由在第 4 圖中的箭頭 52 所指的，該些電子係有效率地被注入到該浮動閘極 FG2 中。以此種方式，N 型區域 17 也用於降低該寫入電壓  $V_G$ 。該些 N 型區域 17 係具有雜質濃度被選為比源極 / 沖極區域的雜質濃度低 1/100 至 1/10000 之級數，較佳的是 1/1000。

甚至在該頂端 13c 的通道電阻增大時，以上的優點仍然是可達到的。若該閘極絕緣層 15c 的厚度被增大以減小在控制閘極 CG 以及通道區域之間的電容時，則該通道電阻可以被增大。在該舉例的實施例中，如第 4 圖中所示，該閘極絕緣層 15c 為了此種目的而被做成比該穿隧絕緣層 15a 厚。

第 5 圖係顯示另一種用於增大在該頂端 13c 的通道電阻之特定的結構。如圖所示，一個高電阻的區域 13e 是一個摻雜一種導電度類型之雜質的區域，其係被形成在該突出部 13a 的頂端 13c 之上。為了形成該高電阻的區域 13e，一種 P 型雜質的離子係被植入在該頂端 13c 中至一個比該突出部 13a 更高的濃度。

當在該頂端 13c 的通道電阻被增大時，如第 4 或 5 圖中所示，在該頂端 13c 的電壓降係增加，其結果是一個稍微低於在該源極 / 汲極區域 BL1 與 BL2 之間的電壓之較高的電壓係被施加至該頂端 13c 之相對的末端。因此，該寫入電壓  $V_G$  可以與前述同理地被降低。

如上所述，i)若該些 N 型區域被形成在側壁 13b 之上、ii)若該穿隧絕緣層具有一個增大的電容以利用汲極電壓來在電位上提昇該浮動閘極、iii)若該閘極絕緣層 15c 的厚度被增大、或是 iv)若該高電阻的區域 13e 被形成在該頂端 13c 之上時，該寫入電壓  $V_G$  可以被降低。若需要時，這些不同的方式 i)至 iv)可以被適當地組合，以達到上述所要的優點。在任何情形中，該寫入電壓  $V_G$  都應該只有大

約 2.2V，此係遠低於習知的大約 12V 至 13V 之寫入電壓。

在第 4 圖所示的例子中，電子係被注入到右邊的浮動閘極 FG2 中。然而，從第 4 圖的例子，只有當被施加至源極/汲極區域 BL1 與 BL2 的電壓彼此交換時，電子才可能被注入到左邊的浮動閘極 FG1 中。因此，該舉例的實施例係實施在第 6A 至 6D 圖中所示之四種不同的狀態。第 6A 圖係顯示一種儲存的位元狀態(1、1)，其中電子並未被注入到任一個浮動閘極 FG1 與 FG2 中。第 6B 與 6C 圖係分別顯示儲存狀態(1、0)以及(0、1)，其中分別是電子被注入到浮動閘極 FG1 與 FG2 中之一內。第 6D 圖係顯示一種狀態(0、0)，其中電子係被注入到浮動閘極 FG1 與 FG2 兩者之中；例如，電子可以被注入到右邊的浮動閘極 FG2 中而接著被注入到左邊的浮動閘極 FG1 中。以此種方式，該舉例的實施例係容許兩個位元的資料(1、1)至(0、0)能夠選擇性地被寫入單一單元電晶體 TC 中。

如上所述，該舉例的實施例係包含兩個浮動閘極 FG1 與 FG2，並且容許電子能夠彼此分開地存在於閘極 FG1 與 FG2 中。因此，甚至在一種其中單元尺寸被縮減的應用中，相較於習知技術的結構，該舉例的實施例仍然絕對可以區別哪個浮動閘極 FG1 與 FG2 是包含顯著多的電子。

為了描述兩個位元的資料是如何從個別的單元電晶體 TC 讀出，將會參考第 7A 與 7B 圖。首先，如第 7A 圖中所示，例如是 2.2V 的閘極電壓  $V_G$  係被施加至該控制閘極 CG。接著，例如是 1.6V 的電壓  $V_{DD}$  係被施加至一個源極/汲

極區域 BL2，而另一個源極/汲極區域 BL1 以及基板 12 係連接至接地，亦即，一個參考電位。在所產生的電位分布中，該控制閘極 CG 的電位是正的，其結果是反轉層 13d 係被形成在該突出部 13a 的頂端 13c 之上。於是，一個汲極電流  $I_{d1}$  係流動在藉由在第 7A 圖中的箭頭所指之方向上。

接著，如第 7B 圖中所示，被施加至源極/汲極區域 BL1 與 BL2 的電壓係彼此交換，其中該 2.2V 的閘極電壓  $V_G$  被維持不變。於是，在源極/汲極區域 BL1 與 BL2 之間的電位差被反轉，此係造成一個汲極電流  $I_{d2}$  流動在一個藉由第 7B 圖中的箭頭所指之方向上。

在該舉例的實施例中，由於被施加至源極/汲極區域 BL1 與 BL2 的電壓之交換而先後流動的該些汲極電流  $I_{d1}$  與  $I_{d2}$  係被量測。該些汲極電流  $I_{d1}$  與  $I_{d2}$  的值係根據狀態而有所不同，即如稍後將會明確予以描述者。因此，一對一地比較該些電流組 ( $I_{d1}$ 、 $I_{d2}$ ) 與各種狀態來判斷該單元是在哪一種狀態是可行的。流動在不同的狀態 (1、1) 至 (0、0) 之汲極電流將會在以下詳細地加以敘述。

第 8A 與 8B 圖係展示狀態 (1、0) 是如何從單元電晶體 TC 被感測出。如第 8A 圖中所示，電壓係以相同於第 7A 圖中的方式被施加至單元電晶體 TC 之結構上的構件，此係造成汲極電流  $I_{d1}$  流動。在此情形中，儘管右邊的浮動閘極 FG2 的電位係由於電子注入而被降低，但是其電位係藉由電容  $C_{CF2}$  以及  $C_{FD}$  而被提昇朝向該控制閘極 CG(2.2V) 的正電位以及該源極/汲極 BL2(1.6V) 的正電位。因此，該浮動

閘極 FG2 的電位下降是有限的，因而該閘極 FG2 附近的通道電阻不是太高的。因此，該汲極電流  $I_{d1}$  具有一個相對大的值。

尤其，接觸該源極/汲極區域 BL2 的 N 型區域 17 具有一個電位實質上等於該源極/汲極區域 BL2 的電位。因此，浮動閘極 FG2 的電位也藉由該電容  $C_{FG2}$  而被提昇朝向該源極/汲極 BL 側，進一步降低該閘極 FG2 附近的通道電阻。於是，該汲極電流  $I_{d1}$  的值係進一步增加。

接著，如第 8B 圖中所示，被施加至源極/汲極區域 BL1 與 BL2 的電壓係彼此交換以使得該汲極電流  $I_{d2}$  流動。在此例中，右邊的浮動閘極 FG2 的電位係由於電子注入而被降低。再者，因為右邊的源極/汲極區域 BL2 係連接至接地，因此該浮動閘極 FG2 的電位係透過在該閘極 FG2 以及區域 BL2 之間的電容  $C_{FD}$  而朝向接地被降低。因此，在第 8B 圖中之浮動閘極 FG2 的電位係低於在第 8A 圖，並且其係造成該閘極 FG2 附近的通道電阻增加。因此，該汲極電流  $I_{d2}$  係小於先前的汲極電流  $I_{d1}$ 。

尤其，該 N 型區域 17 係使得該右邊的浮動閘極 FG2 的電位也藉由該電容  $C_{FG2}$  而朝向接地側被降低，因而汲極電流  $I_{d2}$  的值進一步被降低。如上所述，該狀態(1、0)可以在  $(I_{d1}、I_{d2})=(\text{大的}、\text{小的})$  之基礎上而被識別出。為了識別出該些汲極電流  $I_{d1}$  與  $I_{d2}$  中之較大的汲極電流，一個與記憶體電路相關的感測放大器(未顯示出)係比較每個汲極電流與一個參考電流。

該些汲極電流  $I_{d1}$  與  $I_{d2}$  的值可以根據該些電容  $C_{CF2}$ 、 $C_{FD}$  以及  $C_{FG2}$  而隨所需的增大或是降低。此係容許該差值  $(I_{d1} - I_{d2})$  能夠被增大至一個所要的值。換句話說，該舉例的實施例係容許藉由以上的差值所代表之電流窗依所需地被擴大。寬的電流窗係增大汲極電流  $I_{d1}$  與  $I_{d2}$  以及參考電流的邊限，藉以降低被寫入資料之錯誤的識別之可能性。

為了從單元電晶體 TC 感測狀態(0、1)，亦即電子係被注入到相對於右邊的浮動閘極 FG2 之左邊的浮動閘極 FG1 中。因此，汲極電流  $I_{d1}$  與  $I_{d2}$  係以相同於以上的說明之方式被評估，因而  $(I_{d1}、I_{d2}) = (\text{小的}、\text{大的})$  係成立。

至於為了從單元電晶體 TC 感測狀態(1、1)，亦即電子並未被注入到任一個浮動閘極 FG1 與 FG2 中。在此例中，汲極電流  $I_{d1}$  與  $I_{d2}$  兩者都是大的，因為浮動閘極 FG1 的電位或是浮動閘極 FG2 的電位並未被電子拉低。此情形在左右方向上是對稱的，亦即，汲極電流  $I_{d1}$  與  $I_{d2}$  彼此並無不同； $(I_{d1}、I_{d2}) = (\text{大的}、\text{大的})$  係成立。

再者，至於狀態(0、0)，對稱性係被建立在左右方向上，因為電子係被注入到浮動閘極 FG1 與 FG2 兩者之中。因此， $(I_{d1}、I_{d2}) = (\text{小的}、\text{小的})$  係成立，此表示汲極電流  $I_{d1}$  與  $I_{d2}$  彼此並無不同。

該舉例的實施例可利用之用於排出該些被注入在浮動閘極 FG1 與 FG2 中之電子(亦即刪除所儲存的資料)之特定的方法將會在以下加以敘述。第 9 圖係顯示一種用於將電子分別從浮動閘極 FG1 與 FG2 拉回到源極/汲極區域 BL1 與

BL2 中之特定的方法。此方法是藉由連接該控制閘極 CG 至接地並且施加一個高的電位“H”(例如，12V)至每個源極/汲極區域 BL1 與 BL2 而為可實行的。就此點而言，電位差可以相對地被建立在控制閘極 CG 以及源極/汲極區域 BL1 與 BL2 之間。例如，控制閘極 CG 以及源極/汲極區域 BL1 與 BL2 可以分別被提供 -6V 以及 +6V 的電壓。

第 10 圖係顯示另一種施加一個高的電位  $V_G$ (例如，12V)至該控制閘極 CG 並且連接該基板 12 以及源極/汲極區域 BL1 與 BL2 至接地之特定的方法。在此種電位分布中，電子係從浮動閘極 FG1 與 FG2 被拉回到控制閘極 CG 中，因為該控制閘極 CG 的電位係高於閘極 FG1 與 FG2 的電位。同樣就此點而言，該控制閘極 CG 以及源極/汲極區域 BL1 與 BL2 可以分別被提供 +6V 以及 -6V 的電壓。

該舉例的實施例之寫入、讀取以及刪除的動作已經在假設該單元電晶體 TC 是在記憶體單元陣列中被選到之前提下被展示且描述。然而，實際上該單元電晶體 TC 有時候並未被選到。甚至當該單元電晶體 1 並未被選到時，該驅動電壓  $V_{DD}$  仍然被施加至位元線 BL1(請見第 3 圖)，以便於選擇另一個其它的單元電晶體 TC。在此例中，未被選到的單元電晶體 TC 之浮動閘極 FG1 的電位係由於在閘極 FG1 以及位元線 BL1 之間的大電容  $C_{FS}$  而被拉向位元線 BL1 的電位。於是，在浮動閘極 FG1 以及源極/汲極區域 BL1 之間的電位差係減少，因而在閘極 FG1 以及區域 BL1 之間的穿隧絕緣層 15a 係避免暴露到強電場之下。因此，將會惡化該穿

隧絕緣層 15a 的穿隧電流係成功地被避免流經過該層 15a。

值得注意的是，在該浮動閘極 FG1(FG2)以及源極/汲極區域 BL1(BL2)之間的電容  $C_{FS}(C_{FD})$  係在達成相關於寫入、讀出以及刪除以及未被選到的情形所述之優點上扮演一個重要的角色。在該舉例的實施例中，浮動閘極 FG1(FG2)係被設置在源極/汲極區域 BL1(BL2)之上，以便於縮減介於浮動閘極 FG1 與 FG2 之間的距離，藉以縮減該元件尺寸並且增大電容  $C_{FD}$  以及  $C_{FS}$ 。

該浮動閘極 FG1(FG2)以及源極/汲極區域 BL1(BL2)彼此面對之面積是開放可供選擇的。儘管上述的優點在以上的面積變成較大時較容易達成，但即使該面積是小的，該等優點也是可達到的。

該舉例的實施例係用以下的做法對付擊穿並且穩定化閾值電壓  $V_{th}$ 。當在源極/汲極區域 BL1 與 BL2 之間可能發生擊穿時，較佳的是使用一種在第 11 圖中所示之特定的結構。在第 11 圖中所示的圖以及該特定的結構係描繪硼(作用為一種 P 型雜質)的濃度相關於在該突出部 13a 中的深度。如圖所示，該突出部 13a 的硼濃度係在深度的方向上直到該突出部 13a 的根部是連續地增大。因此，在該側壁 13b 鄰接源極/汲極區域 BL1 與 BL2 的部份上之硼濃度是高的。

上述的結構之特點在於一個預期的通道中較靠近 N 型源極/汲極區域 BL1 與 BL2 的部分之 P 型雜質的濃度是較高

的。因此，該通道將會偏離連接 N 型源極/汲極區域 BL1 與 BL2 的直線而被建立。換言之，該通道將會被形成在該突出部 13a 的側壁表面 13b 以及頂端表面 13c 中。在第 11 圖所示的結構中，此也意味在該通道較靠近 N 型源極/汲極區域 BL1 與 BL2 的部份中之較高的 P 型雜質濃度係消除了在源極/汲極區域 BL1 與 BL2 之間的擊穿。利用一種以積體電路的形式來集積化該單元電晶體的半導體記憶體元件將可達成較高的封裝密度。

該單元電晶體 TC 的閾值電壓  $V_{th}$  係顯著地易受到該側壁 13b 靠近該突出部 13a 的根部之部份的雜質濃度之影響。結果是在該突出部 13a 的根部之高的硼濃度係產生高的閾值電壓  $V_{th}$ 。然而，形成在該側壁 13b 之上的 N 型區域 17 之 N 型雜質以及該側壁 13b 的 P 型雜質係彼此補償，因而該側壁 13b 的實質受體(acceptor)濃度可被降低。因此，即使是該硼濃度在該突出部 13a 的根部中被增加，該些 N 型區域 17 確實防止該閾值電壓  $V_{th}$  上升到過高的程度。

如上所述，因為該閾值電壓  $V_{th}$  係易受到該突出部 13a 的根部之雜質濃度的影響，因此該根部的雜質濃度較佳地應該是避免顯著地變化，以便於穩定化該閾值電壓  $V_{th}$ 。為了此目的，較佳的不僅是逐漸地增加該突出部 13a 的硼濃度，而且是使得濃度的高峰儘可能的平坦，即如在第 11 圖中所示的曲線之粗體部分所指出者。在此種平坦的部份中，該硼濃度變化很小，因而在該硼濃度以及該 N 型區域 17 的砷濃度之間的關係維持實質固定的。這在維持穩定的閾

值電壓  $V_{th}$  上是成功的。

為了描述一種可以用上述的原理運作之半導體記憶體陣列 126 之一般的電路配置，將會參考至第 12 圖。在第 12 圖中，一個單元電晶體  $TC_{i,m,p}$  是屬於一個在第  $i$  ( $i=0, 1, 2, \dots$ ) 列以及第  $m$  ( $m=0, 1, 2, \dots$ ) 行之上的庫 (bank)  $BNK_{i,m}$  之第  $p$  個 ( $p=0, 1, 2, \dots$ ) 單元電晶體，並且其係如同參考第 2 圖所述地被配置且運作。該些單元電晶體  $TC_{i,j}$  係分別屬於一個特定的  $(1 \text{ 行}) \times (n \text{ 列})$  庫  $BNK_{i,m}$ ;  $n$  ( $n$  列) 係代表一個開放可供選擇的自然數，而  $BNK_{i,m}$  的  $i$  與  $m$  係分別代表由屬於該庫  $BNK_{i,m}$  之所有的單元電晶體  $T_{i,j}$  所共用之列數與行數。

該半導體記憶體 126 不同於習知的快閃記憶體在於其並非藉由組合一字元線以及一位元線來選擇一個單元電晶體，而是首先經由一選擇線  $SE_i$  或是  $SO_i$  來選擇在該第  $i$  列之上的一個群組之偶數的庫  $BNK_{i,m}$  ( $m=0, 2, 4, \dots$ ) 以及一個群組之奇數的庫  $BNK_{i,m}$  ( $m=1, 3, 5, \dots$ ) 中之任一群組，接著經由一位元線  $BL_m$  ( $m=0, 1, 2, \dots$ ) 來選擇該如此所選出之群組的庫中之一庫，更明確地說為一虛擬接地線  $VT_K$  連接至位元線  $BL_m$ ，並且接著經由一字元線  $WL_p$  來選擇屬於所選出之偶數或是奇數的庫  $BNK_{i,m}$  之單元電晶體  $TC_{i,m,p}$  中之一個單元電晶體。

選擇電晶體  $STE_{i,m}$  與  $STO_{i,m}$  係分別連接至一個特定的庫  $BNK_{i,m}$  用於選擇該庫  $BNK_{i,m}$ 。更明確地說，選擇電晶體  $STE_{i,m}$  係被用來在第  $i$  列之上的庫  $BNK_{i,m}$  之中選擇偶數的

庫  $BNK_{i,m}$  ( $m=0, 2, 4, \dots$ )，並且在以下有時將會被稱為偶數的庫選擇電晶體。為了指定選擇電晶體  $STE_{i,m}$ ，一選擇線  $SE_i$  係被使用。在第  $i$  列之上的選擇電晶體  $STE_{i,m}$  ( $m=0, 1, 2, \dots$ ) 係全部連接至單一選擇線  $SE_i$ ，並且因此是同時經由該選擇線  $SE_i$  而被選擇。

同樣地，選擇電晶體  $ST0_{i,m}$  係被用來在第  $i$  列之上的庫  $BNK_{i,m}$  之中選擇奇數的庫  $BNK_{i,m}$  ( $m=1, 3, 5, \dots$ )，並且在以下有時將會被稱為奇數的庫選擇電晶體。為了指定選擇電晶體  $ST0_{i,m}$ ，一選擇線  $S0_i$  係被使用。在第  $i$  列之上的選擇電晶體  $ST0_{i,m}$  ( $m=0, 1, 2, \dots$ ) 係全部連接至單一選擇線  $S0_i$ ，並且因此是同時經由該選擇線  $S0_i$  而被選擇。

如圖所示，在每隔一行之上的偶數的庫選擇電晶體  $STE_{i,m}$  係使得其源極/汲極區域中之一互相連接。虛擬接地線  $VT_k$  ( $k=0, 1, 2, \dots$ ) 係分別連接至其中上述的源極/汲極區域互相連接的節點 A、D 與 E 中之一節點。如圖所示，此對於奇數的庫選擇電晶體  $ST0_{i,m}$  亦成立，除了其中互連的源極/汲極區域之節點係分別從該些偶數的庫選擇電晶體  $STE_{i,m}$  的節點偏移一行之外。

標示為  $STE_{i-1,m}$  ( $m=0, 2, \dots$ ) 是偶數的庫選擇電晶體分別用於在第  $(i-1)$  列的庫中選擇在行的方向上數來的一個偶數的庫。同樣地，標示為  $ST0_{i+1,m}$  ( $m=1, 3, \dots$ ) 是奇數的庫選擇電晶體分別用於在第  $(i+1)$  列的庫中選擇在行的方向上數來的一個奇數的庫。

這些虛擬接地線  $VT_k$  ( $k=0, 1, 2, \dots$ ) 係由鋁或是類似的金

屬所構成，以便於使得其電阻降低。在另一方面，位元線  $BL_m (m=0, 1, 2, \dots)$  係被實施成在電阻上遠高於該些虛擬接地線  $VT_k$  的擴散層。

在第 12 圖中所示的半導體記憶體 126 之動作將會在以下加以敘述。假設該單元電晶體  $TC_{i,m,0}$  是為了讀出資料而被選擇，並且  $m$  是偶數，亦即，該有關的單元電晶體  $TC_{i,m,0}$  係屬於一個偶數的庫  $BNK_{i,m}$ 。於是，使得一偶數的庫選擇線  $SE_i$  變為高的，用於選擇一個群組之偶數的庫  $BNK_{i,m} (m=0, 2, 4, \dots)$ ，藉以導通該些偶數的庫選擇電晶體  $STE_{i,m} (m=0, 1, 2, \dots)$ 。同時，使得其它的選擇線  $SE_r (r=0, 1, 2, \dots, i-1, i+1, \dots)$  以及  $S0_r (r=0, 1, 2, \dots)$  全部變為低的，用於藉以關斷所有其閘極是連接至這些選擇線的電晶體。在所產生的電壓分布中，在導通狀態之偶數的庫選擇電晶體  $STE_{i,m}$  以及  $STE_{i,m+1}$  係分別將位元線  $BL_m$  與  $BL_{m+1}$  電氣連接至虛擬接地線  $VT_k$  與  $VT_{k+1}$ 。同樣地，亦使得連接至其它偶數的庫  $BNK_{i,m-2}, BNK_{i,m+4}$  等等之位元線與虛擬接地線電氣連接。

接著，為了選擇該單元電晶體  $TC_{i,m,0}$ ，經由位元線  $BL_m$  而連接至該單元電晶體  $TC_{i,m,0}$  的虛擬接地線  $VT_k$  係被導引至接地位準，而一個  $1.6V$  的低電壓  $V_{DD}$  係被施加至經由位元線  $BL_{m+1}$  而連接至同一個單元電晶體  $TC_{i,m,0}$  的虛擬接地線  $VT_{k+1}$ 。其它的虛擬接地線  $VT_k$  都被保持在開路的狀態中。以此種方式，該些偶數的庫  $BNK_{i,m} (m=0, 2, 4, \dots)$  係被選擇。更明確地說，該些虛擬接地線  $VT_k$  係藉由一個連接至該些

虛擬接地線  $VT_k$  的位元線閘 122 而如此被設定，該位元線閘 122 將會在稍後明確地加以敘述。之後， $2.2V$  係被施加至該字元線  $WL_0$ 。再者，該位元線閘 122 係只有將虛擬接地線  $VT_{k+1}$  連接至一個感測放大器 128，因而該感測放大器 128 係感測一流動通過該虛擬接地線  $VT_{k+1}$  的電流。

如上所述，被施加至源極/汲極區域的電壓係造成一第一汲極電流  $I_{d1}$  流動通過該單元電晶體  $TC_{i,m,0}$ ，即如先前參考第 8A 圖所述者。該第一汲極電流  $I_{d1}$  係依序地從感測放大器 128、經由位元線閘 122、虛擬接地線  $VT_{k+1}$ 、節點 D、節點 C、偶數的庫選擇電晶體  $SET_{i,m+1}$ 、位元線  $BL_{m+1}$ 、單元電晶體  $TC_{i,m,0}$ 、位元線  $BL_m$ 、偶數的庫選擇電晶體  $STE_{i,m}$ 、節點 B、節點 A、虛擬接地線  $VT_k$ 、以及位元線閘 122 而流動。

接著，該位元線閘 122 係反轉在位元線  $BL_m$  與  $BL_{m+1}$  之間的電位差，而維持其它的電壓不變。於是，一第二汲極電流  $I_{d2}$  係流動通過該單元電晶體  $TC_{i,m,0}$ ，即如參考第 8B 圖所述者。該第二汲極電流  $I_{d2}$  係流動通過一條路徑是相反於該第一汲極電流  $I_{d1}$  的路徑。

上述的程序係容許該感測放大器 128 能夠量測流經該單元電晶體  $TC_{i,m,0}$  的第一與第二汲極電流  $I_{d1}$  與  $I_{d2}$ ，並且藉以判斷該四種狀態“(1、1)”至“(0、0)”中之何種狀態被儲存在該單元電晶體  $TC_{i,m,0}$  中。

在第 12 圖所示的電路中，該第一汲極電流  $I_{d1}$  並未時常地流經該等以擴散層做成之高電阻的位元線  $BL_m$  與  $BL_{m+1}$

，而是流經虛擬接地線  $VT_{k+1}$ （其係由鋁所構成，並且因此在電阻上是低的）到達該目標庫  $BNK_{i,m}$ ，並且接著流經位元線  $BL_{m+1}$ 。接著，流經該單元電晶體  $TC_{i,m,0}$  的汲極電流  $I_{d1}$  係經由位元線  $BL_m$  而流經虛擬接地線  $VT_k$ 。

因此，當第一汲極電流  $I_{d1}$  流經以上的路徑時之電阻係低於當該第一汲極電流  $I_{d1}$  時常地流經位元線  $BL_m$  與  $BL_{m+1}$  時之電阻。因此，該舉例的實施例可以在高速下感測該第一汲極電流  $I_{d1}$  以及第二汲極電流  $I_{d2}$ 。

在上述之特定的程序中，屬於偶數的庫  $BNK_{i,m}$  之單元電晶體  $TC_{i,m,0}$  係被選擇。在另一方面，為了選擇屬於奇數的庫群組  $BNK_{i,m}$  ( $m=1, 3, 5, \dots$ ) 之電晶體  $TC_{i,m,p}$ ，該奇數的庫選擇線  $S0_i$  係被使得變為高的，用於藉以導通該些奇數的庫選擇電晶體  $ST0_{i,m}$  ( $m=0, 1, 2, \dots$ )。其它的選擇線  $SE_r$  ( $r=0, 1, 2, \dots$ ) 以及  $S0_r$  ( $r=0, 1, 2, \dots, i-1, i+1, \dots$ ) 係被使得變為低的，因而其閘極是連接至這些選擇線的電晶體係全部被關斷。該程序的其餘部分係與相關於偶數的庫之選擇所述的程序相同，因而將不會予以明確地加以描述，以避免重複。該用於選擇一個上述的單元電晶體之方法係有時被稱為一種虛擬的接地 (grounding) 系統。

第 13 圖係顯示一種利用該虛擬的接地系統之半導體記憶體。如圖所示，除了單元電晶體  $TC$  之外，該半導體記憶體係因為以下的原因而包含元件隔離區域  $STIa$ ，此二者係構成該些庫  $BANK$ 。

如第 13 圖中所示，為了促進快速的寫入與讀取，電晶

體 TC 較佳地應該是被區分成複數個區塊 212。在此情形中，一個元件隔離區域 STIa 係被形成在列的方向上被配置之區塊 212 中相鄰的區塊之間，用於將它們彼此隔離。例如，每個區塊 212 係具有三十二個或是六十四個單元電晶體 TC，其源極/汲極區域係在列的方向上串聯。在每個區塊 212 中，複數個單元電晶體 TC 的控制閘極 CG 係互連的。

元件隔離區域 STIa 的重要性將會在以下更明確地說明。假設複數個單元電晶體 TC 的源極以及汲極 BL 是串聯的。於是，當資料同時被寫入該些電晶體 TC 中的某些電晶體時，該資料很可能甚至會被寫入到非所預期的單元電晶體。若單元電晶體 TC 是藉由元件隔離區域 STIa 而被區分成為複數個區塊 212 並且若資料係容許同時只被寫入到屬於不同的區塊 212 之單元電晶體 TC 時，此問題可以被解決。此外，這種配置仍然維持寫入速度為高的。再者，若資料同時只從屬於不同的區塊 212 之單元電晶體 TC 讀出時，則發生一電流流向除了所預期的單元電晶體以外之單元電晶體 TC 的情形可被排除。

元件隔離區域 STIa 較佳地應該是被實施成 STI(淺溝槽隔離)區域，其係佔有最小的面積並且因此縮減了半導體記憶體的整體尺寸。

該半導體記憶體係更包含由例如是鋁所構成的金屬導線或是導體 38 以及接點 54，並且金屬導線 38 係分別將複數個單元電晶體 TC 的控制閘極 CG 彼此連接，接點 54 係分別連接其中一條鋁導線 38 至相關連的控制閘極 CG。接點

54 可以被設置在該元件隔離區域 STIa 之上。該些導體 38 係用於降低控制閘極 CG 的電阻。也被設置有 STI 結構的元件隔離區域 STIb 係被配置在行的方向上，並且每個元件隔離區域 STIb 係介於相鄰的庫 BNK 之間。該虛擬接地線 VT 係在點 218 處連接至位元線 BL。

第 14 圖係顯示根據本發明的半導體記憶體之一個替代的實施例，其係包含一個單元電晶體，其主要是在浮動閘極 FG1 與 FG2 的配置上不同於第 2 圖的單元電晶體 TC。在該舉例的實施例中，該半導體記憶體係被實施成一個快閃記憶體。如圖所示，該快閃記憶體(大致以 200 表示)係包含 P 型半導體基板，其係被形成有具有相對的側壁 13b 之突出部 13a、形成在該突出部 13a 的頂端之上的閘極絕緣層 15c、形成在該基板的表面之上且在該突出部 13a 之相對的側之 N 型源極/汲極區域 BL1 與 BL2、以及覆蓋該側壁 13b 以及源極/汲極區域 BL1 與 BL2 的穿隧絕緣層 15a。浮動閘極 FG1 與 FG2 係經由該穿隧絕緣層 15a 來面對該突出部 13a 的側壁 13b 以及源極/汲極區域 BL1 與 BL2。多晶間絕緣層 15b 係被形成在浮動閘極 FG1 與 FG2 之上。該控制閘極 CG 係經由該多晶間絕緣層 15b 而至少部分地面對浮動閘極 FG1 與 FG2，並且經由該閘極絕緣層 15c 來面對該突出部 13a 的頂端 13c。

控制閘極 CG 面對浮動閘極 FG1 與 FG2 的部份以及該控制閘極 CG 面對該突出部 13a 的頂端 13c 之部份可以彼此電氣獨立地被形成，並且彼此電氣獨立地被控制。

在該舉例的實施例中，浮動閘極 FG1 與 FG2 係分別實質為矩形的，如同從垂直於行方向的截面中可見者。該矩形的彼此連接之兩側中之一側係經由該穿隧絕緣層 15a 來面對該突出部 13a 的一側，而另一側係經由該穿隧絕緣層 15a 來面對源極/汲極區域 BL1 或是 BL2。該矩形的又一側係經由該多晶間絕緣層 15b 來面對控制閘極 CG。因為浮動閘極 FG1 與 FG2 係分別實質為矩形的，因此令該舉例的實施例之記憶體被稱為一種 S(矩形)類型記憶體。

在該舉例的實施例中，該多晶間絕緣層 15b 係被實施成由一個氧化矽層 202a、一個氮化矽層 202b 以及一個氧化矽層 202c 所組成的一個堆疊。除了層 202a 至 202c 之外，該閘極絕緣層 15c 係包含一個氧化矽層 204a 以及一個氮化矽層 204b 位於層 202a 至 202c 的下面。

該氧化矽層 204a 可以藉由一種閘極絕緣層(熱氧化物層)慣用的方法來加以形成。這對於構成該多晶間絕緣層 15b 的層 202a 至 202c 而言亦成立。再者，層 202a 至 202c 係在浮動閘極 FG1 與 FG2 面對該控制閘極 CG 的表面已經藉由 CMP(化學機械研磨)而被平坦化之後被形成，以達成高的崩潰電壓。假設該絕緣層 15b 是被形成在例如是具有一個粗糙的表面並且用於浮動閘極 FG1 與 FG2 的多晶矽之上，則該絕緣層 15b 的崩潰電壓可能被降低至一個危險的程度。由於個別的步驟是習知的，因此該舉例的實施例之快閃記憶體 200 可以在最小的風險下被產生。

值得注意的是該矩形的浮動閘極 FG1 與 FG2 係具有一

個耦合比率 CR 低於在第 1 與 2 圖中所示之該扇形的浮動閘極 FG1 與 FG2。耦合比率係指一個比率  $C_{CF1}/(C_{FG1}+C_{FS})$  或是  $C_{CF2}/(C_{FG2}+C_{FD})$ ，其中  $C_{CF1}$ 、 $C_{CF2}$  等等係代表先前參考第 3 圖所述之各種的電容。更明確地說，在第 2 圖中所示的單元電晶體係具有一個大約 0.37 的耦合比率 CR，而該舉例的實施例之電晶體係因為以下的原因而達到一個 0.35 或是更小的耦合比率，更明確地說為大約 0.32。第 2 圖的浮動閘極 FG1 與 FG2 係分別具有一個中心角為  $90^\circ$  之大致扇形的形狀。相對地，該舉例的實施例之浮動閘極 FG1 與 FG2 係分別具有矩形的形狀，因而與控制閘極 CG 的接觸面積係被縮減。

關於在讀出期間的感測特徵，低的電容比率 CR 是所期望的。更明確地說，因為浮動閘極 FG1 與 FG2 以及源極/汲極區域 BL1 與 BL2 係如此強烈耦合的，因此浮動閘極 FG1 與 FG2 的電位係充分受到源極/汲極區域 BL1 與 BL2 的電位之影響。因此，該電流窗被加寬，因而促進了快速的讀出。

可利用某些不同的方式以縮減該電容比率 CR。例如，該穿隧絕緣層 15a 可以被做成比該多晶間層 15b 薄。或者是，每個浮動閘極 FG1 或 FG2 面對該控制閘極 CG 的面積可以被做成儘可能地遠小於該浮動閘極面對源極/汲極區域 BL1 或 BL2 的面積。為了縮減此面積，每個浮動閘極 FG1 或 FG2 都可以被設置有一個梯形的形狀，其係以小面積面對該控制閘極 CG，但以大面積面對源極/汲極區域 BL1 或

BL2。

至於在該電容比率 CR 與刪除之間的關係，當電子應該從浮動閘極 FG1 或 FG2 被排出到控制閘極 CG 時，該電容比率較佳地應該是儘可能地小，以便於降低在該源極/汲極區域 BL1 或 BL2 以及控制閘極 CG 之間的電位差。這是因為小的電容比率係容許電位差能夠容易地被建立在該浮動閘極 FG1 或 FG2 以及控制閘極 CG 之間。相反地，當電子應該從浮動閘極 FG1 或是 FG2 被拉回至源極/汲極區域 BL1 或是 BL2 時，若電容比率 CR 是小的，則在該源極/汲極區域 BL1 或是 BL2 以及控制閘極 CG 之間的電位差必須被增大。這是因為電位差無法輕易地被建立在該浮動閘極 FG1 或 FG2 以及源極/汲極區域 BL1 或 BL2 之間。

在該舉例的實施例中，複數個單元電晶體係被配置在該源極/汲極區域 BL1 與 BL2 被並排地設置的方向上。一絕緣層 15f 係被設置在相鄰的單元電晶體中之一單元電晶體的浮動閘極 FG1 以及另一單元電晶體的浮動閘極 FG2 之間，用於藉以電氣隔離該控制閘極 CG 以及源極/汲極區域 BL1 與 BL2。為何該絕緣層 15f 是如此重要的理由將會在以下描述之。

在第 2 圖所示的配置中，該控制閘極 CG 以及位元線 BL2 係在列的方向上彼此鄰接之單元電晶體 TC 之間的部份 A 中彼此面對。因此，在各種的動作期間，在該部份 A 中恐怕有一漏電流流動在控制閘極 CG 以及位元線 BL2 之間。有鑑於此，較佳的是連接該選擇性的氧化物層或是第四絕

緣層 15f 至穿隧絕緣層 15a，並且使得選擇性的氧化物層 15f 比穿隧絕緣層 15a 厚，藉以根據該選擇性的氧化物層 15f 的厚度來排除以上的漏電流。為了此目的，在第 2 圖中，該第四絕緣層係藉由選擇性的氧化來加以形成。

在該 S 類型記憶體中，在鄰接的浮動閘極 FG1 與 FG2 已經藉由蝕刻而被形成以彼此分開之後，一種絕緣體係被填入在浮動閘極 FG1 與 FG2 之間的空間中以形成該絕緣層 15f。接著，該控制閘極 CG 係被形成在該浮動閘極 FG1 與 FG2 以及絕緣層 15f 之上。在此種配置中，該浮動閘極 FG1 與 FG2 係只有在其中該多晶間絕緣層 15b 存在的部份中才面對該控制閘極 CG。

資料係以完全相同於參考第 1 與 2 圖所述的方式來被寫入或是讀出自該舉例的實施例之單元電晶體、或是被刪除。在該刪除模式中，電子較佳地應該是從該浮動閘極 FG1 或是 FG2 被拉回至源極/汲極區域 BL1 或是 BL2。第 66 圖係顯示在寫入、讀取以及刪除模式中，被指定給源極/汲極區域 BL1 與 BL2 以及控制閘極 CG 之特定的電壓。

為了描述本發明之另一替代的實施例，將會參考至第 15 圖，其將會被稱為一種 L 類型記憶體，其原因在稍後予以說明。如圖所示，一個快閃記憶體 206 係包含 P 型半導體基板，其係被形成有具有相對的側壁 13b 之突出部 13a、形成在該突出部 13a 的頂端之上的閘極絕緣層 15c、形成在該基板的表面之上且在該突出部 13a 之相對的側之 N 型源極/汲極區域 BL1 與 BL2、以及覆蓋該側壁 13b 以及源

極 / 汲極區域 BL1 與 BL2 的穿隧絕緣層 15a。浮動閘極 FG1 與 FG2 係經由該穿隧絕緣層 15a 來面對該突出部 13a 的側壁 13b 以及源極 / 汲極區域 BL1 與 BL2。多晶間絕緣層 15b 係被形成在浮動閘極 FG1 與 FG2 之上。該控制閘極 CG 係經由該多晶間絕緣層 15b 而至少部分地面對浮動閘極 FG1 與 FG2，並且經由該閘極絕緣層 15c 來面對該突出部 13a 的頂端 13c。

同樣地，控制閘極 CG 面對浮動閘極 FG1 與 FG2 的部份以及該控制閘極 CG 面對該突出部 13a 的頂端 13c 之部份可以彼此電氣獨立地被形成，並且彼此電氣獨立地被控制。

在該舉例的實施例中，每個浮動閘極 FG1 或是 FG2 都具有一個表面 208，該表面 208 係經由多晶間絕緣層 15b 來面對該控制閘極 CG，其在面積上係小於一個經由穿隧絕緣層 15a 來面對源極 / 汲極區域 BL1 或是 BL2 的表面，，如同從垂直於行方向的截面中可見者。尤其，在該舉例的實施例中，每個浮動閘極 FG1 或是 FG2 都大致以一個字母 L 的形式被配置；該字母 L 的側邊與底部係經由該穿隧絕緣層 15a 而分別面對該突出部 13a 的側壁 13b 以及源極 / 汲極區域 BL1 或是 BL2。再者，該字母 L 的頂端係經由該多晶間絕緣層 15b 來面對控制閘極 CG。這是為何該舉例的實施例之半導體記憶體被稱為一種 L 類型記憶體之原因。

在該舉例的實施例中，該多晶間絕緣層 15b 係被實施成一藉由電漿氧化所形成的氧化矽層。除了該多晶間絕緣層 15b 以外，該閘極絕緣層 15c 係包含位於該絕緣層 15b

的下面之一個氧化矽層 210a 以及一個氮化矽層 210b。該穿隧絕緣層 15a 也被實施成一藉由電漿氧化所形成的氧化矽層。

電漿氧化係容許均勻的氧化矽層無關於平面方向地被形成在(100)以及(111)兩個平面中。當包含一水平的表面以及一垂直的表面之穿隧絕緣層 15a 應該藉由單一步驟而被形成時，這是所期望的。再者，藉由電漿氧化所形成的氧化物層係具有一個高的  $Q_{BD}$  值， $Q_{BD}$  值係代表一個氧化物層對於 TDDB 的抵抗性(時間相關的電介質崩潰)，並且具有一個低的 SILC(應力誘發的漏電流)值，SILC 值係代表對於電介質崩潰的抵抗性。

同樣在該舉例的實施例中，該多晶間絕緣層 15b，亦即層 210c 係在浮動閘極 FG1 與 FG2 面對控制閘極 CG 的表面已經藉由 CMP 而被平坦化之後被形成，此係達成高的崩潰電壓。假設該絕緣層 15b 是被形成在例如是具有一個粗糙的表面並且用於浮動閘極 FG1 與 FG2 的多晶矽之上，則該絕緣層 15b 的崩潰電壓可能會被降低至一個危險的程度。由於個別的步驟是習知的，因此該舉例的實施例之快閃記憶體 206 可以在最小的風險下被產生。

該 L 形的浮動閘極 FG1 與 FG2 係具有一個耦合比率 CR 低於在第 1 與 2 圖或是第 14 圖中所示的浮動閘極。更明確地說，第 1 與 2 圖的單元電晶體以及第 14 圖的 S 類型記憶體係分別具有大約 0.37 以及 0.32 的耦合比率 CR，而該舉例的實施例係達成一個 0.20 或是更小的耦合比率 CR，並

且可以充分降低耦合比率 CR 甚至到大約 0.17。這是因為每個大致 L 形的浮動閘極 FG1 或是 FG2 面對控制閘極 CG 之表面 208 的面積是小的。

如先前所述，關於在讀出期間的感測特徵，低的電容比率 CR 是所期望的。更明確地說，電容比率越小，電流窗則越寬並且因此資料讀取速度越高。該舉例的實施例係容許電容比率比在第 1 與 2 圖以及第 14 圖中所示的實施例更容易被降低，此係實現了在讀取速度上進一步的增加。

至於刪除，如同從前述的理由將會理解到的，該具有如此小的電容比率 CR 之舉例的實施例係容許若只有一個相對低的電壓係被施加時，電子仍然能夠從該浮動閘極 FG1 與 FG2 被拉回至控制閘極 CG。

同樣地，在鄰接的浮動閘極 FG1 與 FG2 已經藉由蝕刻而被形成以彼此分開之後，一種絕緣體可以被填入在浮動閘極 FG1 與 FG2 之間的空間中以形成該絕緣層 15f。在此例中，該控制閘極 CG 也將會被形成在該浮動閘極 FG1 與 FG2 以及絕緣層 15f 之上。在此種配置中，該浮動閘極 FG1 與 FG2 係只有在其中該多晶間絕緣層 15b 存在的部份中才面對該控制閘極 CG。

每個絕緣層 15f 的尺寸可以藉由將該絕緣體填入較大的空間中而被增大，以實質地消除該 L 形的浮動閘極 FG1 或是 FG2 的底部，此係以一個字母 I 的形式來配置浮動閘極 FG1 或是 FG2。在此種情形中，儘管在浮動閘極 FG1 與 FG2 以及位元線 BL1 與 BL2 之間的電容  $C_{FS}$  以及  $C_{FD}$  都分別

減少，但是該記憶體可以進一步被集積化，同時保有該舉例的實施例之優點。

資料係以完全相同於參考第 1 與 2 圖所述的方式來被寫入或是讀出自該舉例的實施例之單元電晶體、或是被刪除。在該刪除模式中，電子較佳地應該是從該浮動閘極 FG1 或是 FG2 被拉回至控制閘極 CG。第 67 圖係顯示在寫入、讀取以及刪除模式中，被指定給源極/汲極區域 BL1 與 BL2 以及控制閘極 CG 之特定的電壓。

在第 14 與 15 圖中所示的實施例之特徵都是在於該多晶間絕緣層 15b 係在浮動閘極 FG1 與 FG2 的表面已經藉由 CMP 而被平坦化之後被形成，以便於增加崩潰電壓，並且一種絕緣體係被填入在相鄰的浮動閘極 FG1 與 FG2 之間的空間中用於形成該絕緣層 15f，同時該控制閘極 CG 係被形成在該絕緣層 15f 之上。

一種用於製造在第 1 與 2 圖中所示的半導體記憶體之程序將會參考第 16A 至 35 圖來加以描述。在該舉例的實施例中，該單元電晶體可以與構成驅動電晶體的 CMOS 電晶體平行地加以製造。為此理由，一種用於產生 CMOS 電晶體之程序將會和一種用於產生該單元電晶體之程序一起加以描述。在該些圖中，一個 CMOS 電晶體部份 CM 係指一個其中 CMOS 電晶體預期被形成的位置，而一個單元電晶體部份 CT 係指一個其中單元電晶體預期被形成的部份。元件隔離區域 STIb 是如何被形成的將會與以上的程序一起加以描述。

第 16A 與 16B 圖係分別顯示以下的三個截面。左邊的

截面是在列的方向上所見到的截面，其係顯示該單元電晶體部份 CT。中間的截面是在第 13 圖的方向 AA 上所見到的截面，其係展示在行的方向上之元件隔離區域 STIb。右邊的截面是在第 13 圖的方向 BB 上所見到的截面，其係展示在行的方向上之庫選擇電晶體 ST0 或是 STE。第 17A 至 35 圖也是以截面來顯示元件隔離區域 STIb 與庫選擇電晶體 ST0 或是 STE 以及該單元電晶體部份 CT。

首先，如第 16A 圖中所示，一個 P- 類型或是一種導電度類型矽基板 12 係被製備。在該舉例的實施例中，該基板 12 的硼濃度是  $1.0 \times 10^{16} \text{ cm}^{-3}$ 。在一個熱氧化矽層 18 已經被形成在該基板 12 之主要的表面之上後，一個氮化矽層 19 係被形成在該氧化物層 18 之上。在第 16A 至 18B 圖中所示的步驟係被實現以分別在列與行的方向上形成元件隔離區域 STIa 與 STIb。

接著，如第 16B 圖中所示，一光阻層 100 係被塗覆在該氮化矽層 19 之上，並且接著藉由顯影與曝光而被形成圖案。該氮化矽層 19 係經由所產生的光阻圖案而被形成圖案，以形成開口 19a 至 19d。該開口 19a 係被形成在 CMOS 電晶體部份 CM 中的 CMOS 電晶體之間的元件隔離區域中。該開口 19b 係被形成在該 CMOS 電晶體部份 CM 以及單元電晶體部份 CT 之間的元件隔離區域中。該開口 19c 係被形成在該單元電晶體部份 CT 中之列的方向上延伸之元件隔離區域 STIa 內。再者，該開口 19d 係被形成在該單元電晶體部份 CT 中之行的方向上延伸之元件隔離區域 STIb 內。

第 17A 圖係顯示一個接在第 16B 圖的步驟之後的步驟。如圖所示，在該光阻圖案 100 已經被移除之後，該氧化矽層 18 以及矽基板 12 係以該形成圖案的氮化矽層 19 當作為一個遮罩而被蝕刻，因而開口 102a 至 102d 係被形成。接著，如第 17B 圖中所示，用於元件隔離的氧化矽 104 係藉由 CVD(化學氣相沉積)而被沉積至例如是 400nm 的厚度，此係掩埋該些開口 102a 至 102d。

如第 18A 圖中所示，在第 17B 圖的步驟之後，該氧化矽層 104 係藉由 CMP 而被研磨並且藉以被平坦化。該研磨係中途停止在該氮化物層 19 中。之後，如第 18B 圖中所示，該氮化物層 19 係被移除，並且該氧化物層 18 係被平坦化。

如第 19A 圖中所示，在第 18B 圖的步驟之後，一光阻層 20 係被塗覆在該積層的整個表面之上，並且接著曝光且顯影以在該 CMOS 電晶體部份 CM 中形成一個開口 20a。接著，砷離子以及磷離子係彼此獨立地被植入，以在該開口 20a 之下形成一個 N 型井 21。在此例中，砷離子以及磷離子係分別被植入至一個深的位置以及一個淺的位置。

如第 19B 圖中所示，在該 N 型井 21 的形成之後，該光阻層 20 係被移除。接著，一個新的光阻層 22 係被塗覆在該積層的整個表面之上，並且接著曝光且顯影，以在該 CMOS 電晶體部份 CM 中形成一個開口 22a。之後， $\text{BF}_2$ (二氟化硼)離子以及硼離子係彼此獨立地被植入在該光阻層或是遮罩 22 之上，藉以在該開口 22a 之下形成一個 P 型井

23。在此例中，硼離子以及  $\text{BF}_2$  離子係分別被植入到一個深的位置以及一個淺的位置。在 P 型井 23 的形成之後，該光阻層 22 係被移除。

接著，如第 20A 圖中所示，一光阻層 24 係被塗覆在該積層的整個表面之上，並且接著曝光且顯影，以在該單元電晶體部份 CT 中形成一個開口 24a。之後， $\text{BF}_2$  離子以及硼離子係彼此獨立地被植入在該光阻層或是遮罩 24 之上，此係分別在一個淺的位置以及一個深的位置處形成一 P 型層 106 以及一  $\text{P}^+$ 型層 108。硼離子以及  $\text{BF}_2$  離子係分別被植入到一個深的位置以及一個淺的位置。更明確地說，本身是種晶 (seed) 的  $\text{BF}_2$  離子係在  $35\text{keV}$  的加速能量下、以一個  $4.0 \times 10^{11}\text{cm}^{-2}$  的劑量被植入，而本身也是種晶的 B(硼)離子係在  $20\text{keV}$  的加速能量下、以一個  $2.0 \times 10^{12}\text{cm}^{-2}$  的劑量被植入。該 P 型層 106 係構成該電晶體的通道。該  $\text{P}^+$ 型層係用來保護該單元電晶體免於擊穿。

如第 20B 圖中所示，在該光阻層 24 已經被移除之後，該氧化矽層 18 係藉由蝕刻而被移除。

如第 21A 圖中所示，在第 20B 圖的步驟之後，該基板 12 的表面係再次被熱氧化以形成一大約是  $3\text{nm}$  厚的閘極絕緣層 15c。接著，本身是氮化矽層之大約  $20\text{nm}$  厚的閘極絕緣層 15e、一大約  $20\text{nm}$  厚的氧化矽層 110a、一大約  $20\text{nm}$  厚的氮化矽層 110b、一大約  $4\text{nm}$  厚的氧化矽層 110c、一大約  $100\text{nm}$  厚的氮化矽層 110d 以及一大約  $50\text{nm}$  的氧化矽層 110e 係依序地被堆疊在該閘極絕緣層 15c 之上。這些層的

功能從以下的步驟之說明將會變為清楚的。此種層都是藉由 CVD 所形成的。

如第 21B 圖中所示，在第 21A 圖的步驟之後，一光阻層(未顯示)係被塗覆在該積層的頂端之氧化矽層 110e 之上，並且接著曝光且顯影以形成條狀的開口(未顯示)。接著，該氧化矽層 110e 係經由上述的開口被蝕刻，藉以形成條狀的開口 45a 與 45b。開口 45a 係被形成在其中該單元電晶體的源極/汲極區域將會被形成的位置處。開口 45b 係被形成在其中該元件隔離區域 STIb 以及庫選擇電晶體 ST0 或是 STE 將會被形成的位置處。

如第 22A 圖中所示，在第 21B 圖的步驟中所用之光阻層已經被移除之後，該氮化矽層 110d 係經由開口 45a 與 45b，藉由非等向性蝕刻的 RIE(反應性離子蝕刻)而被移除。在此之後的是蝕刻該氧化矽層 110e 與 110c、藉由 RIE 來移除該氮化矽層 110b、以及接著蝕刻該氧化矽層 110a 的步驟。再者，在該氮化矽層 15e 已經藉由 RIE 而被移除之後，溝槽 28 係被形成在本身是矽層的 P 與 P<sup>+</sup>型層 106 與 108 中。儘管每個溝槽 28 的尺寸是開放可供選擇的，但在該舉例的實施例中它是大約 40nm 深的。同時，在鄰近的溝槽 28 之間的距離，亦即，每個突出部 13a 的寬度大約是 130nm。

如第 22B 圖中所示，在第 22A 圖的步驟之後，一大約 20nm 厚的氧化矽層 29 係藉由 CVD 而被形成在該積層之整個露出的表面之上。

如第 23A 圖中所示，該氧化矽層 29 係藉由 RIE 在厚度的方向上被移除，其結果是該氧化矽層 29 係除了其覆蓋該突出部 13a 的側壁 13b 的部份之外都被移除。在此之後的是熱氧化，用以在溝槽 28 的底部之上形成 3nm 厚的氧化矽層 114。

接著，如第 23B 圖中所示，一光阻層 112 係被塗覆在該積層之上，並且接著曝光及顯影。於是，該光阻層 112 係除了其存在於該 CMOS 電晶體部份以及被設置在右手側的 STI 部份中的部份之外都被移除。之後，砷離子係在該光阻層或是遮罩 112 之上被植入兩次，藉以在溝槽 28 的底部上形成 N<sup>+</sup>型層（其係構成該位元線 BL1、BL2 等等）。更明確地說，砷離子係在 10keV 的加速能量之下、以一個  $1.5 \times 10^{14} \text{ cm}^{-2}$  的劑量被植入，並且接著在 30keV 的加速能量之下、以一個  $1.0 \times 10^{14} \text{ cm}^{-2}$  的劑量被植入。在此例中，剩餘在該突出部 13a 的側壁 13b 上之氧化矽層 29 係防止砷離子被植入該等側壁 13b 之內。再者，當作為一個遮罩的突出部 13a 係容許該位元線 BL1、BL2 等等能夠藉由自我對準而形成在溝槽 28 的底部上。

如第 24A 圖中所示，在第 23B 圖的步驟之後，在該突出部 13a 的側壁 13b 上之氧化矽層 29 以及在底部上之氧化矽層 114 係藉由蝕刻而被移除。接著，如第 24B 圖中所示，砷離子係被植入在側壁 13b 中，藉以形成具有相反導電度的類型 N 型區域 17。為了植入砷離子在側壁 13b 中，該基板 12 只要相對於離子植入的方向傾斜即可。在該舉例的

實施例中，垂直於 P 型矽基板 12 的線  $n_1$  係相對於離子植入的方向  $n_0$  傾斜大約  $\pm 20^\circ$ 。更明確地說，矽離子係在  $15\text{keV}$  的加速能量之下、以一個  $2.0 \times 10^{12}\text{cm}^{-2}$  的劑量被植入。

此外，溝槽 28 的表面層係被預期來實施該元件的通道，因而該表面層的性質對於該元件的特徵有著重要的影響性。因此，在以下的步驟中保護溝槽 28 的表面不受污染是必要的。為了此目的，如第 25A 圖中所示，該舉例的實施例係藉由熱氧化，在溝槽 28 的側邊與底部上形成一大約  $4\text{nm}$  厚的犧牲氧化矽層 31。該犧牲氧化矽層 31 係成功地保護溝槽 28 的表面不受污染。再者，此層 31 係用來消除溝槽 28 的表面特有的晶格缺陷(lattice defect)，藉以避免元件的特徵被惡化。

接著，如第 25B 圖中所示，一大約  $60\text{nm}$  厚的氮化矽層 30 係藉由 CVD 而被形成在該積層之整個露出的表面(包含溝槽 28 的內側)之上。之後，如第 26A 圖中所示，一光阻層 116 係被塗覆並且接著使得其對應於該單元電晶體部份 CT 之源極/汲極區域的部份被移除。在此之後的是一個在該光阻層或是遮罩 116 上，在厚度的方向上非等向性地蝕刻該氮化矽層 30 的步驟，藉以形成延伸在行的方向上之細長的開口 30a。應該注意到的是，該些細長的開口 30a 在寬度上是小於溝槽 28。在該些開口 30a 的形成之後，該犧牲氧化矽層 31 以及部分的位元線 BL1、BL2 等等係經由該氮化矽層 30 選擇性地被蝕刻，以在該位元線 BL1、BL2 等

等之中形成凹處 32。該些凹處 32 分別大約是  $10\text{nm}$  深的。

在以上的選擇性的蝕刻之後，砷離子係經由該些細長的開口 30a 而被植入在該位元線 BL1、BL2 等等之中，以便於降低該些位元線的電阻。在第 26A 圖中，其中砷離子被植入的部份，亦即， $\text{N}^+$ 型區域係被標示 33。更明確地說，本身是種晶的 As 係在  $40\text{keV}$  的加速能量之下、以一個  $5.0 \times 10^{15}\text{cm}^{-2}$  的劑量被植入。

如第 26B 圖中所示，在 As 的植入之後，該光阻層 116 係被移除。接著，該些凹處 32 係經由當作為一個遮罩的氮化矽層 30 而受到選擇性的熱氧化，藉以形成選擇性的氧化物層 234。該氧化物層 234 藉由此種氧化而被膨脹且加厚的理由是該氧化物層 234 的崩潰電壓應該被增大，因為該控制閘極 CG 以及源極/汲極區域 BL 在該處是彼此最靠近之處。

如第 27A 圖中所示，在第 26B 圖的步驟之後，該氮化矽層 30 與 110d 係藉由蝕刻而被移除。在此例中，該氧化矽層 110c 以及犧牲氧化矽層 31 係扮演蝕刻阻止層的角色。接著，如第 27B 圖中所示，該氧化矽層 110c 以及犧牲氧化矽層 31 係藉由蝕刻而被移除。在此時，該氮化矽層 110b 係扮演蝕刻阻止層的角色。此蝕刻係達到此種程度為該氧化矽層 110c 以及犧牲氧化矽層 31 完全被移除，但是該選擇性的氧化物層 234 則留下。

如第 28A 圖中所示，在第 27B 圖的步驟之後，大約  $3\text{nm}$  厚的穿隧絕緣層或是電漿氧化物層 15a 以及大約  $3\text{nm}$

厚的穿隧絕緣層或是電漿氮化物層 15d 係被形成在溝槽 28 的底部以及側邊之上。該穿隧絕緣層較佳地應該被提供所期望的性質，因為其對於元件的動作有著重要的影響。這是為何該兩個電漿氧化物層 15a 與 15d 被堆疊的理由。為了形成該電漿氧化物層 15a，可以使用微波激勵的、利用一個徑向線槽式天線之高密度的電漿元件。

在上述的電漿元件中，一種 Kr 與  $O_2$  混合氣體係被導入該元件中。氪係被該徑向線槽式天線所發出的微波激勵並且撞擊  $O_2$ ，用於藉以產生大量的原子狀態的氧  $O^*$ 。該原子狀態的氧  $O^*$  係輕易地進入溝槽 28 的表面層，並且在與平面的方向無關之實質相同的速率下氧化溝槽 28 的底部與側邊。在氧化物層已被形成之後，該混合氣體的供給以及該微波的放射係被停止，並且接著該元件係予以排出氣體。

接著，該電漿氮化物層 15d 係藉由例如是該微波激勵的、利用一個徑向線槽式天線之高密度的電漿元件的使用而被形成在該電漿氧化物層 15a 之上。在此例中，一種 Kr 以及氨 ( $NH_3$ ) 混合氣體係被導入該元件中。Kr 係被該徑向線槽式天線所發出的微波激勵並且撞擊  $NH_3$  用於藉以產生氨基  $NH^*$ 。該氨基  $NH^*$  係在溝槽 28 的表面之上，與該矽的平面方向無關地形成電漿氮化物層。

如第 28B 圖中所示，在該穿隧絕緣層 15d 的形成之後，一個多晶矽層或是導電的層 34 係被形成在該穿隧絕緣層 15d 以及氮化矽層 110b 之上。該多晶矽層 34 係藉由一種

在原位置的製程而預先被摻雜磷(P)。為何該多晶矽層 34 係被摻雜 P 的原因是其預期要構成該浮動閘極 FG1 與 FG2，因而較佳地應該在電阻上被降低。該多晶矽層 34 大約是 60nm 厚。

接著，該多晶矽層 34 係在厚度的方向上非等向性地被蝕刻，使得其消失在該氮化矽層 110b 之上，但仍存在於溝槽 28 的側邊上之穿隧絕緣層 15d 之上。在溝槽 28 的側邊之上的多晶矽層 34 之頂端係被設置在一個比突出部 13a 的頂端高的高度處。被留在溝槽 28 的側邊之上的多晶矽層 34 係構成浮動閘極 FG1 與 FG2。

如第 29A 圖中所示，在浮動閘極 FG1 與 FG2 已經被形成之後，該氮化矽層 110b 以及氧化矽層 110a 係藉由蝕刻而被移除。應該注意到的是，該氮化矽層 110b 以及氧化矽層 110a(第 28B 圖)到此製造階段所扮演的角色。該氮化矽層 110b 以及氧化矽層 110a 已經在第 21A 圖的步驟中被形成在閘極絕緣層 15e 之上，並且以保護該閘極絕緣層 15e 到第 28B 圖的步驟為止。

該閘極絕緣層 15e 對於元件的動作有著重要的影響。就此點而言，該氮化矽層 110b 以及氧化矽層 110a 係在包含離子植入、蝕刻以及不同種類的層之堆疊的各種製程期間保護該閘極絕緣層 15e 免於惡化。

接著，如第 29B 圖中所示，該積層的整個露出的表面係藉由稍早所述的電漿氧化來加以氧化。於是，浮動閘極 FG1 與 FG2 的表面係被氧化以便形成多晶間絕緣層 15b。在

此例中，小量的氮係與該些氧化物層混合，同時藉以形成氮化物層。這些氮化物層係使得該多晶間絕緣層 15b 較厚，並且藉以防止硼滲漏。再者，一個氧化物層 108 係被形成在行的方向上延伸之元件隔離區域 STIb 以及庫選擇電晶體 STO 或 STE 之上。該些多晶間絕緣層 15b 分別大約是 12nm 厚。

如第 30A 圖中所示，在第 29B 圖的步驟之後，一光阻層 35 係被塗覆在該積層的整個表面之上，並且接著曝光且顯影，藉以在該 CMOS 電晶體部份 CM 之上形成一個開口 35a。接著，在該 CMOS 電晶體部份 CM 之上的閘極絕緣層 15e 與 15c 係利用該光阻層或是遮罩 35 而被蝕刻，因而 CMOS 電晶體的 N 型井 21 以及 P 型井 23 的表面被露出到外面。為何閘極絕緣層 15e 與 15c 如此蝕刻之理由是該些閘極絕緣層 15c 已經被先前的步驟所損傷。

如第 30B 圖中所示，在該光阻層 35 已經被移除之後，大約 3nm 厚的閘極氧化物層 120 係藉由電漿氧化而被形成在 CMOS 電晶體的 N 型井 21 以及 P 型井 23 的表面之上。在此例中，電漿氧化同時係被用來轉變存在於可能剩餘在該多晶間層 15b 的表面上的光阻層 35 中之碳(C)成為 CO<sub>2</sub>，藉以移除該光阻層 35。

如第 31A 圖中所示，在第 30B 圖的步驟之後，一個多晶矽層 CG 係藉由 CVD 而被形成，並且接著使得其表面藉由 CMP 被研磨並且平坦化。在一 WSi(矽化鎢)層已經被形成之後，一個氧化矽層 36 係被形成在該 WSi 層之上。在第 31A

圖中，該多晶矽層 CG 以及位在其上的 WSi 層係整體地被標示為 CG。藉由第 31A 圖的步驟，複數個分別在列的方向上延伸之控制閘極 CG 係被形成。同時，閘極電極 41 係被形成在 CMOS 電晶體部份的 P 型井 23 以及 N 型井 21 之上。該閘極電極 41 主要是藉由多晶矽層所構成，並且在電阻上藉由該 WSi 層加以降低。該 WSi 層也被形成在該控制閘極 CG 之上，並且因此也降低該控制閘極 CG 的電阻。

如上所述，該氧化矽層 36 係被形成在該多晶矽層 CG 之上，以便於藉由利用該氧化矽層 36 作為一個遮罩以圖案化該多晶矽層 CG。這比起藉由利用一光阻層作為一個遮罩以圖案化該多晶矽層 CG 是更佳的。該多晶矽層 CG 係藉由以下的程序而被形成圖案。

如第 31B 圖中所示，在一光阻層 127 已經被塗覆並且接著以一個預選的圖案曝光且顯影之後，該氧化矽層 36 係利用該被形成圖案的光阻層 127 當作為一個遮罩而被形成圖案。接著，該多晶矽層 CG 係利用該被形成圖案的氧化矽層 36 當作為一個遮罩來被形成圖案。如該圖中所示，在被指定給 CMOS 電晶體部份 CM 的源極/汲極區域之部份 129a、被指定給單元電晶體部份 CT 的元件隔離區域 STIb 之部份 129b(在行的方向上延伸)、被指定給庫選擇電晶體 STO 或是 STE 的源極/汲極區域之部份 129c、以及在控制閘極 CG 之間分別在列的方向上延伸之區域(第 1 圖)中的多晶矽層 CG(亦即，控制閘極 CG)係被移除。

接著，剩餘在未被該控制閘極 CG 覆蓋的部份，亦即，

存在於該元件隔離區域 STIb 中之突出部 13a 的側邊以及存在於該元件隔離區域 40(第 1 圖)中之突出部 13a 的側邊之上的多晶間絕緣層 138 以及多晶矽層 140 係被移除。更明確地說，如第 32A 圖中所示，在該光阻層 127 已經被移除之後，一個遮罩 130 係被形成並且接著被用來消除該多晶間絕緣層 138 以及多晶矽層 140。特殊的蝕刻劑係分別用於該多晶間絕緣層 138 以及多晶矽層 140。以此種方式，該浮動閘極 FG1 與 FG2 係從未被該控制閘極 CG 覆蓋的部份被移除。於是，在鄰近的控制閘極 CG 之間的穿隧絕緣層 15d 係露出到外面。在該多晶矽層 140 的移除之後，該氮化矽層 15d 因此而露出的角 132 係藉由氧化而被圓化，亦即，一種氧化物係被形成在該些角 132 之上。

至於區域 134，只有第 32A 圖係以列的方向上之截面，亦即沿著第 13 圖的線 CC 顯示該元件隔離區域 40，而第 16 至 35 圖係以在列的方向上之截面，亦即沿著第 13 圖的線 DD 顯示被指定給該單元電晶體部份 CT 的源極/汲極區域之區域。

第 32B 圖係顯示接在第 32A 圖的步驟之後的一個步驟，並且其係被實施以同時形成該 CMOS 電晶體部份 CM 的一個 N 型 MOS 123 以及一個 P 型 MOS 124 以及庫選擇電晶體 STO 或是 STE。更明確地說，如第 32B 圖中所示，在該光阻層 130 已經被移除之後，一光阻層 138 係被塗覆並且接著曝光及顯影，使得該層 138 對應於該 N 型 MOS 123 以及庫選擇電晶體 STO 或是 STE 之部份係被形成開口。接著，砷

離子係經由該光阻層 138 之被產生的開口而被植入，藉以形成 LDD(輕摻雜汲極)136c。在此例中，該氧化矽層 36 也用作為一個遮罩。

接著，如第 33A 圖中所示，LDD 136c 係以相同於第 32B 圖中的方式被形成在該 P 型 MOS 124 中。之後，該被實施成氮化矽層的側壁絕緣層 136b 係被形成在該 P 型 MOS 124、N 型 MOS 123、庫選擇電晶體 ST0 或是 STE、以及存在於元件隔離區域 STIb 中的突出部 13a 之上。

如第 33B 圖中所示，在第 33A 圖的步驟之後，一光阻層 140 係被塗覆在該積層之上並且接著曝光及顯影，使得該層 140 對應於該 N 型 MOS 123 以及庫選擇電晶體 ST0 或是 STE 的部份係被形成開口。接著，砷離子係經由該光阻層 140 之被產生的開口而被植入，藉以形成源極/汲極區域 136a。該氧化矽層 36 在此步驟期間也扮演一個遮罩的角色。同樣地，該源極/汲極區域 136a 係被形成在該 P 型 MOS 124 中。以此種方式，該 CMOS 電晶體部份 CM 的 N 型 MOS 123 以及 P 型 MOS 124 以及庫選擇電晶體 ST0 或是 STE 係被形成。

如第 34A 圖中所示，在第 33B 圖的步驟之後，一 BPSG(硼磷矽玻璃)層 36 係被形成在該積層的整個表面之上，並且被用來平坦化用於鋁導線的表面。更明確地說，在該 BPSG 層 36 已經在高溫下被加熱以減少該表面的不平整處之後，該 BPSG 層 36 的表面係藉由 CMP 而被平坦化。

接著，如第 34B 圖中所示，孔洞係藉由一個遮罩(未顯

示出)的使用而被形成在該 BPSG 或是氧化矽層 36 中。在鎢插塞(plug)或是接點 54 已經被埋入孔洞中之後，該積層的表面係藉由 CMP 而被平坦化。鎢插塞 54 係連接在該單元電晶體部份 CT 中的控制閘極 CG 以及 Al 層 38，並且連接在該 CMOS 電晶體部份 CM 與庫選擇電晶體 ST0 或是 STE 中的源極/汲極區域以及 Al 層 38。

更明確地說，如第 35 圖中所示，在該 Al 層 38 已經藉由蒸鍍而被沉積並且接著被形成圖案之後，一個氧化矽層 56 以及一個保護層 58 係依序地被形成。此係為用於製造在第 1 圖中所示的半導體記憶體之程序的結束。

用於製造在第 14 圖中所示的 S 類型半導體之特定的製程將會參考第 36A 至 49 圖來加以描述。同樣地，該單元電晶體的製造可以與 CMOS 電晶體的製造平行地進行，因而一種用於產生 CMOS 電晶體之程序將會在以下和用於產生該單元電晶體之程序一起加以描述。在該些圖中，一個 CMOS 電晶體部份 CM 係指一個被分配給稍後將被形成之 CMOS 電晶體的部份，而一個單元電晶體部份 CT 係指一個被分配給單元電晶體的部份。該些圖也展示用於產生該元件隔離區域 STIb 以及庫選擇電晶體 ST0 或是 STE 的步驟。

第 36A 與 36B 圖係分別顯示以下的三個截面。左邊的截面是在列的方向上所見到的截面。中間的截面是在第 13 圖的方向 AA 上所見到的截面，其係展示在行的方向上之元件隔離區域 STIb。右邊的截面是在第 13 圖的方向 BB 上所見到的截面，其係展示在行的方向上之庫選擇電晶體 ST0

或是 STE。第 36A 至 48 圖也是以在行的方向上所見到的截面來顯示元件隔離區域 STIb 與庫選擇電晶體 STO 或是 STE 以及該單元電晶體部份 CT。

該製造的最初階段係與先前參考第 16A 至 19B 圖所述的階段相同，因而只有第 19B 圖的步驟之後的一個步驟以及其後續的步驟將會被描述，以避免重複。如第 36A 圖中所示，一光阻層 224 係被塗覆在該積層的整個表面之上，並且接著曝光且顯影以在該單元電晶體部份 CT 中形成一個孔洞 24a。 $\text{BF}_2$  離子以及硼離子係彼此獨立地被植入在該光阻層或是遮罩 224 之上，藉以在該開口 22a 之下，分別在一個淺的位置以及一個深的位置形成一個  $\text{P}^-$  型井 106 以及一  $\text{P}^+$  型層 108。在此例中，硼離子係被植入到一個深的位置三次，而  $\text{BF}_2$  離子係被植入到一個淺的位置兩次。更明確地說，硼離子係首先在 30keV 的加速能量之下、以一個  $1.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入，接著在 35keV 的加速能量之下、以一個  $2.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入，並且接著在 55keV 的加速能量之下、以一個  $4.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入。 $\text{BF}_2$  離子係首先在 15keV 的加速能量之下、以一個  $1.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入，並且接著在 45keV 的加速能量之下、以一個  $1.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入。

藉由以上的離子植入，該  $\text{P}^-$  型層 106 係以一個大約  $1.0 \times 10^{17} \text{ cm}^{-3}$  的雜質濃度，在一個淺於 60nm 的位置被形成，而該  $\text{P}^+$  型層 108 係以一個大約  $1.0 \times 10^{18} \text{ cm}^{-3}$  的雜質濃度，在一個深於 60nm 的位置被形成。該  $\text{P}^-$  型層 106 係構成電

晶體的通道。該  $P^+$ 型層 108 係用來保護該單元電晶體免於擊穿。

接著，如第 36B 圖中所示，該光阻層 224 係被移除，並且接著該氧化矽層 18 係藉由利用 d-HF 的蝕刻而被移除。

如第 37 圖中所示，在第 36B 圖中所示的步驟之後，一本身是氧化矽層之大約 10nm 厚的閘極絕緣層 204a、一本身是氮化矽層之大約 20nm 厚的閘極絕緣層 204b、一大約 10nm 厚的氧化矽層 214a 以及一大約 100nm 厚的氮化矽層 214b 係依序地堆疊在該基板 12 之上。這些層都是藉由 CVD 所形成的。閘極絕緣層 204a 與 204b 係構成 S 類型記憶體的部分。氧化矽層 214a 係用作為一犧牲氧化物層，而氮化矽層 214b 係在砷離子稍後被植入時用作為一阻止層。

如第 38A 圖中所示，在第 37 圖的步驟之後，一光阻(未顯示)係被塗覆在該積層的頂端上之氮化矽層 214b 之上，並且接著曝光及顯影以形成條狀的開口(未顯示)。接著，該氮化矽層 214b、氧化矽層 214a、閘極絕緣層 204b 與 204a 以及矽基板 12 係藉由 RIE、經由上述構成一個遮罩的開口藉由  $Cl_2/HF_3$  氣體的使用而被蝕刻。接著，溝槽 28 係藉由 RIE 而被形成在本身是矽層的  $P^-$ 與  $P^+$ 型層 106 與 108 中。該些溝槽 28 在位置上係對應於該單元電晶體 TC 的汲極區域 BL1 至 BL3、元件隔離區域 STIb、以及庫選擇電晶體 ST0 或是 STE。儘管在該源極/汲極區域 BL1、BL2 或是 BL3 中的每個溝槽 28 之尺寸是開放可供選擇的，其在該舉

例的實施例中大約是 60nm 深。同時，在鄰近的溝槽 28 之間的距離，亦即，每個突出部 13a 的寬度大約是 180nm。每個溝槽 28 大約是 270nm 寬。

如上所述，用於 RIE 之  $\text{Cl}_2/\text{HF}_3$  氣體係在該些溝槽 28 的側壁之上形成碳氟化合物層 220。更明確地說，如為部分視圖的第 49 圖中所示，碳氟化合物層 220 係以圓化溝槽 28 的底部角之此種方式被形成在每個溝槽 28 的側壁 216 之上。該碳氟化合物層 220 的重要性將會在稍後明確地予以敘述。

如第 38B 圖中所示，在第 38A 圖的步驟之後，一大約 15nm 厚的氧化矽層 29 係藉由 CVD 而被形成在該積層之整個露出的表面之上。

如第 39A 圖中所示，該氧化矽層 29 係藉由 RIE 在厚度的方向上被蝕刻，其結果是該氧化矽層 29 除了其覆蓋該突出部 13a 的側壁 13b 的部份之外都被移除。

之後，如第 39B 圖中所示，一光阻層 112 係被塗覆在該積層之上，並且接著在一個遮罩之上曝光及顯影，藉以移除了存在於該 CMOS 電晶體部份 CM、元件隔離區域 STIb、以及庫選擇電晶體 ST0 或是 STE 中的部份之外的光阻層 112。之後，砷離子係在該光阻層或是遮罩 112 之上被植入兩次，藉以在溝槽 28 的底部之上形成構成位元線 BL1、BL2 等等的  $n^+$ 型層。該位元線 BL1 與 BL2 係分別具有大約  $100\Omega/\square$  的薄片電阻。更明確地說，砷離子係在 15keV 的加速能量之下、以一個  $3.0 \times 10^{15}\text{cm}^{-2}$  的劑量被植入，並

且接著在 40keV 的加速能量之下、以一個  $3.0 \times 10^{15} \text{ cm}^{-2}$  的劑量被植入。在此例中，剩餘在該突出部 13a 的側壁 13b 之上的氧化矽層 29 係防止砷離子被植入在該側壁 13b 中。再者，當作為一個遮罩的突出部 13a 係容許位元線 BL1、BL2 等等能夠藉由自我對準而被形成在溝槽 28 的底部之上。

如第 40A 圖中所示，在以上的離子植入之後，剩餘在該突出部 13a 的側壁 13b 之上的氧化矽層 29 係藉由利用 d-HF 的蝕刻而被移除。

如第 40B 圖中所示，砷離子係被植入在該些側壁 13b 中，藉以形成具有相反導電度類型的 N 型區域 17。再者，為了植入砷離子在側壁 13b 中，該基板 12 只需要相對於離子植入的方向傾斜即可。在該舉例的實施例中，垂直於 P 型矽基板 12 的線  $n_1$  係相對於離子植入的方向  $n_0$  被傾斜大約  $\pm 40^\circ$ 。更明確地說，砷離子係在 15keV 的加速能量之下、以一個  $2.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入。

如第 41A 圖中所示，在該光阻 112 已經被移除之後，大約 8nm 厚的穿隧絕緣層或是熱氧化物層 15a 係被形成在該溝槽 28 的底部以及側邊之上。在此例中，所要的氧化物層也被形成在溝槽 28 的底部角之處，因為該些底部角已經在第 38A 圖的步驟中被圓化。該穿隧絕緣層 15a 對於元件的動作上有著重要的影響，並且因此應該較佳地被提供有所期望的性質。儘管在平面方向(100)的表面上之氧化物層係薄於在平面方向(111)的表面上之氧化物層，此種在厚度

上的差值並未不利地影響到該 S 類型記憶體。

如第 41B 圖中所示，在第 41A 圖的步驟之後，一大約 100nm 厚的多晶矽層或是導電的層 34 係被形成在該穿隧絕緣層 15a 之上。該多晶矽層 34 係藉由一種在原位置的製程而預先被摻雜磷(P)。

接著，如第 42A 圖中所示，該多晶矽層 34 係藉由  $\text{Cl}_2/\text{HBr}$  氣體的使用，非等向性地在厚度的方向上被蝕刻至一個 120nm 的深度。此蝕刻的選擇率(selectivity)係至少為：

多晶矽：氮化矽層

=20 : 1

多晶矽：氧化矽層

=70 : 1

儘管實際的選擇率係遠大於以上的選擇率。

更明確地說，該多晶矽層 34 係被蝕刻使得其在該氮化矽層 214b 之上的部分消失，但是在溝槽 28 的側邊上之穿隧絕緣層 15a 之上的部分係保留。於是，兩個彼此相鄰的多晶矽層係彼此隔離開。

接著，如第 42B 圖中所示，熱氧化係被實施以在該多晶矽層 34 以及穿隧絕緣層 15a 之上形成 10nm 厚的熱氧化物層 226。之後，如第 43A 圖中所示，25nm 厚的氧化矽層 228 係被形成在熱氧化物層 226 之上。因此，一種絕緣體係被填入在鄰近的多晶矽層 34 之間的間隙中，藉以將彼此電氣隔離開。

如第 43B 圖中所示，在第 43A 圖的步驟之後，該氧化物層 228 係藉由 SAC(自我對準接點)氧化物膜 RIE、利用  $C_4F_8/O_2/Ar$  氣體而被蝕刻。此蝕刻的選擇率係為：

氧化矽層：氮化矽層

=25 : 1

氧化矽層：多晶矽

=50 : 1

在浮動閘極 FG1 與 FG2 之間的氧化物層 15e 也被蝕刻至與該犧牲氧化物層 214a 相同的高度。

如第 44A 圖中所示，該氧化矽層 214b 係藉由利用  $H_3PO_4$  的蝕刻而被移除。接著，如第 44B 圖中所示，一個多晶矽層 230 係藉由 CVD 而被形成在該積層的整個表面之上。該多晶矽層 230 接著藉由 CMP 加以平坦化，即如第 45A 圖中所示者。在此例中，選擇率係至少為：

多晶矽：氧化矽層

=50 : 1

舉例而言，研磨液 (slurry) 可以藉由例如是  $NH_2(CH_2)_2NH_2$  之有機胺而被做成。為了清洗該多晶矽層 230 的表面，可以使用例如是 APM(亦即， $NH_4OH$ 、 $H_2O_2$ ) 或是 FPM(亦即，HP、 $H_2O_2$ )。此步驟係成功地執行 CMP 於預期稍後要接觸多晶間絕緣層的浮動閘極之表面，並且使得該多晶矽層 230 的表面極為平滑且潔淨。

之後，如第 45B 圖中所示，該氧化矽層 214a 係藉由利用 d-HF 氣體的蝕刻而被移除，因為該層 214a 已經顯著地

受損。該蝕刻係被實施以使得在溝槽 28 的側壁之上的浮動閘極 FG1 與 FG2 的頂端係被設置在比突出部 13a 的頂端高的位準處，藉以完整地配置該浮動閘極 FG1 與 FG2。

現在，應該注意到的是該氮化矽層 214b 以及氧化矽層 214a 到上述的步驟為止所扮演的角色。該氮化矽層 214b 以及氧化矽層 214a 係在第 37A 圖的步驟中被形成在該閘極絕緣層 204b 之上，並且持續地覆蓋該閘極絕緣層 204b 到第 45A 圖的步驟為止。該閘極絕緣層 204b 對於元件的動作上有著重要的影響，因此其係在包含離子植入、蝕刻以及不同種類的層之形成的各種製程中都受到保護而免於劣化，因而元件的動作特徵係受到保護而免於劣化。

如第 46A 圖中所示，在第 45B 圖的步驟之後，一大約 5nm 厚的氧化物層 202a、一大約 7nm 厚的氮化物層 202b 以及一大約 5nm 厚的氧化物層 202c 係依序地堆疊，此係形成大約 17nm 厚的閘極絕緣層 15b。在此例中，該閘極絕緣層或是多晶間絕緣層 15b 係接觸事先藉由 CMP 平坦化的浮動閘極 FG1 與 FG2 的表面，並且因此具有高的崩潰電壓。為了進一步提昇崩潰電壓，若為所要的，浮動閘極 FG1 與 FG2 的角可以在該閘極絕緣層 15b 的形成之前被圓化。

接著，如第 46B 圖中所示，一光阻層 35 係被塗覆在該積層的整個表面之上並且接著曝光及顯影，以在該 MOS 電晶體部份 CM、元件隔離區域 STIb 以及庫選擇電晶體 ST0 或是 STE 中形成凹處 35a。在該 CMOS 電晶體部份 CM 中的閘極絕緣層 15b 與氮化矽層 204b 係藉由利用該光阻層 35

當作為一個遮罩的蝕刻而被移除。此外，在該元件隔離區域 STIb 以及庫選擇電晶體 ST0 或是 STE 中的閘極絕緣層 15b 係藉由蝕刻而被移除。

如第 47 圖中所示，在該光阻層 35 已經被移除之後，一多晶矽層 CG 係藉由 CVD 而被形成，並且接著使得其表面藉由 CMP 加以研磨並且藉以平坦化。在一 WSi 層已經被形成之後，一個氧化矽層 36 係被形成在該 WSi 層之上。在第 47 圖中，該多晶矽層 CG 以及在其上的 WSi 層係整體地被標示為 CG。藉由第 47 圖的步驟，複數個分別在列的方向上延伸之控制閘極 CG 係被形成。同時，閘極電極 41 係被形成在該 CMOS 電晶體部份的 P 型井 23 以及 N 型井 21 之上。該閘極電極 41 主要是由該多晶矽層所構成，並且藉由該 WSi 層在電阻上加以降低。該 WSi 層也被形成在該控制閘極 CG 之上，並且因此也降低了該控制閘極 CG 的電阻。

如第 48 圖中所示，在一光阻層 127 已經被塗覆並且接著以一個預選的圖案曝光及顯影之後，該氧化矽層 36 係利用該被形成圖案的光阻層 127 當作為一個遮罩而被形成圖案。接著，該多晶矽層 CG 係利用該被形成圖案的氧化矽層 36 當作為一個遮罩而被形成圖案。如該圖中所示，在被指定給 CMOS 電晶體部份 CM 的源極/汲極區域之部份 129a、被指定給單元電晶體部份 CT 的元件隔離區域 STIb 之部份 129b(在行的方向上延伸)、被指定給庫選擇電晶體 ST0 或是 STE 的源極/汲極區域之部份 129c、以及在控制閘極 CG 之間分別在列的方向上延伸之區域(第 1 圖)中的多晶矽層

或是控制閘極 CG 係被移除。

在第 48 圖的步驟之後，該元件隔離區域 STIb、對應於該 CMOS 電晶體部份 CM 的一個 N 型以及一個 P 型 MOS 電晶體 123 與 124 以及庫選擇電晶體 STO 或是 STE 係藉由參考第 32A 至 35 圖所述的步驟而被形成，此係完成了在第 14 圖中所示的 S 類型電晶體。

用於產生在第 15 圖中所示的 L 類型記憶體之特定的程序將會在以下參考第 50A 至 62 圖來加以描述。在此例中，用於產生一個單元電晶體的製程同樣可以與用於產生 CMOS 電晶體的製程同時加以執行。此種製程係與先前所述的製程相同，因而將不會特定地加以描述以避免重複。該元件隔離區域 STIb 以及庫選擇電晶體 STO 或是 STE 也是藉由稍早所述的步驟而被形成，因而也將不會特定地加以描述。第 50A 至 62 圖是只有展示該單元電晶體部份 TC 的截面。

L 類型記憶體製造的最初階段是與參考第 16A 至 19B 圖所述的階段相同，因而將不會特定地加以描述。如第 50A 圖中所示，在第 16A 至 19B 圖的步驟中所形成之氧化矽層 18 係存在於該半導體基板 12 之上。

在以上的情形中，如第 50B 圖中所示， $\text{BF}_2$  離子以及硼離子係彼此獨立地被植入在該氧化矽層 18 之上，藉以分別在一個淺的位置以及一個深的位置形成一  $\text{P}^-$  型層以及一  $\text{P}^+$  型層。在此例中，硼離子係被植入到一個深的位置三次，而  $\text{BF}_2$  離子係被植入到一個淺的位置兩次。更明確地說，首先硼離子係在 30keV 的加速能量之下、以一個

$4.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入，接著在 35keV 的加速能量之下、以一個  $4.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入，並且接著在 55keV 的加速能量之下、以一個  $4.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入。BF<sub>2</sub>離子首先係在 15keV 的加速能量之下、以一個  $2.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入，並且接著在 45keV 的加速能量之下、以一個  $2.0 \times 10^{11} \text{ cm}^{-2}$  的劑量被植入。該 P<sup>-</sup>型層係形成電晶體的通道，而該 P<sup>+</sup>型層係用來保護該單元電晶體免於擊穿。

如第 51A 圖中所示，該氧化矽層 18 係藉由利用 d-HF 的蝕刻而被移除。接著，如第 51B 圖中所示，本身是氧化矽層之大約 10nm 厚的閘極絕緣層 210a、本身是氮化矽層之大約 20nm 厚的閘極絕緣層 210b、一大約 10nm 厚的氧化矽層 214a 以及一大約 70nm 厚的氮化矽層 214b 係依序地堆疊在該基板 12 之上。這些層全部是藉由 CVD 加以形成的。該閘極絕緣層 204a 以及 204b 係形成該 L 類型記憶體的部分。該氧化矽層 214a 係用作為一犧牲氧化物層，而該氮化矽層 214b 係在稍後砷離子被植入時用作為一阻止層。

如第 52A 圖中所示，在第 51B 圖的步驟之後，一光阻(未顯示)係被塗覆在該積層的頂端之氮化矽層 214b 之上，並且接著曝光及顯影以形成條狀的開口(未顯示)。接著，該氮化矽層 214b、氧化矽層 214a、閘極絕緣層 210b 與 210a 以及矽基板 12 係藉由 RIE，經由以上作為一個遮罩的開口而被蝕刻。接著，溝槽 28 係藉由 RIE 而被形成在本身是矽層的 P<sup>-</sup>以及 P<sup>+</sup>型層中。該些溝槽 28 在位置上係對應於該單元電晶體 TC 的源極/汲極區域 BL1 與 BL2。儘管在

該源極/汲極區域 BL1、BL2 或是 BL3 中的每個溝槽 28 之尺寸是開放可供選擇的，其在該舉例的實施例中大約是 40nm 深的，此係對應於在第 50 圖的步驟中被植入之硼離子的濃度之高峰位置。此外，在鄰近的溝槽 28 之間的距離，亦即，每個突出部 13a 的寬度大約是 180nm。每個溝槽 28 大約是 180nm 寬的。

如第 52B 圖中所示，在第 51A 圖的步驟之後，一大約 25nm 厚的氧化矽層 29 係藉由 CVD 而被形成在該積層之整個露出的表面之上。接著，如第 53A 圖中所示，該氧化矽層 29 係藉由 RIE 在厚度的方向上被蝕刻，其結果是該氧化矽層 29 係除了其覆蓋該突出部 13a 的側壁 13b 的部份之外都被移除。

接著，如第 53B 圖中所示，砷離子係被植入兩次，藉以形成  $N^+$ 型層，此係在該溝槽 28 的底部之上構成該位元線 BL1、BL2 等等。更明確地說，砷離子係在 15keV 的加速能量之下、以一個  $3.0 \times 10^{15} \text{ cm}^{-2}$  的劑量被植入，並且接著在 40keV 的加速能量之下、以一個  $3.0 \times 10^{15} \text{ cm}^{-2}$  的劑量被植入。在此例中，剩餘在該突出部 13a 的側壁 13b 之上的氧化矽層 29 係防止砷離子被植入在該側壁 13b 中。再者，該當作為一個遮罩的突出部 13a 係容許位元線 BL1、BL2 等等能夠藉由自我對準而形成在溝槽 28 的底部之上。

如第 54A 圖中所示，在以上的離子植入之後，剩餘在該突出部 13a 的側壁 13b 之上的氧化矽層 29 係藉由利用 d-HF 的蝕刻而被移除。

如第 54B 圖中所示，在第 54A 圖的步驟之後，砷離子係在 15keV 的加速能量之下、以一個  $2.0 \times 10^{12} \text{ cm}^{-2}$  的劑量被植入在該側壁 13b 中，藉以形成具有相反導電度類型的 N 型區域或是空乏層 17。此外，為了植入砷離子在該側壁 13b 中，該基板 12 只需要相對於離子植入的方向傾斜即可。在該舉例的實施例中，垂直於 P 型矽基板 12 的線  $n_1$  係相對於離子植入的方向  $n_0$  被傾斜大約  $\pm 40^\circ$ 。

如第 55 圖中所示，在第 54B 圖的步驟之後，大約 8nm 厚的穿隧絕緣層或是電漿氧化物層 15a 係被形成在該溝槽 28 的底部以及側邊之上。該穿隧絕緣層較佳地應該被提供有所期望的性質，因為其對於元件的動作上有著重要的影響。為了形成該電漿氧化物層 15a，可以使用微波激勵的、利用一個徑向線槽式天線之高密度的電漿元件。

在上述的電漿元件中，一種 Kr 與  $O_2$  混合氣體係被導入該元件中。氣係被該徑向線槽式天線所發出的微波激勵並且撞擊  $O_2$ ，用於藉以產生大量的原子狀態的氧  $O^*$ 。該原子狀態的氧  $O^*$  係輕易地進入溝槽 28 的表面層，並且在與平面的方向無關之實質相同的速率下氧化溝槽 28 的底部與側邊。例如，具有平面方向(100)的氧化物層以及該些具有平面方向(111)的氧化物層係具有實質相同的厚度。在氧化物層已被形成之後，該混合氣體的供給以及該微波的放射係被停止，並且接著該元件係予以排出氣體。如此藉由電漿氧化所形成的氧化物層係做成了大的  $Q_{BD}$  值以及小的 SILC 比率。

如第 56A 圖中所示，在第 55 圖的步驟之後，一大約 20nm 厚的多晶矽層或是導電的層 34 係被形成在該穿隧絕緣層 15a 之上。該多晶矽層 34 係藉由一種在原位置的製程而預先被摻雜磷(P)。接著，如第 56B 圖中所示，一個氮化矽層 234 係被形成在該多晶矽層 34 之上。該氮化矽層 234 係接著藉由 RIE 而被蝕刻，藉以露出存在於溝槽 28 的底部之上的多晶矽層 34 之中心部份，即如第 57A 圖中所示者。之後，如第 57B 圖中所示，該多晶矽層 34 中如此被露出的部份係藉由 RIE 而被蝕刻並且移除。

如第 58A 圖中所示，氧化矽層 236a 以及 236b 係被形成在該多晶矽層 34 露出的部份之上。接著，如第 58B 圖中所示，該氮化矽層 214a 以及 234 係藉由蝕刻而被移除。之後，如第 59 圖中所示，一個氧化矽層 238 係藉由 CVD 而被形成，藉以用一絕緣層填入在該多晶矽層 34 之間的間隙，藉以電氣隔離彼此鄰接的多晶矽層 34。

如第 60A 圖中所示，在該氧化矽層 238 的形成之後，該氧化矽層 238 係使得其多餘的部分藉由 CMP 加以移除，直到該多晶矽層 34 的頂端被露出之程度。該氧化矽層 238 的表面係接著被平坦化。接著，如第 60B 圖中所示，該氧化矽層 238 係藉由 SAC 氧化物膜 RIE 而被蝕刻到該氮化矽層 210b 被露出之深度。

如第 61A 圖中所示，在第 60B 圖的步驟之後，該多晶矽層 34 係藉由 CMP 而被移除，並且接著該積層的頂端係被平坦化。在此例中，CMP 的選擇率係至少為：

多晶矽：氮化矽層

=100:1

舉例而言，研磨液可以藉由例如是  $\text{NH}_2(\text{CH}_2)_2\text{NH}_2$  之有機胺而被做成。為了清洗該多晶矽層的表面，可以使用例如是 APM(亦即， $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}_2$ )或是 FPM(亦即，HP、 $\text{H}_2\text{O}_2$ )。此步驟係成功地執行 CMP 於預期稍後要接觸多晶間絕緣層的浮動閘極表面，並且使得該多晶矽層的表面極為平滑且潔淨。以此種方式，該浮動閘極 FG1 與 FG2 係被形成。

接著，如第 61B 圖中所示，一大約 12nm 厚的氧化物層 210c 係被形成在該積層之整個露出的表面之上，並且接著受到電漿氧化，因而藉由 CVD 所形成的氧化物層 210c 係被做成為稠密的。在此例中，存在於該浮動閘極 FG1 與 FG2 之上的閘極絕緣層或是多晶間絕緣層 15b 係接觸在第 61A 圖的步驟中藉由 CMP 平坦化之浮動閘極的表面，並且因此實現了高的崩潰電壓。為了進一步提昇崩潰電壓，若為所要的，浮動閘極 FG1 與 FG2 的角可以在該閘極絕緣層 15b 的形成之前被圓化。

最後，如第 62 圖中所示，一多晶矽層 CG 係藉由 CVD 而被形成在該氧化物層 210c 之上，並且接著使得其表面藉由 CMP 加以研磨並且藉以平坦化，此係形成一 WSi 層。接著，一個氧化矽層(未顯示)係被形成在該多晶矽層 CG 之上。該多晶矽層 CG 以及在其之上的 WSi 層係整體地被標示為 CG。因此，複數個分別在列的方向上延伸之控制閘極 CG 係被形成，此係完成了該 L 類型記憶體。

儘管在該舉例的實施例中，P 型以及 N 型係分別被使用作為一種導電度類型以及相反導電度類型，然而 N 型以及 P 型當然也可以分別被使用作為一種導電度類型以及相反導電度類型。

在包含實質矩形的浮動閘極 FG1 與 FG2 之 S 類型記憶體中，每個多晶間絕緣層 15b 係由依序地堆疊之氧化矽層 202a、氮化矽層 202b 以及氧化矽層 202c 所組成，而每個穿隧絕緣層 15a 係藉由該氧化矽層 204a 所做成。在此情形中，假設在彼此經由該多晶間絕緣層 15b 面對的浮動閘極 FG1 與 FG2 以及控制閘極 CG 之間的第一電容，以及在彼此經由該穿隧絕緣層 15a 面對的浮動閘極 FG1 與 FG2 以及突出部 13a 的側壁 13b 與源極/汲極區域 BL1 與 BL2 之間的第二電容。因而，該第一電容對於該第二電容的比率較佳地應該是 0.35 或是更小。

再者，如同在該 L 類型記憶體中，假設該單元電晶體 TC 中之每個浮動閘極 FG1 或是 FG2 經由該多晶間絕緣層 15b 而面對該控制閘極 CG 的表面係具有一個面積小於另一經由該穿隧絕緣層 15a 而面對該源極/汲極區域 BL1 或是 BL2 的表面之面積。因而，該多晶間絕緣層 15b 以及穿隧絕緣層 15a 可以被實施成藉由電漿氧化所形成的氧化矽層。在此例中，上述之第一電容對於第二電容的比率較佳地應該是 0.20 或是更小。

在該舉例的實施例中，每個浮動閘極 FG1 或是 FG2 的部分係突出於該突出部 13a 的頂端 13c 之上，並且未覆蓋

該頂端 13c。在此種配置中，在寫入模式中流動在該頂端 13c 的附近之載體可以有效率地被注入到該浮動閘極 FG1 或是 FG2 中，並且被該浮動閘極 FG1 或是 FG2 所捕捉。此外，該控制閘極 CG 可以確實地控制相鄰該頂端 13c 的通道區域。

在該舉例的實施例中，複數個單元電晶體 TC 係被配置在連接源極/汲極區域 BL1 與 BL2 的方向上。該第四絕緣層 15f 係介於鄰近的單元電晶體中之一單元電晶體的浮動閘極 FG1 或是 FG2 以及另一單元電晶體的浮動閘極 FG2 或是 FG1 之間，其係電氣隔離控制閘極 CG 以及源極/汲極區域 BL1 與 BL2。此係成功地降低流動在該控制閘極 CG 以及源極/汲極區域 BL1 與 BL2 之間的漏電流。

至於該 S 類型或是 L 類型記憶體，藉由平坦化該浮動閘極 FG1 與 FG2 面對該控制閘極 CG 的表面並且接著形成該多晶間絕緣層 15b，此係可以提供該絕緣層 15b 所期望的性質，藉以提昇崩潰電壓。

總之，已可看出或是將會看出本發明係提供一種電晶體、一種利用該電晶體之半導體記憶體以及一種用於製造一個電晶體之方法，其係具有以下各種前所未有的優點。

通道並非被形成在一個直線地連接源極/汲極區域的區域中，而是二維地被形成在一個藉由一個突出部之側壁、頂端以及另一側壁所構成的區域中。因此，該突出部的側壁係面對浮動閘極，因而浮動閘極係被設置在載體沿著該突出部的頂端流動之方向上。因而在寫入模式中，該些載

體可以直接被注入到浮動閘極中，而完全不用引導。此係降低用於加速該載體所需的電壓，並且藉以使得其寫入電壓低於習知的寫入電壓。

在另一方面，在讀取模式中，一個讀取電壓係被施加至一個控制閘極，同時一個預選的電位差係被建立在該源極/汲極區域之間。該等浮動閘極係分別經由一第二絕緣層而與該源極/汲極區域中之一區域電容耦合。在此情形中，假設該讀取電壓是一個正電壓，並且該浮動閘極係對應於一個在電位上高於另一源極/汲極區域的源極/汲極區域，則該浮動閘極的電位也藉由與該源極/汲極區域的電容耦合而被吸引朝向該正電位側。因此，例如當電子不存在於該以上的浮動閘極中作為載體時，該源極/汲極電壓係增大在該浮動閘極附近的通道電流。即使當電子存在於該浮動閘極中，該浮動閘極的電位也避免被該些電子所降低，因而在該浮動閘極的附近可得到一個較寬的通道。其結果是汲極電流  $I_{d1}$  可以被增大至所要的程度。

當在該源極/汲極區域之間的電位差被反轉時，相關的浮動閘極係面對被設置在低電位側的源極/汲極區域。同時，該浮動閘極也藉由一第三絕緣層與該控制閘極電容耦合。於是，若電子不存在於該浮動閘極中，則該浮動閘極係經由該第三絕緣層、而藉由一個閘極電壓  $V_G$  稍微被提昇至一個正電位，此係保證在該浮動閘極的附近之通道以及所要的汲極電流  $I_{d2}$ 。在另一方面，當電子存在於該浮動閘極中時，該浮動閘極之該以上的電位係被降低，其結果是

在該浮動閘極的附近之通道電阻係增大以降低該汲極電流  $I_{d2}$  至一個所要的值。因此，本發明係容許該電流窗，亦即，在汲極電流  $I_{d1}$  以及汲極電流  $I_{d2}$ (其係流動在電子存在於該浮動閘極中時)之間的差值能夠隨所要的被增大。

再者，電子係彼此獨立地存在於兩個浮動閘極中。因此，當一個單元電晶體係在尺寸上被縮減時，其中有電子存在的浮動閘極仍然可以清楚地與另一個浮動閘極區別開。

2003 年 1 月 7 日申請之日本專利申請案號 2003-001189 的整個揭露內容(包含其說明書、申請專利範圍、附圖以及摘要)係以其整體被納入在此作為參考。

儘管本發明已經參考特定之舉例的實施例被描述，但是其並非受限於該些實施例。將體認到的是熟習此項技術者可以在不脫離本發明的範疇與精神之下變化或是修改該些實施例。

### 【圖式簡單說明】

#### (一) 圖式部分

第 1 圖是體現本發明的一種半導體記憶體之部分立體圖；

第 2 圖係顯示內含在第 1 圖的半導體記憶體中之一單元電晶體的放大後的截面；

第 3 圖係顯示代表第 2 圖的單元電晶體之等效電路；

第 4 圖係顯示一個截面以展示用於在第 2 圖的單元電

晶體中寫入資料之寫入模式；

第 5 圖係顯示在一個突出部的頂端之上被設置有一個高電阻的區域之第 2 圖的單元電晶體之一個截面；

第 6A 至 6D 圖是展示第 2 圖的單元電晶體可用之四種不同的儲存狀態之截面；

第 7A 與 7B 圖是展示用於從第 2 圖的單元電晶體讀出資料之讀取模式的截面；

第 8A 與 8B 圖係顯示對於理解狀態(1、0)是如何從第 2 圖的單元電晶體被感測出為有用的截面；

第 9 圖係顯示對於理解一種用於排出被植入在構成該單元電晶體的部分之浮動閘極中的電子之特定的方法為有用的截面；

第 10 圖係顯示對於理解另一種用於排出被植入在該浮動閘極中的電子之特定的方法為有用的截面；

第 11 圖係顯示具有一個相關於所示之突出部的硼濃度分布之舉例的實施例之單元電晶體的一個截面；

第 12 圖是概要地展示第 1 圖的半導體記憶體之一般的配置之方塊圖；

第 13 圖是展示具有第 12 圖的配置之半導體記憶體的立體圖；

第 14 圖是展示該舉例的實施例可利用之一種 S 類型記憶體之放大後的截面；

第 15 圖是類似於第 14 圖的圖，其係展示該舉例的實施例亦可利用之一種 L 類型記憶體；

第 16A 至 35 圖是展示一連串用於製造第 1 圖的半導體記憶體之步驟的截面；

第 36A 至 48 圖是展示一連串用於製造第 14 圖的半導體記憶體之步驟的截面；

第 49 圖是展示一個溝槽的角之特定的配置之放大後的部分截面；

第 50A 至 62 圖是展示一連串用於製造第 15 圖的半導體記憶體之步驟的截面；

第 63 圖是展示一種習知的多個位元的單元電晶體之截面；

第 64A 與 64B 圖是用於描述第 63 圖的單元電晶體之特定的寫入模式之截面；

第 65A 至 65D 圖係展示第 63 圖的單元電晶體之四種可用的儲存狀態之截面；

第 66 圖是一個列出在一個寫入模式、一個讀取模式以及一個刪除模式中，被指定給內含在該舉例的實施例之 S 類型記憶體中的源極/汲極區域以及控制閘極之特定的電壓之表；並且

第 67 圖是一個列出在一個寫入模式、一個讀取模式以及一個刪除模式中，被指定給內含在該舉例的實施例之 L 類型記憶體中的源極/汲極區域以及控制閘極之特定的電壓之表。

## (二) 元件代表符號

1	單元電晶體
2	P型矽基板
3	源極/汲極區域
4	氧化矽層
5	氮化矽層
6	氧化矽層
7	控制閘極電極
8	源極/汲極區域
9a	右邊的資訊位元
9b	左邊的資訊位元
10	半導體記憶體
12	P型矽基板
12a	P型磊晶層
12b	$P^+$ 型基板
13	P型井
13a	突出部
13b	側壁
13c	頂端
13d	反轉層
13e	高電阻的區域
15a	穿隧絕緣層
15b	多晶間絕緣層
15c	閘極絕緣層
15d	穿隧絕緣層(電漿氮化物層)

15e	閘極絕緣層
15f	絕緣層
17	N型區域
18	氧化矽層
19	氮化矽層
19a~19d	開口
20	光阻層
20a	開口
21	N型井
22	光阻層
22a	開口
23	P型井
24	光阻層
24a	開口
28	溝槽
29	氧化矽層
30	氮化矽層
31	犧牲氧化矽層
32	凹處
33	$N^+$ 型區域
34	選擇率的氧化物層(多晶矽層)
35	光阻層
35a	開口
36	絕緣層(BPSG層)

38	A1(鋁)導線
40	隔離區域
41	閘極電極
45a、45b	開口
54	接點
56	氧化矽層
58	保護層
100	光阻圖案
102a~102d	開口
104	氧化矽層
106	P型層
108	P <sup>+</sup> 型層
110a	氧化矽層
110b	氮化矽層
110c	氧化矽層
110d	氮化矽層
110e	氧化矽層
112	光阻層
114	氧化矽層
116	光阻層
120	閘極氧化物層
122	位元線閘
123	N型MOS
124	P型MOS

- 126 半導體記憶體陣列
- 127 光阻層
- 128 感測放大器
- 129a CMOS 電晶體部份 CM 的源極 / 沖極區域之部份
- 129b 單元電晶體部份 CT 的元件隔離區域 STIb 之部份
- 129c 庫選擇電晶體 ST0 或是 STE 的源極 / 沖極區域之部份
- 130 遮罩 (光阻層)
- 132 角
- 134 區域
- 136a 源極 / 沖極區域
- 136b 側壁絕緣層
- 136c LDD
- 138 多晶間絕緣層
- 140 多晶矽層
- 200 快閃記憶體
- 202a 氧化矽層
- 202b 氮化矽層
- 202c 氧化矽層
- 204a 閘極絕緣層
- 204b 閘極絕緣層
- 206 快閃記憶體

208	表面
210a	氧化矽層
210b	氮化矽層
210c	氧化物層
212	區塊
214a	氧化矽層
214b	氮化矽層
216	側壁
220	碳氟化合物層
224	光阻層
226	氧化物層
228	氧化矽層
230	多晶矽層
234	氧化物層
236a、236b	氧化矽層
238	氧化矽層

## 伍、中文發明摘要：

一種快閃記憶體係包含一對被形成在一個突出部(13a)之相對的側壁(13b)之上的浮動閘極(FG1、FG2)，並且該浮動閘極(FG1、FG2)係分別經由一個穿隧絕緣層(15a)而面對一個側壁(13b)以及一個源極/汲極區域(BL1、BL2)。該浮動閘極(FG1、FG2)係在一個垂直於行的方向之上分別具有一個實質矩形的橫截面。該矩形的橫截面係在兩個鄰接的側邊中之一側邊經由該穿隧絕緣層(15a)以面對該突出部(13a)的側壁(13b)中之一側壁，而在該兩個鄰接的側邊之另一側邊經由該穿隧絕緣層(15a)以面對該源極/汲極區域(BL1、BL2)，並且在又一側邊經由一個多晶間絕緣層(15b)以面對一個控制閘極(CG)。

## 陸、英文發明摘要：

A flash memory includes a pair of floating gates (FG1, FG2) formed on opposite side walls (13b) of a projection (13a) and each facing one side wall (13b) and one source/drain region (BL1, BL2) via a tunnel insulation layer (15a). The floating gates (FG1, FG2) each have a substantially square cross-section in a direction perpendicular to the direction of column. The square cross-section faces one of the side walls (13b) of the projection (13a) via the tunnel insulation layer (15a) at one of two

continuous sides, faces the source/drain region (BL1, BL2) via the tunnel insulation layer (15a) at the other side, and faces a control gate (CG) via an inter-polycrystalline insulation layer (15b) at another side.

## 拾、申請專利範圍：

1. 一種電晶體，其特徵在於包括：

一個具有一種導電度類型的半導體基板(13)，其係被形成有一個突出部(13a)，該突出部(13a)係具有一對彼此面對的側壁(13b)；

一第一絕緣層(15c)，其係被形成在該突出部(13a)的一個頂端(13c)之上；

一對具有相反導電度類型的源極/汲極區域(BL1、BL2)，其係被形成在該突出部(13a)的兩側之半導體基板(13)的表面之上；

第二絕緣層(15a)，其係分別覆蓋該對側壁(13b)中之一側壁以及該等源極/汲極區域(BL1、BL2)中之一區域；

一對浮動閘極(FG1、FG2)，其係分別被形成在該突出部(13a)的該對側壁(13b)之上，並且經由個別的第二絕緣層(15a)而分別面對該等側壁(13b)以及源極/汲極區域(BL1、BL2)；

第三絕緣層(15b)，其係分別被形成在該等浮動閘極(FG1、FG2)中之一閘極之上；以及

一個控制閘極(CG)，其係經由該第三絕緣層(15b)而面對該對浮動閘極(FG1、FG2)並且經由該第一絕緣層(15c)而面對該突出部(13a)的頂端(13c)；

其中該對浮動閘極(FG1、FG2)係分別具有一個實質矩形的截面，該截面係在一側經由該等第二絕緣層(15a)中之一絕緣層而面對該突出部(13a)的側壁(13b)中之一側壁，

其係在另一側經由該第二絕緣層(15a)而面對該等源極/汲極區域(BL1、BL2)中之一區域，並且其係在又一側經由該等第三絕緣層(15b)中之一絕緣層而面對該控制閘極(CG)。

2. 根據申請專利範圍第1項之電晶體，其特徵在於該第三絕緣層(15b)係分別包括依序地堆疊之一個氧化矽層、一個氮化矽層以及一個氧化矽層，並且該第二絕緣層係分別包括一個氧化矽層。

3. 根據申請專利範圍第1或2項之電晶體，其特徵在於在彼此經由該等第三絕緣層(15b)中之一絕緣層而面對之每個該浮動閘極(FG1、FG2)以及該控制閘極(CG)之間的第一電容比上在彼此經由該等第二絕緣層(15a)中之一絕緣層而面對之浮動閘極(FG1、FG2)以及該突出部(13a)的側壁(13b)與該等源極/汲極區域(BL1、BL2)中之一區域之間的第二電容之一個比率是0.35或是更小。

4. 一種電晶體，其特徵在於包括：

一個具有一種導電度類型的半導體基板(13)，其係被形成有一個突出部(13a)，該突出部(13a)係具有一對彼此面對的側壁(13b)；

一第一絕緣層(15c)，其係被形成在該突出部(13a)的一個頂端(13c)之上；

一對具有相反導電度類型的源極/汲極區域(BL1、BL2)，其係被形成在該突出部(13a)的兩側之半導體基板(13)的表面之上；

第二絕緣層(15a)，其係分別覆蓋該對側壁(13b)中之

一側壁以及該等源極/汲極區域(BL1、BL2)中之一區域；

一對浮動閘極(FG1、FG2)，其係分別被形成在該突出部(13a)的該對側壁(13b)之上，並且經由個別的第二絕緣層(15a)而分別面對該等側壁(13b)以及源極/汲極區域(BL1、BL2)；

第三絕緣層(15b)，其係分別被形成在該等浮動閘極(FG1、FG2)中之一閘極之上；以及

一個控制閘極(CG)，其係經由該第三絕緣層(15b)而面對該對浮動閘極(FG1、FG2)並且經由該第一絕緣層(15c)而面對該突出部(13a)的頂端(13c)；

其中該對浮動閘極(FG1、FG2)中的每個閘極經由該等第三絕緣層(15b)中之一絕緣層而面對該控制閘極(CG)之表面係具有一個面積小於該等浮動閘極(FG1、FG2)經由該等第二絕緣層(15a)中之一絕緣層而面對該對源極/汲極區域(BL1、BL2)中之一區域的表面。

5. 根據申請專利範圍第4項之電晶體，其特徵在於該等浮動閘極(FG1、FG2)係分別具有一個實質L形的截面，該截面係在一個字母L之垂直的部份經由該等第二絕緣層(15a)中之一絕緣層而面對該突出部(13a)的側壁(13b)中之一側壁，並且其係在該字母L之水平的部份經由該第二絕緣層(15a)而面對該等源極/汲極區域(BL1、BL2)中之一區域。

6. 根據申請專利範圍第4或5項之電晶體，其特徵在於該等第三絕緣層(15b)以及第二絕緣層(15a)係分別包括

一藉由電漿氧化所形成的氧化矽層。

7. 根據申請專利範圍第 4 或 5 項之電晶體，其特徵在於在彼此經由該等第三絕緣層(15b)中之一絕緣層而面對之每個該浮動閘極(FG1、FG2)以及該控制閘極(CG)之間的第一電容比上在彼此經由該等第二絕緣層(15a)中之一絕緣層而面對之浮動閘極(FG1、FG2)以及該突出部(13a)的側壁(13b)與該等源極/汲極區域(BL1、BL2)中之一區域之間的第二電容之一個比率是 0.20 或是更小。

8. 根據申請專利範圍第 1、2、4 或 5 項之電晶體，其特徵在於每個該浮動閘極(FG1、FG2)都未覆蓋該突出部(13a)的頂端(13c)。

9. 根據申請專利範圍第 1、2、4 或 5 項之電晶體，其特徵在於每個該浮動閘極(FG1、FG2)係部分地突出於該突出部(13a)的頂端(13c)之上。

10. 根據申請專利範圍第 1、2、4 或 5 項之電晶體，其特徵在於該等浮動閘極(FG1、FG2)經由該第三絕緣層(15b)而面對該控制閘極(CG)的表面係藉由 CMP(化學機械研磨)而被平坦化。

11. 根據申請專利範圍第 1、2、4 或 5 項之電晶體，其特徵在於該電晶體係構成複數個被配置在一個行的方向以及一個列的方向上之電晶體，此係構成一個半導體記憶體。

12. 根據申請專利範圍第 11 項之電晶體，其特徵在於彼此在行的方向上鄰接之電晶體係共用該等源極/汲極區

域(BL1、BL2)，並且彼此在列的方向上鄰接之電晶體係共用該控制閘極(CG)以及在該等電晶體之間的源極/汲極區域(BL1、BL2)。

13. 根據申請專利範圍第 11 項之電晶體，其特徵在於該些電晶體係被配置在一個連接該等源極/汲極區域(BL1、BL2)的方向上，並且一第四絕緣層(15f)係被形成在彼此鄰接的電晶體中之一電晶體的浮動閘極(FG1、FG2)以及另一電晶體的浮動閘極(FG1、FG2)之間，藉以電氣地隔離該控制閘極(CG)以及該等源極/汲極區域(BL1、BL2)。

14. 一種用於製造一個電晶體之方法，其特徵在於包括步驟有：

(a) 在一個具有一種導電度類型的半導體基板(13)之一個主要的表面中形成複數個溝槽(28)，藉以形成複數個突出部(13a)，該些突出部(13a)係分別具有一對彼此面對的側壁(13b)；

(b) 植入一種具有相反導電度類型的雜質在該複數個溝槽(28)的底部中，藉以在該些底部上形成源極/汲極區域(BL1、BL2)；

(c) 在該等源極/汲極區域(BL1、BL2)以及每個突出部(13a)的側壁(13b)之上形成第二絕緣層(15a)；

(d) 在該些突出部(13a)的側壁(13b)以及源極/汲極區域(BL1、BL2)之上，經由該些第二絕緣層(15a)來形成浮動閘極(FG1、FG2)，每個浮動閘極(FG1、FG2)係分別具有一個實質矩形的截面；

(e) 在彼此鄰接的突出部(13a)中之一突出部的側壁(13b)中之一側壁之上所形成的浮動閘極(FG1、FG2)以及在另一突出部(13a)的側壁(13b)之上所形成的浮動閘極(FG1、FG2)之間形成一第四絕緣層(15f)；以及

(f) 在該第四絕緣層(15f)以及浮動閘極(FG1、FG2)之上形成第三絕緣層(15b)，並且在該些第三絕緣層(15b)之上形成一個控制閘極(CG)。

15. 根據申請專利範圍第 14 項之方法，其特徵在於步驟(f)係包括藉由 CMP 來平坦化該等浮動閘極(FG1、FG2)面對該控制閘極(CG)的表面，並且接著形成該些第三絕緣層(15b)。

16. 一種用於製造一個半導體記憶體之方法，其特徵在於包括步驟有：

(a) 在一個具有一種導電度類型的半導體基板(13)之一個主要的表面中形成複數個溝槽(28)，藉以形成複數個突出部(13a)，該些突出部(13a)係分別具有一對彼此面對的側壁(13b)；

(b) 植入一種具有相反導電度類型的雜質在該複數個溝槽的底部中，藉以在該些底部上形成源極/汲極區域(BL1、BL2)；

(c) 在該等源極/汲極區域(BL1、BL2)以及每個突出部(13a)的側壁(13b)之上形成第二絕緣層(15a)；

(d) 在該些突出部(13a)的側壁(13b)以及源極/汲極區域(BL1、BL2)之上，經由該些第二絕緣層(15a)來形成浮動

閘極(FG1、FG2)，每個浮動閘極(FG1、FG2)係分別具有一個實質L形的截面；

(e)在彼此鄰接的突出部(13a)中之一突出部的側壁(13b)中之一側壁之上所形成的浮動閘極(FG1、FG2)以及在另一突出部(13a)的側壁(13b)之上所形成的浮動閘極(FG1、FG2)之間形成一第四絕緣層(15f)；以及

(f)在該第四絕緣層(15f)以及浮動閘極(FG1、FG2)之上形成第三絕緣層(15b)，並且在該些第三絕緣層(15b)之上形成一個控制閘極(CG)。

17.根據申請專利範圍第16項之方法，其特徵在於步驟(f)係包括藉由CMP來平坦化該等浮動閘極(FG1、FG2)以及第四絕緣層(15f)面對該控制閘極(CG)的表面，並且接著形成該第三絕緣層(15b)。

18.一種半導體元件，其特徵在於包括：  
具有一種導電度類型的半導體基板(13)；  
一第一絕緣層(15a)，其係被形成在該半導體基板(13)之上；

一個第一電極(FG1、FG2)，其係經由該第一絕緣層(15a)，藉由一種半導體的使用而被形成；

一第二絕緣層(15b)，其係被形成在該第一電極之上；  
以及

一個第二電極，其係經由該第二絕緣層(15b)，藉由一種半導體的使用而被形成在該第一電極之上；

該第一電極經由該第二絕緣層(15b)而面對該第二電極

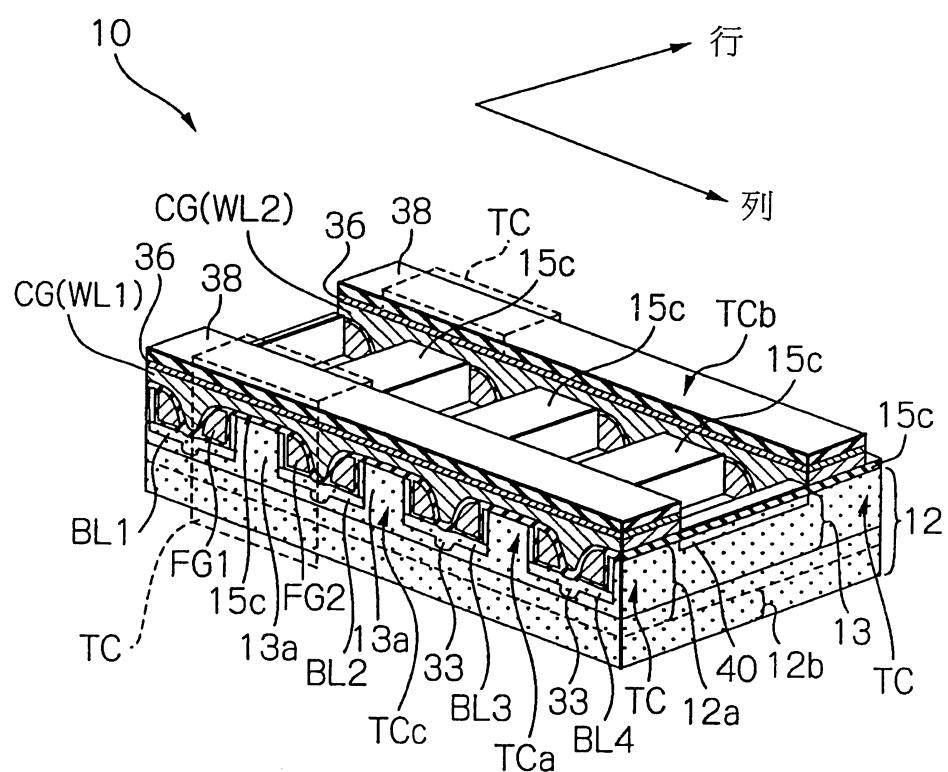
的一個表面係藉由 CMP 而被平坦化。

**拾壹、圖式：**

如次頁

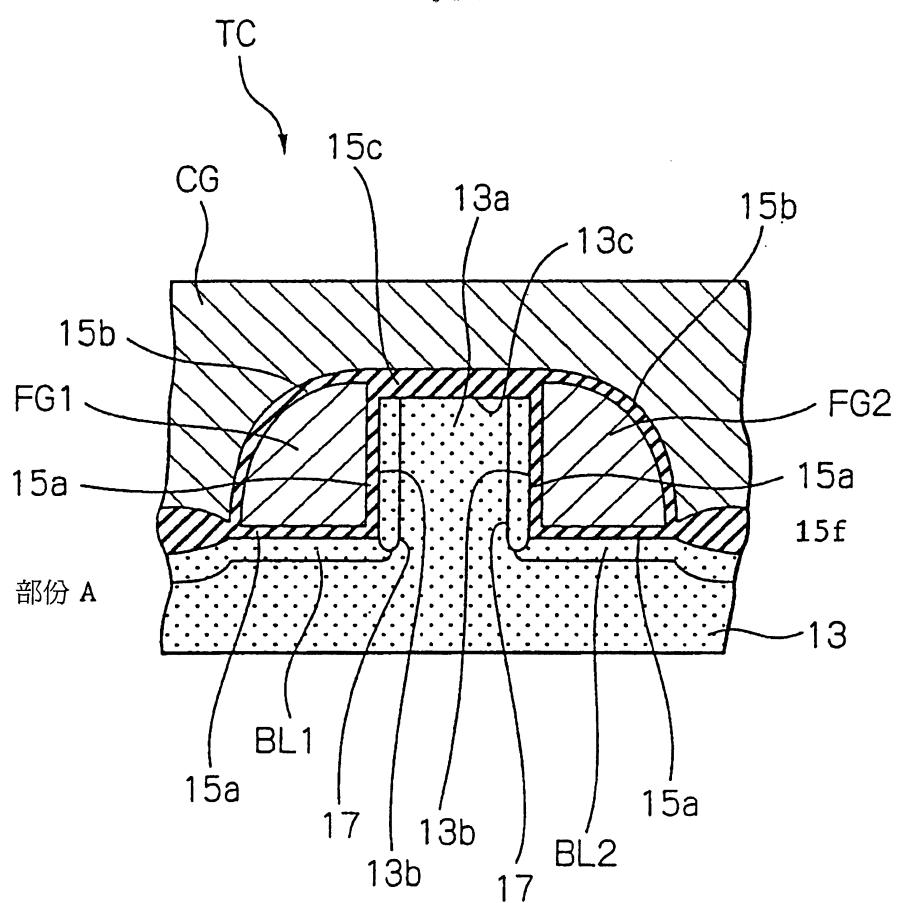
1/  
64

## 第 1 圖

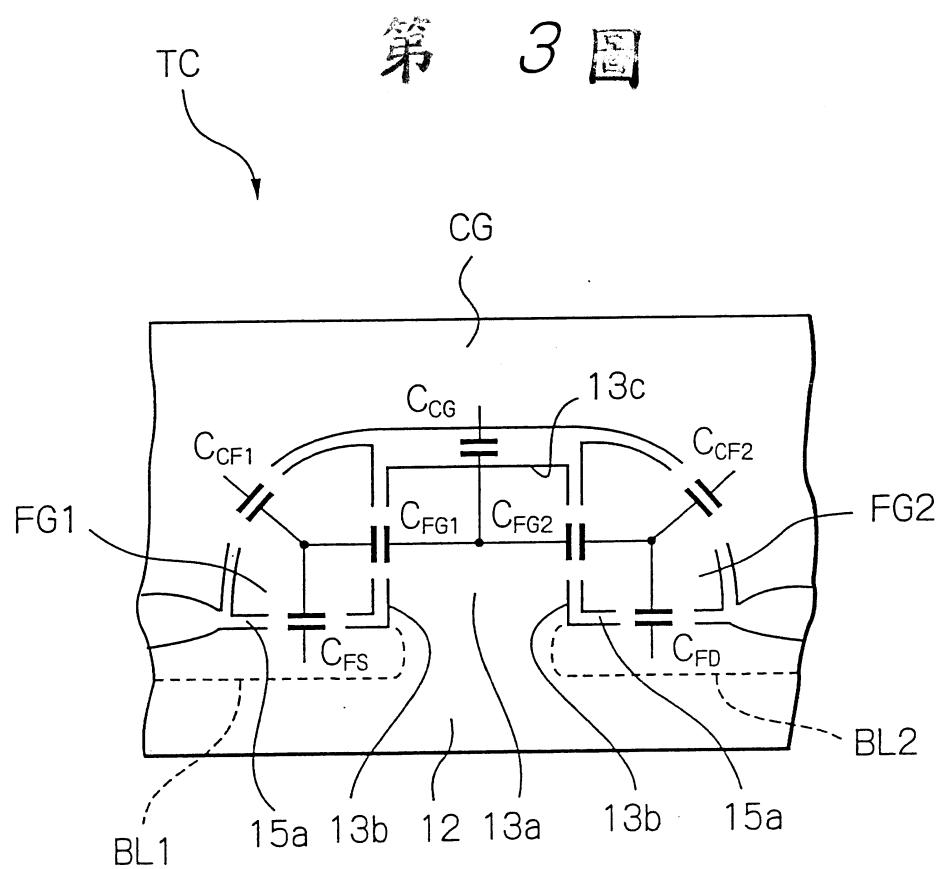


2/64

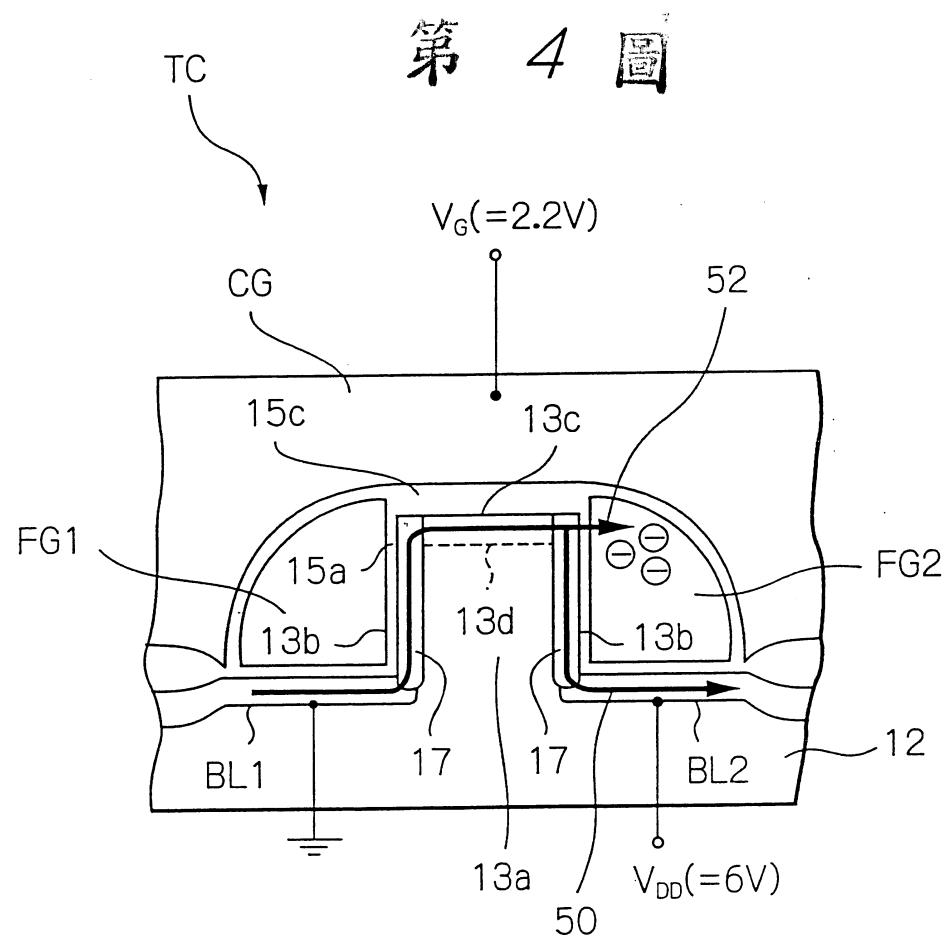
## 第 2 図



3/64



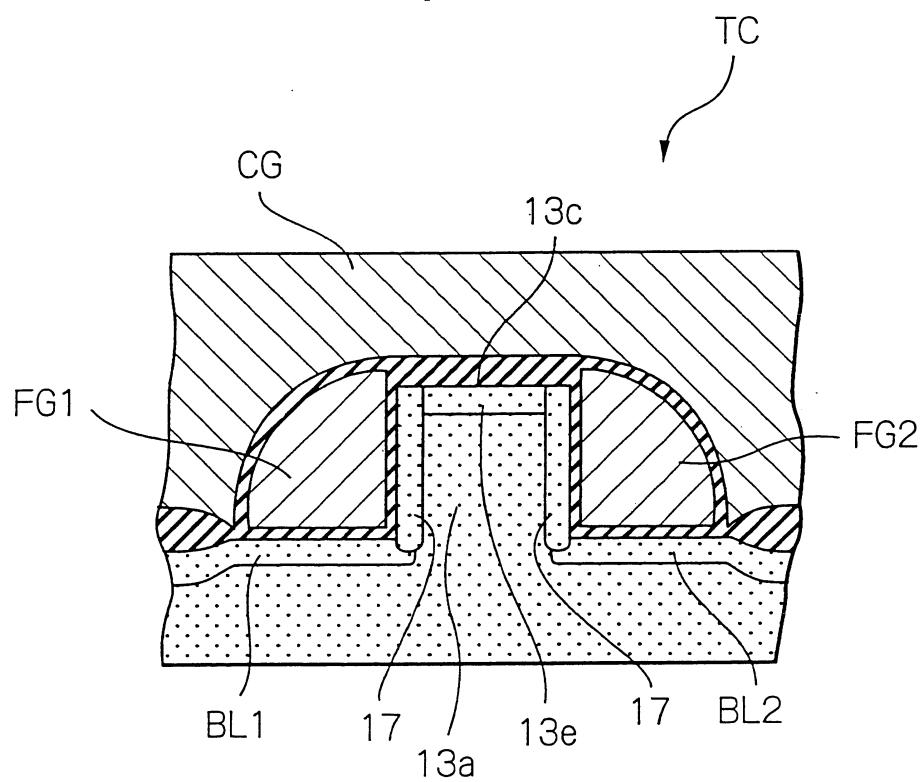
4/64



200417002

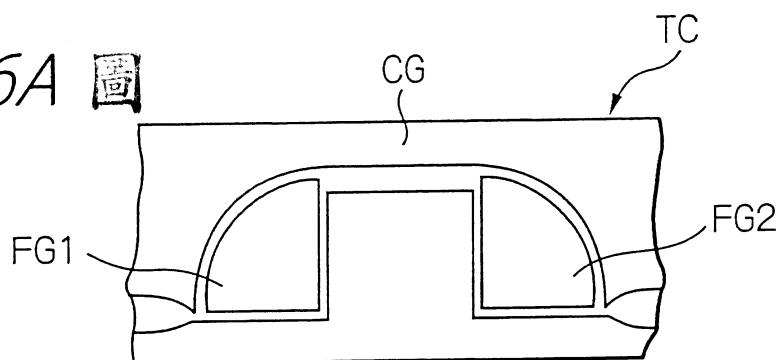
5/  
64

第 5 圖

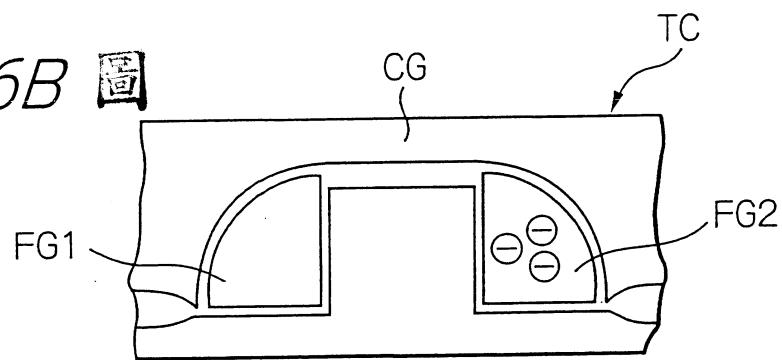


6/64

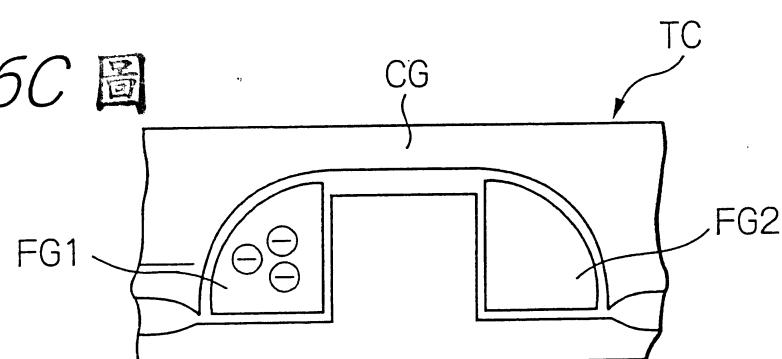
第 6A 圖



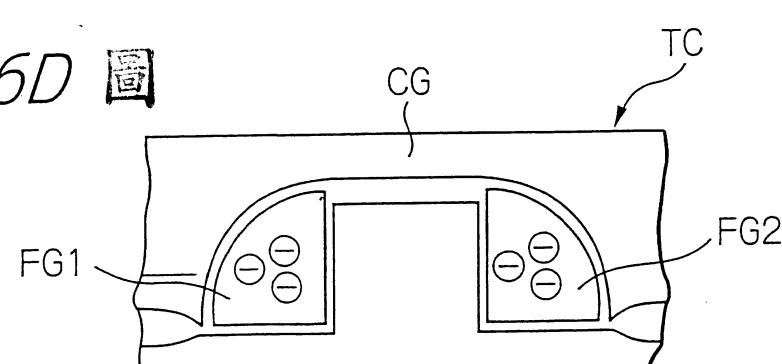
第 6B 圖



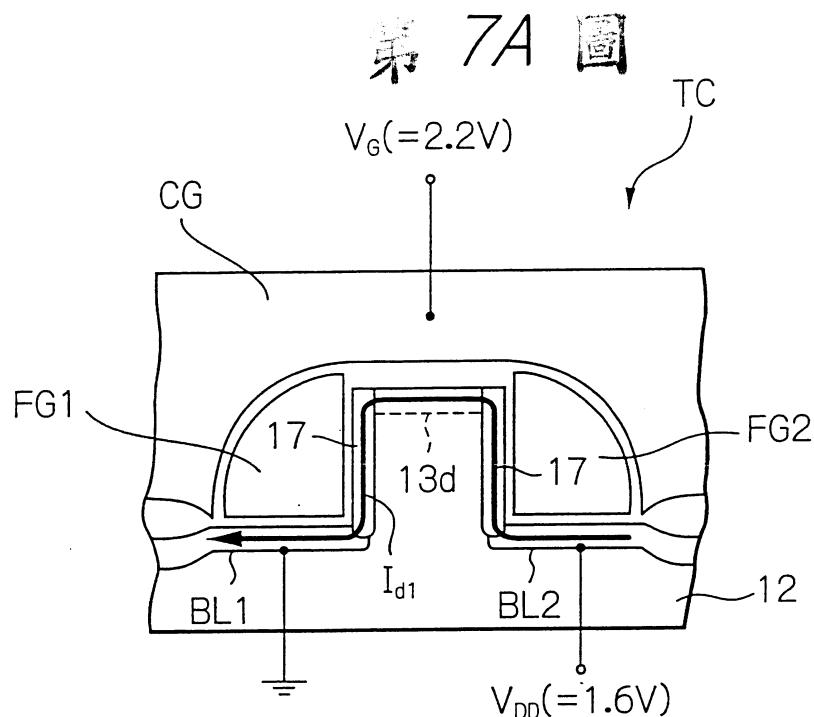
第 6C 圖



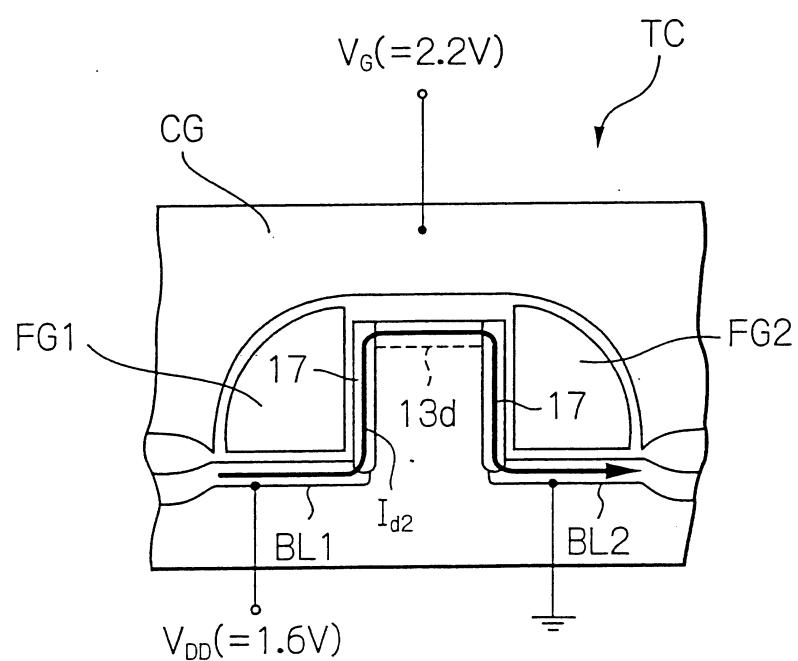
第 6D 圖



7/64

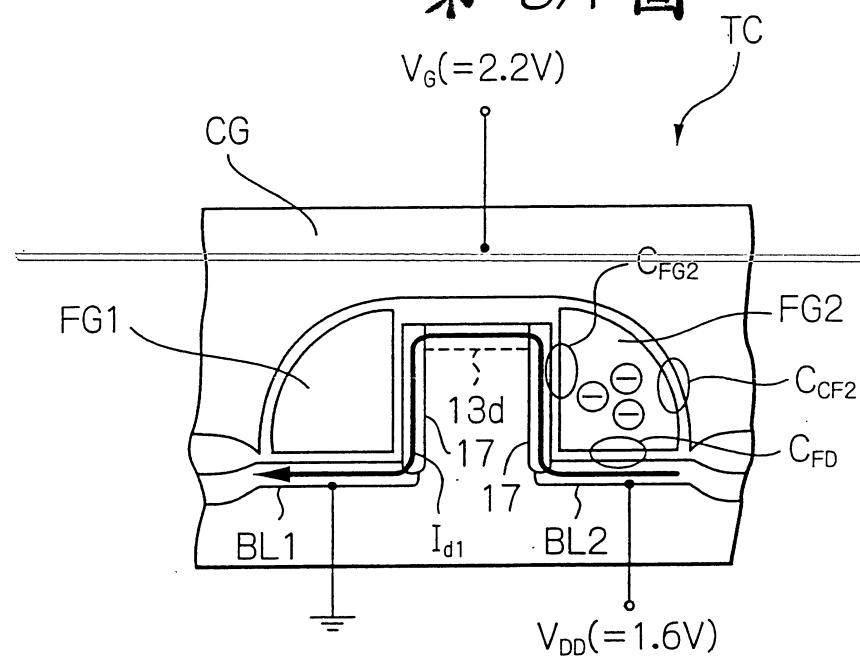


第 7B 図

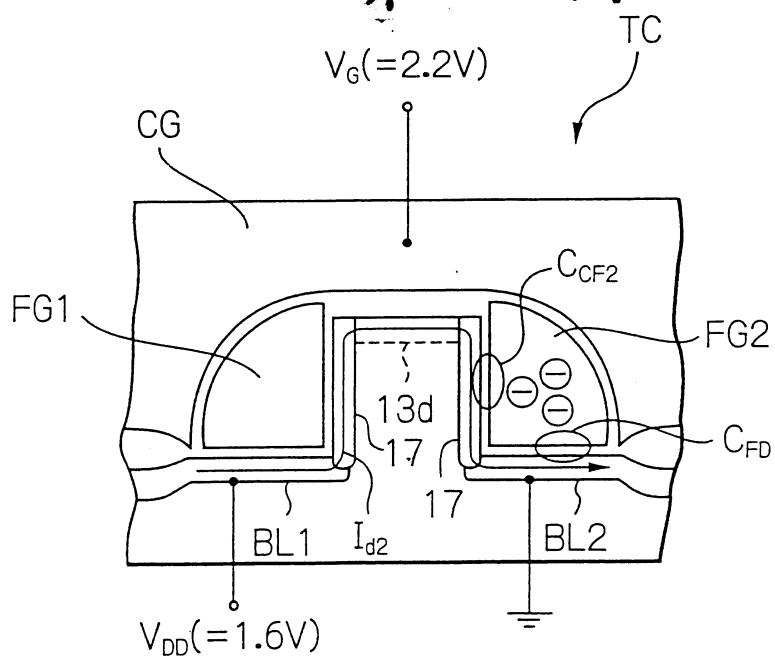


8/  
64

第 8A 圖

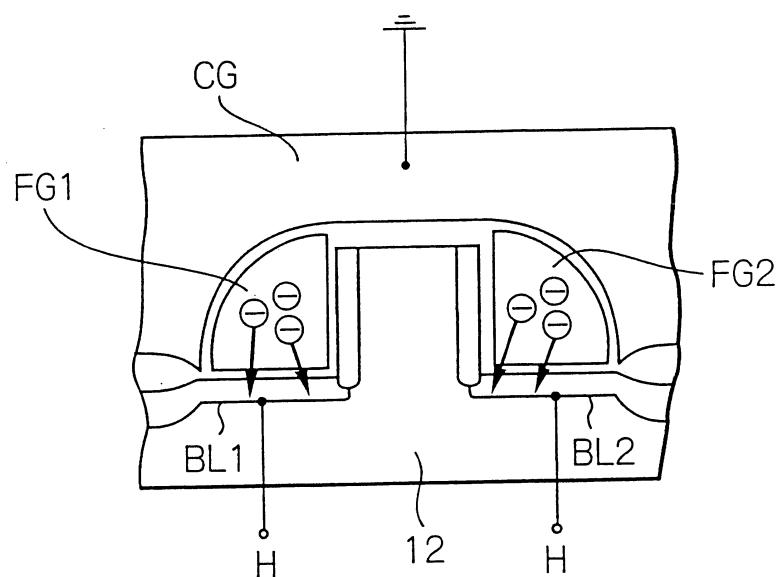


第 8B 圖



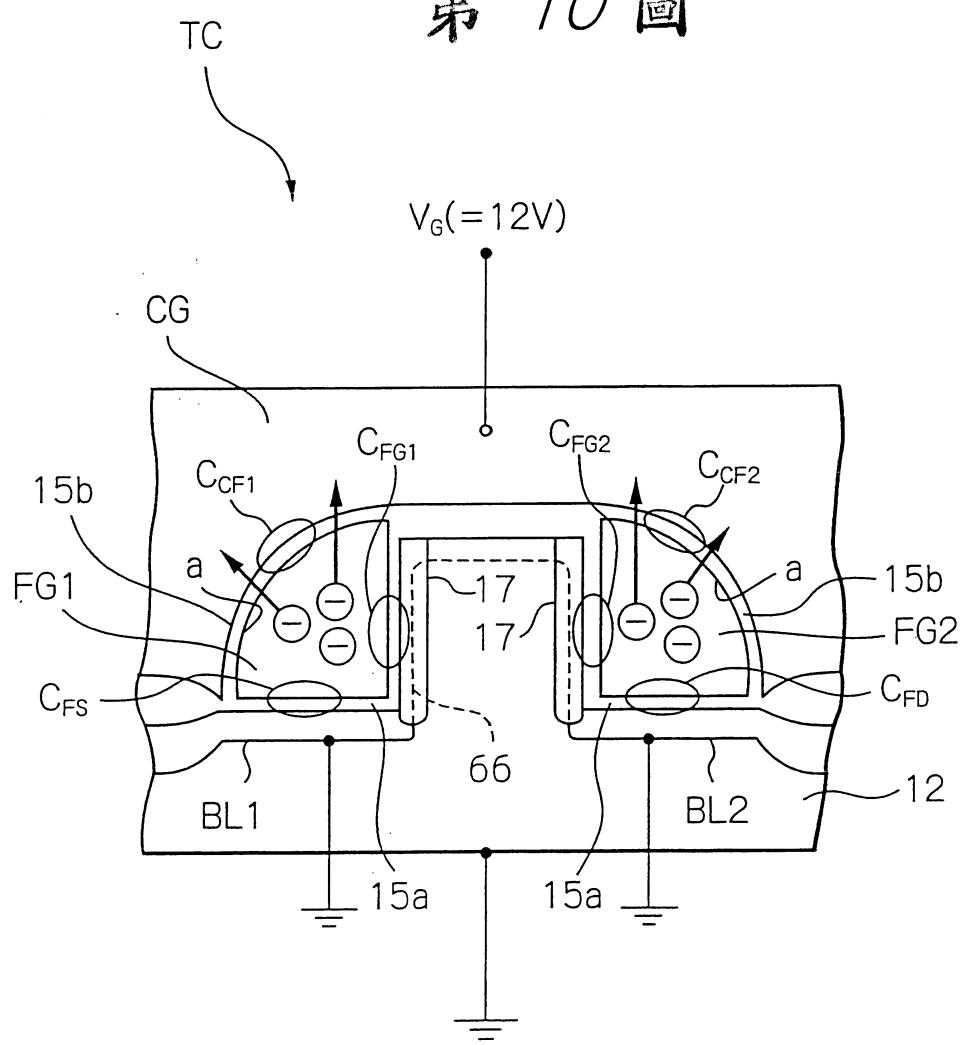
9/  
64

第 9 圖



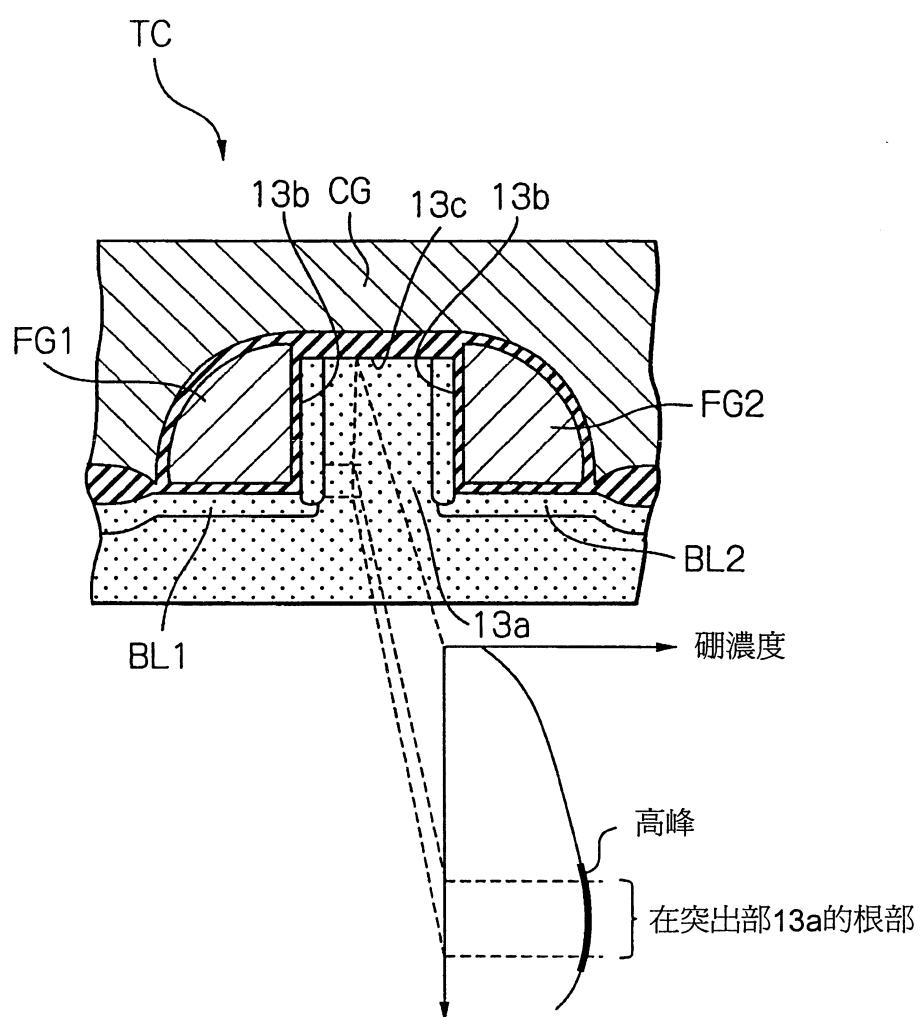
10/  
64

## 第 10 圖



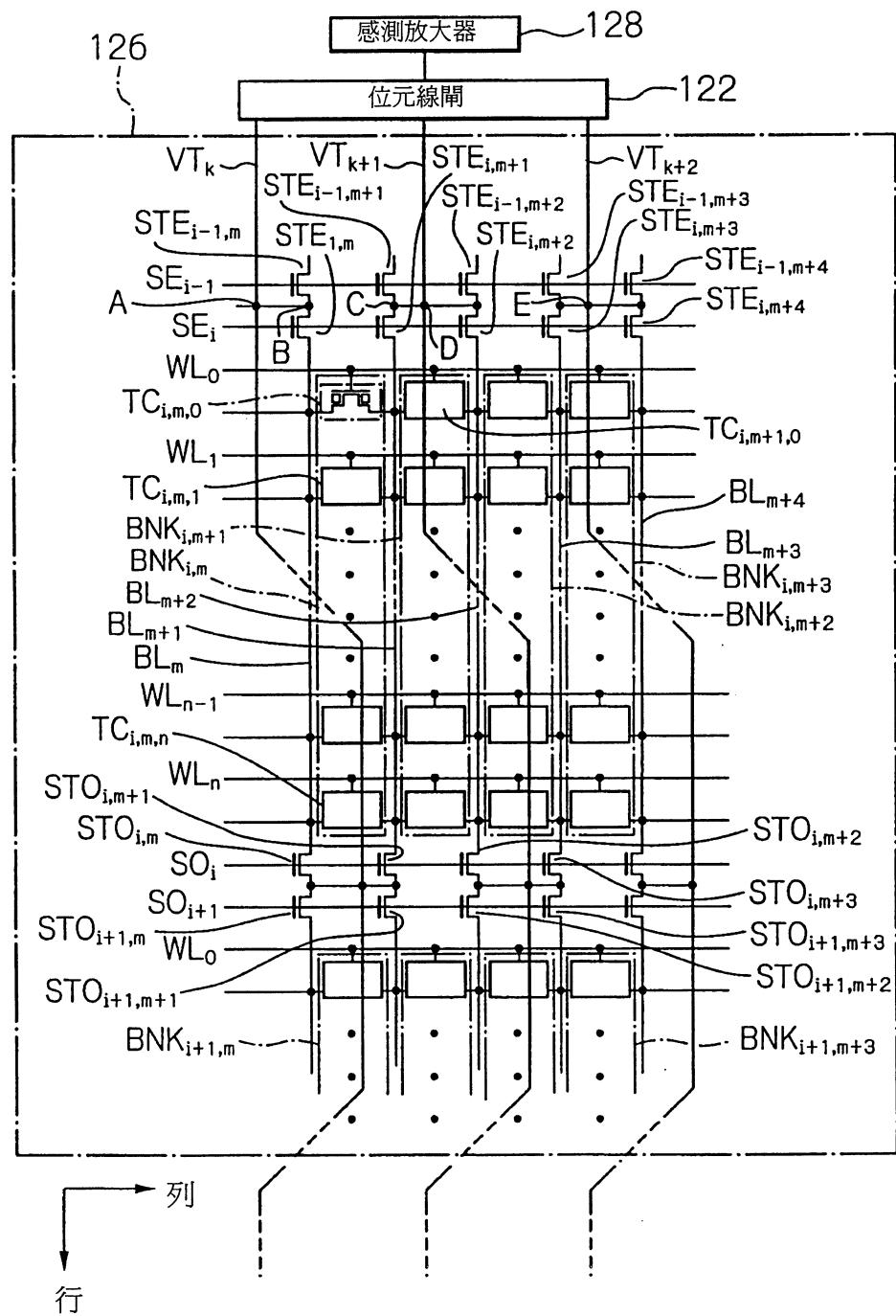
11/64

## 第 11 圖



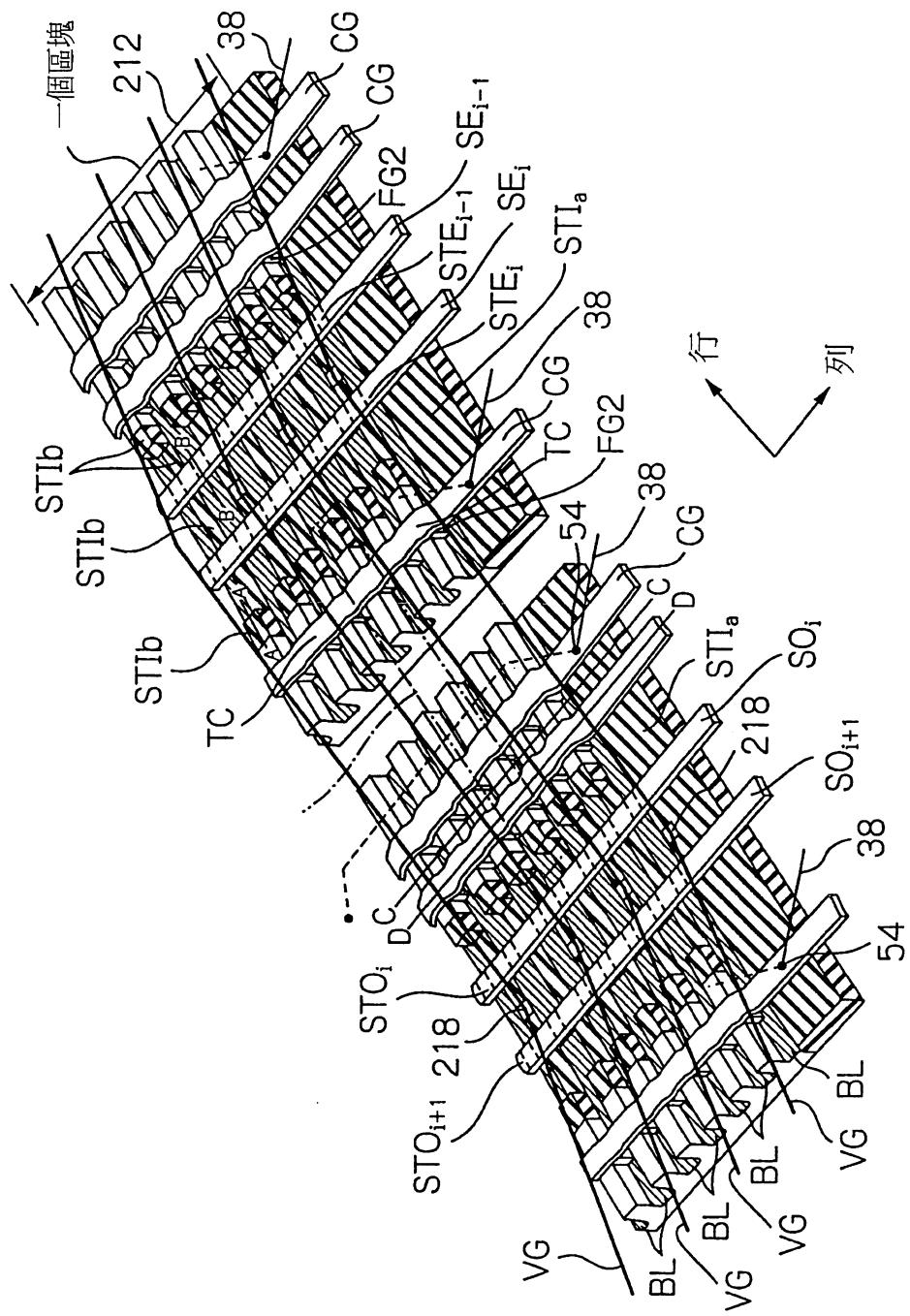
12/64

## 第 12 圖



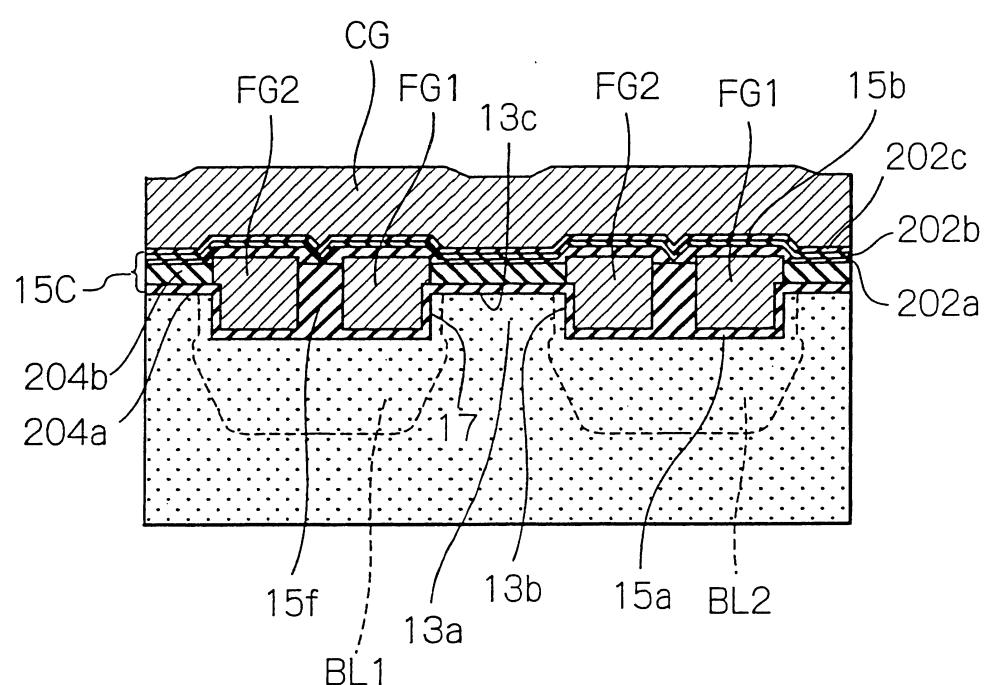
13  
64

## 第 13 圖



14/  
64

## 第 14 圖

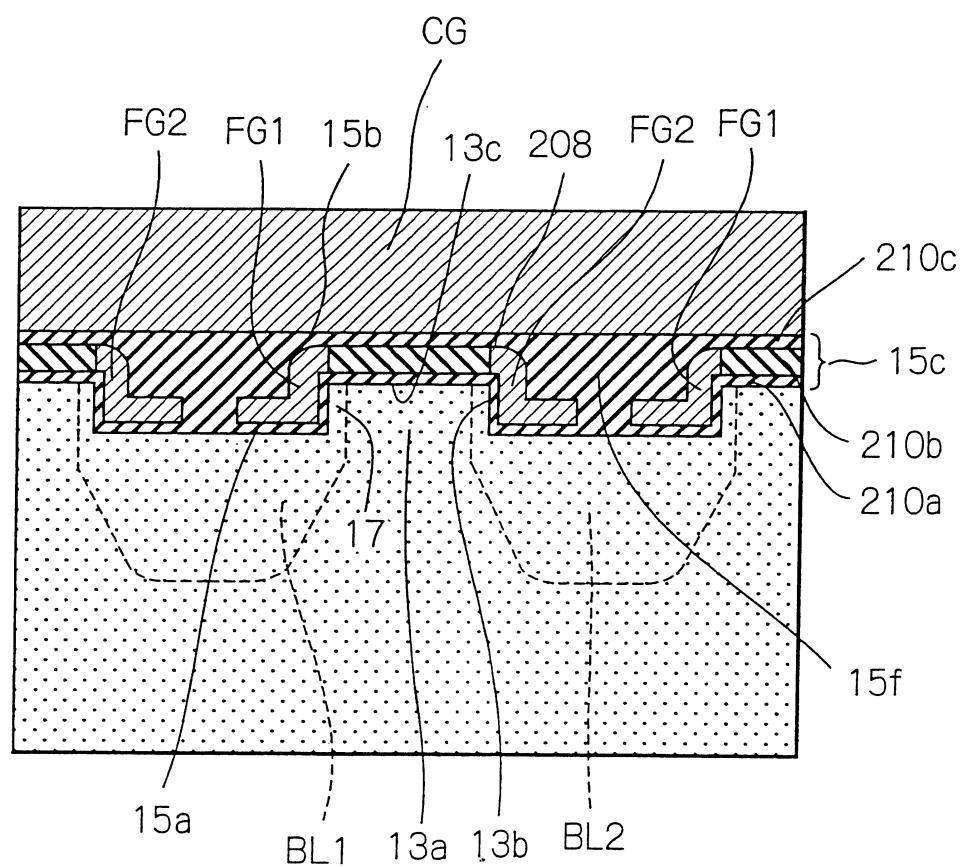
200

200417002

15/  
64

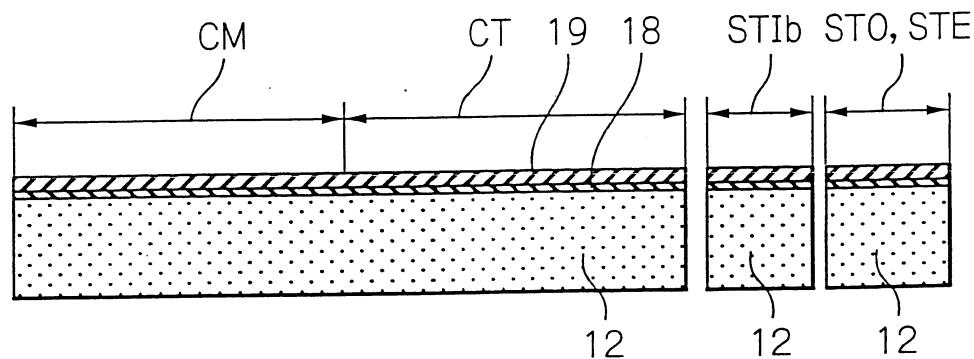
第 15 圖

206

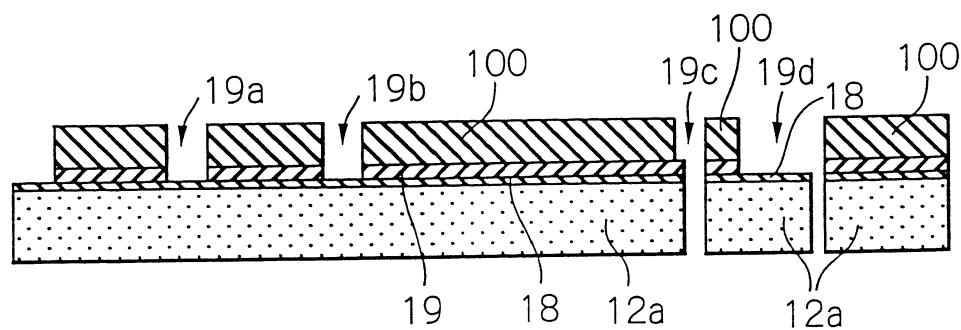


16/  
64

第 16A 圖

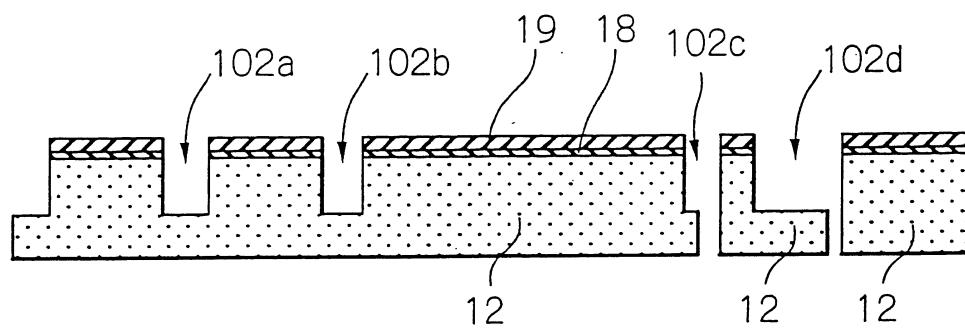


第 16B 圖

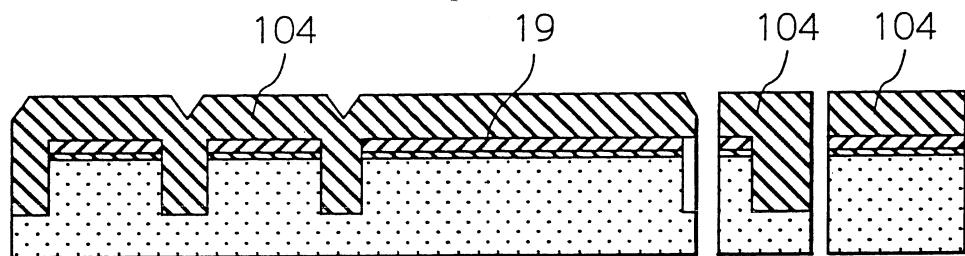


17/  
64

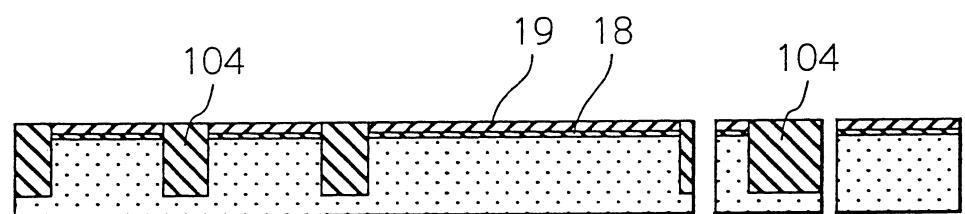
第 17A 圖



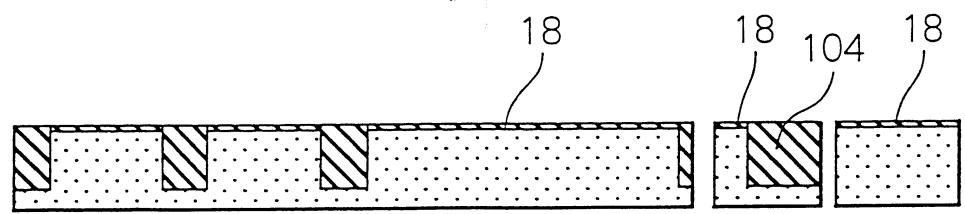
第 17B 圖



第 18A 圖

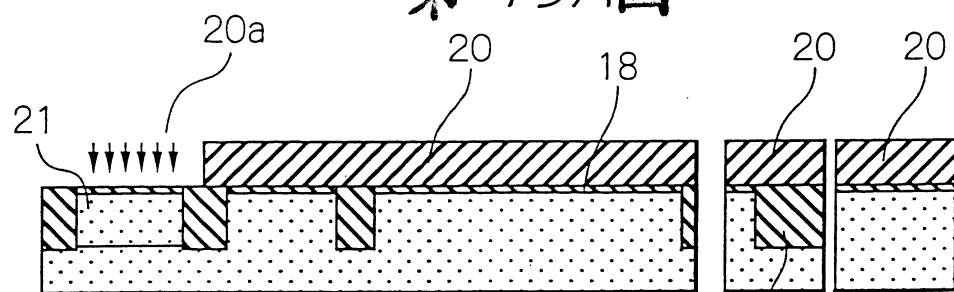


第 18B 圖

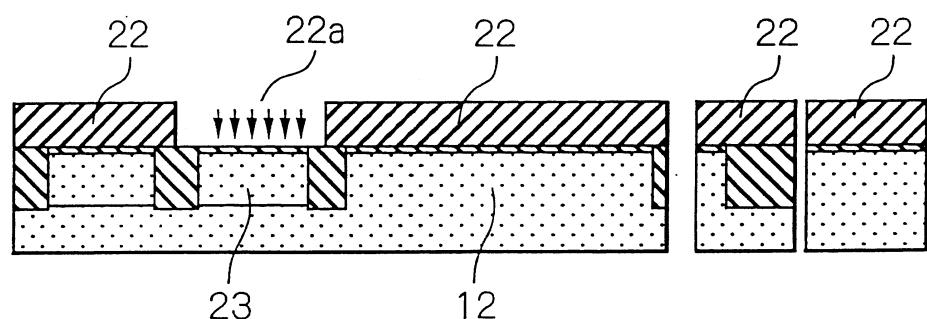


18/  
64

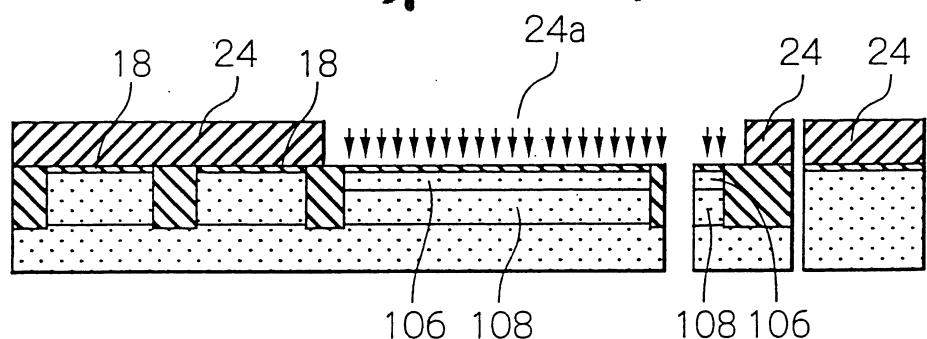
第 19A 圖



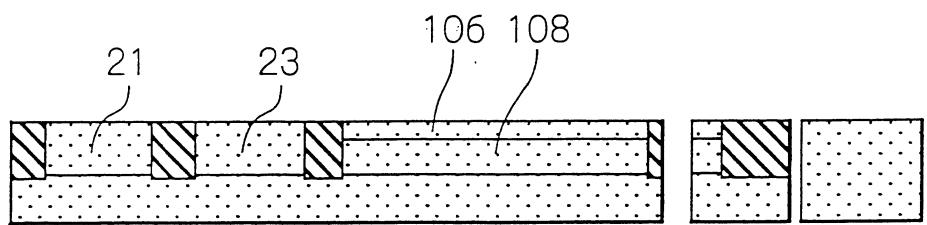
第 19B 圖



第 20A 圖

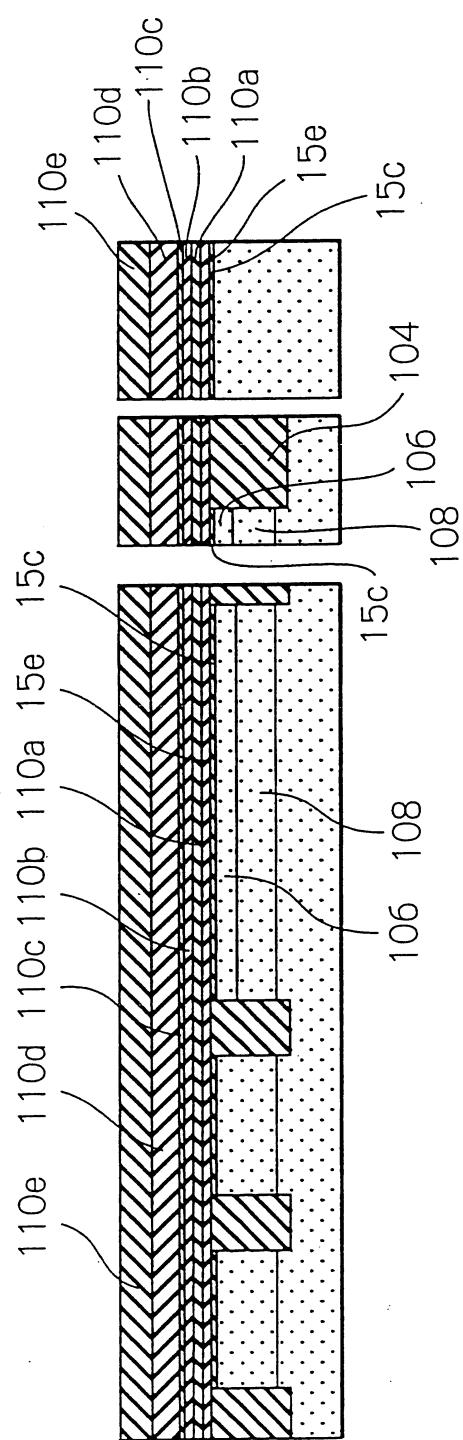


第 20B 圖

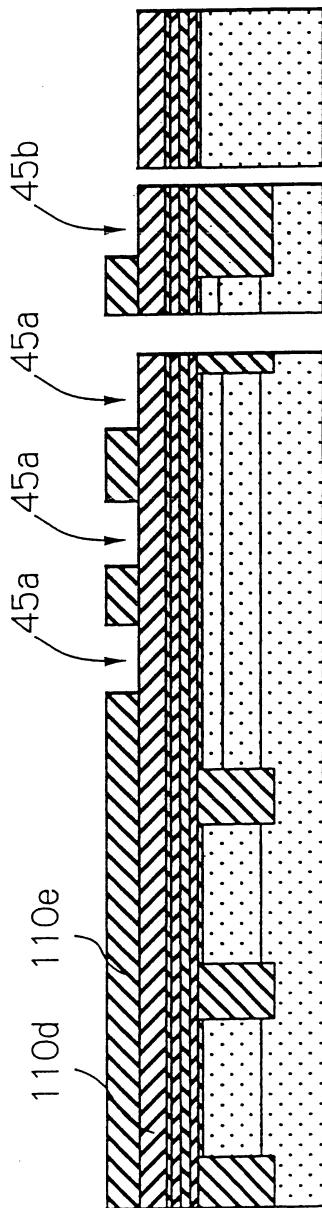


$$\frac{19}{64}$$

第 21A 圖

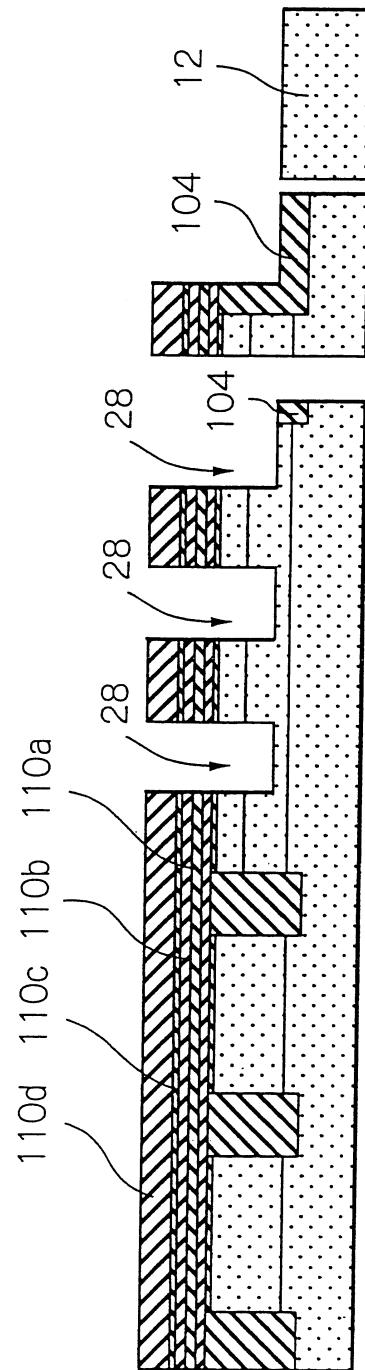


第 21B 圖

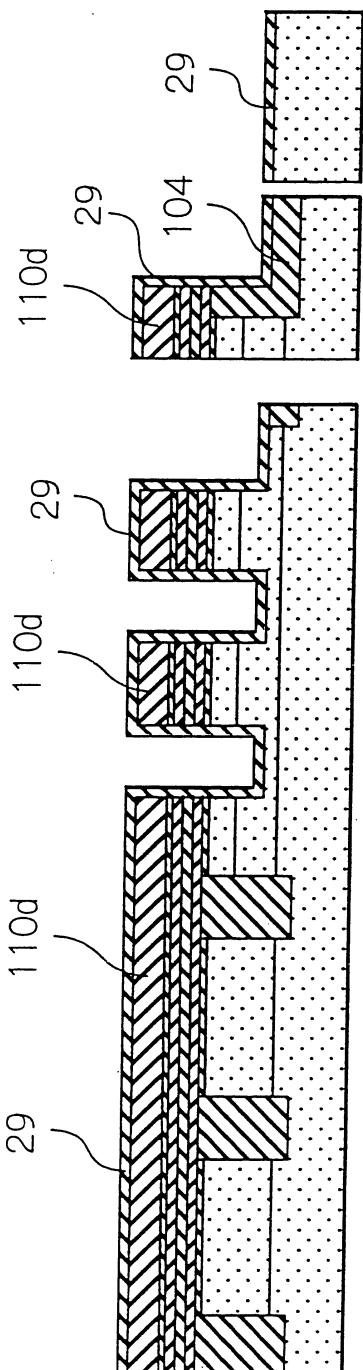


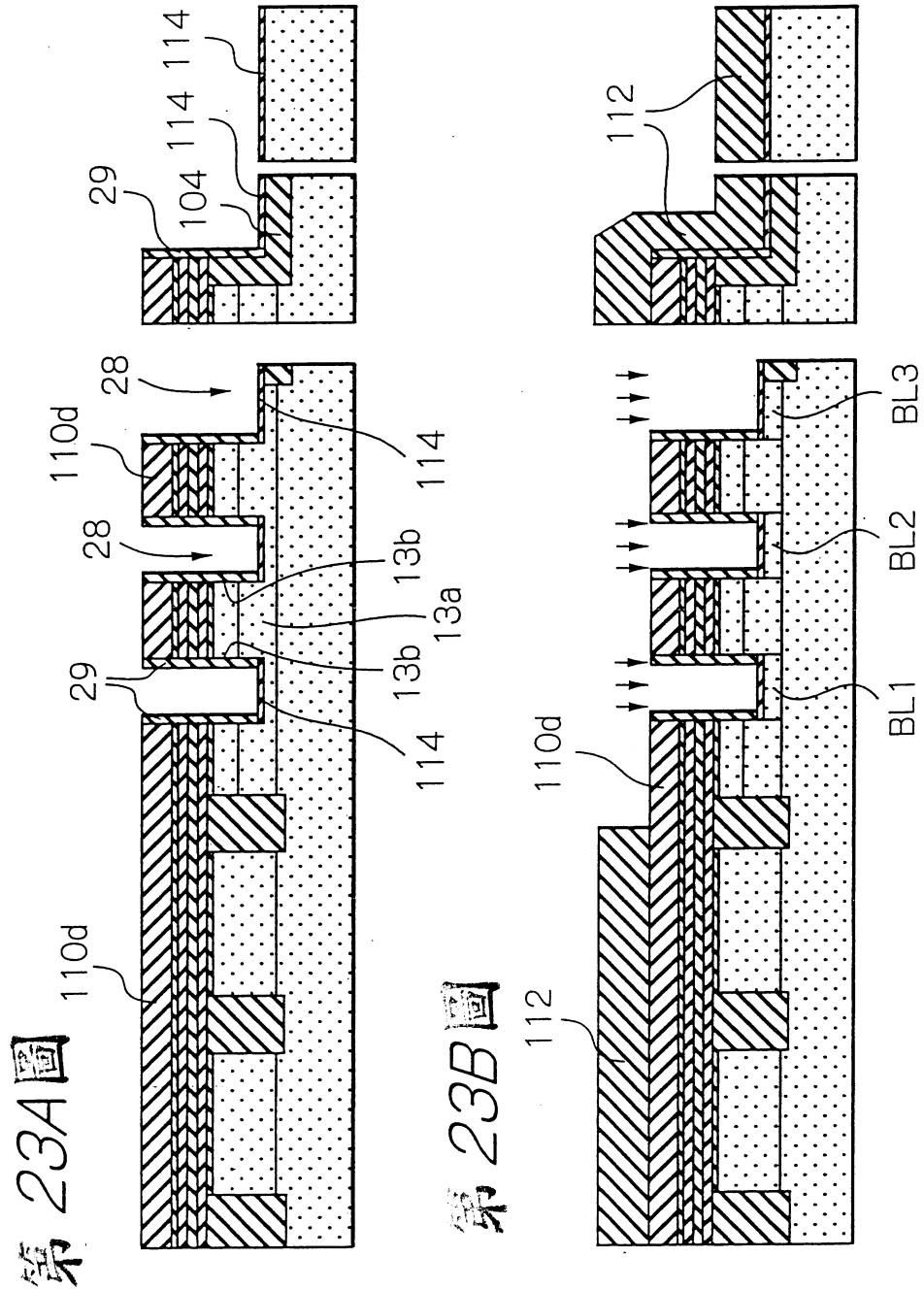
20  
64

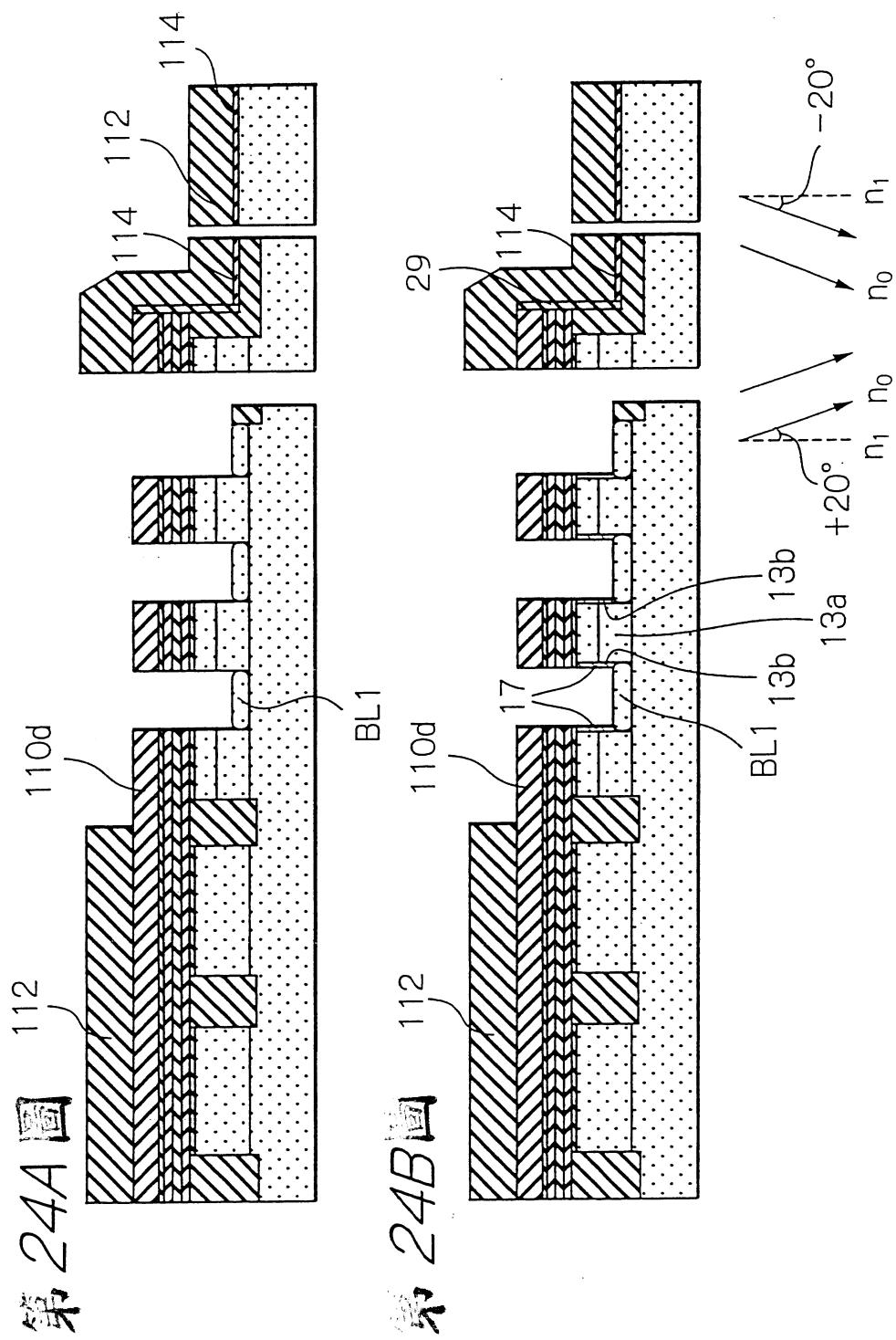
第 22A圖

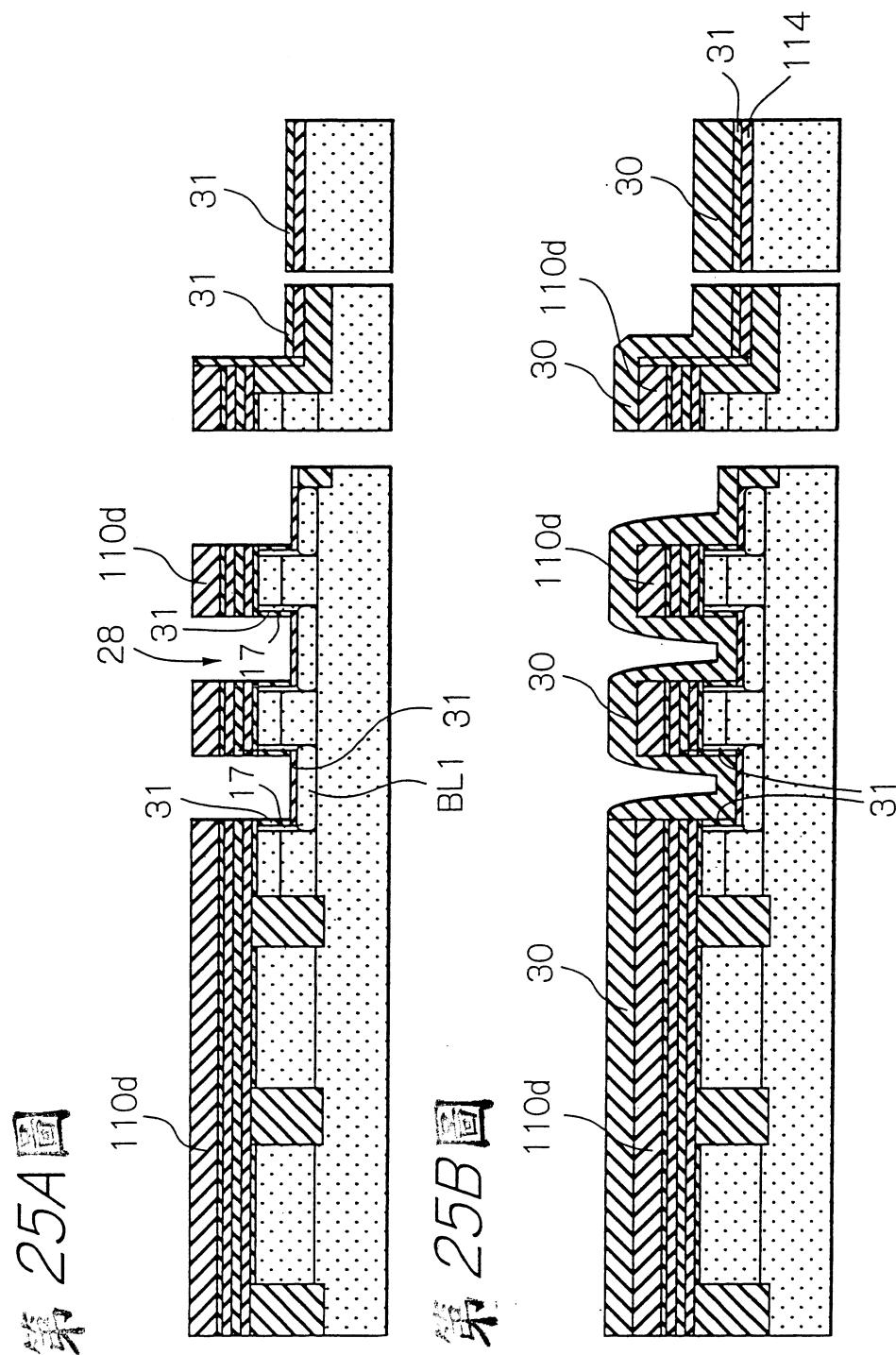


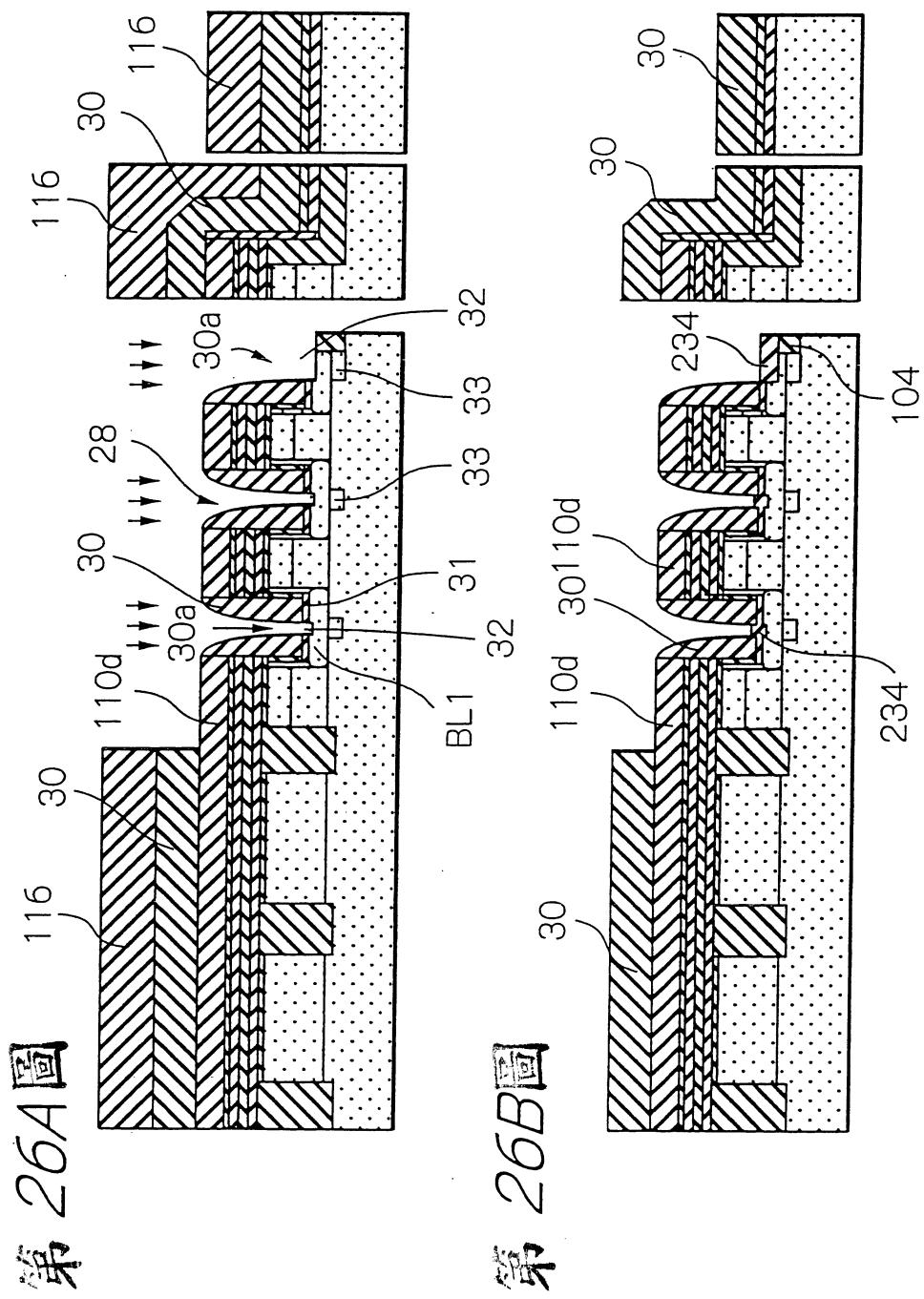
第 22B圖





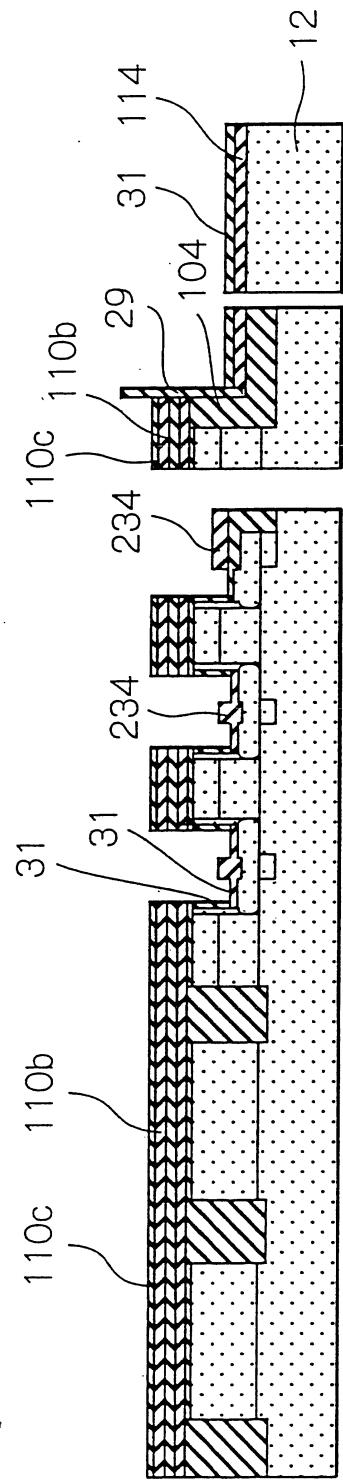
22  
64

23  
64

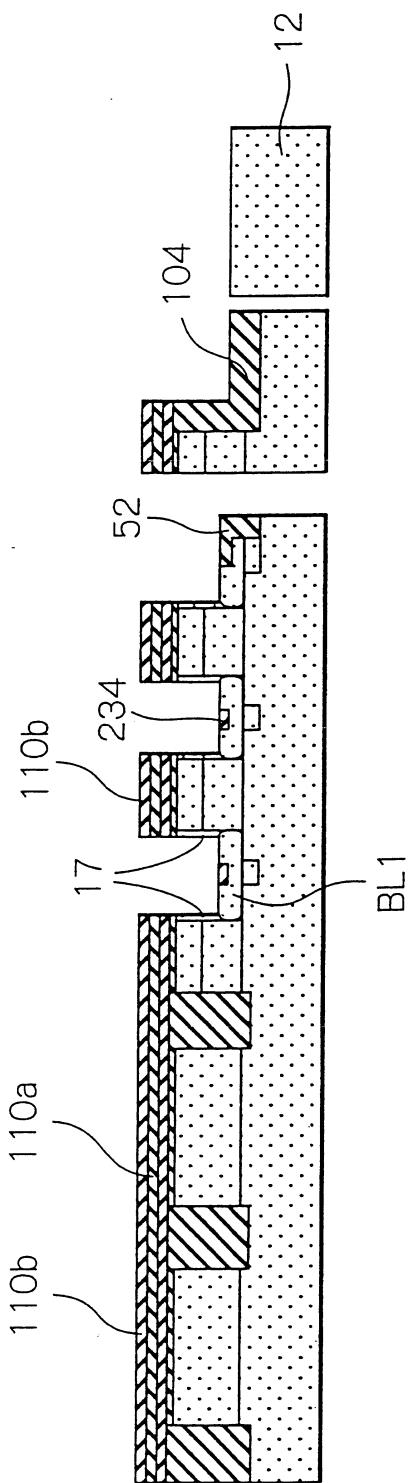
24  
64

25  
64

第 27A圖

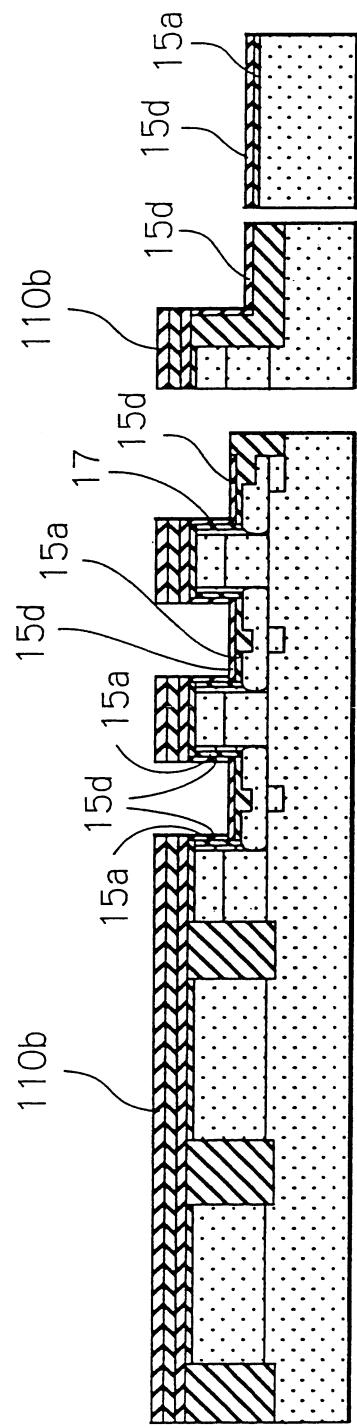


第 27B圖

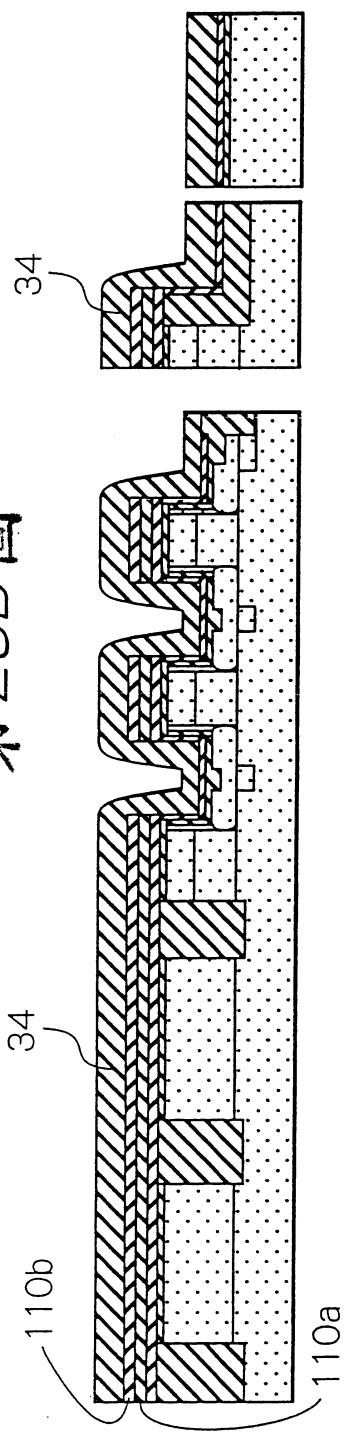


26  
64

第28A圖

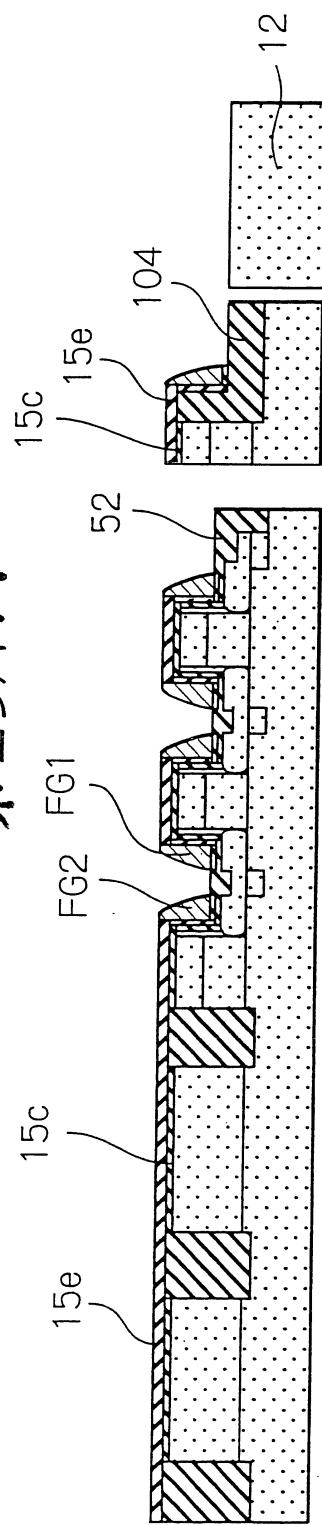


第28B圖

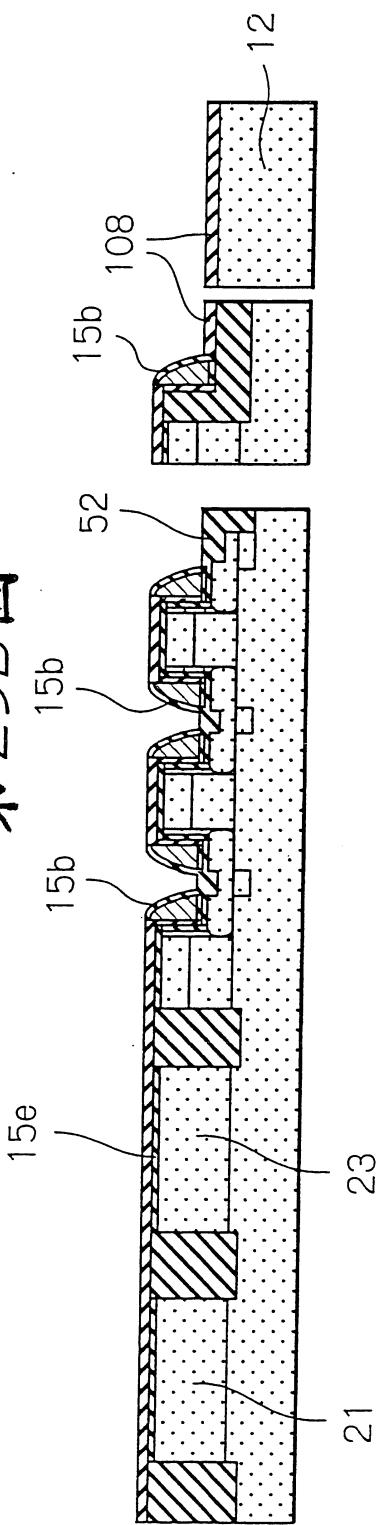


27/64

第29A圖

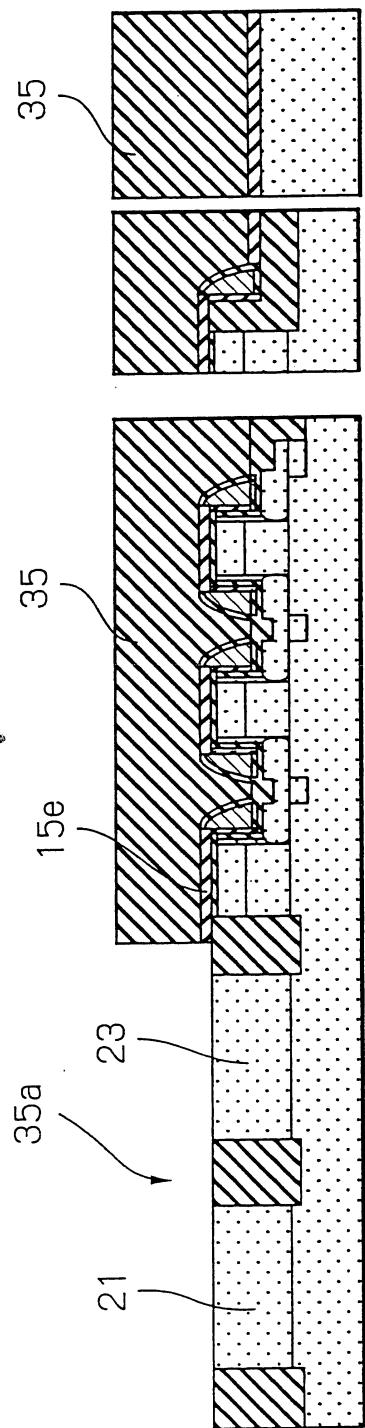


第29B圖

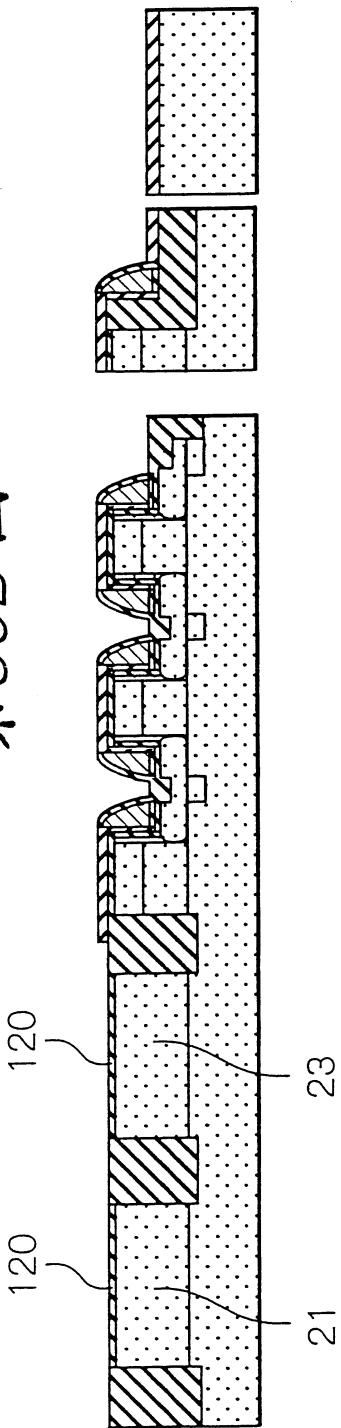


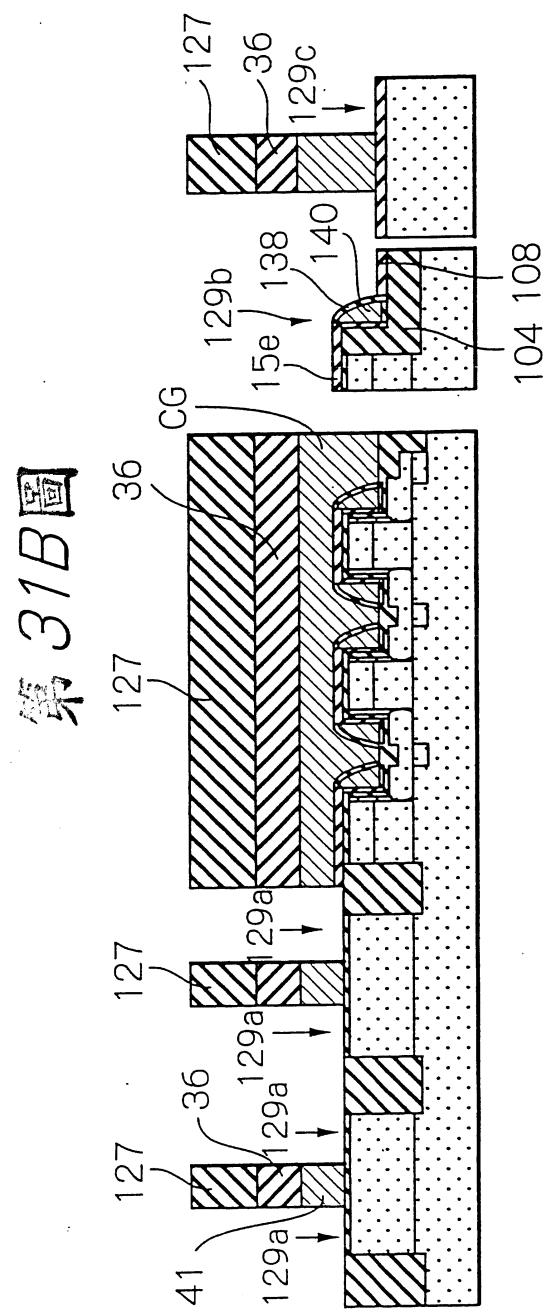
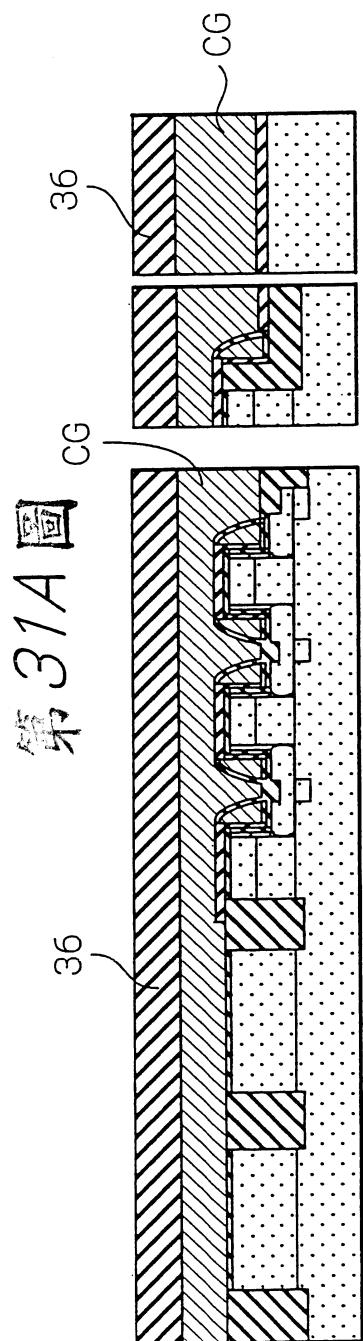
28  
64

第30A圖

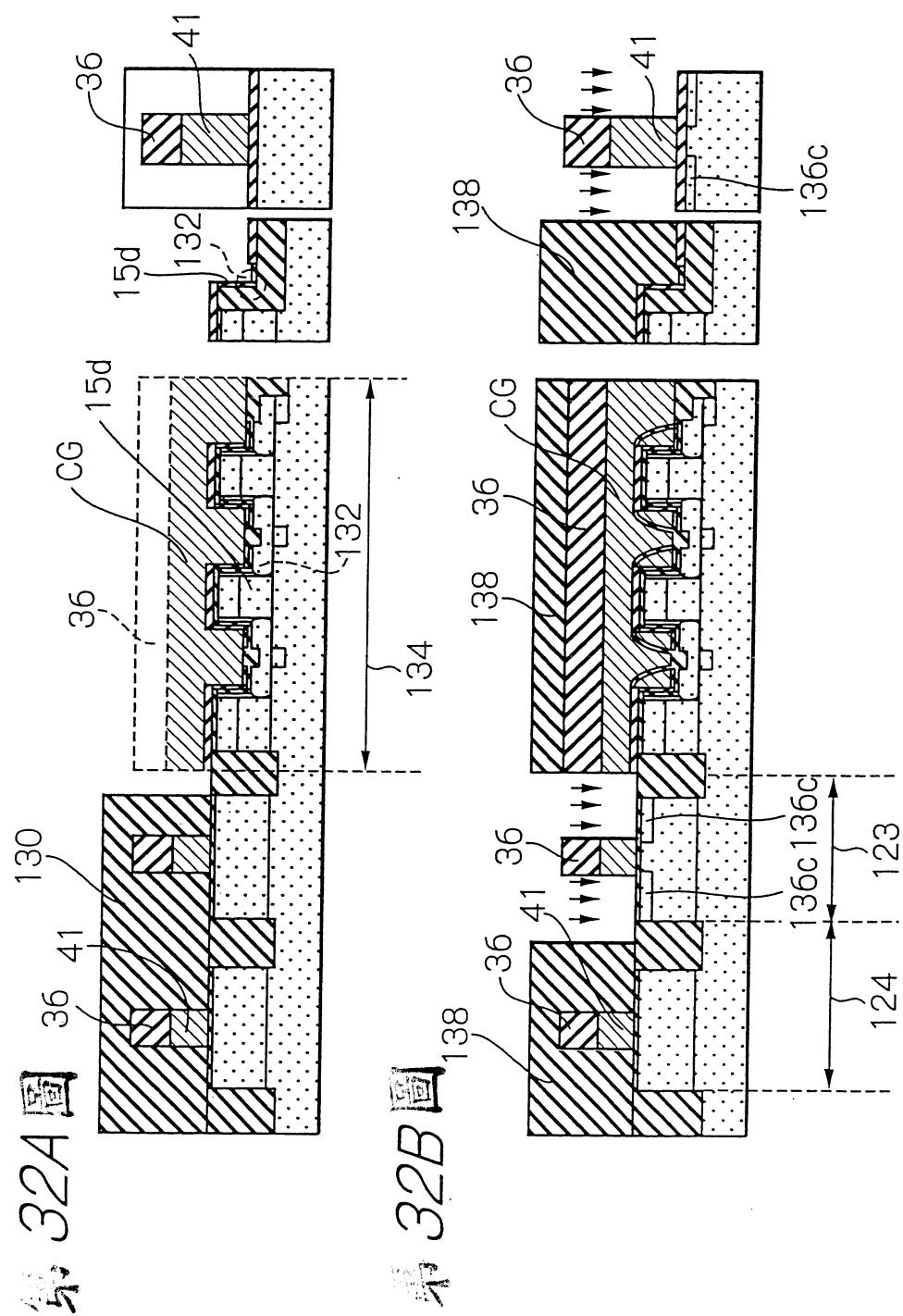


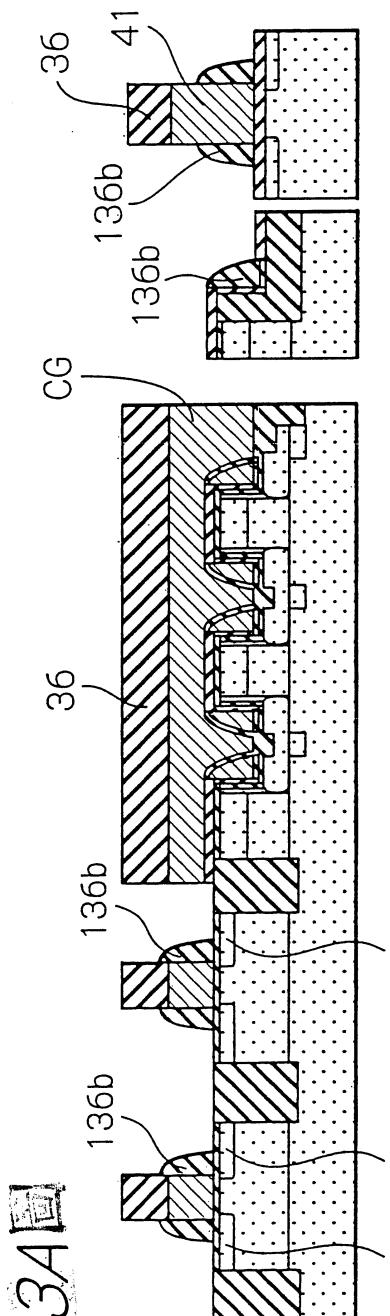
第30B圖



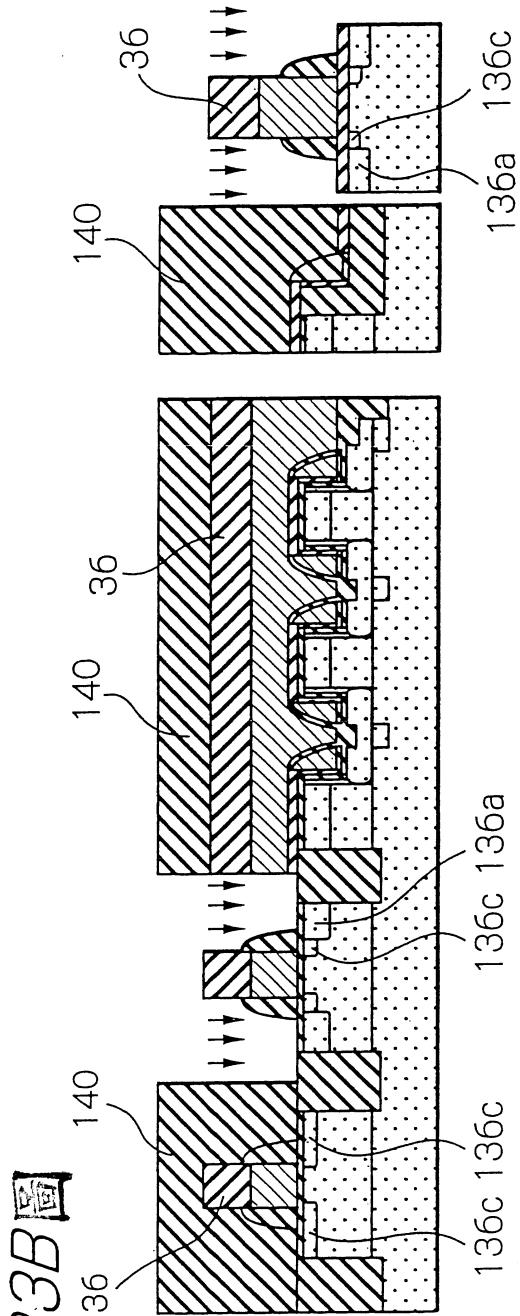
29  
/ 64

$\frac{30}{64}$



31  
64

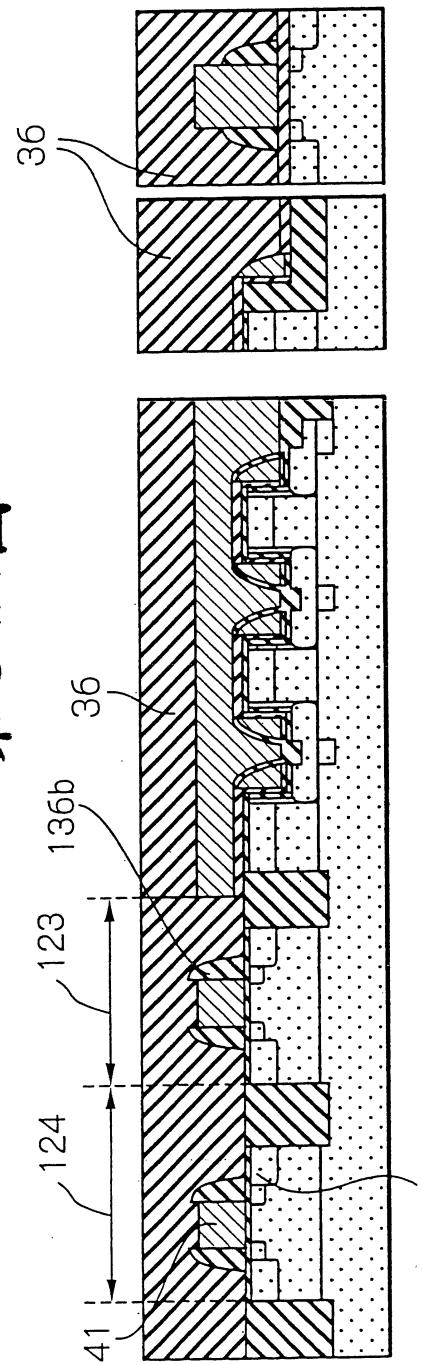
136c 136c



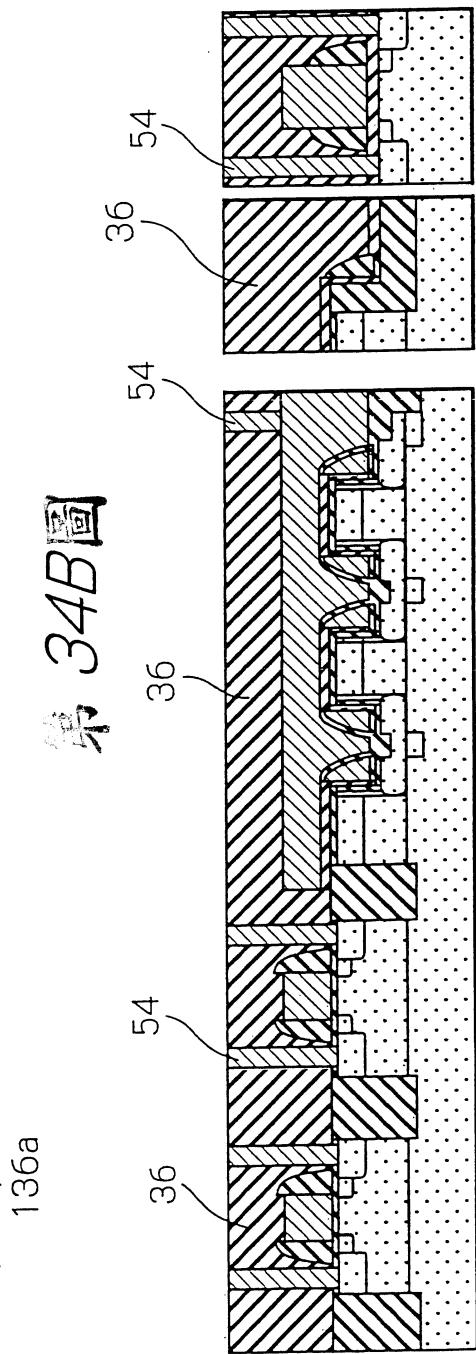
136c

32  
/ 64

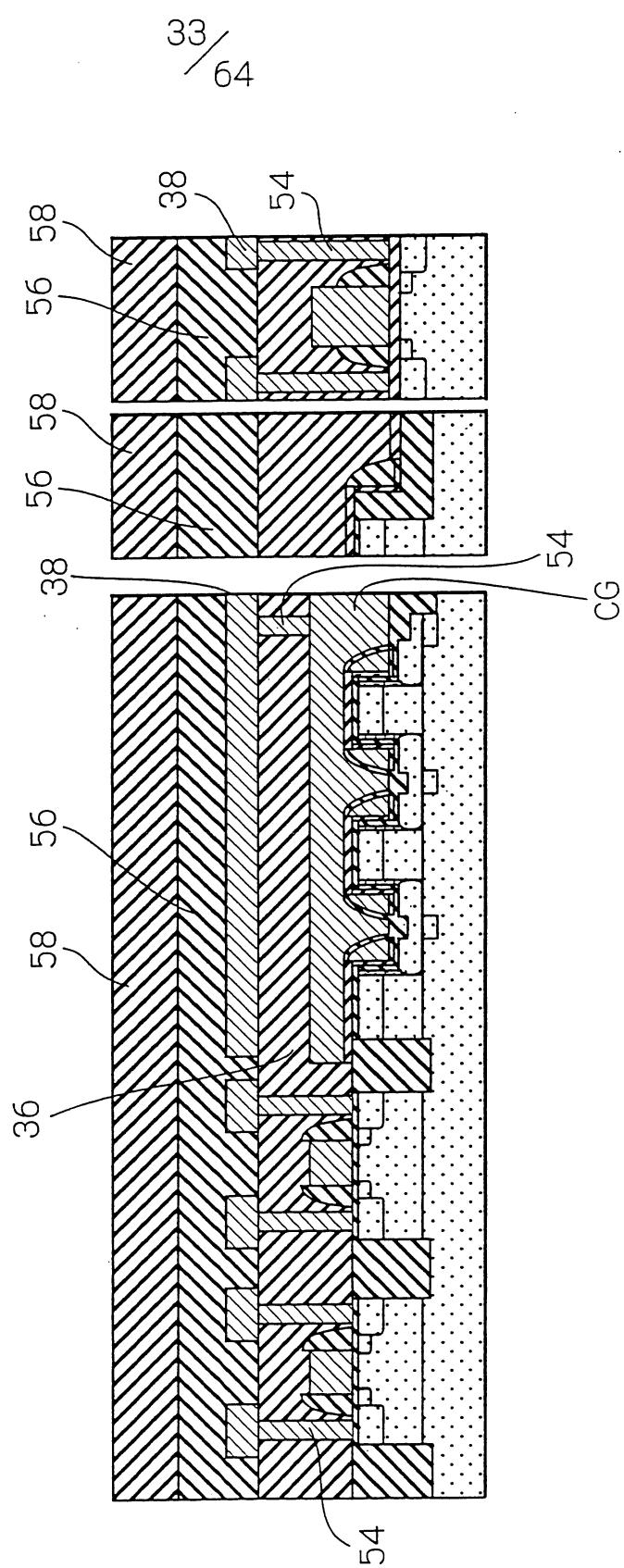
第 34A 圖



第 34B 圖

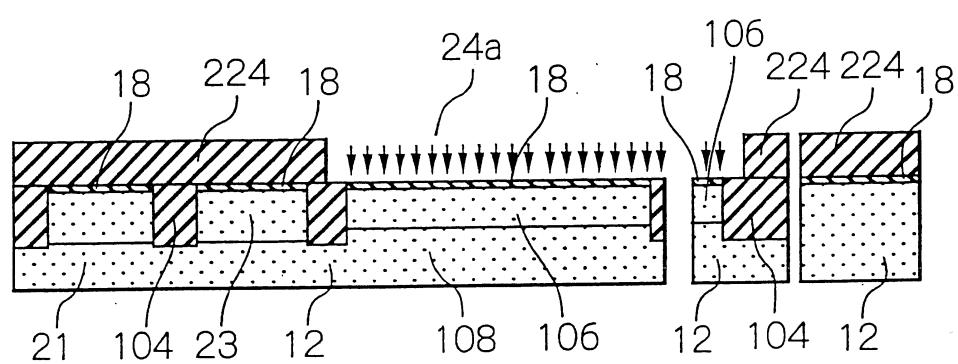


第35圖

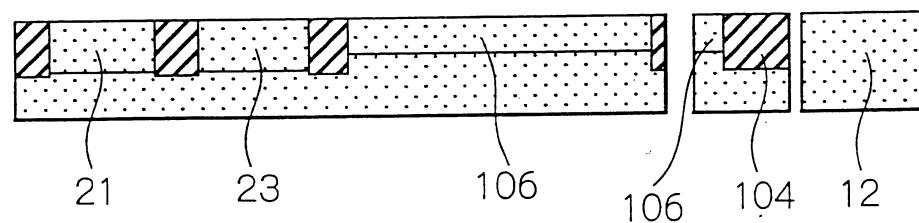


34/  
64

第 36A圖

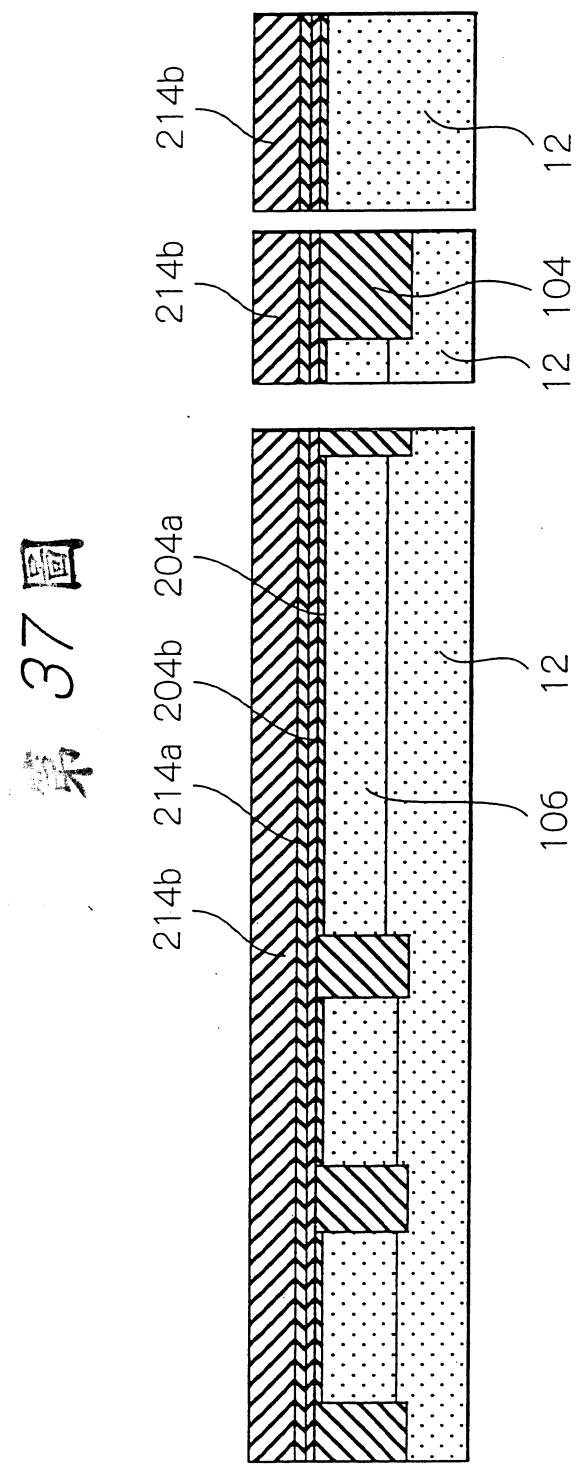


第 36B圖



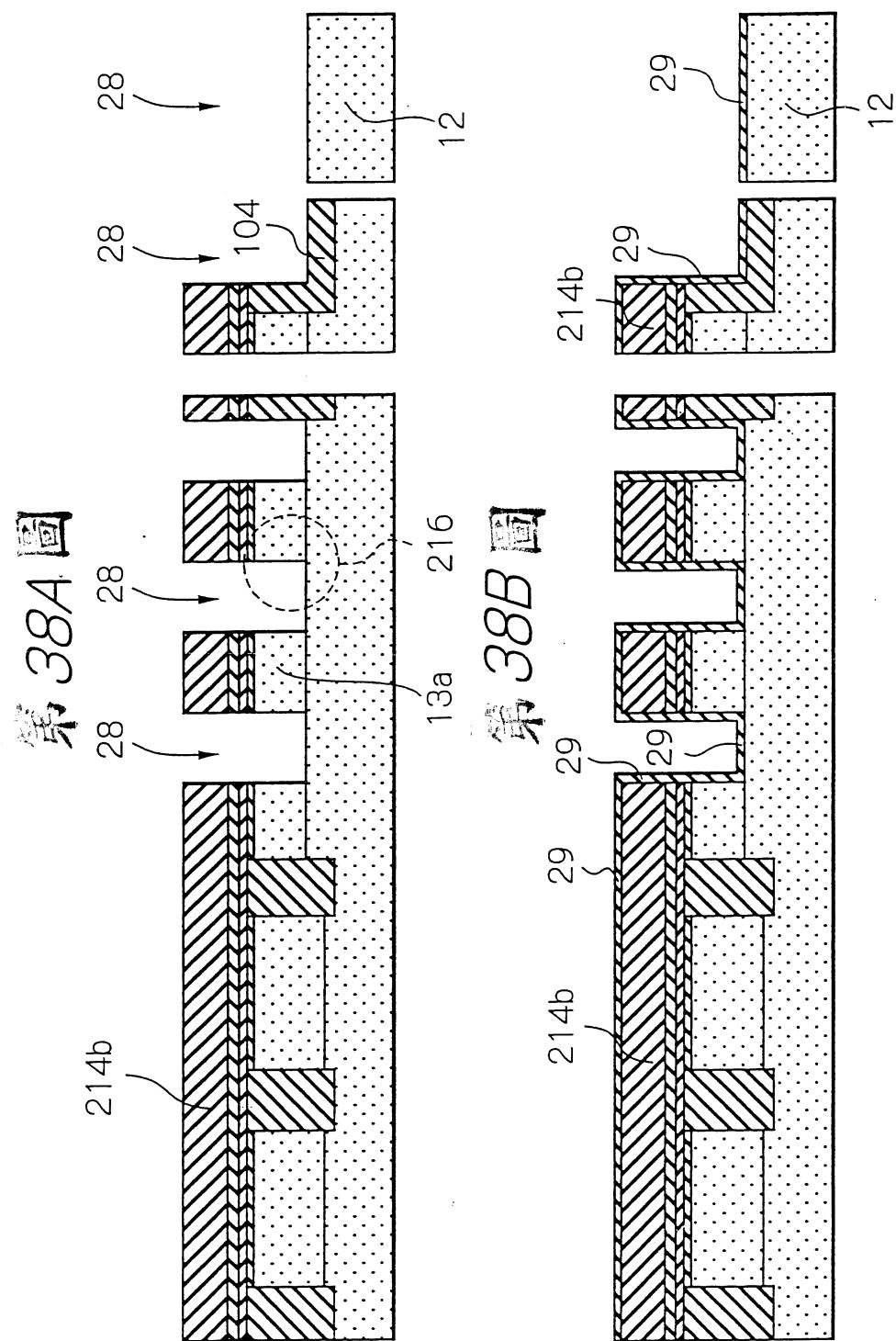
200417002

35  
64



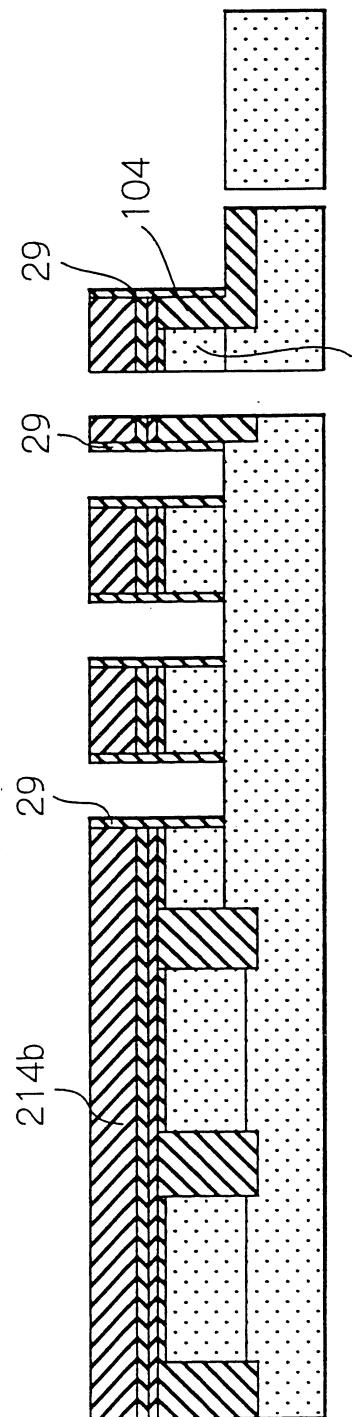
200417002

36  
64

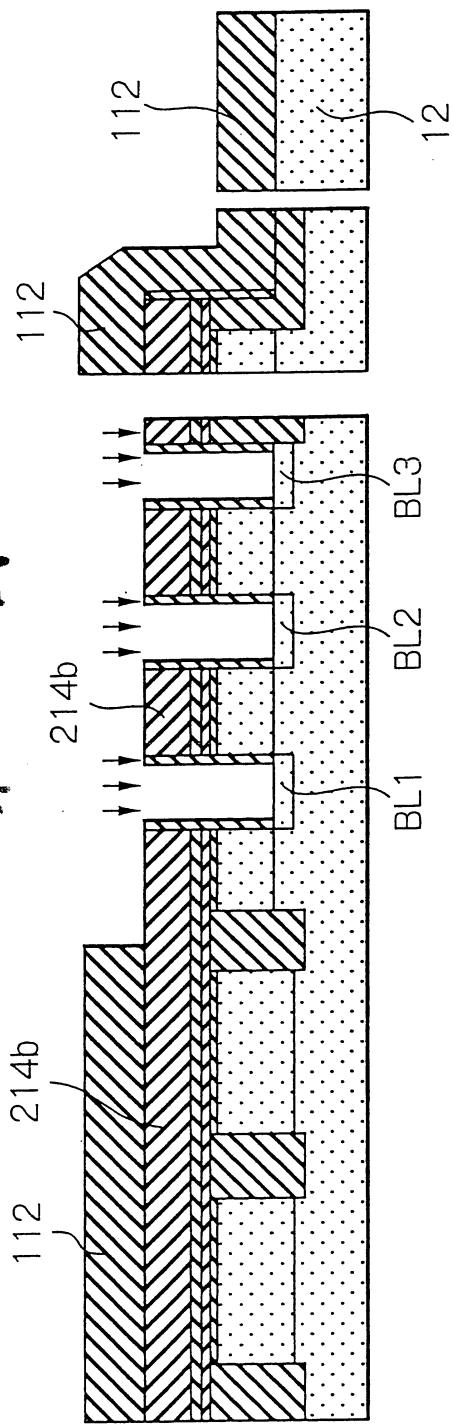


37  
64

第39A圖

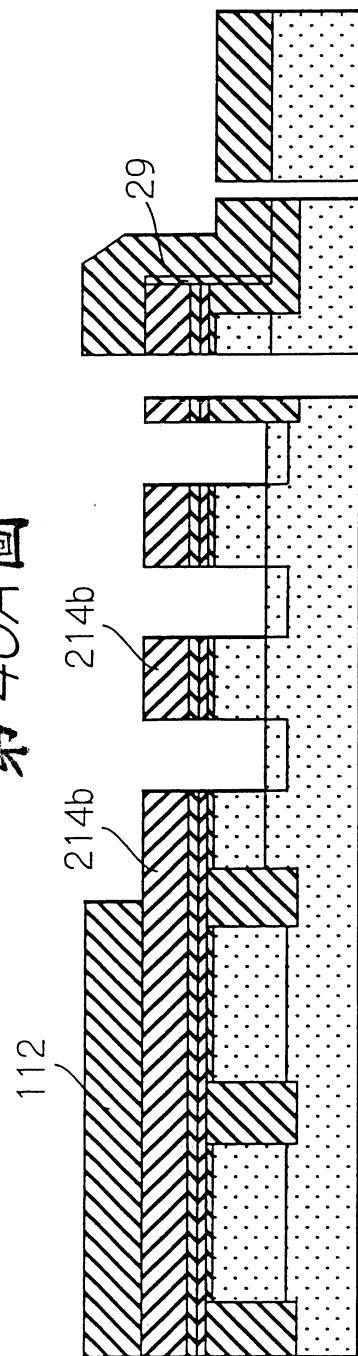


第39B圖

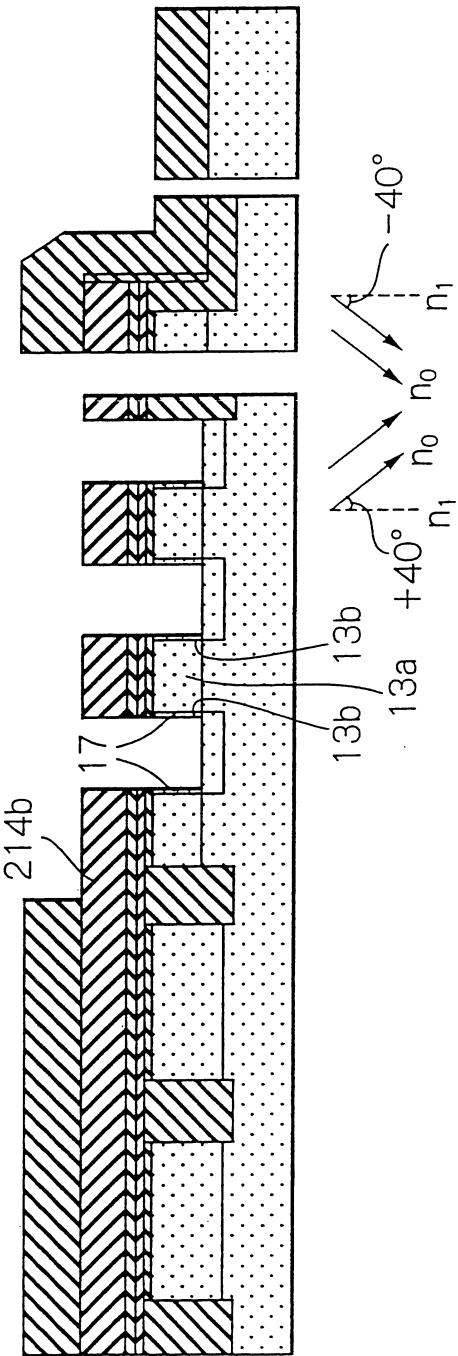


38  
64

第 40A 圖

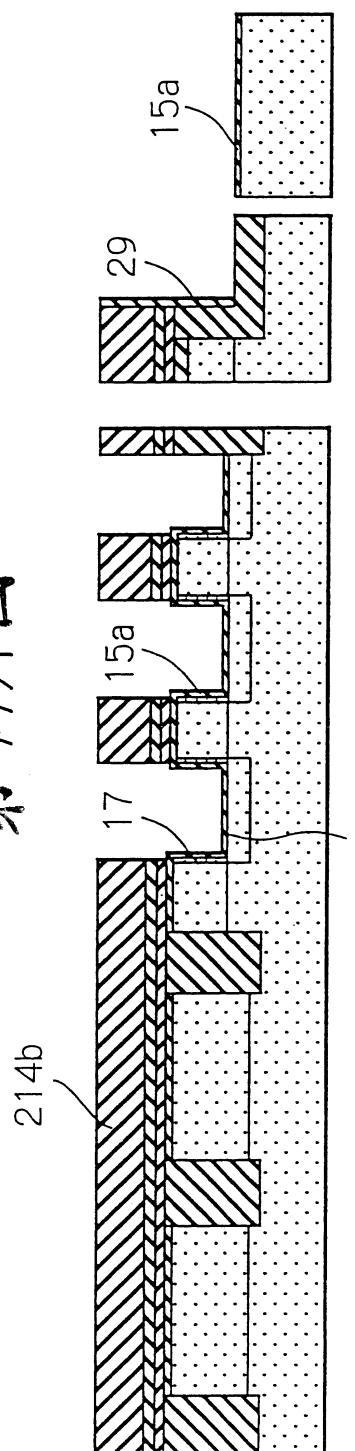


第 40B 圖

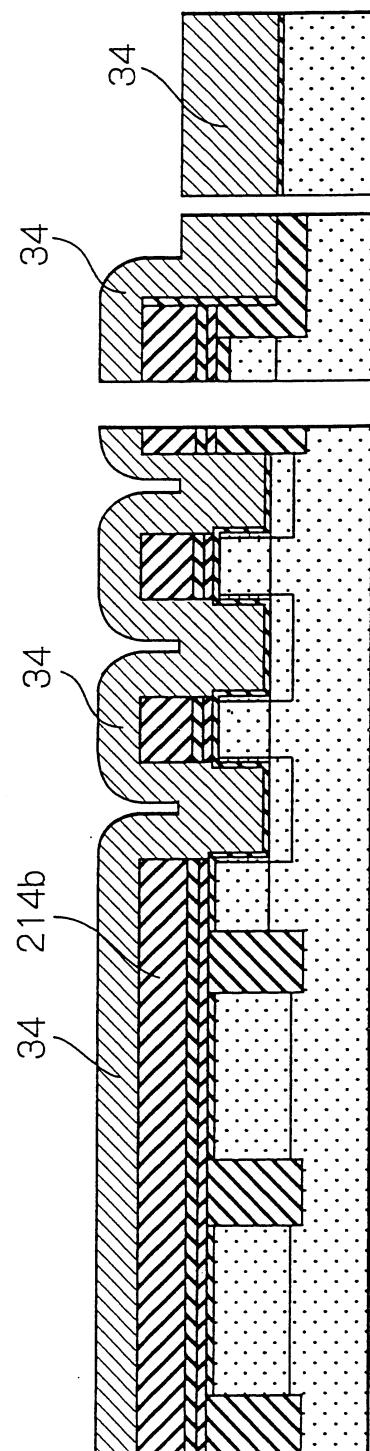


39  
64

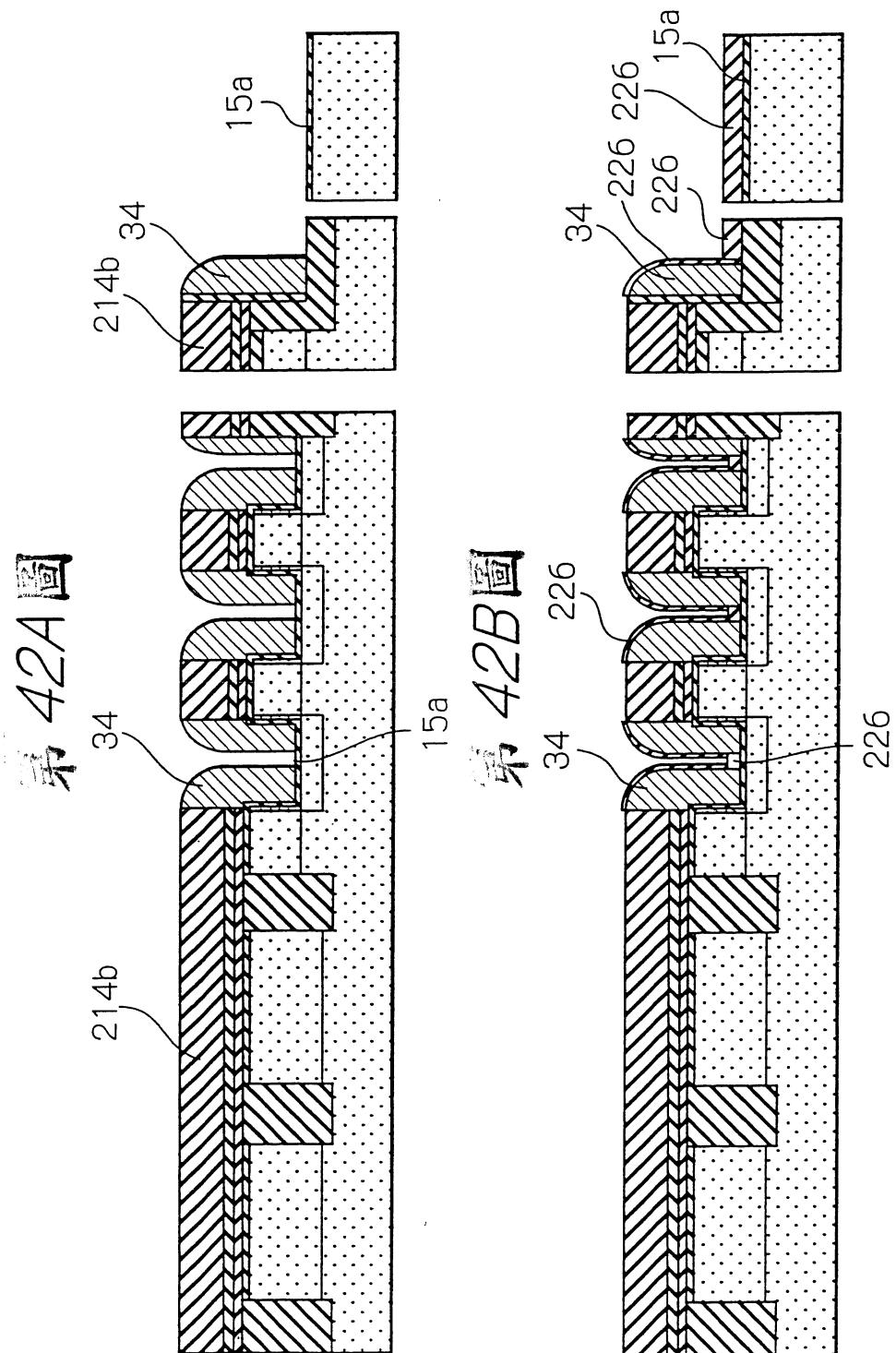
第41A圖



第41B圖

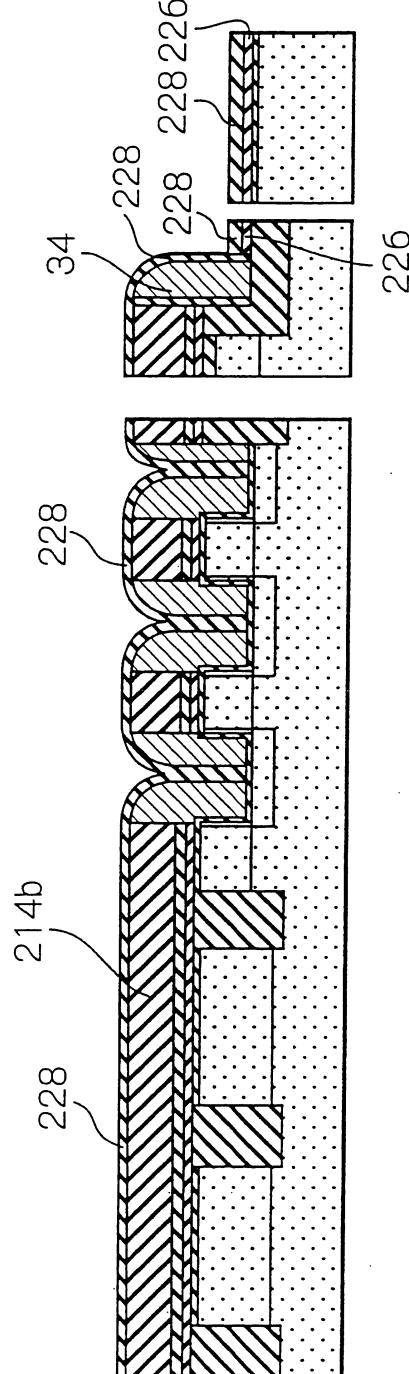


40  
64

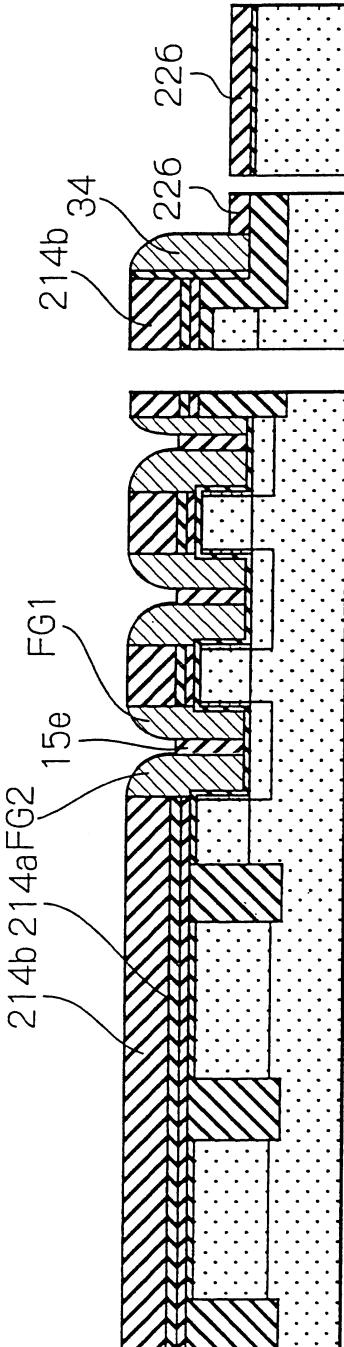


41  
/ 64

43A

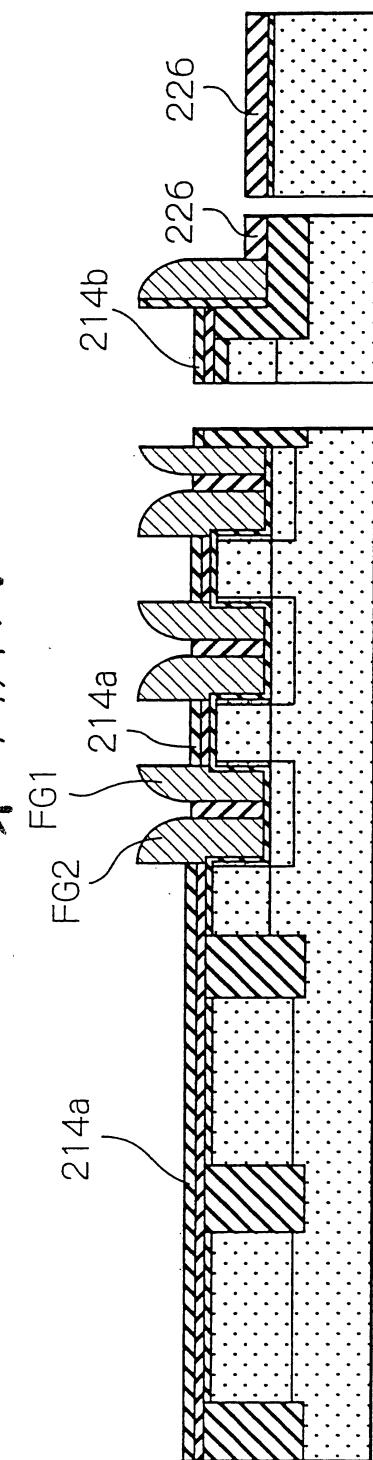


43B

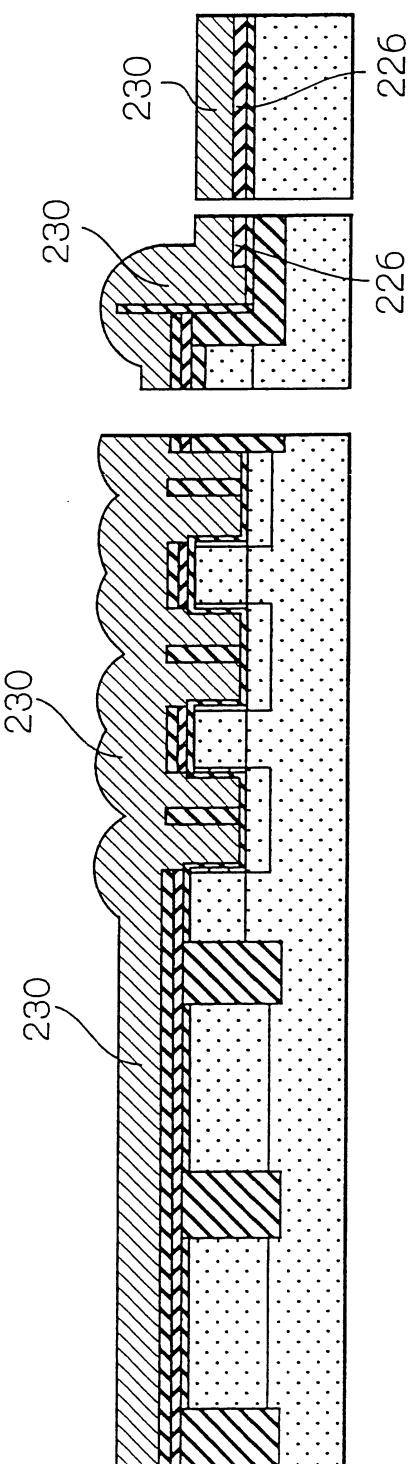


42  
64

第44A圖

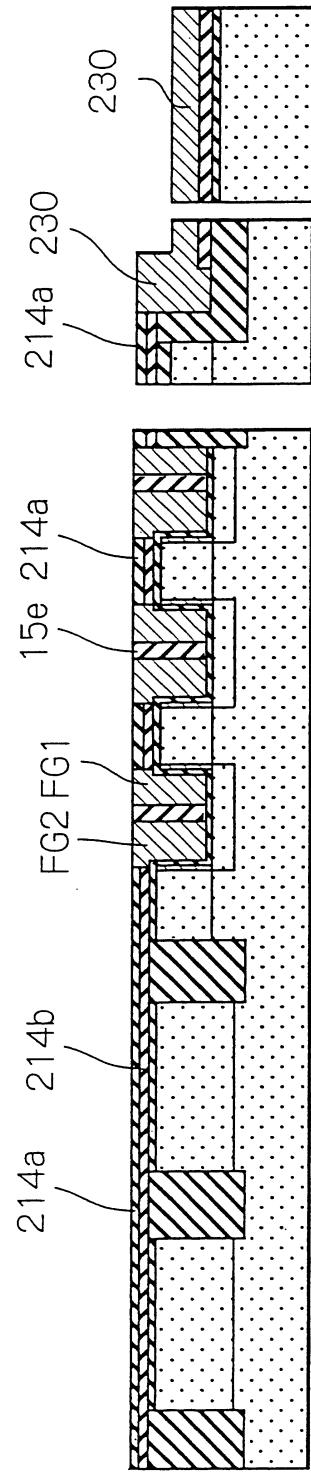


第44B圖

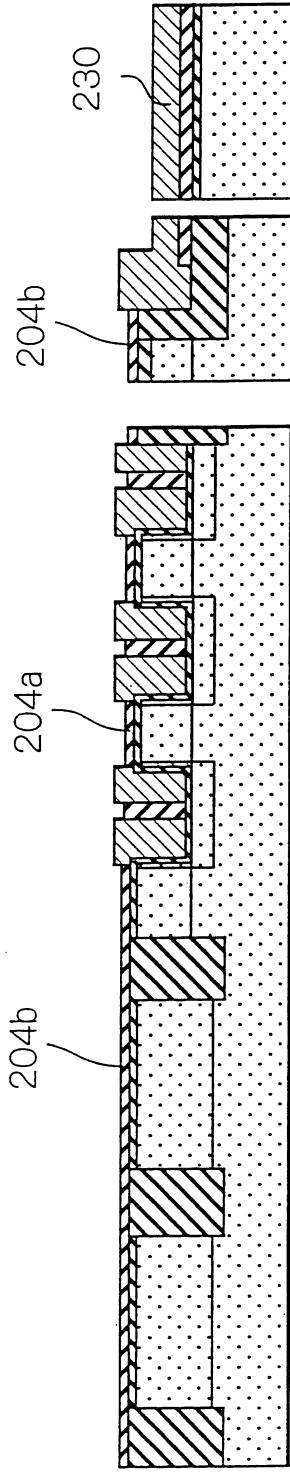


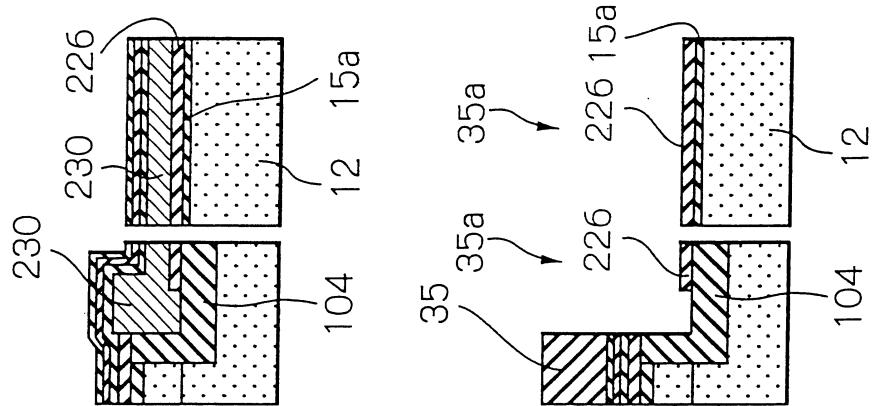
43  
/ 64

第 45A 圖

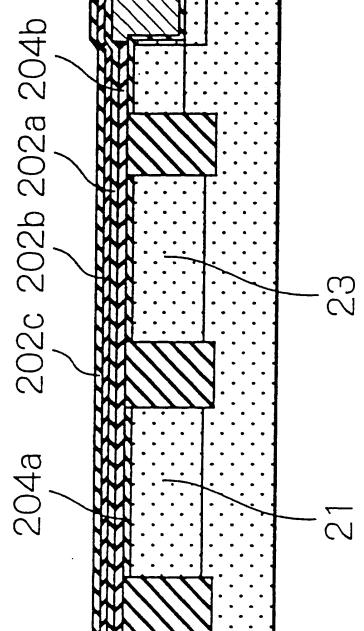


第 45B 圖

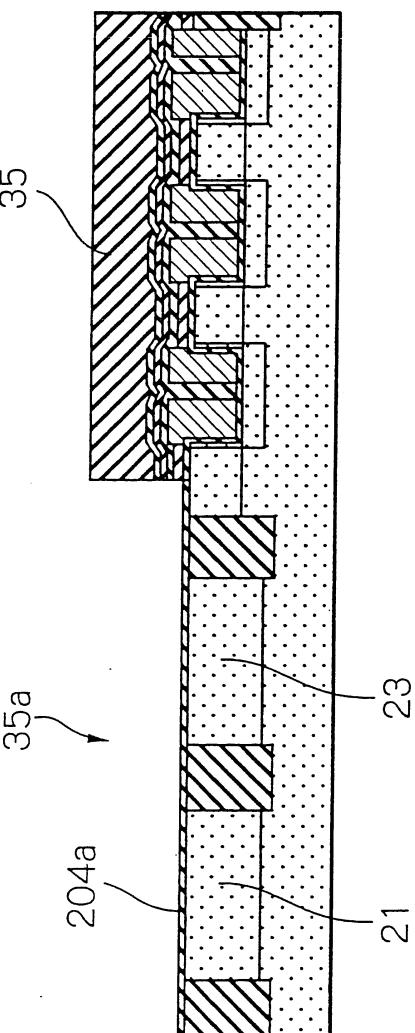


44  
64

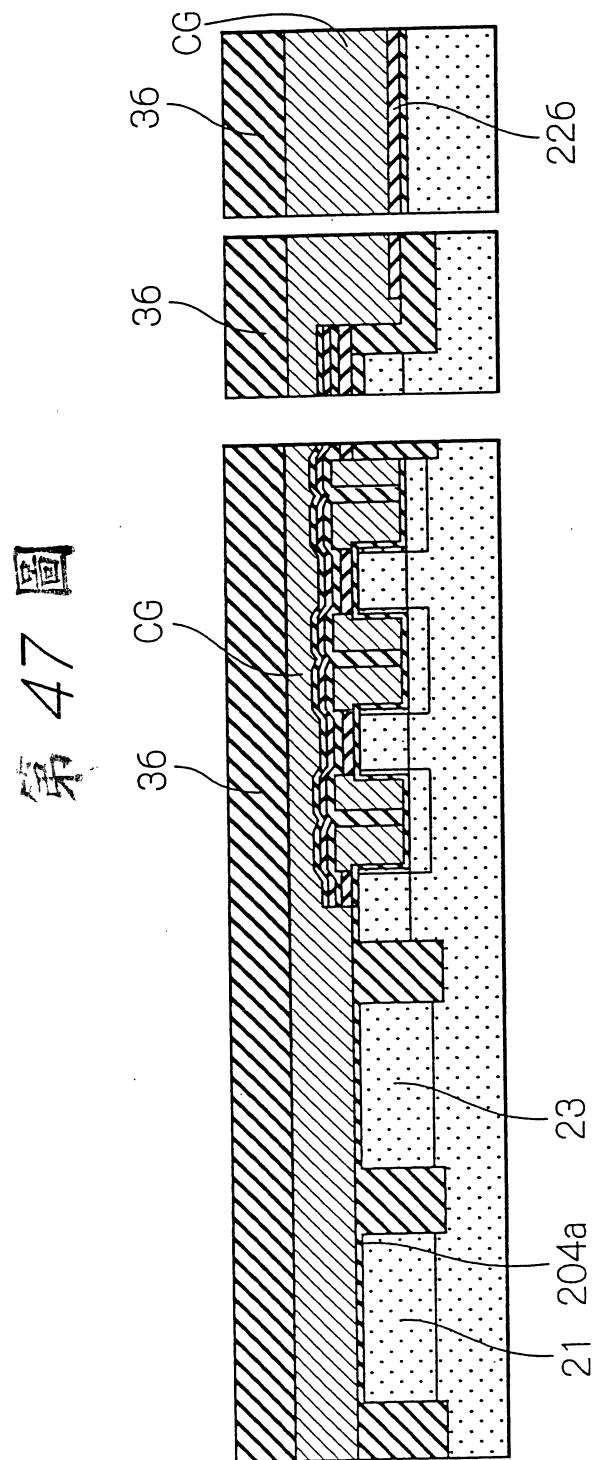
第 46A 圖

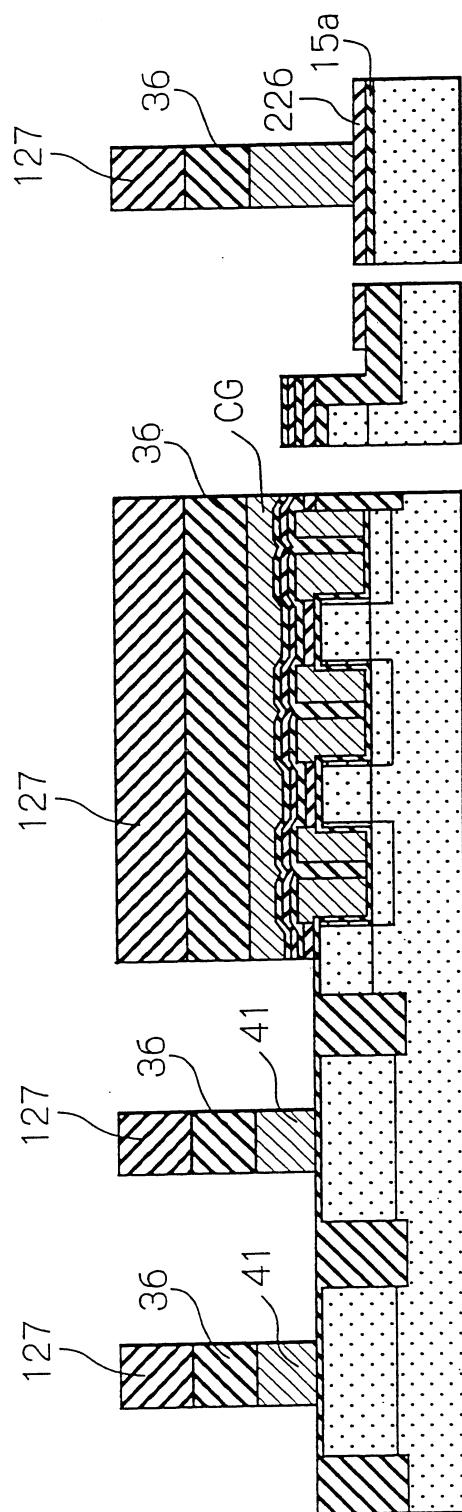


第 46B 圖



45  
/ 64



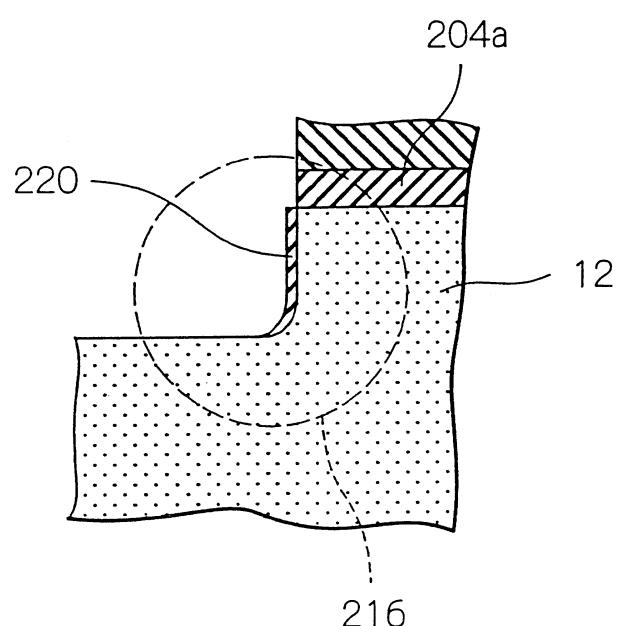
46  
64

48

200417002

47/  
64

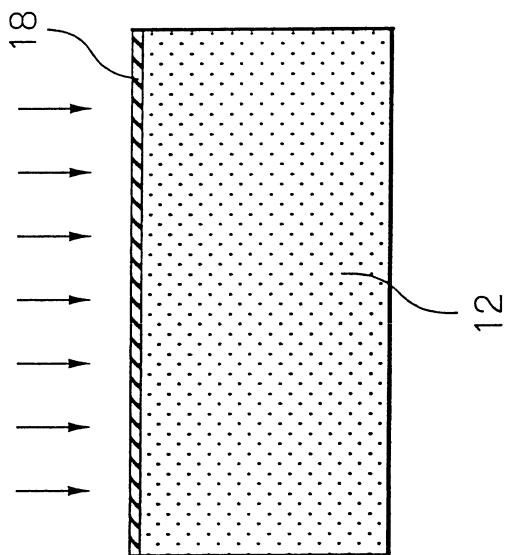
第 49 圖



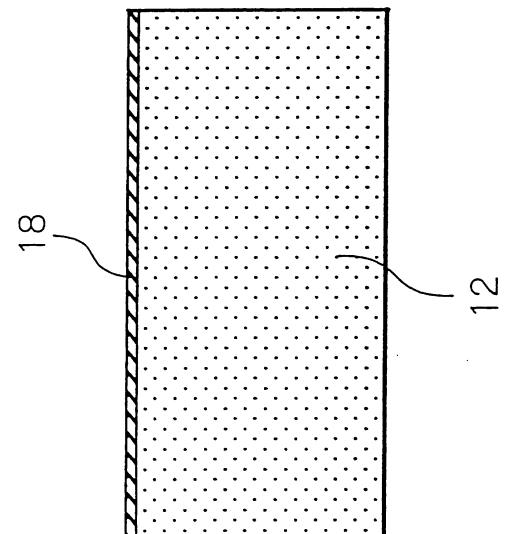
200417002

48  
/ 64

第 50B 圖



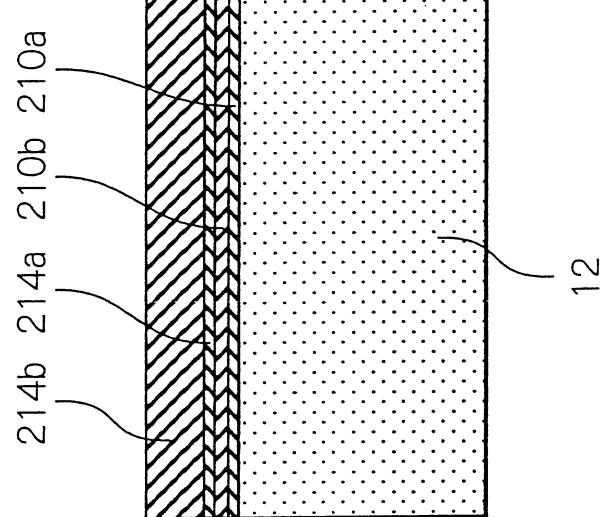
第 50A 圖



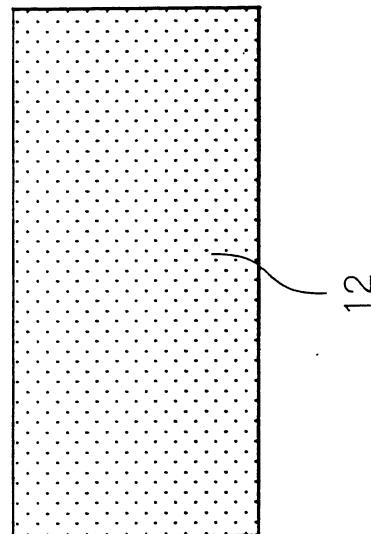
200417002

49/  
64

第 51B 圖

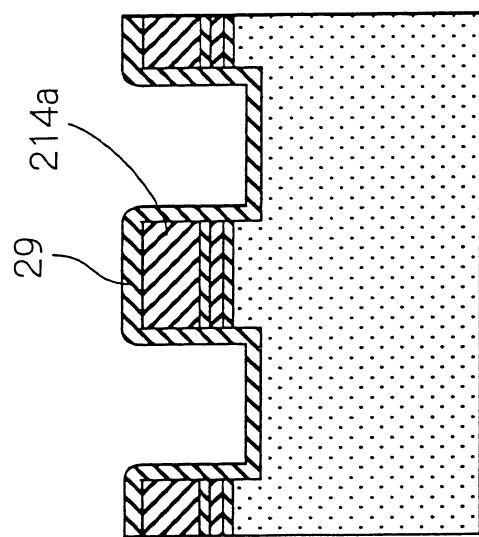


第 51A 圖

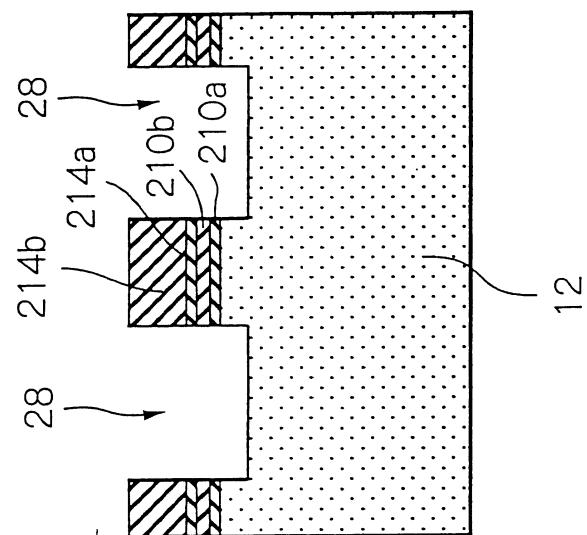


50  
64

第 52B 圖

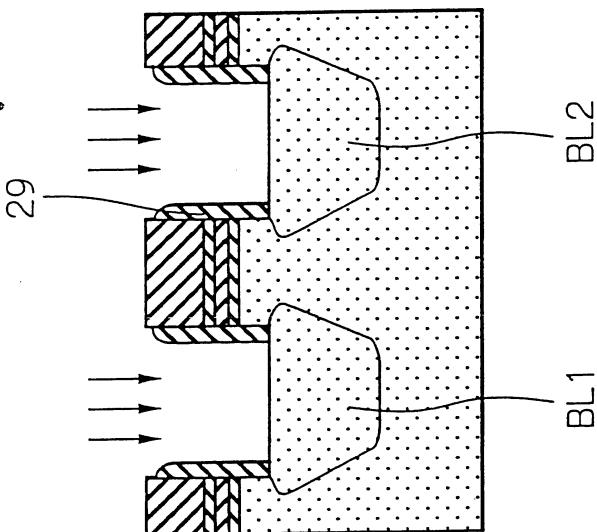


第 52A 圖

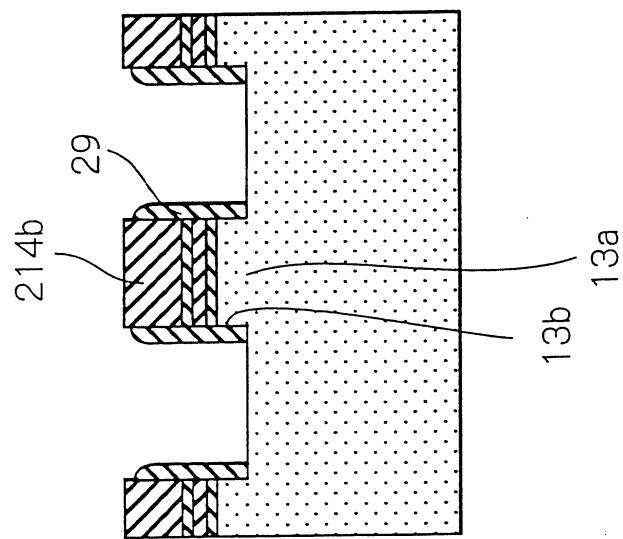


51  
64

第 53B 圖



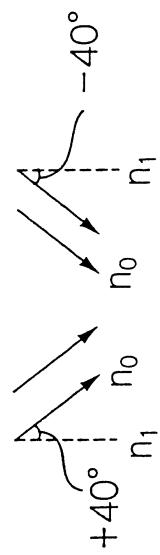
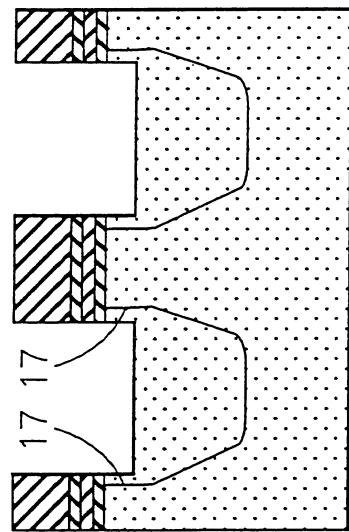
第 53A 圖



200417002

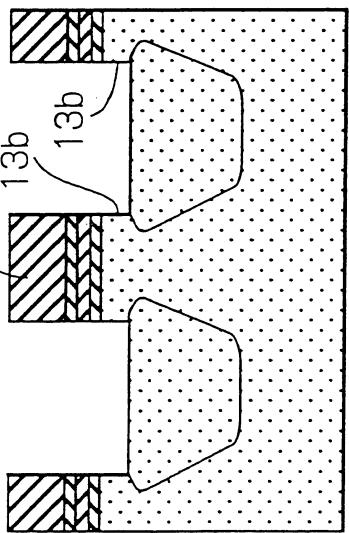
52  
64

第 54B 圖



54A 圖

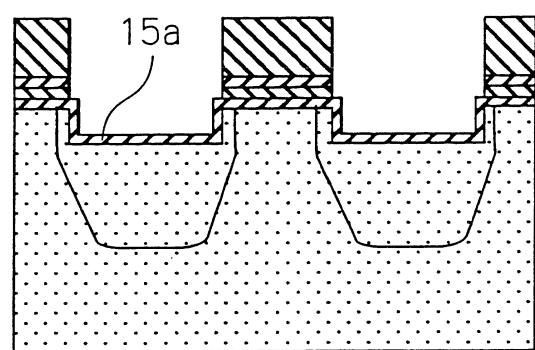
214b



200417002

53/  
64

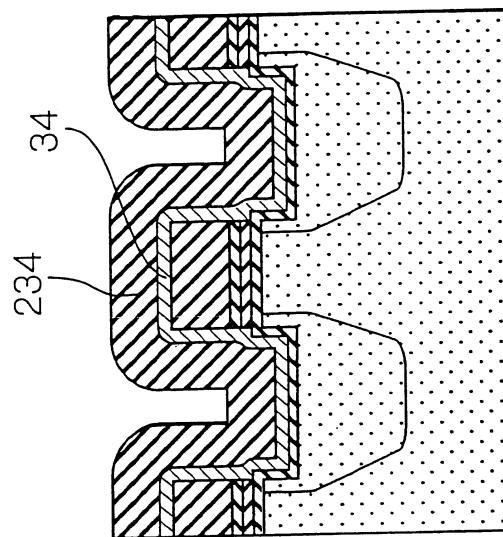
第 55 圖



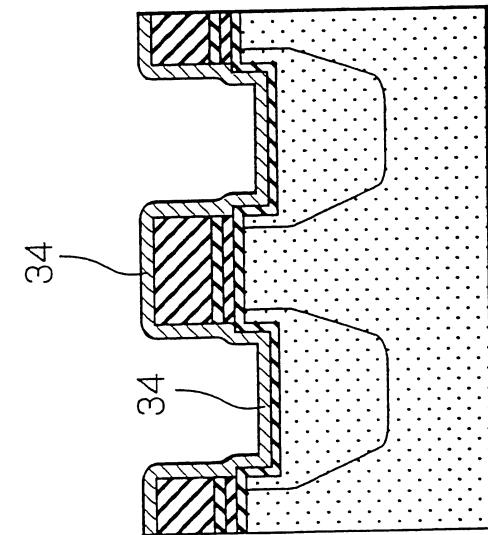
200417002

54  
64

56B



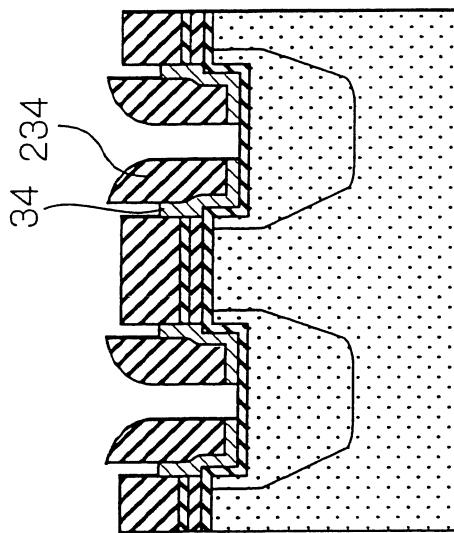
56A



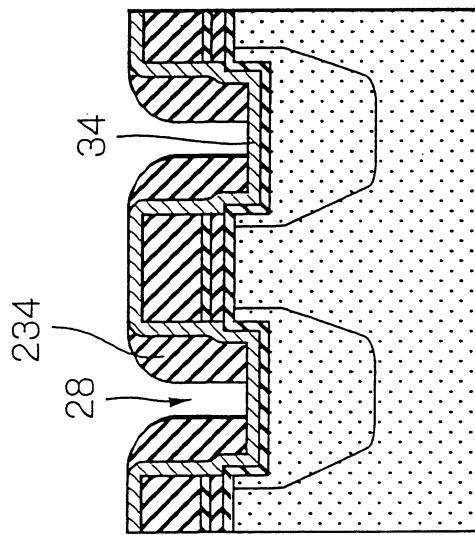
200417002

55  
64

第 57B 圖

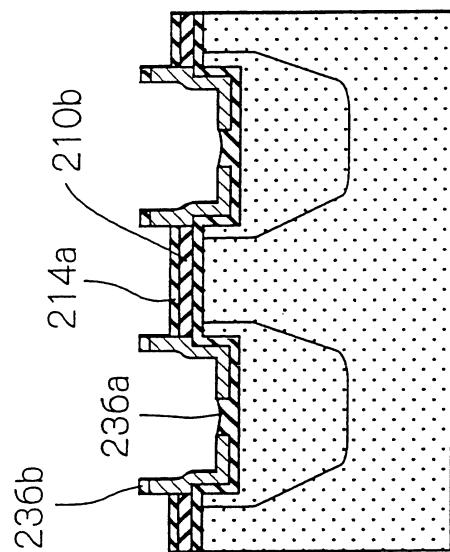


第 57A 圖

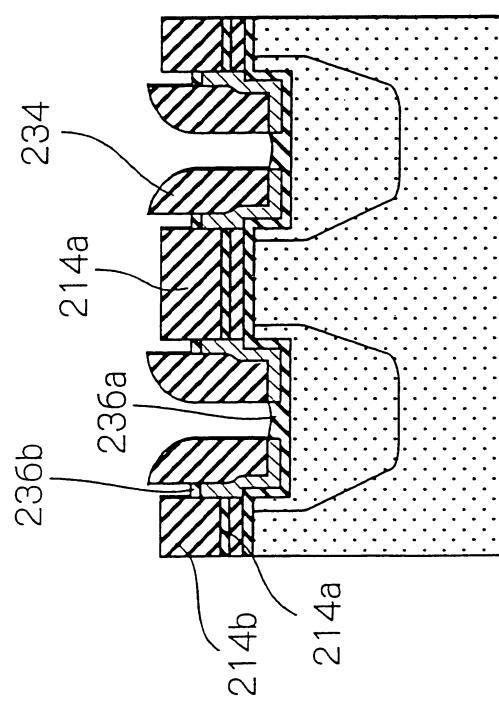


56  
64

第 58B 圖



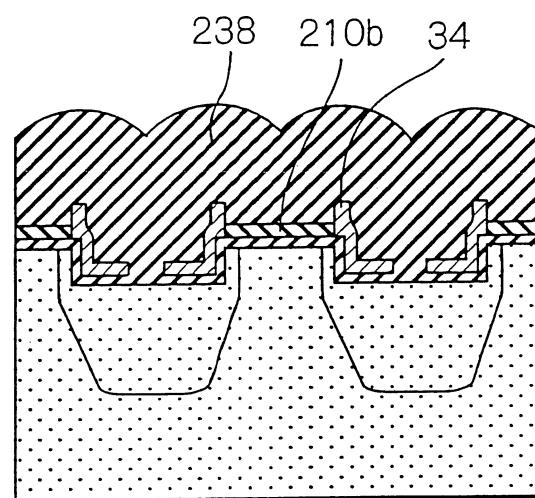
第 58A 圖



200417002

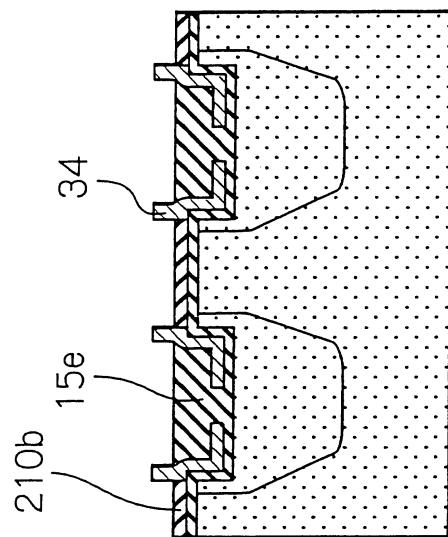
57/  
64

第 59 圖

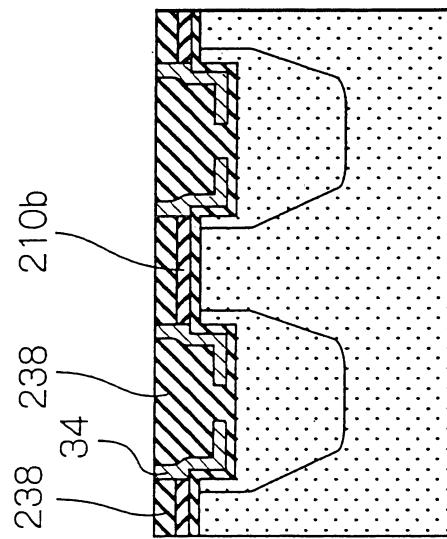


58  
64

第 60B 圖

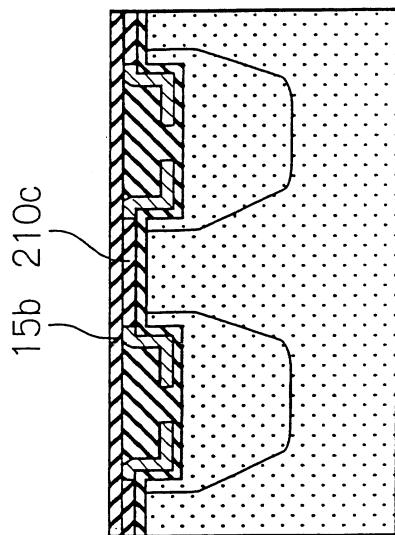


第 60A 圖

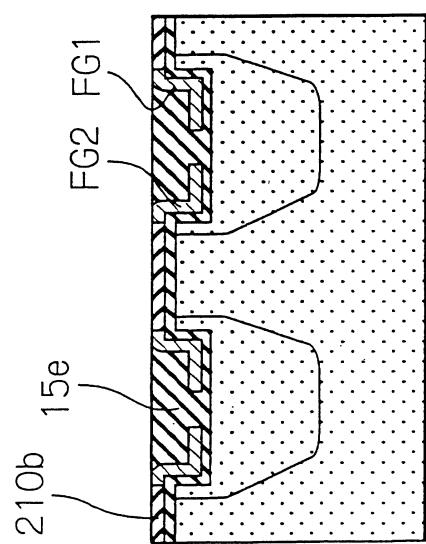


59  
64

第 61B 圖



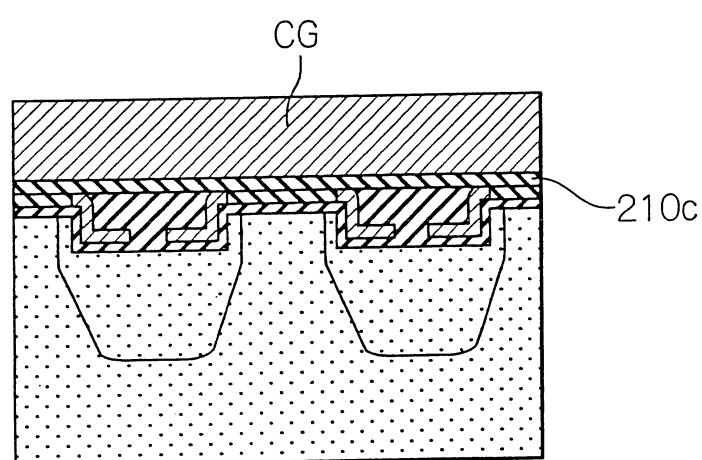
第 61A 圖



200417002

60/<sub>64</sub>

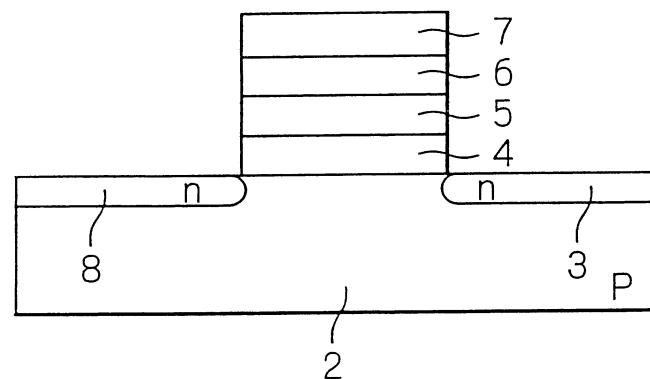
第 62 圖



200417002

61/  
64

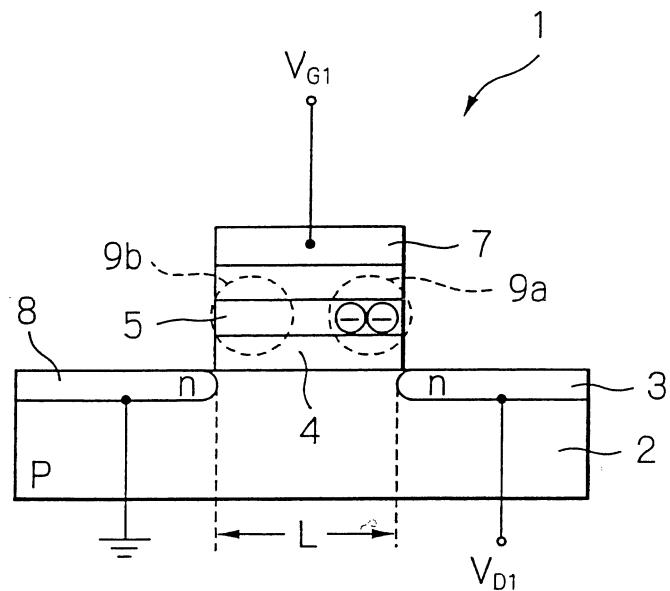
第 63 圖



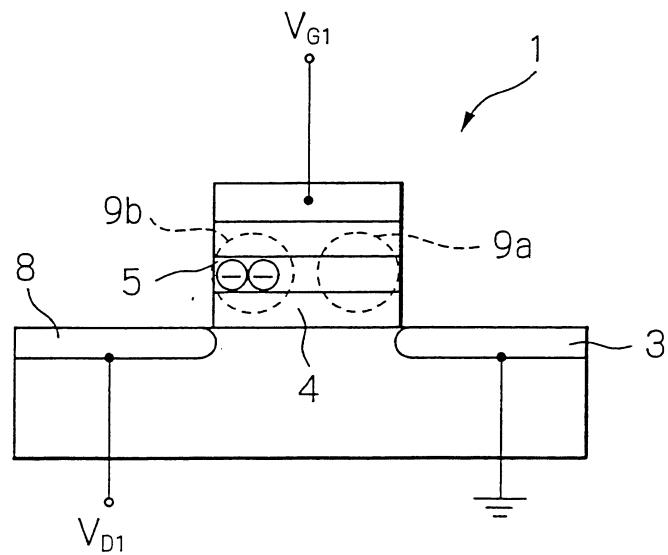
200417002

62/  
64

第 64A 圖

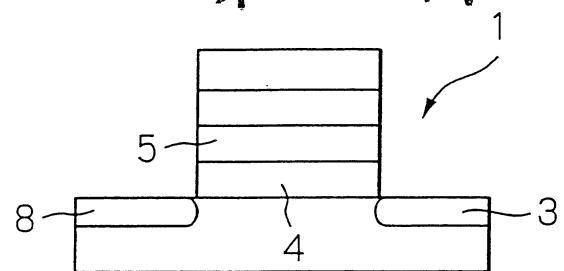


第 64B 圖

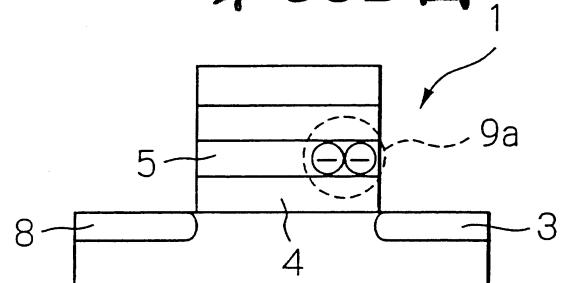


63/  
64

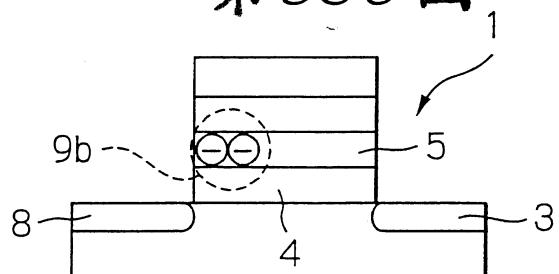
第 65A 圖



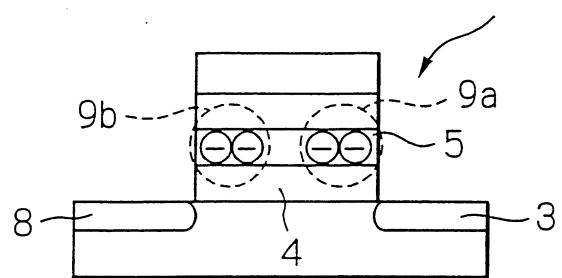
第 65B 圖



第 65C 圖



第 65D 圖



200417002

64/  
64

第 66 圖

	CG		BL1, BL2 汲極		BL1, BL2 源極	
	被選到	未選到	被選到	未選到	被選到	未選到
寫入	2.5V	0V	5V	開路	0V	開路
讀取	2.5V	0V	1.2V	開路	0V	開路
刪除	-8.5V	開路	8.5V	開路	8.5V	開路

第 67 圖

	CG		BL1, BL2 汲極		BL1, BL2 源極	
	被選到	未選到	被選到	未選到	被選到	未選到
寫入	2.5V	0V	5V	開路	0V	開路
讀取	2.5V	0V	1.2V	開路	0V	開路
刪除	6.5V	開路	-6.5V	開路	-6.5V	開路

**柒、指定代表圖：**

(一)本案指定代表圖為：第（14）圖。

(二)本代表圖之元件代表符號簡單說明：

13a 突出部

13b 側壁

13c 頂端

15a 穿隧絕緣層

15b 多晶間絕緣層

15c 閘極絕緣層

15f 絶緣層

200 快閃記憶體

202a 氧化矽層

202b 氮化矽層

202c 氧化矽層

204a 閘極絕緣層

204b 閘極絕緣層

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式  
：**