

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9714996 1

※ 申請日期： 97. 12. 19 ※IPC 分類：

G11C 16/30 (2006.01)

G4C 16/06 (2006.01)

一、發明名稱：(中文/英文)

源極電位之調節以抵抗單元源極之電源電壓降

REGULATION OF SOURCE POTENTIAL TO COMBAT CELL

SOURCE IR DROP

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

E 俄爾 湯普森

THOMPSON, E. EARLE

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 丹娜 李
LEE, DANA
2. 尼瑪 莫克雷西
MOKHLESI, NIMA
3. 狄帕克 錢卓拉 西卡
SEKAR, DEEPAK CHANDRA

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 印度 INDIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年12月20日；11/961,871

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

概言之，本發明係關於非揮發性半導體記憶體，例如，電可抹除可程式化唯讀記憶體 (EEPROM) 及快閃 EEPROM，且特定而言，本發明係關於具有改良式感測電路之非揮發性記憶體，該改良式感測電路可補償因接地環路中之有限電阻而引起之源極偏壓誤差。

【先前技術】

最近，具有非揮發性電荷儲存能力之固態記憶體，尤其是作為小形體因數卡封裝之 EEPROM 及快閃 EEPROM 形式之固態記憶體，成為各種行動及手持裝置、特別是資訊用具與消費者電子產品中之選擇儲存器。與同樣為固態記憶體之 RAM(隨機存取記憶體)不同，快閃記憶體係非揮發性的，且即使在關斷電源之後亦保持其所儲存資料。快閃記憶體儘管成本較高，但目前卻越來越多地應用於大容量儲存應用中。基於旋轉磁性媒體之習用大容量儲存器，例如硬磁碟機及軟磁碟，不適用於行動及手持環境。此乃因磁碟機通常較為笨重，易於發生機械故障，且具有高的延時與高電力需求。該等不受歡迎之屬性使得基於磁碟之儲存器不適用於大多數行動及可攜式應用。相反，快閃記憶體，無論係嵌入式亦呈可抽換卡形式，皆可理想地適用於行動及手持環境，乃因其小尺寸、低功耗、高速度及高可靠性特徵。

EEPROM 及電可程式化唯讀記憶體 (EPROM) 係非揮發性

記憶體，其可抹除且允許新資料寫入或"程式化"至其記憶體單元中。二者皆利用一位於一場效電晶體結構中的浮動(未連接的)導電閘極，該浮動導電閘極定位於一半導體基板中之一介於源極區與汲極區之間的通道區上方。然後，在浮動閘極之上提供一控制閘極。電晶體之臨限電壓特性受控於浮動閘極上所保持之電荷量。換句話說，對於浮動閘極上之一給定電荷位準，必須在控制閘極上施加一對應之電壓(臨限值)後，電晶體方會導通以允許其源極區與汲極區之間導電。

浮動閘極可保持一電荷範圍，且因此可程式化至一臨限電壓窗內之任一臨限電壓位準。臨限電壓窗之尺寸係由裝置之最小及最大臨限位準來定界，而裝置之最小及最大臨限位準又對應於可程式化至浮動閘極上之電荷範圍。臨限值窗通常取決於記憶裝置之特性、工作條件及歷史。原則上，該窗內每一不同、可解析之臨限電壓位準範圍皆可用於指定該單元的一明確記憶體狀態。

充當一記憶體單元之電晶體通常藉由兩種機制中之一者程式化至一"程式化"狀態。在"熱電子注入"中，施加至汲極之高壓會使電子加速穿過基板通道區。同時，施加至控制閘極之高壓會將熱電子藉由一薄閘極介電質拉至浮動閘極上。在"穿隧注入"中，則是相對於基板在控制閘極上施加一高壓。以此方式，將電子自該基板拉至中介浮動閘極。

記憶體裝置可藉由多種機制抹除。對於EPROM，記憶

體可藉由下述方式整體抹除：藉由紫外線輻射來移除浮動閘極上之電荷。對於EEPROM，記憶體可藉由下述方式電抹除：相對於控制閘極在基板上施加一高壓以感應浮動閘極中的電子穿隧透過一薄氧化物到達基板通道區(亦即，Fowler-Nordheim穿隧)，來對一記憶體單元進行。通常，EEPROM可逐位元組地抹除。對於快閃EEPROM，記憶體可同時地或一次一個或多個區塊地電抹除，其中一個區塊可由512個位元組或更多記憶體構成。

非揮發性記憶體單元之實例

記憶體裝置通常包含一個或多個可安裝在一卡上之記憶體晶片。每一記憶體晶片包含一由例如解碼器與抹除、寫入與讀取電路等周邊電路支援之記憶體單元陣列。更複雜之記憶體裝置亦帶有一控制器，該控制器執行智慧與更高級記憶體作業及介接。目前有許多種在商業上很成功之非揮發性固態記憶裝置正為吾人所用。該等記憶裝置可採用不同類型之記憶體單元，其中每一類型均具有一個或多個電荷儲存元件。

圖1A-1E示意性地圖解闡釋非揮發性記憶體單元之不同實例。

圖1A示意性地圖解闡釋一呈EEPROM單元形式之非揮發性記憶體，其具有一用於儲存電荷之浮動閘極。電可抹除可程式化唯讀記憶體(EEPROM)具有一類似於EPROM之結構，但另外提供一種用於在施加適當電壓時以電方式加載或移除其浮動閘極上之電荷而無需暴露至UV輻射之機

制。此等單元之實例及其製造方法參見第5,595,924號美國專利。

圖1B示意性地圖解闡釋一具有一選擇閘極及一控制或操縱閘極二者之快閃EEPROM單元。記憶體單元10具有一位於源極擴散區14與汲極擴散區16之間的"分裂通道"12。一單元實際上由兩個串聯電晶體T1及T2構成。T1充當一具有一浮動閘極20及一控制閘極30之記憶體電晶體。浮動閘極能夠儲存一選用電荷量。可流過通道之T1部分之電流量取決於控制閘極30上之電壓及駐留在中介浮動閘極20上之電荷量。T2充當一具有選擇閘極40之選擇電晶體。當T2由選擇閘極40上之一電壓導通時，其允許通道之T1部分中之電流從源極與汲極之間通過。選擇電晶體沿源極-汲極通道提供一與控制閘極處之電壓無關的開關。一個優點在於，其可用於關斷彼等因其浮動閘極處之其電荷耗盡(正)而在零控制閘極電壓下仍然導電之單元。另一優點在於，其使得源極側注入程式化更容易實施。

分裂通道記憶體單元之一個簡單實施例係在選擇閘極與控制閘極連接至同一字線時，如由圖1B中所示之一虛線示意性地指示。此係藉由下述方式達成：將一電荷儲存元件(浮動閘極)定位於通道之一部分上方並將一控制閘極結構(其為一字線之一部分)定位於另一通道部分上方以及電荷儲存元件上方。此有效形成一具有兩個串聯電晶體之單元，其中一個具有該電荷儲存元件上之電荷量與該字線上之電壓之一組合之電晶體(記憶體電晶體)控制可流過該通

道之其部分之電流量，且另一電晶體(選擇電晶體)以該字線來單獨充當其閘極。此等單元之實例、其在記憶體系統中之應用及其製造方法參見第5,070,032、5,095,344、5,315,541、5,343,063及5,661,053號美國專利。

圖1B所示分裂通道單元之一更細化實施例係在選擇閘極與控制閘極相互獨立而不由其之間的虛線相連時。一種構建形式將一單元陣列中之一行單元之控制閘極連接至一垂直於字線之控制(或操縱)線。其作用係在讀取或程式化一選定單元時無需使字線同時執行兩種功能。該兩種功能係：(1)充當一選擇電晶體之一閘極，因此需要一適當電壓來導通或關斷選擇電晶體，及(2)經由一耦合於字線與電荷儲存元件之間的電場(容性)將電荷儲存元件之電壓驅動至一所期望位準。通常難以使用一單一電壓以最佳方式來執行該兩種功能。藉由單獨控制控制閘極與選擇閘極，字線只需執行功能(1)，而添加控制線執行功能(2)。此能力實現其中使程式化電壓適應目標資料之更高效能之設計。獨立控制(或操縱)閘極在快閃EEPROM陣列中的應用(例如)闡述於第5,313,421號及第6,222,762號美國專利中。

圖1C示意性地圖解闡釋另一具有雙浮動閘極及獨立選擇閘極與控制閘極之快閃EEPROM單元。記憶體單元10類似於圖1B所示記憶體單元，只是其實際上具有三個串聯電晶體。在該類型之單元中，在其源極擴散區與汲極擴散區之間的其通道上方包含兩個儲存元件(亦即，T1-左與T1-右)，其間為一選擇電晶體T1。該記憶體電晶體分別具有

浮動閘極20與20'、及控制閘極30與30'。選擇電晶體T2受一選擇閘極40控制。在任一時刻，僅對該對記憶體電晶體之一進行讀取或寫入存取。當存取儲存器T1-左時，T2及T1-右二者皆導通，以容許通道之T1-左部分中之電流從源極與汲極之間流過。類似地，當存取儲存器T1-右時，T2及T1-左導通。抹除係藉由下述方式實現：使選擇閘極多晶矽之一部分緊貼浮動閘極，並對選擇閘極施加顯著正電壓(例如，20 V)，以使儲存於浮動閘極內之電子可穿隧至該選擇閘極多晶矽。

圖1D示意性地圖解闡釋一串組織成NAND鏈之記憶體單元。一NAND鏈50由一系列由其源極及汲極以菊鏈方式連接之記憶體電晶體M1、M2...Mn($n=4$ 、8、16或更高)構成。一對選擇電晶體S1、S2經由NAND鏈之源極端子54與汲極端子56控制該記憶體電晶體鏈與外部之連接。於一記憶體陣列中，當源極選擇電晶體S1導通時，源極端子耦聯至一源極線。類似地，當汲極選擇電晶體S2導通時，NAND鏈之汲極端子耦合至記憶體陣列之位元線。鏈中之每一記憶體電晶體皆具有一電荷儲存元件，該電荷儲存元件用於儲存一給定電荷量，以表示一預期記憶體狀態。每一記憶體電晶體之控制閘極皆提供對讀取與寫入作業之控制。選擇電晶體S1、S2中之每一者之控制閘極分別經由其源極端子54及汲極端子56控制對NAND鏈之存取。

當讀取並在程式化過程中驗證一NAND鏈內一經定址記憶體電晶體時，將為其控制閘極提供一適當之電壓。同

時，藉由對控制閘極施加充足之電壓來完全導通NAND鏈50內其餘未經定址記憶體電晶體。以此方式，可有效地建立從各自記憶體電晶體之源極到該NAND鏈之源極端子54之導電路徑，且可同樣建立從各自記憶體電晶體之汲極到該鏈之汲極端子56之導電路徑。具有此種NAND鏈結構之記憶體裝置闡述於第5,570,315、5,903,495及6,046,935號美國專利中。

圖1E示意性地圖解闡釋一種具有一用於儲存電荷之介電層之非揮發性記憶體。使用一介電層來替代先前所述之導電性浮動閘極元件。此類利用介電儲存元件之記憶體裝置已由 Eitan 等人闡述於 "NROM : A Novel Localized Trapping, 2-Bit Non volatile Memory Cell"(IEEE電子裝置通訊(IEEE Electron Device Letters)，第21卷，第11號，2000年11月，第543-545頁)中。一ONO介電層延伸橫跨介於源極擴散區與汲極擴散區之間的通道。一個資料位元之電荷定域於毗鄰該汲極之介電層中，另一資料位元之電荷則定域於毗鄰該源極之介電層中。例如，第5,768,192與6,011,725號美國專利揭示一種具有夾於兩層二氧化矽之間的俘獲介電質之非揮發性記憶體單元。多狀態資料儲存係藉由分別讀取介電質內個別在空間上分離之電荷儲存區之二進制狀態構建而成。

記憶體陣列

一記憶體裝置通常由一佈置成列及行且可藉由字線及位元線定址之二維記憶體單元陣列構成。該陣列可根據一

NOR型架構或一NAND型架構而形成。

NOR陣列

圖2圖解闡釋一NOR記憶體單元陣列之一實例。具有NOR型架構之記憶體裝置係由圖1B或1C中所示類型之單元構建而成。每列記憶體單元皆藉由其源極及汲極以菊鏈方式連接。此設計有時稱作虛擬接地設計。每一記憶體單元10皆具有一源極14、一汲極16、一控制閘極30及一選擇閘極40。一列中之單元使其選擇閘極連接至字線42。一行中之單元分別將其源極與汲極連接至選定位元線34與36。於一些其中記憶體單元使其控制閘極與選擇閘極獨立受控之實施例中，操縱線30亦將各單元之控制閘極連接成一行。

許多快閃EEPROM裝置係由其中每一記憶體單元經形成以使其控制閘極與選擇閘極連接在一起之記憶體單元構建而成。在此種情形中，不需要使用操縱線，僅由一字線連接沿每一列之各單元之所有控制閘極與選擇閘極。此等設計之實例揭示於第5,172,338號與第5,418,752號美國專利中。於此等設計中，字線實質上執行兩種功能：列選擇及為列中所有單元提供控制閘極電壓以進行讀取或程式化。

NAND陣列

圖3圖解闡釋一例如圖1D中所示之NAND記憶體單元陣列之一實例。沿每一行NAND鏈，一位元線耦合至每一NAND鏈之汲極端子56。沿每一行NAND鏈，一源極線可連接其所有源極端子54。而且，沿一列之NAND鏈之控制

閘極連接至一系列對應之字線。一整列NAND鏈可藉由下述方式來進行定址：經由連接之字線以其控制閘極上之適當電壓來導通該對選擇電晶體(參見圖1D)。當讀取代表NAND鏈內記憶體單元之記憶體電晶體時，該鏈中之其餘記憶體電晶體經由其關聯字線強導通，以使流過該鏈之電流實質上取決於儲存於所讀取單元中之電荷位準。一NAND架構陣列之一實例及其作為一記憶體系統之一部分之運作參見第5,570,315、5,774,397及6,046,935號美國專利。

區塊抹除

對電荷儲存記憶體裝置之程式化只會導致向其電荷儲存元件添加更多電荷。因此，在程式化作業之前，必須移除(或抹除)電荷儲存元件中現有之電荷。抹除電路(未顯示)經提供以抹除一個或多個記憶體單元區塊。當同時(亦即，以快閃形式)電抹除整個單元陣列或該陣列中大量單元組群時，非揮發性記憶體(例如，EEPROM)稱作"快閃"EEPROM。一旦被抹除，則可重新程式化該單元組群。可一同抹除的所述單元群組可由一個或多個可定址的可抹除單元組成。抹除單位或區塊通常儲存一頁或多頁資料，頁係程式化與讀取單位，當然可在一次作業中程式化或讀取多於一頁。每一頁通常儲存一個或多個資料區段，區段之尺寸由主機系統界定。一實例係一含有512個位元組之使用者資料(遵循針對磁碟機所制定之標準)，加上一定數量之關於使用者資料及/或儲存使用者資料之區塊之附加項

資訊的位元組之區段。

讀取/寫入電路

於通常之雙態EEPROM單元中，建立至少一個電流斷點位準，以將導電窗劃分成兩個區。當藉由施加預定、固定電壓過讀取一單元時，藉由與該斷點位準(或參考電流 I_{REF})相比較來將該單元之源極/汲極電流解析成一記憶體狀態。若所讀取之電流高於斷點位準之電流，則確定該單元處於一種邏輯狀態(例如，一"0"狀態)下。另一方面，若該電流低於斷點位準之電流，則可確定該單元處於另一種邏輯狀態(例如，"1"狀態)下。因此，此一雙態單元儲存一個位元之數位資訊。通常提供一可在外部程式化之參考電流源作為一記憶體系統之一部分以產生斷點位準電流。

為增大記憶體容量，快閃EEPROM裝置正隨著半導體技術水平之進步而製造具有越來越高之密度。另一種用於增大儲存容量之方法係使每一記憶體單元儲存多於兩種狀態。

於一多狀態或多位準EEPROM記憶體單元中，導電容器係藉由多於一個斷點劃分為多於兩個區，以使每一單元能夠儲存多於一介位元之資料。由此，一給定EEPROM陣列可儲存之資訊資訊隨著每一單元可儲存之狀態數量之增加而增加。具有多狀態或多位準記憶體單元之EEPROM或快閃EEPROM已闡述於第5,172,338號美國專利中。

實際上，通常藉由在對控制閘極施加一參考電壓時，感測跨該單元之源電極與汲電極之傳導電流來讀取該單元之

記憶體狀態。因此，對於一單元之浮動閘極上之每一給定電荷，可偵測相對於一固定參考控制閘極電壓之一對應傳導電流。類似地，可程式化至浮動閘極上之電荷範圍界定一對應臨限電壓窗或一對應傳導電流窗。

另一選擇係，並不偵測一所劃分電流窗當中的傳導電流，而是可在控制閘極處為一給定受測試記憶體狀態設定臨限電壓並偵測傳導電流係低於或係高於一臨限電流。於一種構建形式中，對相對於一臨限電流之傳導電流之偵測係藉由檢查傳導電流經位元線之電容放電之速率而達成。

圖4圖解闡釋在浮動閘極可在任一時刻有選擇地儲存之四種不同電荷Q1-Q4之情況下源極-汲極電流 I_D 與控制閘極電壓 V_{CG} 之間的關係。該四條連續 I_D 與 V_{CG} 曲線代表可在一記憶體單元之一浮動閘極上程式化之四種可能電荷位準，其分別對應於四種可能記憶體狀態。例如，一個單元群體之臨限電壓窗之範圍可從0.5 V到3.5 V。可藉由以均為0.5 V之間隔將臨限值窗劃分為5個區來分界6個記憶體狀態。舉例而言，若如圖所示使用一為2 μA 之參考電流 I_{REF} ，則程式化具有Q1之單元可視為處於一記憶體狀態"1"下，乃因其曲線在由 $V_{CG}=0.5$ V及1.0 V所分界之臨限值窗之區內與 I_{REF} 相交。類似地，Q4處於一記憶體狀態："5"下。

由上文說明可以看出，使一記憶體單元儲存的狀態越多，其臨限值窗劃分得就越精細。此將需要更高之程式化及讀取作業精度，以便能夠達到所要求之解析度。

美國專利第4,357,685號中揭示一種用於程式化一雙態

EPROM之方法，其中一單元在程式化至一給定狀態時，其曾經受連續的程式化電壓脈衝，每次向浮動閘極添加遞增電荷。在脈衝之間，讀取並驗證單元以確定其相對於斷點位準之源極-汲極電流。程式化在電流狀態已驗證達到期望狀態之後停止。所用程式化脈衝列可具有漸增之週期與幅度。

先前技術程式化電路僅施加程式化脈衝以自抹除或接地狀態跨過臨限值窗直至達到目標狀態為止。實際上，為達成適當之解析度，每一所劃分或分界之區皆將需要橫跨至少約5個程式化步驟。該效能適用於雙態記憶體單元。然而，對於多狀態單元，所需之步驟數量隨著分區數量之增加而增加，且因此，必須提高程式化精度或解析度。例如，16態單元可能平均需要至少40個程式化脈衝來程式化至目標狀態。

圖5示意性地圖解闡釋一記憶體裝置，該記憶體裝置具有可由讀取/寫入電路170經由列解碼器130及行解碼器160存取之記憶體陣列100之一典型佈置。如結合圖2及3所述，記憶體陣列100中之一記憶體單元之一記憶體電晶體可經由一組選定字線及位元線來定址。列解碼器130選擇一個或多個字線且行解碼器160選擇一個或多個位元線，以對所定址之記憶體電晶體之相應閘極施加適當之電壓。讀取/寫入電路170經提供以讀取或寫入(程式化)所定址記憶體電晶體之記憶體狀態。讀取/寫入電路170包含若干可經由位元線連接至陣列中之記憶體元件之讀取/寫入模

組。

影響讀取/寫入效能及精度之因素

為提高讀取及程式化效能，並行讀取或程式化一陣列中之多個電荷儲存元件或記憶體電晶體。因此，同時讀取或程式化一記憶體元件邏輯"頁"。於現有記憶體架構中，一列通常包含若干交錯頁。將同時讀取或程式化一頁中之所有記憶元件。行解碼器將有選擇地將每一交錯頁連接至一對應數量之讀取/寫入模組。例如，於一構建形式中，將記憶體陣列設計為具有一為532位元組(512位元組加上20個位元組之附加項)之頁尺寸。若每一行包含一汲極位元線且針對每一列存在兩個交錯頁，則共計8512行，其中每一頁皆與4256行相關聯。將存在可連接以並行讀取或寫入所有偶數位元線或奇數位元線之4256個感測模組。以此方式，可自該頁記憶體元件讀取或往該頁記憶體元件中程式化一頁4256個位元(亦即，532個位元組)之並行資料。形成讀取/寫入電路170之讀取/寫入模組可佈置成各種架構。

如前面所提及，習用記憶體裝置係藉由以大規模並行方式同時處理所有偶數或所有奇數位元線來改善讀取/寫入作業。一由兩個交錯頁構成的列之此"交替位元線"架構將有助於緩解配合讀取/寫入電路區塊之問題。其亦取決於對控制位元線-位元線容性耦合之考量。區塊解碼器用於將該組讀取/寫入模組多工至偶數頁或奇數頁。以此方式，每當讀取或程式化一組位元線時，可將該交錯組接地以使緊鄰元件耦合最小化。

然而，該交錯頁架構在至少三方面係不得的。首先，其需要額外多工電路。其次，其在效能上緩慢。為完成對由一字線相連或位於一列中之記憶體單元之讀取或程式化，需要兩個讀取或兩個程式化作業。第三，其在解決其它干擾影響方面亦非最佳：當在不同時刻程式化兩個處於浮動閘極位準下之鄰近電荷儲存元件(例如分別在奇數頁與偶數頁中)時，該兩個鄰近電荷儲存元件之間的場耦合。

第2004-0057318-A1號美國專利公開案揭示一種允許並行地感測複數個鄰接記憶體單元之記憶體裝置及其方法。例如，將沿一行之共享相同字線之所有記憶體單元共同讀取或程式化為一頁。此"全部位元線"架構為"交替位元線"架構之效能的兩倍，同時使由鄰近干擾影響所造成之誤差最小化。然而，感測所有位元線因來自其共同電容之感應電流而確實帶來鄰近位元線之間之串擾問題。此可藉由在感測每一毗鄰位元線對之傳導電流時使其之間的電壓差基本保持與時間無關來加以解決。當利用此條件時，所有因不同位元線之電容而引起之位移電流皆會漏失，乃因其均取決於隨時間變化之電壓差。耦合至每一位元線之感測電路皆在該等位元線上具有一電壓箝位，以使任一對毗鄰連接位元線上之電位差均與時間無關。由於位元線電壓被箝位，因而無法應用感測因位元線電容而引起之放電之習用方法。而是，該感測電路及方法允許藉由記錄其對一與位元線無關的給定電容器放電或充電之速率來確定記憶體單元之傳導電流。此將實現一與記憶體陣列之架構無關(即

與位元線電容無關)的感測電路。尤其是，其允許在感測期間箝位位元線電壓，從而避免位元線串擾。

如前面所提及，習用記憶體裝置藉由以大規模並行方式運行來改善讀取/寫入作業。此種方法改善效能，但的確對讀取與寫入作業之精度有影響。

一個問題係源極線偏壓誤差。此對於其中大量記憶體單元將其源極共同耦合於一通至接地之源極線中之記憶體架構尤為尖銳。並行感測此等具有共用源極之記憶體單元會導致一顯著電流流過該源極線。由於該源極線中之一非零電阻，此又會導致真接地與每一記憶體單元之源電極之間的一可觀電位差。於感測期間，供應至每一記憶體單元之控制閘極之臨限電壓與其源電極相關，而系統電力供應與真接地相關。因此，感測可能因源極線偏壓誤差之存在而變得不準確。

第2004-0057287-A1號美國專利公開案揭示一種允許並行地感測複數個鄰接記憶體單元之記憶體裝置及其方法。源極線偏壓之降低係藉由多遍感測之特徵及技術之讀取/寫入電路來達成。當並行感測一頁記憶體單元時，每一遍均有助於識別並關斷具有高於一給定分界電流值之傳導電流之記憶體單元。所識別之記憶體單元係藉由將其關聯位元線拉至接地而關斷。換言之，具有較高傳導電流且與當前感測不相關之彼此單元經識別，且在讀取該電流感測之實際資料之前將其電流關斷。

因此，通常需要一種其中功耗降低之高效能、大容量非

揮發性記憶體。具體而言，需要一種其中讀取及程式化效率得到提高且具電力效益之小型非揮發性記憶體。

【發明內容】

對大容量及高效能非揮發性記憶體裝置之此等需要藉由允許一大頁讀取/寫入電路並行讀取並寫入一對應頁記憶體單元來加以滿足。特定而言，高密度晶片整合中所固有之可將誤差引入至讀取與程式化中的互動雜訊影響可得到消除或最小化。

源極線偏壓係一由讀取/寫入電路之接地環路中之一非零電阻引入之誤差。該誤差係在電流流動時由通至晶片接地之源極路徑之電阻兩側之電壓降而造成。

一第一組實施例係針對一種記憶體裝置，該記憶體裝置具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流。該記憶體包括：一頁源極線，其可連接至一頁中之每一記憶體單元之源極；一用於一結構之彙總節點，其可連接至各頁源極線；及一源極隔離開關，其經由該彙總節點耦合至該結構區塊中之一選定頁之一頁源極線以實施一記憶體作業。該記憶體裝置亦包括一源極電位調節電路，該源極電位調節電路包括一主動電路元件，該主動電路元件具有一連接至一第一參考電壓之第一輸入且具有一連接為一回饋環路之第二輸入，該回饋環路可連接至該彙總節點回饋環路之第二輸入。

於另一組實施例中，一種記憶體裝置，其具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流。該記憶體包括：一頁源極線，其可連接至一頁中之每一記憶體單元之源極；一用於一結構區塊之彙總節點，其可連接至各頁源極線；及一源極隔離開關，其經由該彙總節點耦合至該結構區塊中之一選定頁之一頁源極線以實施一記憶體作業。該記憶體裝置亦包括一非線性電阻元件，該非線性電阻元件可連接於該彙總節點與接地參考之間。

本發明之各種態樣、優點、特徵及實施例包括於下文對本發明實例性實例之說明中，該說明應結合附圖一起閱讀。本文所提及之所有專利申請案、論文、其它公開案、文獻及諸如此類均出於各種目的據此以全文引用方式併入本文中。若在對所併入之公開案、文獻或諸如此類中任一者與本申請案之間存在術語之定義或用法之任何不一致或衝突，則應以本申請案之定義或用法為準。

【實施方式】

圖6A示意性地圖解闡釋具有一排讀取/寫入電路之小型記憶體裝置，其提供其中構建本發明之上下文。該記憶體裝置包含二維記憶體單元陣列300、控制電路系統310及讀取/寫入電路370。記憶體陣列300可由字線經由列解碼器330及由位元線經由行解碼器360來定址。讀取/寫入電路370構建為一排感測模組480，且允許並行讀取或程式化一

記憶體單元區塊(亦稱作一"頁")。在一較佳實施例中，一頁係由一系列鄰接記憶體單元構成。於另一其中將一系列記憶體單元劃分成多個區塊或頁之實施例中，區塊多工器350經提供以將讀取/寫入電路370多式至個別區塊。

控制電路310與讀取/寫入電路370合作來對記憶體陣列300實施記憶體作業。控制電路310包括一狀態機312、一晶片上位址解碼器314及一電力控制模組316。狀態機312提供對記憶體作業之晶片級控制。晶片上位址解碼器314在主機或記憶體控制器所用位址與解碼器330及370所用硬體位址之間提供位址介面。電力控制模組316控制在記憶體作業期間供應至字線及位元線之電力與電壓。

圖6B圖解闡釋圖6A所示小型記憶體裝置之一較佳佈置。各周邊電路對記憶體陣列300之存取係以對稱形式構建於該陣列之對置側上，以使每一側上之存取線及電路系統減半。因此，列解碼器分成列解碼器330A及330B，且行解碼器分成行解碼器360A及360B。於其中將一系列記憶體單元劃分成多個區塊之實施例中，區塊多工器350分成區塊多工器350A及350B。類似地，讀取/寫入電路分成自陣列300之底部連接至位元線之讀取/寫入電路370A及自陣列300之頂部連接至位元線之讀取/寫入電路370B。以此方式，實質上使讀取/寫入模組之密度及因此該排感測模組480之密度減半。

整排 p 個並行運作之感測模組480允許並行讀取或程式化一區塊(或頁)沿一行之 p 個單元。一個實例性記憶體陣列可

具有 $p = 512$ 個位元組 (512×8 個位元)。於該較佳實施例中，該區塊係一連串整列記憶體單元。於另一實施例中，區塊係該列中之一單元子集。舉例而言，該單元子集可係整列之一半或整列之四分之一。單元子集可為一連串鄰接單元或彼此相間一個單元，或彼此相間之預定數量之單元。每一感測模組均包括用於感測記憶體單元之傳導電流之感測放大器。較佳感測放大器揭示於第 2004-0109357-A1 號美國專利公開案中，該公開案之全部揭示內容據此以引用方式併入本文中。

源極線誤差管理

感測記憶體單元之一個可能之問題係源極線偏壓。當並行感測大量記憶體單元時，其組合電流可導致一具有有限電阻之接地環路中之顯著電壓降。此導致一源極線偏壓，該源極線偏壓造成採用臨限電壓感測之感測作業誤差。此外，若該單元靠近線性區運作，則一旦在彼區中，傳導電流對源極-汲極電壓敏感，且在該汲極電壓由該偏壓補償時，該源極線偏壓將會導致感測作業誤差。

圖 7A 圖解闡釋其中位元線電壓控制、字線電壓控制及源極電壓控制皆以 IC 記憶體晶片之相同接地為基準之習用佈置。讀取/寫入電路 370 同時處理一頁記憶體單元。讀取/寫入電路中之每一感測模組 480 均經由位元線 (例如，位元線 36) 耦合至對應之單元。舉例而言，一感測模組 480 感測一記憶體單元 10 之傳導電流 i_1 (源極-汲極電流)。該傳導電流自該感測模組經由位元線 36 流入記憶體單元 10 之汲極中並

在流過一源極線34及一合併源極線40之前自源極14流出並隨後經由一源極控制電路400流至晶片之接地401。源極線34通常沿一記憶體陣列中之一列聯合一頁中之記憶體單元之所有源極。於一積體電路晶片中，一記憶體陣列中各列之源極線34均共同結合為合併源極線40之多個連接至源極控制電路400之分支。源極控制電路400具有一受控以將合併源極線40拉至晶片之接地401之下拉電晶體402，該下拉電晶體最終連接至記憶體晶片之一外部接地墊(例如， V_{ss} 墊)。甚至當使用金屬帶來降低源極線之電阻時，非零電阻 R 將保留在記憶體單元之源電極與接地墊之間。通常，平均接地環路電阻 R 可高達50歐姆。

對於正受到並行感測之整頁記憶體，流經合併源極線40之總電流為所有傳導電流之和，亦即 $i_{TOT}=i_1+i_2+...+i_P$ 。通常，每一記憶體單元均具有取決於程式化至其電荷儲存元件中之電荷量之傳導電流。對於該記憶體單元之給定控制閘極電壓，更小之程式化電荷將產生比較高的傳導電流(參見圖4)。當在記憶體單元之源電極與接地墊之間之路徑中存在有限電阻時，電阻兩側之電壓降由 $V_{drop} \sim i_{TOT}R$ 表示。

舉例而言，若4,256條位元線各自以一電流 $1 \mu A$ 同時放電，則源極線電壓降將等於4000條線 $\times 1 \mu A/\text{線} \times 50 \text{ 歐姆} \sim 0.2$ 伏特。此意味著並非處在接地電位，有效源極此刻處於0.2 V。由於位元線電壓及字線電壓以相同之晶片接地401為基準，因此0.2伏之此源極線偏壓將使有效汲極電壓及

控制閘極電壓減少 0.2 V。

圖 7B 圖解闡釋由源極線電壓降所造成之記憶體單元之臨限電壓位準誤差。供應至記憶體單元 10 之控制閘極 30 之臨限電壓 V_T 與晶片接地 401 相關。然而，記憶體單元所經歷之有效電壓 V_T 為其控制閘極 30 與源極 14 之間的電壓差。在所供應之 V_T 與有效 V_T 之間存在一大約 V_{drop} 或 ΔV 之差(忽略從源極 14 到源極線之較小電壓降影響)。在感測記憶體單元之臨限電壓時，此 ΔV 或源極線偏壓將促成一例如 0.2 伏特之感測誤差。此偏壓不容易移除，因為其係資料相依的，亦即，相依於該頁記憶體單元之記憶體狀態。

圖 7B 亦圖解闡釋由源極線電壓降所造成之記憶體單元之汲極電壓位準誤差。施加至記憶體單元 10 之汲極 16 之汲極電壓與晶片接地 401 相關。然而，該記憶體單元所經歷之有效汲極電壓 V_{DS} 係其汲極 16 與源極 14 之間的電壓差。所供應 V_{DS} 與有效 V_{DS} 之間存在一大約 ΔV 之差。當在一對 V_{DS} 敏感之作業區中感測記憶體單元時，此 ΔV 或源極線偏壓將促成一感測誤差。如上所述，此偏壓不容易移除，因為其係資料相依的，亦即，相依於該頁記憶體單元之記憶體狀態。

圖 8 圖解闡釋 4 狀態式記憶體中一頁記憶體單元之實例性群體分佈中之源極偏壓誤差影響。每一記憶體狀態叢集均在一相互清楚地分開之傳導電流 I_{SD} 範圍內程式化。例如，斷點 381 係兩個叢集之間的分界電流值，該兩個叢集分別代表 "1" 與 "2" 記憶體狀態。"2" 記憶體狀態之必要條件將在

於其具有小於斷點381之傳導電流。若不存在源極線偏壓，則相對於所供應臨限電壓 V_T 之群體分佈將由帶有實線之曲線表示。然而，由於該源極線偏壓誤差，每一記憶體單元在其控制閘極處之有效臨限電壓會從所供應電壓相對於接地減少源極線偏壓 ΔV 。類似地，有效汲極電壓亦從所供應電壓減少源極線偏壓。

該源極線偏壓導致該分佈(虛線)朝向更高所供應 V_T 移位以補償該有效電壓之不足。對於更高(更低電流)記憶體狀態者，移位將更大。若斷點381係針對不存在源極線誤差之情形而設計，則源極線誤差之存在將使"1"狀態之具有傳導電流之尾端之某些部分出現在無傳導區中，其意味著高於斷點381。此將致使某些"1"狀態(更傳導)會被錯誤地分界為"2"狀態(不太傳導)。

源極線偏壓之汲極補償

根據本發明之一個態樣，當並行感測一頁記憶體單元且其源極耦合在一起以在一彙總存取節點處接收單元源極信號時，供應至位元線之工作電壓具有與該彙總存取節點而不是與晶片接地相同之參考點。以此方式，彙總存取節點與晶片接地之間的任何源極偏壓差均將受到追蹤且以所供應之位元線電壓來進行補償。

通常，從每一記憶體單元到晶片接地之源極路徑會在一範圍內變化，因為每一記憶體單元將具有一通至晶片接地之不同網絡路徑。此外，每一記憶體單元之傳導電流取決於程式化至其中之資料。即使在一頁之記憶體單元之中，

亦會存在源極偏壓之某些差異。然而，當將該參考點取為盡可能靠近記憶體單元之源極時，至少可使該等誤差最小化。

圖9A圖解闡釋一根據本發明之一個較佳實施例之佈置，其中藉由在其中單元源極信號存取源極線之節點處具有一個參考點來針對源極偏壓補償位元線電壓控制及/或字線電壓控制。類似於圖7A，讀取/寫入電路370同時處理一頁記憶體單元。讀取/寫入電路中之每一感測模組480均經由位元線(例如，位元線36)耦合至對應之單元。頁源極線34耦合至沿該記憶體陣列中之一列之頁中每一記憶體單元之源極。多列將其頁源極線耦合在一起並經由彙總存取節點35耦合至源極控制電路400。源極控制電路400具有一下拉電晶體402，該下拉電晶體受到控制以經由具有電阻 R_s 之合併源極線所形成之接地路徑將彙總存取節點35及因此頁源極線34拉至晶片接地401。接地401最終連接至記憶體晶片之外部接地墊(例如， V_{ss} 墊)。因此，源極控制電路400控制聚集存取節點35處的單元源極信號。由於該有限電阻接地路徑，該單元源極信號並不處於0 V下而是具有一源極偏壓 ΔV_1 。

實施為追蹤位元線電壓箝位電路之位元線電壓控制700經構建以補償資料相關源極偏壓。此係藉由在輸出703中產生一輸出電壓 V_{BLC} 而達成，該輸出電壓 V_{BLC} 與彙總存取節點35處(而不是外部接地墊處)之單元源極信號以相同之點為基準。以此方式，可至少消除因該合併源極線之電阻

R_s 而引起之源極偏壓。

根據本發明之另一態樣，當並行感測一頁記憶體單元且其源極耦合至同一頁源極線時，供應至該位元線之工作電壓以該頁源極線之存取節點而不是該晶片接地為基準。以此方式，從該頁存取節點到該晶片接地之任何源極偏壓差均將受到追蹤且以所供應之位元線電壓來加以補償。

圖9B圖解闡釋一根據本發明之另一較佳實施例藉由以頁源極線為基準來針對源極偏壓補償位元線電壓控制及字線電壓控制。

該佈置類似於圖9A之佈置，除了位元線電壓控制700及字線電壓控制800之參考點此刻實質上取於選定頁源極線處。頁源極線多工器780用來有選擇地將所選頁源極線耦合至充當該參考點之頁存取節點37。

實施為追蹤位元線電壓箝位電路之位元線電壓控制700經構建以補償資料相關源極偏壓。此係藉由在輸出703中產生輸出電壓 V_{BLC} 而達成，該輸出電壓以頁源極線34之存取節點38處之電壓為基準而不是以該外部接地墊為基準。以此方式，該源極偏壓因該參考點位於具體針對該頁之存取節點37處而更好地得到修正。

圖10係圖9A及9B中所示之較佳感測模組之示意圖，該較佳感測模組與追蹤位元線電壓控制電路協同移動以提供一針對源極偏壓而補償之位元線電壓。於所示實例中，感測模組480經由一所耦合位元線36來感測一NAND鏈50中之記憶體單元之傳導電流。其具有一可有選擇地耦合至一位

元線之感測節點 481、一感測放大器 600 或讀出匯流排 499。首先，隔離電晶體 482 在由信號 BLS 啟用時將位元線 36 連接至感測節點 481。感測放大器 600 感測感測節點 481。該感測放大器包括一預充電/箝位電路 640、一單元電流鑑別器 650 及鎖存器 660。

感測模組 480 使得能夠感測 NAND 鏈中之選定記憶體單元之傳導電流。當該記憶體單元之源極與汲極之間存在一額定電壓差時，該傳導電流隨程式化至該記憶體單元中之電荷及所施加之 $V_T(i)$ 而變化。於感測之前，必須經由適當之字線及位元線來設定通至所選記憶體單元之閘極之電壓。

該預充電作業以非選定字線充電至電壓 V_{read} 開始，並隨後針對考量中之一給定記憶體狀態將所選字線充電至預定臨限電壓 $V_T(i)$ 。

然後，預充電電路 640 將位元線電壓帶至一適於感測之預定汲極電壓。此將誘使源極-汲極傳導電流在 NAND 鏈 50 中之所選記憶體單元中流動，該源極-汲極傳導電流係經由一所耦合位元線 36 自 NAND 鏈之通道偵測。

當 $V_T(i)$ 電壓穩定時，可經由所耦合位元線 36 來感測所選記憶體單元之傳導電流或所程式化臨限電壓。然後，感測放大器 600 耦合至感測節點，以感測該記憶體單元中之傳導電流。單元電流鑑別器 650 充當一電流位準鑑別器或比較器。其有效地確定傳導電流係高於亦係低於一給定分界電流值 $I_0(j)$ 。若其高於給定分界電流值 $I_0(j)$ ，則將鎖存器

660設定至一其中信號INV=1之預定狀態。

一下拉電路486回應於鎖存器660將信號INV設定至HIGH(高)而啟動。此會將感測節點481及因此所連接之位元線36下拉至接地電壓。無論控制閘極電壓如何，此均將禁止記憶體單元10中之傳導電流流動，因為在其源極與汲極之間將不存在電壓差。

如圖9A及9B中所示，將存在一頁由對應數量之感測模組480處理之記憶體單元。頁控制器498將控制及時序信號供應至每一感測模組。頁控制器498使每一感測模組480循環穿過一預定運作序列，並且在運作期間供應一預定分界電流值 $I_0(j)$ 。如在此項技術中所習知，亦可將該分界電流值構建為一分界臨限電壓或感測時間週期。在最後一遍之後，頁控制器498藉由一信號NCO來啟用一傳輸閘488，以將感測節點481之狀態以感測資料形式讀取至一讀出匯流排499。總之，一頁感測資料將自所有多遍模組480讀出。類似之感測模組已揭示於第11/015,199號美國專利申請案中，該專利申請案係由Cernea等人於2004年12月16日提出申請，其名稱為"用於低電壓作業之改良記憶體感測電路及方法(IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION)"。第11/015,199號美國專利申請案之全部揭示內容以引用方式併入本文中。

感測模組480納含恒壓電源且在感測期間使該位元線保持處於恆定電壓下從而避免位元線-位元線耦合。此較佳

由位元線電壓箝位電路610構建而成。位元線電壓箝位電路610以與一具有一與位元線36串聯之電晶體612之二極體箝位電路同樣之方式運作。對其閘極施加偏壓至一等於高於其臨限電壓 V_{TN} 之所期望位元線電壓 V_{BL} 之恆定電壓 V_{BLC} 。以此方式，其將該位元線與感測節點481隔離開並為該位元線設定一恆定電壓位準，例如，所期望 $V_{BL}=0.4$ 至0.7伏特。通常，將該位元線電壓位準設定至一位準以使其低到足以避免長的預充電時間，但高到足以避免接地雜訊及其它因素，例如，在其中 V_{DC} 高於0.2伏特之飽和區中運作。

因此，當以一低 V_{BL} 運作(尤其是一個接近線性區之電壓)時，重要的是可精確地再現 V_{BL} ，因為小的差異亦可導致傳導電流之顯著改變。此意味著必須精確地設定 $V_{BLC}=V_{BL}+V_{TN}$ 從而使該源極線偏壓最小化。

圖11圖解闡釋圖9A及9B中所示這追蹤位元線電壓控制電路之一較佳實施例。追蹤位元線電壓控制電路700基本上在一輸出線703上提供一輸出電壓 V_{BLC} 。該輸出電壓實質上係由一可調節電阻器R 720兩側之一參考電流產生。採用一疊接電流鏡像電路730來使 I_{REF} 保持恆定在 V_{BLC} 範圍內。疊接電流鏡像電路730具有兩個分支，其中一第一分支係由兩個串聯連接成二極體之n-電晶體732、734形成，而一第二鏡像分支係由兩個串聯連接之其他n-電晶體736、738形成。電晶體732與736之閘極互連，而電晶體734與738之閘極互連。 I_{REF} 源連接至電晶體732之汲極，以

使 I_{REF} 順著第一分支流動且亦鏡像於第二分支中。 V_{HIGH} 源連接至電晶體 736 之汲極。電晶體 734 與 738 之源極互連以形成一基礎軌 701。

該輸出電壓係取自串聯連接電晶體 736 與 738 之間的一分接頭。若基礎軌 701 之電壓處於 V_1 下，則 $V_{BLC} = V_1 + V_{TN}$ 。此乃因電晶體 734 之汲極上之電壓為 V_1 加上該 n-電晶體之一臨限電壓，且相同之 I_{REF} 亦鏡像於第二分支中，從而導致相同之電壓出現在電晶體 738 之汲極上。

基礎軌 701 處之電壓 V_1 係由因電流 $2I_{REF}$ 而引起之電阻器 R 720 兩側之電壓降加上節點 721 處之一基礎電壓而設定。節點 721 處之基礎電壓可由一基礎電壓選擇器 740 選擇。當斷定電晶體 742 之閘極處之一控制信號 $ConSL$ 時，基礎電壓選擇器 740 經由電晶體 742 有選擇地將節點 721 連接至彙總存取節點 35 (參見圖 9A) 或連接至頁源極線之頁存取節點 37 (參見圖 9B)。另一選擇係，當斷定電晶體 744 之閘極處之一控制信號 $ConGND$ 時，選擇器電路 720 經由電晶體 744 有選擇地將節點 721 連接至接地 401。因此，可看出當斷定信號 $ConSL$ 時， $V_1 = \Delta V_1 + 2I_{REF} R$ ，且追蹤位元線電壓控制電路之輸出， $V_{BLC} = \Delta V_1 + 2I_{REF} R + V_{TN}$ 。在控制位元線電壓箝位電路 610 (參見圖 10) 之情況下，將 n-電晶體 734 選擇為具有與形成位元線電壓箝位電路 610 之電晶體之 V_{TN} 相同之 V_{TN} 。然後，調節電阻器 R 以藉由 $2I_{REF}$ 來設定所期望之位元線電壓 V_{BL} 。藉由以彙總存取節點 35 或頁存取節點 37 為基準，源極偏壓 ΔV_1 中之一高出接地電位之顯著部分將以

V_{BLC} 來進行補償。

源極線偏壓之控制閘極補償

根據本發明之再一態樣，當並行感測一頁記憶體單元且其源極耦合在一起以在彙總存取節點處接收單元源極信號時，供應至該字線之工作電壓具有與該彙總存取節點而不是該晶片接地相同之參考點。以此方式，該彙總存取節點與該晶片接地之間的任何源極偏壓差將受到追蹤且以所供應之字線電壓來加以補償。

如圖9A中所示，實施為追蹤字線電壓箝位電路之字線電壓控制800經構建以補償資料相關源極偏壓。此係藉由在輸出803中產生與聚集節點35處而非外部接地墊處的單元源極信號採用同一個點為基準的輸出電壓 V_{WL} 來實現。以此方式，至少可消除因合併源極線(參見圖7A)之電阻而引起之源極偏壓。

根據本發明之再一態樣，當並行感測一頁記憶體單元且其源極耦合至同一頁源極線時，供應至字線之工作電壓以頁源極線之存取節點而不是該晶片接地為基準。以此方式，從該頁存取節點到該晶片接地之任何源極偏壓差將受到追蹤且以所供應之字線電壓來加以補償。

如圖9B中所示，實施為追蹤字線電壓箝位電路之字線電壓控制800經構建以補償資料相關源極偏壓。此係藉由在輸出803中產生與通至所選頁源極線的存取節點38而非外部接地墊採用同一個點為基準之輸出電壓 V_{WL} 來實現。以此方式，源極偏壓因該參考點位於具體針對該頁之存取節

點38處更好地得到修正。

圖12圖解闡釋圖9A及9B所示追蹤字線電壓控制電路之一較佳實施例。追蹤字線電壓控制電路800實質上對參考電壓使用一電位除法器以在輸出803上獲得一所期望之輸出電壓 V_{WL} 。參考電壓 V_{REF} 係由VREF電路820提供。 V_{REF} 係由一經調節之輸出驅動器830驅動。經驅動 V_{REF} 之輸出位準由一受DAC控制之電位除法器840控制以在輸出803處產生經程式化之 V_{WL} 。

經調節之輸出驅動器830包括一驅動一來自一比較器834之輸出之p-電晶體832。p-電晶體832之汲極連接至一電壓源 V_{HIGH} 且其閘極由比較器834之輸出控制。比較器834於其"-"處接收VREF並將其與一來自p-電晶體之源極之信號回饋相比較。此外，電容器836用於將該比較器之輸出與"+"端子AC耦合。若p-電晶體832之源極處之電壓小於 V_{REF} ，則該比較器之輸出為低，以導通p-電晶體832，從而促成該源極處之電壓升高至位準 V_{REF} 。另一方面，若超過 V_{REF} ，則該比較器輸出將關斷p電晶體832以實施調節，從而在電位除法器840兩側出現一經驅動、調節之 V_{REF} 。電位除法器840係由一系列電阻器形成，任何兩個電阻器之間的每一分接頭皆可藉由一由一信號(例如DAC1)導通之電晶體(例如電晶體844)切換至輸出803端。以此方式，藉由有選擇地將輸出803連接至電位除法器內之一分接頭，可獲得一所期望之 V_{REF} 分數；亦即， $(n \cdot r / r_{TOT}) \cdot V_{REF}$ ，其中n為所選r DAC設定次數。

V_{REF} 及因此 V_{WL} 以一節點821為基準。節點821處之基礎電壓可藉由一基礎電壓選擇器850來選擇。當斷定電晶體742之閘極處一控制信號ConSL時，基礎電壓選擇器740經由電晶體742有選擇地將節點721連接至彙總存取節點35(參見圖9A)或連接至頁源極線之頁存取節點37(參見圖9B)。另一選擇係，當斷定電晶體854之閘極處之一控制信號ConGND時，選擇器電路850經由電晶體854有選擇地將節點821連接至接地401。因此，可看出當斷定信號ConSL時， ΔV_1 將出現於節點821處，其將變為VERF電路820及電壓除法器840之基礎電壓。因此，追蹤字線電壓控制電路800之輸出將具有 $V_{WL} = (n \cdot r / r_{TOT}) \cdot V_{REF} + \Delta V_1$ 。藉由以彙總存取節點35或頁存取節點37為基準，源極偏壓 ΔV_1 中高出接地電位之顯著部分將以 V_{WL} 來進行自動補償。

追蹤電壓控制電路800亦可用來追蹤用於控制位元線電壓箝位電路610(參見圖10)之 V_{BLC} 之源極偏壓。實質上，該輸出電壓設定為提供 $V_{BL} + V_{TN} + \Delta V_1$ 。

經調節之源極電位

本段落係一組引入調節源極電位之元件之替代實施例。一第一級實施例依賴使用一回饋電路來感測該源極電位並將其調節為恆定處於某一電壓下，例如，比方說0.5 V或1.0 V。一組替代實施例使用一非線性電阻元件(例如，二極體)來將源極線置於一高於接地之位準下。應注意，本段落之實施例與前述段落中所呈現(且進一步開發於美國

專利 7,173,854 及 7,170,784 中)之實施例互為補充，因為其可單獨或組合使用。

圖 13 包括許多來自先前圖式，但藉由不明確顯示許多電路元件而對於本說明簡化之元件。若干有代表性的 NAND 串 50 顯示為經由汲極端子 56 連接其對應位元線 36。應注意，儘管一給定 NAND 串，或更通常一給定記憶體單元顯示為直接連接至源極線 940，然而通常將存在許多中介元件(一 NAND 串中之其它記憶體單元、選擇閘極、各種開關或多工器等)，經由其一選定頁之記憶體單元之源極連接至該頁之源極線(圖 7A 中之 34)並從那以後進入複合源極線 940。對於本說明，各種位元線偏壓及感測放大器電路示意性地出現在圓周 480 附近，其中之一指示為選定(Sel.)。合併源極線 940 接收將稱作"結構區塊"且對應於圖 7A 及 9A 之元件 40 之所有單元之電流。沿此源極線 940 之電流 I_{CS} 將流過源極隔離開關 402 流至晶片接地(先前圖式中之 401)。此處，使源極線變得升高 ΔV 之各種電阻(如上文關於圖 7B 所述)共同集總為 R_{CS} 901，以使 $\Delta V = I_{CS} \times R_{CS}$ 。

於前述段落中，使位元線或字線電壓以源極電壓為基準主要就頁而闡述，因為其係針對用於感測一需要補償之給定頁之位元線或字線電路。於本發明之各實施例中，並非使字線、位元線或兩者以一可變 ΔV 值為基準，而是引入電路元件以使源極線在感測作業期間保持至一參考值。因此，相關之源極線 940 是一所有元件中可促成流過源極隔離開關之電流且對應於圖 7A 及 9A 之元件 40 之結構區塊。

類似地，節點910應分別與圖9A及9B中之節點35及37相比較。於該NAND架構中，可將實體區塊視為跨越一字線之寬度之NAND串彙總，因此結構區塊寬度為字線且長度為NAND串，例如圖3中所示。於NOR及其它佈置中，可能係由一共同源極線耗盡之對應結構。應注意，此處所使用之結構區塊之定義不同於"抹除區塊"，或抹除單位(其係"區塊"於快閃記憶體中之更常見用法)。情況也許是，且常常是，該兩個結構重合，但在更通用之情形下不必重合。

參見圖13，該段落之實施例藉由將電位調節為一恆定值來處理在彙總節點910處升高一可變量之電位之問題。例如，當在典型電流設計中一結構區塊之源極線上之反彈可高達比方說0.3 V時，藉由使節點910保持在0.5 V至1.0 V之範圍內，將存在足夠之頂部空間以使此反彈將不影響源極電壓。一第一組實施例藉由使用一回饋電路來調節節點910處之電位來實現此目的。一第二組實施例將一非線性電阻元件用於節點910處之電位。儘管此等技術使源極線保持或多或少恆定於一參考值下，然而若需要可藉由先前段落之技術來補償在感測作業期間出現在節點910處之任何剩餘差異。

此外，亦可組合其它互補性技術，例如採用主動電路元件來調節源極線940與字線、位元線、基板或其之某一組合之間的電壓差。此一用於使用沿線701之一主動電路元件799來補償位元線偏壓之方法顯示於圖14中。儘管在此簡化圖中未顯示細節，但元件799亦將處於適當之位元線

電壓下且包括一回饋環路。此一用於補償字線電壓之佈置開發於Feng Pan、Trung Pham及Byungki Woo之標題為"讀取、驗證字線參考電壓以追蹤源極位準"之美國專利申請案中，該申請案與本申請案同時提出申請，且其提供更多關於合適之電路之細節。

圖15A呈現一所採用之第一實施例，其藉由使用一主動電路來調節跨越節點910處源極線940與晶片接地之間的電位降。電晶體923連接於節點910與晶片接地之間，其控制閘極由運算放大器921驅動。運算放大器921之-輸入連接至一參考電壓，而+輸入以一回饋環路形式連接至節點910之位準。此電路之淨影響係將源極線940處之電壓調節為固定在該參考值下(不受在線上之電流或通過源極隔離開關402之路徑的阻降之影響)，從而可精確確定相對偏壓。如熟習此項技術者將瞭解，運算放大器921可由標準設計構建而成且電路可包括通常根據對穩定性及其它運算考慮事項之需要而併入之附加元件。

由於添加至圖15A之電路元件係添加用來在感測作業(讀取、驗證)期間調節源極電位，因此通常將包括開關及控制電路(未顯示)以在感測作業期間耦合此等元件。另外，儘管該構建形式顯示用於調節一單個結構區塊，然而，在替代形式中，當在一平面中存在多個結構區塊時，一單個此類電路可用於整個平面。類似地，一單個此類電路亦可用於多個平面。在此種情況下，正由回饋環路調節至參考值之節點將位於開關402之另一側上，因為此開關具體針對一單個區塊。相反地，並非同時在彙總源極節點910處

調節整個結構區塊，而是亦可在希望更精密之調節時調節各頁(亦即，調節圖7A中每一源極線34而不是複合線40)；然而，此將以增大電路系統及複雜性為代價。此等注解亦適用於圖15B、15C及16中之實施例。

視需要，源極隔離開關402亦可藉由將開關402之閘極連接至沿線923之一回饋環路而用作下拉電路之一部分。此可促成一面積節省，因為隨後也許可能將一更小之電晶體用於923。若正確選擇開關402，則在某些情況下也許可能不用923；然而，當開關402具有附加功能時且因此也許能夠對於此調節功能最佳化時，預期在大多數情況下將使用電晶體923來提供或增加該調節過程。

針對施加至運算放大器921之參考電壓所選擇之值可視為接地，此在某些應用中可能係更可取的；然而，由於將一電壓調節至一給定位準通常在所期望位準之兩側上使用一電壓範圍，因此調節於0 V下通常將需要負電壓之可用性，一通常不期望之複雜化。在大多數情況下，使用一稍微高於源極電位中原本出現之最高預期反彈之參考值將更為可行。例如，若預期最高值 ΔV 將大約為0.3 V，則參考電壓可視為0.5 V或1.0 V。讀取及驗證期間位準期間之偏壓位準則將調節以反映此升高但基本上恆定之源極偏壓。

圖15A之佈置只向下調節。若電路中之上拉量不夠，則可使用一例如圖15B中之實施例。於圖15B中，添加一未經補償之電流源Ibias 930以保證一最小偏壓從而提高穩定

性以使源極電位不下降太低，但此係以增加電流使用量為代價。

於圖 15C 之實施例中，將電流源帶進回饋環路。更特定而言，將電流源 930 構建為一其控制閘極電壓由運算放大器 921 之輸出沿路徑 931 設定之 PMOS 電晶體。使用經調節上拉元件允許更精確地補償上拉或下拉量。在圖 15A-C 所示實施例之間進行選擇以確定哪個實施例將在一給定應用中為首選往往係一設計選擇，其將平衡穩定、複雜性、電力消耗、佈局面積等等，此為電路設計中所熟悉的。

一用於將源極電位維持在一升高、恆定位準下之替代實施例顯示於圖 16 中。於此實施例中，以一可由二極體連接之電晶體或其它熟悉之佈置構建而成之非線性電阻元件（例如二極體 950）來取代圖 15A 至 15C 之主動元件。使用此一箝位電路具有相對於圖 15A-C 需要較少佈局面積之優點。除需要正確選擇二極體 950 以外，此外所示基礎佈置還缺乏與基於主動電路之構建形式一樣精確控制溫度及電壓差異之能力。

儘管已就某些實施例對本發明之個別態樣進行了說明，但應瞭解，本發明有權在隨附申請專利範圍之整個範疇內受到保護。

【圖式簡單說明】

圖 1A-1E 示意性地圖解闡釋非揮發性記憶體單元之不同實例。

圖 2 圖解闡釋一 NOR 記憶體單元陣列之一實例。

圖3圖解闡釋一例如圖1D中所示的NAND記憶體單元陣列之一實例。

圖4圖解闡釋在浮動閘極可在任一時刻儲存之四種不同電荷量 $Q1-Q4$ 之情況下源極-汲極電流與控制閘極電壓之間的關係。

圖5示意性地圖解闡釋一可由讀取/寫入電路經由列解碼器及行解碼器存取之記憶體陣列之一典型佈置。

圖6A示意性地圖解闡釋具有一排讀取/寫入電路之小型記憶體裝置，其提供其中構建本發明之上下文。

圖6B圖解闡釋圖6A所示小型記憶體裝置之一較佳佈置。

圖7A圖解闡釋其中位元線電壓控制、字線電壓控制及源極電壓控制以IC記憶體晶片之相同接地為基準之習用佈置。

圖7B圖解闡釋由源極線電壓降造成之記憶體單元之閘極電壓及汲極電壓二者誤差。

圖8圖解闡釋4狀態式記憶體中一頁記憶體單元之一實例性群體分佈中之源極偏壓誤差之影響。

圖9A圖解闡釋根據本發明一個較佳實施例之佈置，其中藉由在單元源極信號存取源極線的節點處具有一個參考點以針對源極偏壓補償位元線電壓控制及/或字線電壓控制。

圖9B圖解闡釋根據本發明另一較佳實施例藉由以一頁源極線為基準來針對源極偏壓補償位元線電壓控制及字線電

壓控制。

圖 10 係圖 9A 及 9B 中所示的較佳感測模組之示意圖，該較佳感測模組與追蹤位元線電壓控制電路協同運作來提供針對源極偏壓所補償之位元線電壓。

圖 11 圖解闡釋圖 9A 及 9B 中所示之追蹤位元線電壓控制電路之一較佳實施例。

圖 12 圖解闡釋圖 9A 及 9B 所示追蹤字線電壓控制電路之一較佳實施例。

圖 13 顯示一經簡化以用於圖解闡釋對一經調節之源極電位之使用之 NAND 記憶體單元陣列之一部分。

圖 14 圖解闡釋對一補償性位元線偏壓之應用。

圖 15A-C 圖解闡釋對一用於獨立於源極線中之電流或其通至接地之路徑中之電阻來設定源極線電位之調節器之使用。

圖 16 圖解闡釋對一用於設定源極線電位之箝位電路之使用。

【主要元件符號說明】

"1"	狀態
"2"	狀態
"3"	狀態
"4"	狀態
"5"	狀態
"6"	狀態
"0"	狀態

10	記憶體單元
12	分裂通道
14	源極
16	汲極
20	浮動閘極
20'	浮動閘極
30	控制閘極
30'	控制閘極
34	源極線
35	節點
36	位元線
37	節點
40	複合線
42	字線
50	NAND鏈
54	源極端子
56	汲極端子
100	記憶體陣列
130	列解碼器
160	行解碼器
170	讀取/寫入電路
180	感測模組
300	記憶體陣列
310	控制電路系統

312	狀態機
314	晶片上位址解碼器
316	電力控制
330	列解碼器
330A	列解碼器
330B	列解碼器
350	頁多工器
350B	區塊多工器
350A	區塊多工器
360	行解碼器
360B	行解碼器
360A	行解碼器
370	讀取/寫入電路
370B	讀取/寫入電路
370A	讀取/寫入電路
381	斷點
400	源極控制電路
401	接地
402	下拉電晶體
480	感測模組
481	感測節點
482	感測模組
486	下拉電路
488	傳輸閘

498	頁控制器
499	讀出匯流排
600	感測放大器
610	位元線電壓箝位電路
640	預充電電路
650	單元電流鑑別器
660	鎖存器
700	位元線電壓控制
701	線
703	輸出
720	選擇器電路
721	節點
730	疊接電流鏡像電路
732	n-電晶體
734	n-電晶體
736	n-電晶體
738	n-電晶體
740	基礎電壓選擇器
742	電晶體
744	電晶體
780	頁源極線多工器
799	元件
800	追蹤字線電壓控制電路
803	輸出

820	VREF 電路
821	節點
830	輸出驅動器
832	p 電晶體
834	比較器
836	電容器
840	電位除法器
844	電晶體
850	基礎電壓選擇器
854	電晶體
901	電阻
910	彙總源極節點
921	運算放大器
923	電晶體
930	電流源
931	路徑
940	源極線
950	二極體
M1	記憶體電晶體
M2	記憶體電晶體
Mn	記憶體電晶體
S1	源極選擇電晶體
S2	汲極選擇電晶體
T1	儲存元件
T2	儲存元件

五、中文發明摘要：

本發明提供用於處置可能之源極線偏壓之技術，該可能之源極線偏壓係由一非揮發性記憶體之讀取/寫入電路之接地環路中一非零電阻引入之一誤差。該誤差係在電流流動時由跨通至晶片之接地的源極路徑之電阻之電壓降而造成。為此目的，該記憶體裝置包括一源極電位調節電路，該源極電位調節電路包括一主動電路元件，該主動電路元件具有一連接至一參考電壓之第一輸入及一連接成一回饋環路之第二輸入，該回饋環路可連接至彙總節點，一結構區塊之記憶體單元允許其電流自該彙總節點流至接地。一種變化形式包括一可連接於該彙總節點與接地之間的非線性電阻元件。

六、英文發明摘要：

Techniques are presented for dealing with possible source line bias is an error introduced by a non-zero resistance in the ground loop of the read/write circuits of a non-volatile memory. The error is caused by a voltage drop across the resistance of the source path to the chip's ground when current flows. For this purpose, the memory device includes a source potential regulation circuit, including an active circuit element having a first input connected to a reference voltage and having a second input connected as a feedback loop that is connectable to the aggregate node from which the memory cells of a structural block have their current run to ground. A variation includes a non-linear resistive element connectable between the aggregate node and ground.

十、申請專利範圍：

1. 一種非揮發性記憶體裝置，其具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流，該記憶體裝置包含：

一頁源極線，其可連接至一頁中每一記憶體單元之該源極；

一彙總節點，其耦合至一結構區塊之個別頁源極線；

一源極隔離開關，其經由該彙總節點耦合至一選定頁之一頁源極線以用於一記憶體作業；及

一源極電位調節電路，其包括一主動電路元件，該主動電路元件具有一連接至一第一參考電壓之第一輸入且具有一連接成一回饋環路之第二輸入，該回饋環路可連接至該彙總節點。

2. 如請求項1之記憶體裝置，其中該第二輸入係透過一由該主動電路元件之該輸出控制之電晶體連接至接地參考。
3. 如請求項1之記憶體裝置，其中該源極隔離開關包括一電晶體，該彙總節點係透過該電晶體連接至接地參考，該電晶體由該回饋環路控制。
4. 如請求項1之記憶體裝置，其進一步包括控制電路，在感測作業期間，該回饋環路係藉由該控制電路連接至該彙總節點。
5. 如請求項1之記憶體裝置，其進一步包含：

一 關聯位元線，其可連接至該選定頁中每一記憶體單元之該汲極；

一位元線電壓供應器，其用於為該選定頁中每一記憶體單元之該關聯位元線提供一預定位元線電壓以用於一感測作業；

一字線，其可連接至該選定頁中每一記憶體單元之該控制閘極；及

字線電壓供應器電路，其用於為該選定頁中每一記憶體單元之該字線提供一預定字線電壓以用於該感測作業，

其中在該感測作業期間，該第一參考電壓獨立於該字線及位元線電壓。

6. 如請求項1之記憶體裝置，其進一步包含：

一上拉元件，其可連接至該彙總節點。

7. 如請求項6之記憶體裝置，其中該上拉元件係由該主動電路元件予以調節。

8. 如請求項1之記憶體裝置，其中該第一參考電壓處於一自0.5 V至1.0 V之範圍內。

9. 如請求項1之記憶體裝置，其中該第一參考電壓係接地參考。

10. 如請求項1之記憶體裝置，其中該記憶體裝置具有複數個平面，且其中該源極電位調節電路係用於該等平面中之一第一平面，該等平面中之其它平面具有截然不同之源極電位調節電路。

11. 如請求項1之記憶體裝置，其中該等記憶體單元係根據一NAND式架構來組織。

12. 一種在一非揮發性記憶體裝置中感測記憶體單元之一頁之方法，該非揮發性記憶體裝置具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流，該方法包含：

提供一頁源極線；

將該頁中每一記憶體單元之該源極耦合至該頁源極線；

將該頁源極線耦合至用於連接至一源極電壓控制電路之一結構區塊彙總節點以用於感測作業；

將該彙總節點耦合至一源極電位調節電路之一回饋環路，該源極電位調節電路包括一主動電路元件，該主動電路元件具有一第一輸入且具有一連接至該回饋環路之第二輸入；及

對該第一輸入施加一第一參考電壓。

13. 如請求項12之方法，其中該第二輸入係透過一電晶體連接至接地參考，該方法進一步包含：

藉由該主動電路元件之該輸出來控制該電晶體。

14. 如請求項12之方法，其中該源極隔離開關包括一電晶體，該彙總節點係透過該電晶體連接至接地參考，該方法進一步包含：

藉由該回饋環路來控制該電晶體。

15. 如請求項12之方法，其進一步包含：

將該回饋環路連接至該彙總節點。

16. 如請求項12之方法，該記憶體裝置進一步具有耦合至該頁之每一記憶體單元之該汲極之一關聯位元線及耦合至該頁之每一記憶體單元之該控制閘極之一字線，該方法進一步包含：

向該頁之每一記憶體單元之該關聯位元線提供一預定位元線電壓以用於該感測作業；及

為該頁之每一記憶體單元之該字線提供一預定字線電壓以用於該感測作業，

其中在該感測作業期間，該第一參考電壓獨立於該字線及位元線電壓。

17. 如請求項12之方法，其進一步包括：

連接一可連接至該彙總節點之上拉元件。

18. 如請求項17之方法，其進一步包含：

藉由該主動電路元件來調節該上拉元件。

19. 一種非揮發性記憶體裝置，該非揮發性記憶體裝置具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流，該記憶體裝置包含：

一頁源極線，其可連接至一頁中每一記憶體單元之該源極；

一彙總節點，其耦合至一結構區塊之個別頁源極線；

一源極隔離開關，其經由該彙總節點耦合至一選定頁之一頁源極線以用於一記憶體作業；及

一非線性電阻元件，其可連接於該彙總節點與接地參考之間。

20. 如請求項19之記憶體裝置，其中該非線性電阻元件係一個二極體。

21. 如請求項19之記憶體裝置，其進一步包括控制電路，在感測作業期間，該非線性電阻器元件係藉由該控制電路連接至該彙總節點。

22. 一種在非揮發性記憶體裝置中感測記憶體單元之一頁之方法，該非揮發性記憶體裝置具有待並行感測之個別記憶體單元頁，每一記憶體單元皆具有一源極、一汲極、一電荷儲存單元及一控制閘極，該控制閘極用於控制沿該汲極及源極之一傳導電流，該方法包含：

提供一頁源極線；

將該頁之每一記憶體單元之該源極耦合至該頁源極線；

將該頁源極線耦合至用於連接至一源極電壓控制電路之一結構區塊彙總節點以用於感測作業；及

藉由一可連接之非線性電阻元件將該彙總節點耦合至接地參考。

23. 如請求項22之方法，其中該非線性電阻元件係一個二極體。

24. 如請求項22之方法，其進一步包含：

將該非線性電阻器元件連接至該彙總節點。

十一、圖式：

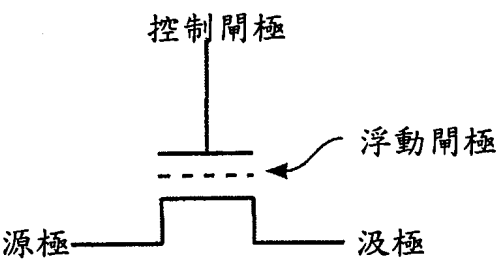


圖 1A

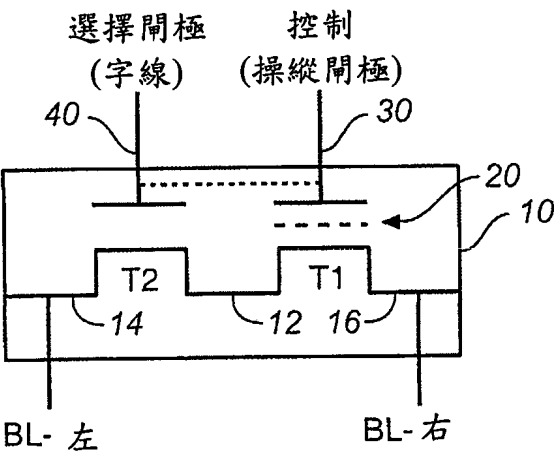


圖 1B

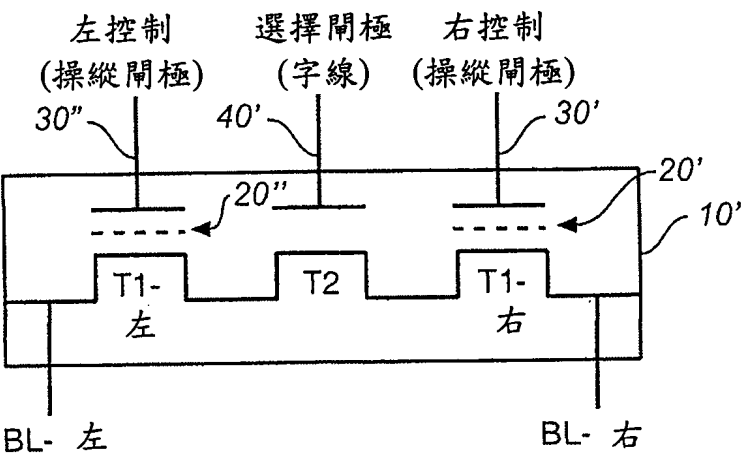


圖1C

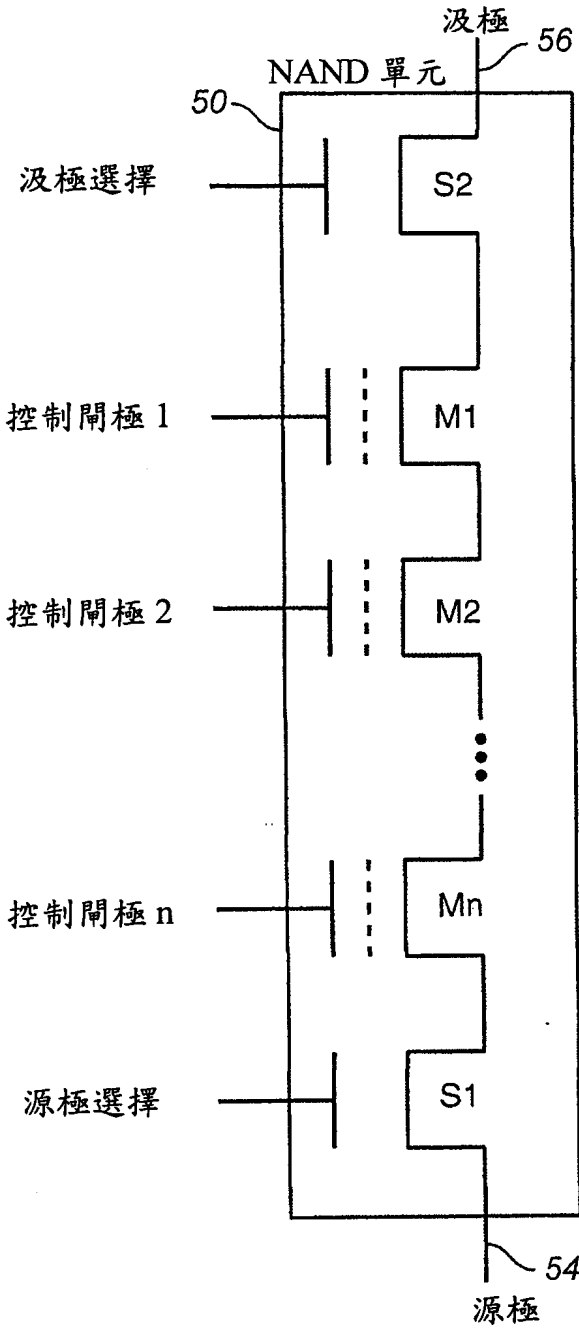


圖 1D

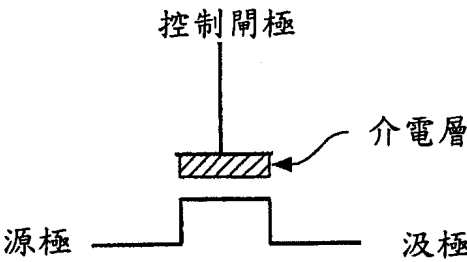


圖 1E

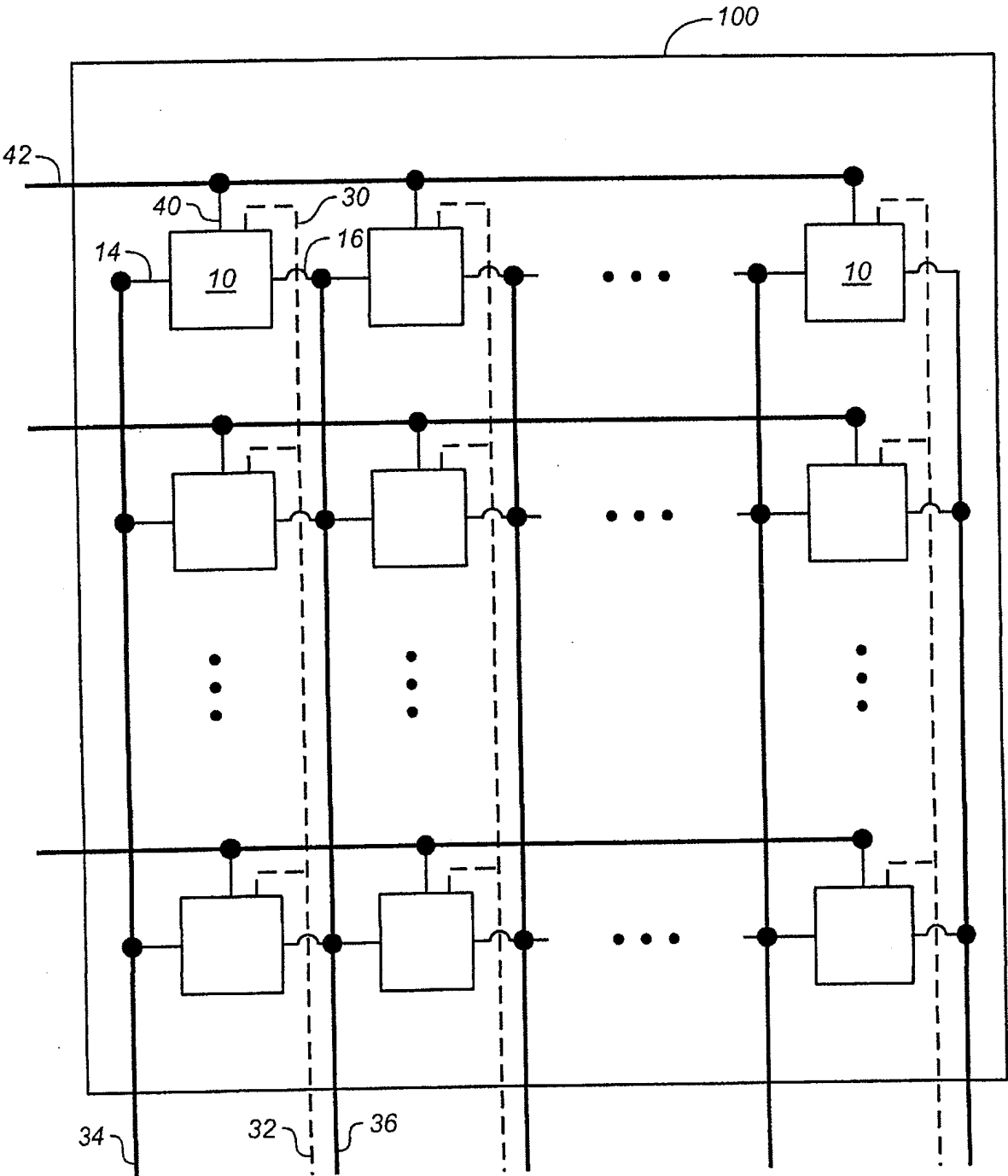


圖2

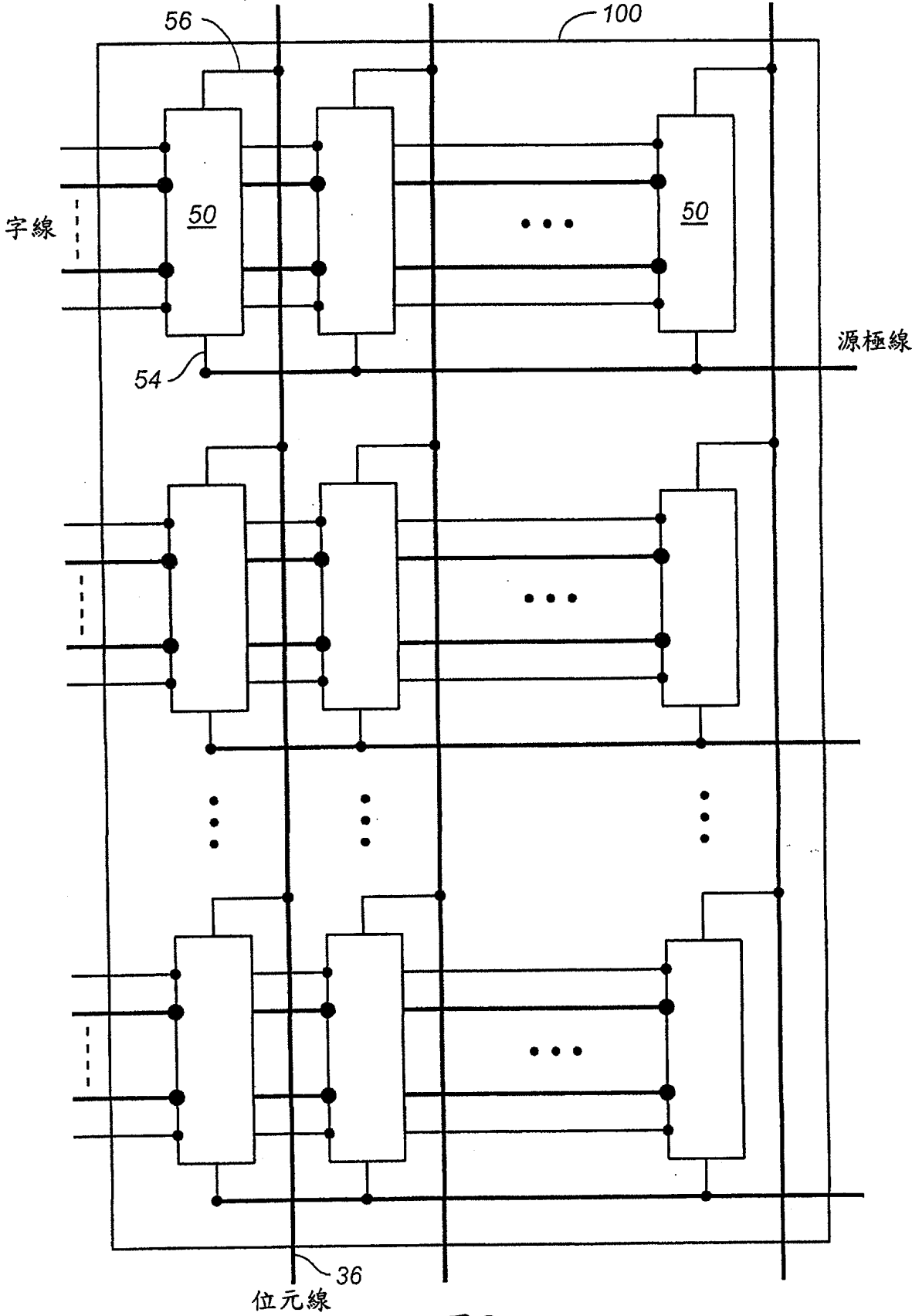


圖3

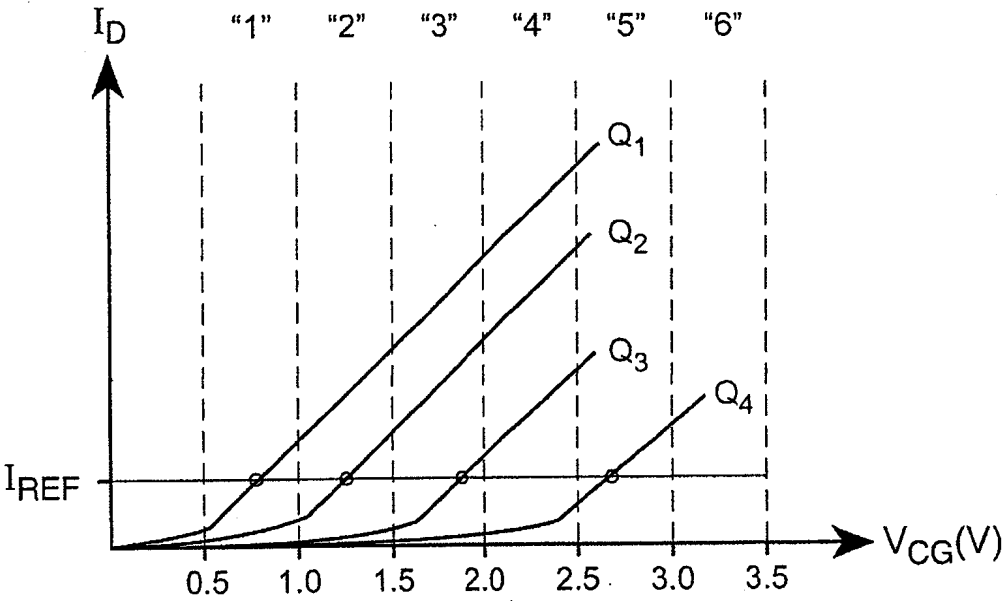


圖 4

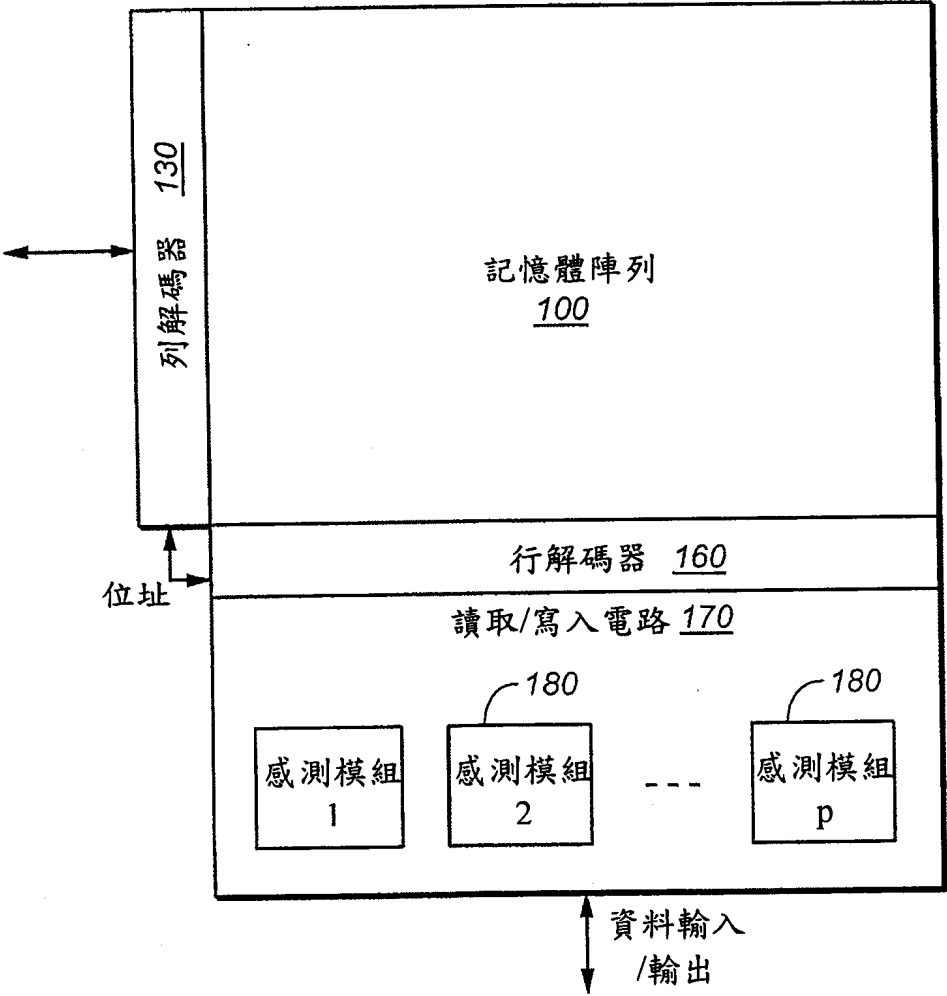


圖5

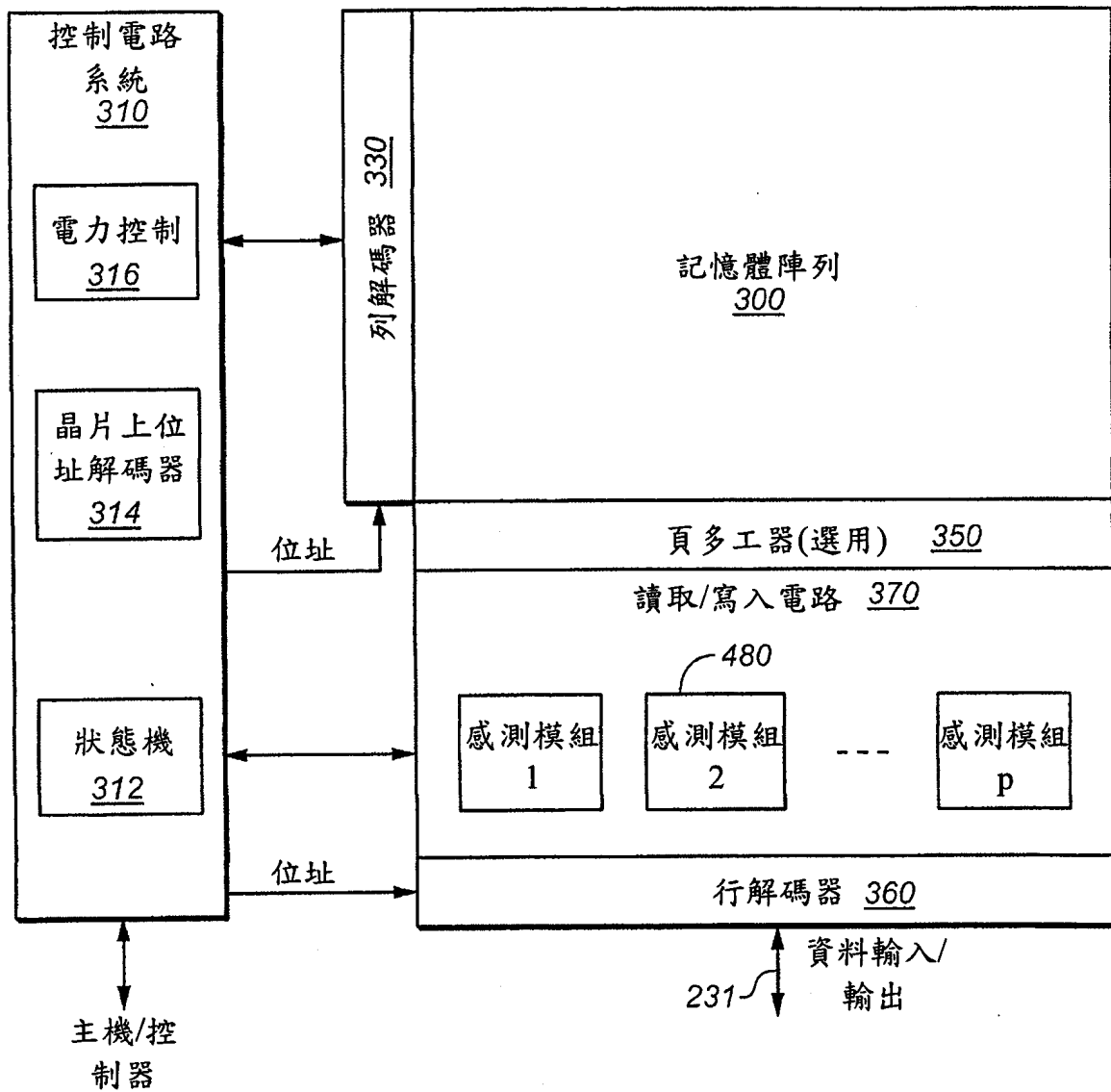


圖6A

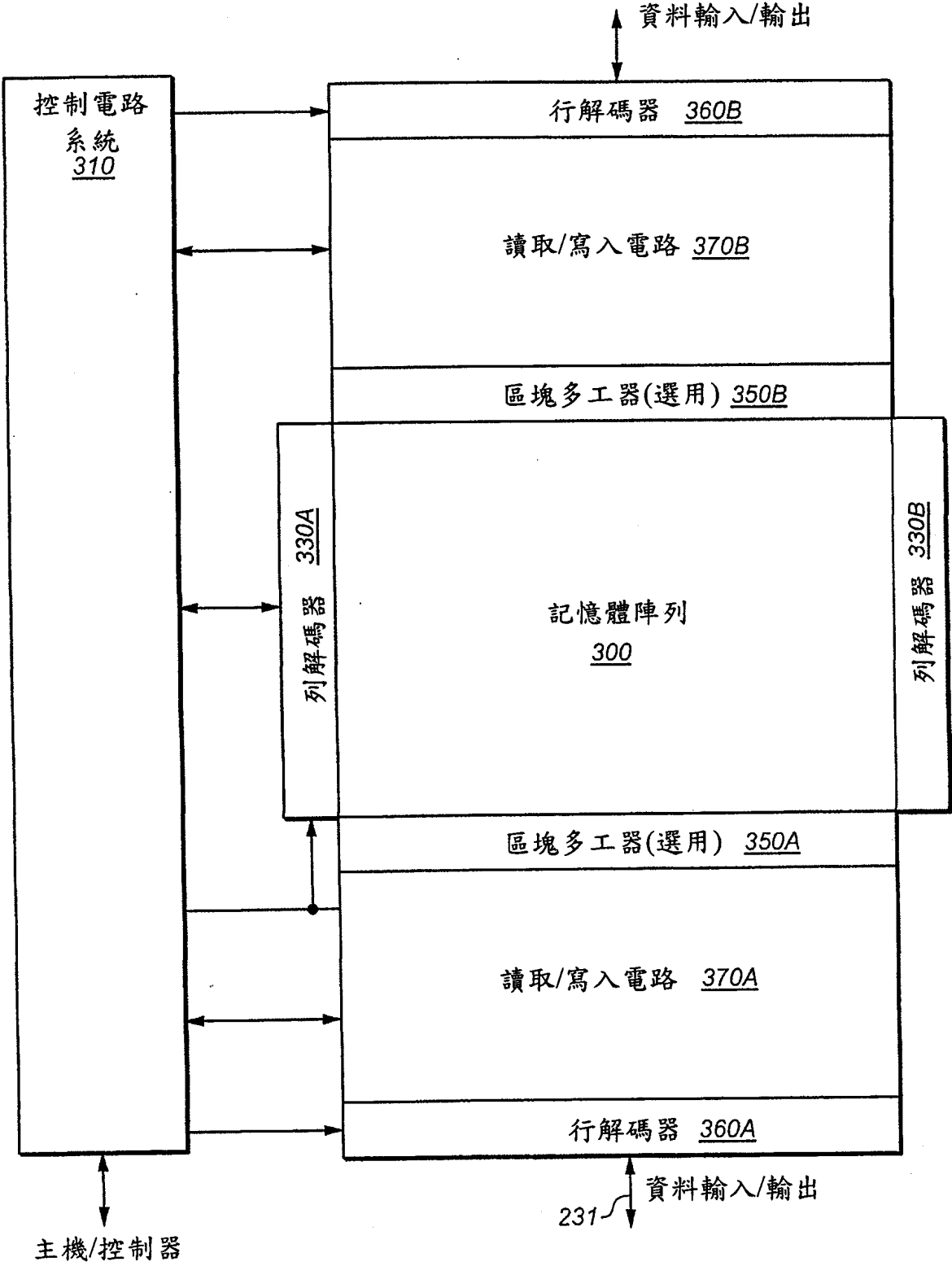


圖6B



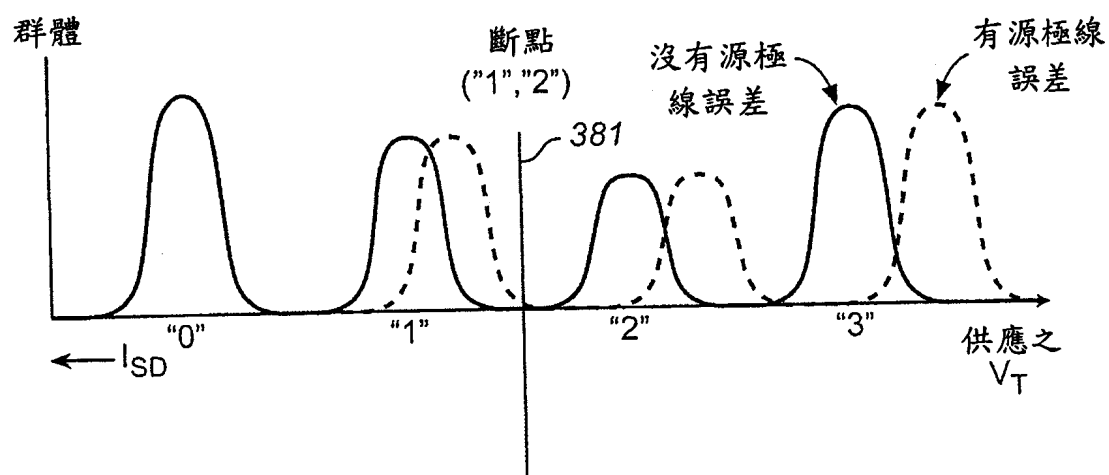


圖 8

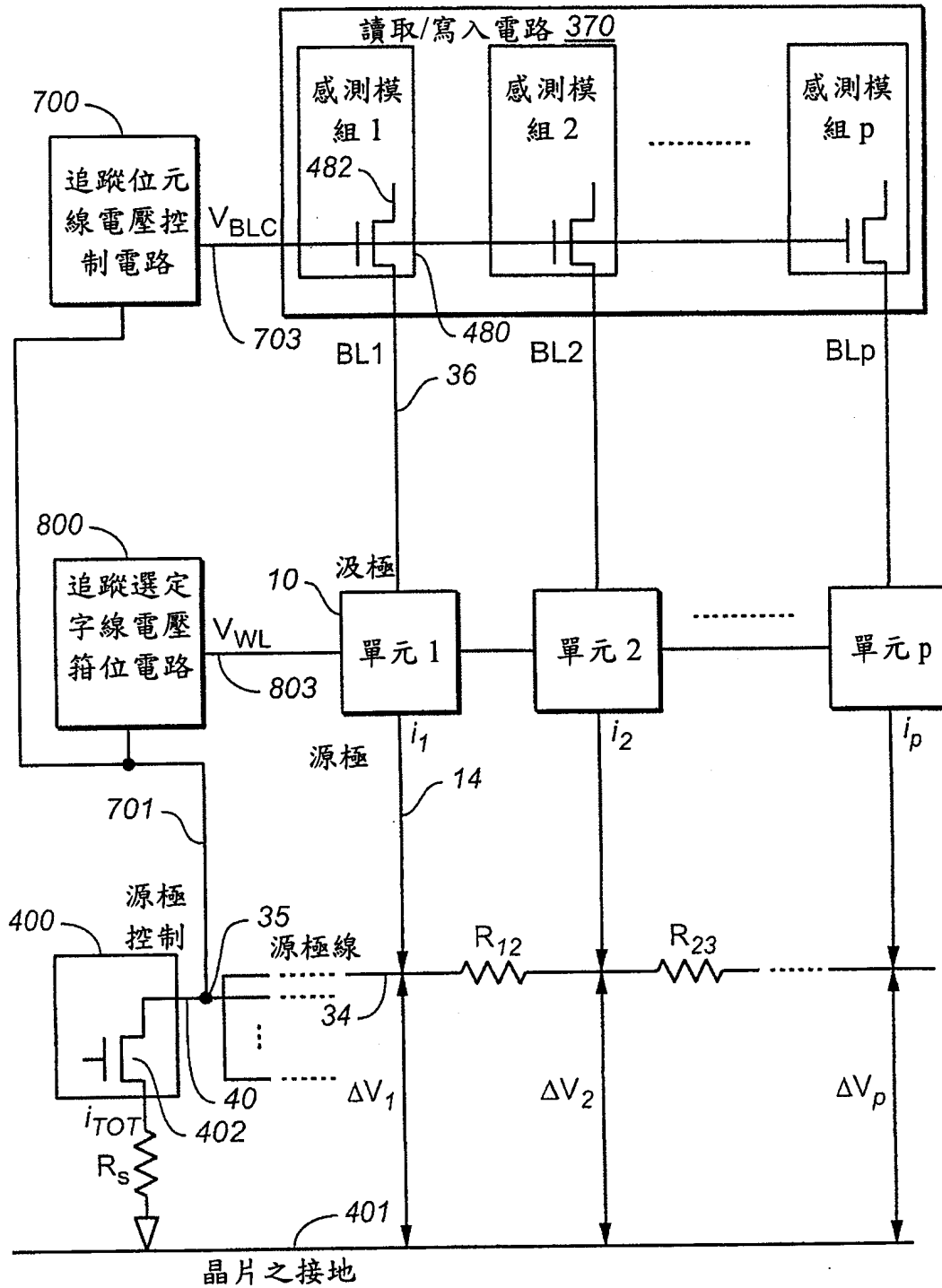


圖9A

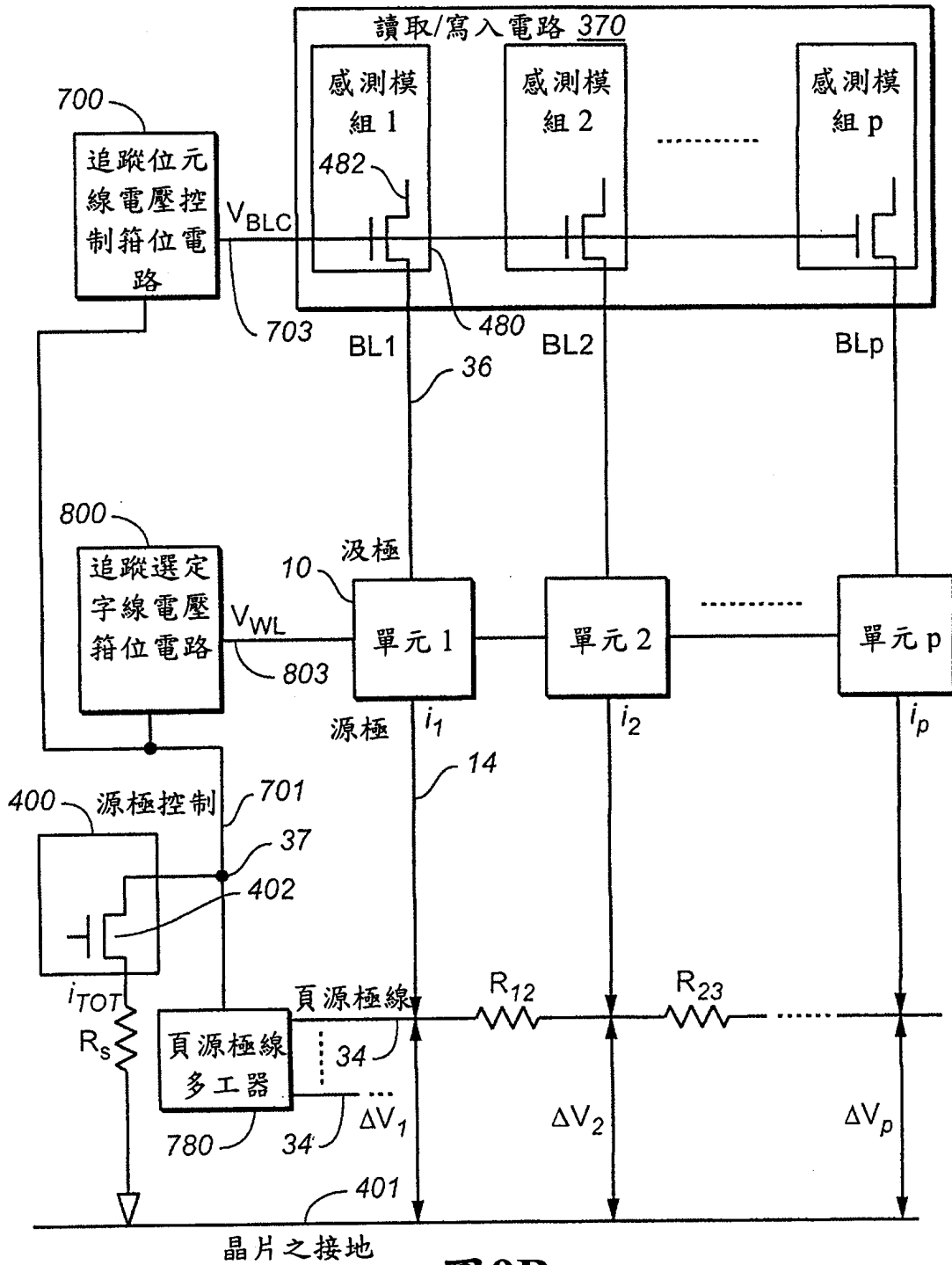


圖9B

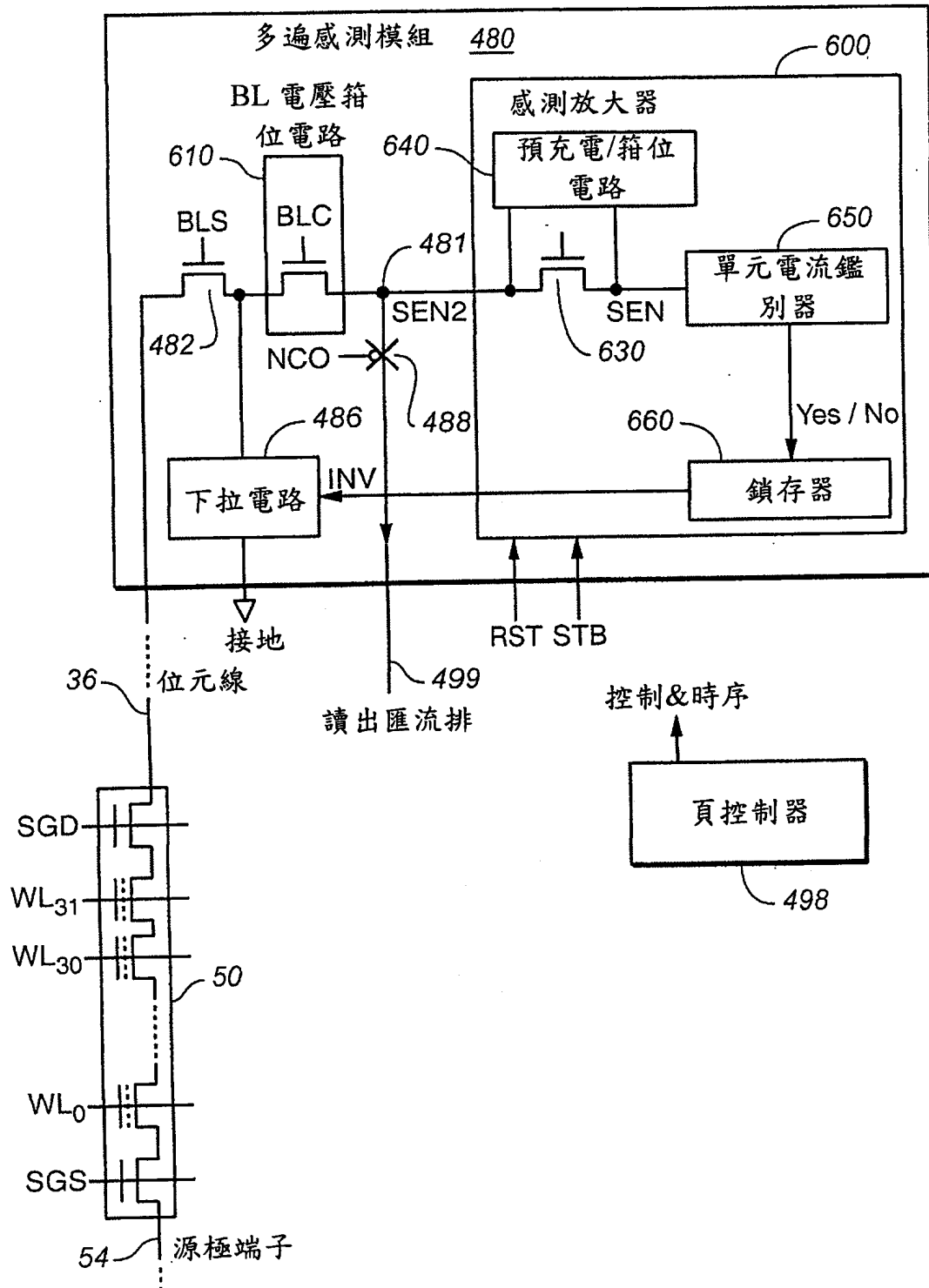


圖10

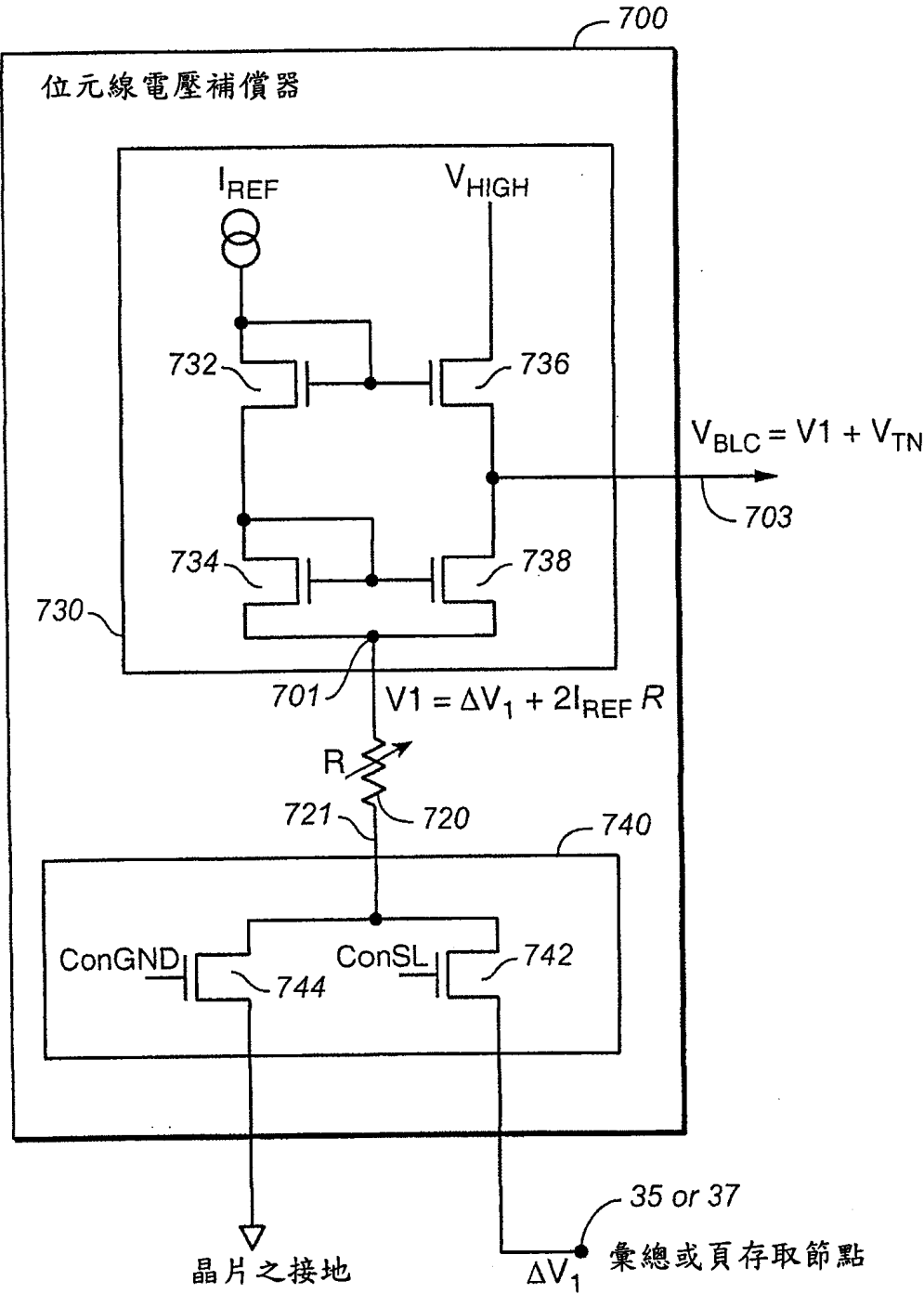


圖 11

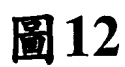




圖 14

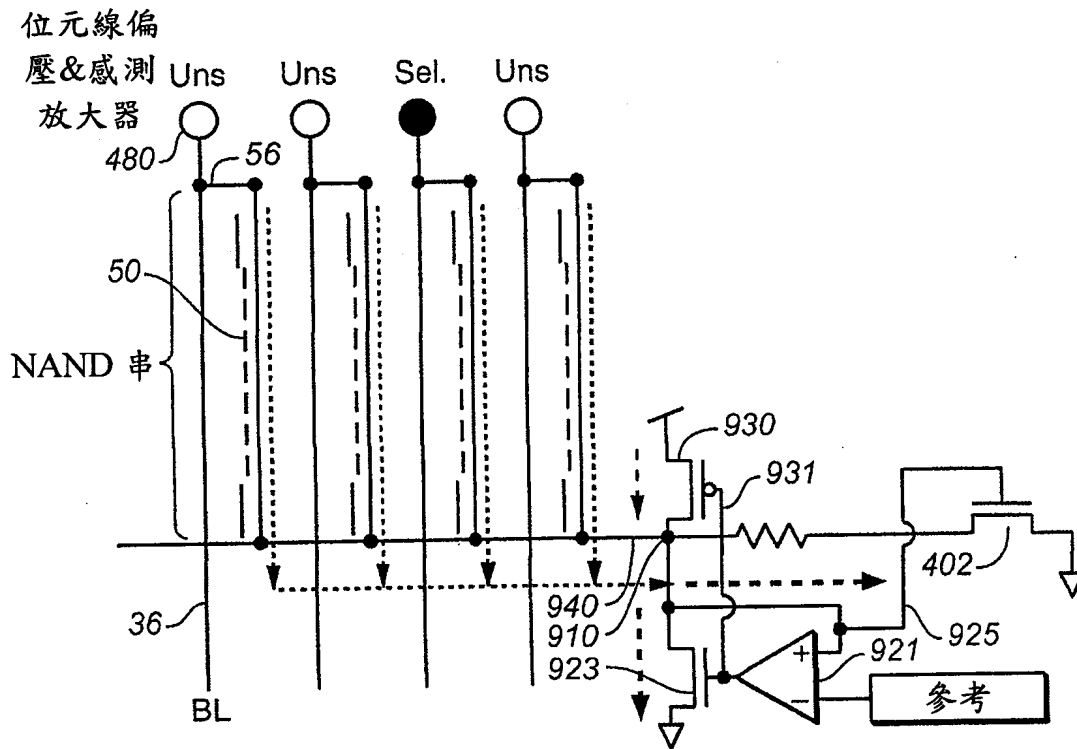


圖 15C

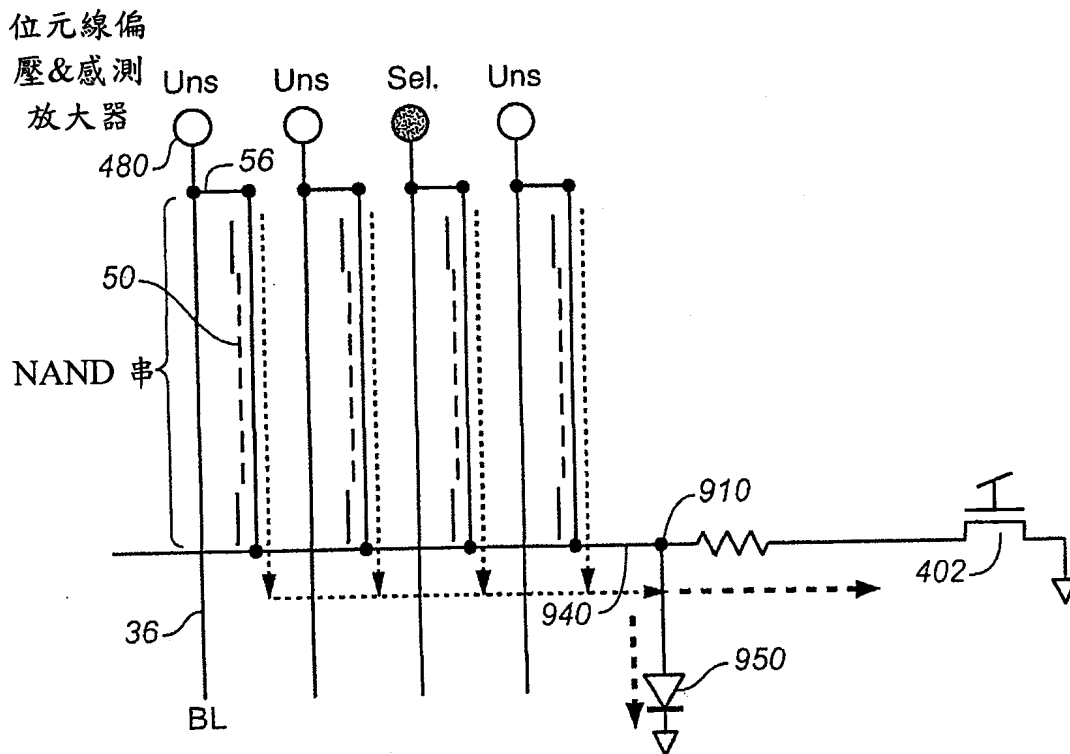


圖 16

七、指定代表圖：

(一)本案指定代表圖為：第 (15A) 圖。

(二)本代表圖之元件符號簡單說明：

36	位元線
50	NAND鏈
56	汲極端子
402	下拉電晶體
480	圓周
901	電阻
910	彙總源極節點
921	運算放大器
923	電晶體
940	源極線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)