



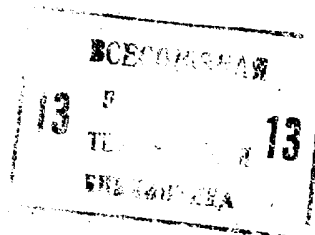
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1437875** **A1**

(5D) 4 G 06 F 15/20

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4192371/24-24
(22) 25.11.86
(46) 15.11.88. Бюл. № 42
(72) О.Г. Алексеев, В.Т. Данцев
и Н.И. Ячкула
(53) 681.333(088.8)
(56) Авторское свидетельство СССР
№ 1241266, кл. G 06 G 7/48, 1984.
Авторское свидетельство СССР
№ 1392574, кл. G 06 F 15/20, 1986.
(54) УСТРОЙСТВО ДЛЯ АНАЛИЗА ПАРАМЕТ-
РОВ ГРАФА

(57) Изобретение относится к вычисли-
тельной технике, может быть исполь-
зовано для исследования путей в гра-
фе и позволяет определять внешние и
внутренние радиусы графа. Цель изоб-
ретения - расширение класса решаемых
задач - достигается за счет исполь-
зования в устройстве матрицы регист-
ров, в которые перед началом работы
вносят информацию о весах ребер гра-
фа. При определении внутренних цент-
ров графа матрицу весов транспони-
руют. 2 ил.

(19) **SU** (11) **1437875** **A1**

Изобретение относится к вычислительной технике и может быть использовано для исследования путей в графе.

Цель изобретения - расширение класса решаемых задач за счет определения внешних и внутренних центров графа.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - временная диаграмма работы блока синхронизации.

Устройство содержит матрицу из $V \times V$ регистров 1, где V - количество вершин в графе, матрицу из $V \times V$ ключей 2, матрицу из $V \times V$ схем 3 сравнения, матрицу из $V \times V$ триггеров 4, первую группу из V элементов ИЛИ 5, вторую группу из V элементов ИЛИ 6, группу из V времяимпульсных интегрирующих преобразователей 7, группу из V регистров 8, группу из V схем 9 сравнения, элемент 10 ИЛИ, элемент 11 НЕ, первый элемент 12 И, времяимпульсный интегрирующий преобразователь 13, второй элемент 14 И и блок 15 синхронизации.

Кроме того, на фиг. 1 цифровое обозначение имеют входы 16 задания веса пути из M -ой в K -ую вершину графа устройства ($M = 1, \dots, V$; $K = 1, \dots, V$), вход 17 начальной установки устройства, вход 18 пуска устройства, выход 19 совпадения K -ой вершины графа с внешним (внутренним) центром графа устройства, выход 20 признака окончания работы устройства, первый выход 21 синхронизации блока 15, второй выход 22 синхронизации блока 15, первая группа из V выходов 23 блока 15 и вторая группа из V выходов 24 блока 15.

Устройство работает следующим образом.

Перед началом работы на входы 16 устройства подаются информация о весе соответствующих ребер графа, которая поступает на информационные входы регистров 1. На вход 17 начальной установки устройства подаются импульсный сигнал единичного уровня, который поступает на входы признаков записи регистров 1, вход установки в ноль времяимпульсного интегрирующего преобразователя 13 и входы начальной установки ключей 4. При этом информация о весе ребер графа записывается в регистры 1, на выходе времяимпульсного интегрирующего преобразователя 13

устанавливается нулевой код, ключи 2 замыкают цепи между информационным входом и выходом. На вход 18 пуска устройства подаются импульсный сигнал единичного уровня, который поступает на вход пуска блока 15 синхронизации. При этом блок 15 синхронизации начинает вырабатывать последовательность импульсов, предусмотренную временной диаграммой его работы (цифры на временной диаграмме соответствуют номерам позиций использованных при обозначении входов и выходов устройства и блока 15 синхронизации). На выход 21 блок 15 синхронизации выдает импульсный сигнал единичного уровня, который поступает на входы установки в ноль всех триггеров 4 и всех времяимпульсных интегрирующих преобразователей 7. При этом все триггеры 4 устанавливаются в нулевое состояние, на выходе всех времяимпульсных интегрирующих преобразователей 7 устанавливается нулевой код. Через время T_1 , отсчитанное от переднего фронта сигнала с выхода 21, необходимое для установки триггеров 4 и преобразователей 7, блок 15 синхронизации выдает импульсный сигнал единичного уровня на первый выход 23 первой группы, который поступает на вход разрешения пуска первого преобразователя 7 группы. При этом первый преобразователь 7 начинает вырабатывать код, величина которого пропорциональна времени разрешения его работы. Информация с выхода первого преобразователя 7 поступает на первые информационные входы всех схем 3 сравнения первой строки матрицы, на вторые входы которых поступает информация о величине пути из первой вершины в K -ю с выхода регистра 1. K -я схема 3 сравнения при условии равенства кодов на первом и втором информационных входов вырабатывает сигнал единичного уровня (достигнута K -ая вершина графа), который поступает на вход установки в единицу K -го триггера 4 первой строки матрицы. При этом K -й триггер 4 первой строки матрицы переходит в единичное состояние. Единичный потенциал с выхода K -го триггера 4 первой строки матрицы поступает на управляющие входы всех ключей 2 K -го столбца матрицы и на вход разрешения работы K -го преобразователя 7 группы.

При этом ключи 2 К-го столбца матрицы размыкают цепи между своими информационными входами и выходами (блокируется повторное начало исполнения ветвей исходящих из К-й вершины графа), К-й преобразователь 7 начинает вырабатывать код, величина которого пропорциональна времени разрешения его работы (начинается исполнение ветвей исходящих из К-й вершины графа). Работа устройства продолжается аналогичным образом до тех пор, пока на выходе элемента 14 И не появится потенциал единичного уровня (достигнуты все вершины графа), который поступает на тактовый вход блока 15 синхронизации. При этом блок 15 синхронизации снимает сигнал единичного уровня с первого выхода 23 первой группы и вырабатывает импульсный сигнал на первом выходе 24 второй группы, который поступает на вход признака записи первого регистра 8. При этом в первый регистр 8 записывается информация о величине внешнего радиуса из первой вершины графа. Через время T_2 , достаточное для записи информации в первый регистр 8, блок 15 синхронизации формирует импульсный сигнал единичного уровня на выходе 21, который поступает на входы установки в "0" всех преобразователей 7 и всех триггеров 4. Через время T_3 , достаточное для установки в ноль преобразователей 7 и триггеров 4, блок 15 синхронизации выдает на второй выход 23 первой группы потенциал единичного уровня. Далее устройство работает аналогично. (Определяются величины внешних радиусов из всех вершин графа). Через В тактов работы блока 15 синхронизации, появляется сигнал на выходе 22 блока 15, который поступает на вход разрешения работы преобразователя 13. При этом преобразователь 13 начинает вырабатывать код, величина которого пропорциональна времени разрешения его работы. Информация с выхода преобразователя 13 поступает на вторые информационные входы всех схем 9 сравнения, на первые входы которых поступает информация с выходов регистров 8. Через время, равное весу минимального внешнего радиуса на выходе К-ой схемы сравнения появляется единичный сигнал, который поступает на выходы 19 и 20

устройства и на вход элемента НЕ 11. При этом на выходе элемента НЕ 11 появляется нулевой потенциал, который блокирует разрешение работы преобразователя 13. Работа устройства закончена.

При определении внутренних центров графа устройство работает аналогично, но перед началом работы матрицу весов графа транспонируют.

Таким образом, суть изобретения заключается в определении вершины $X_i^*(X_j^*)$, для которой $S(X_i^*) = \min \{S(X_i)\}$, $R(X_j^*) = \min \{R(X_j)\}$ $i, j = 1, \dots, B$; $S(X_i) = \max(\alpha_{ij})$ - внешний радиус вершины X_i ; $R(X_j) = \max(\alpha_{ji})$ - внутренний радиус вершины X_j ; α_{ij} - длина кратчайшего пути из i-й вершины графа в j-ю; α_{ji} - длина кратчайшего пути из j-вершины графа в i-ю.

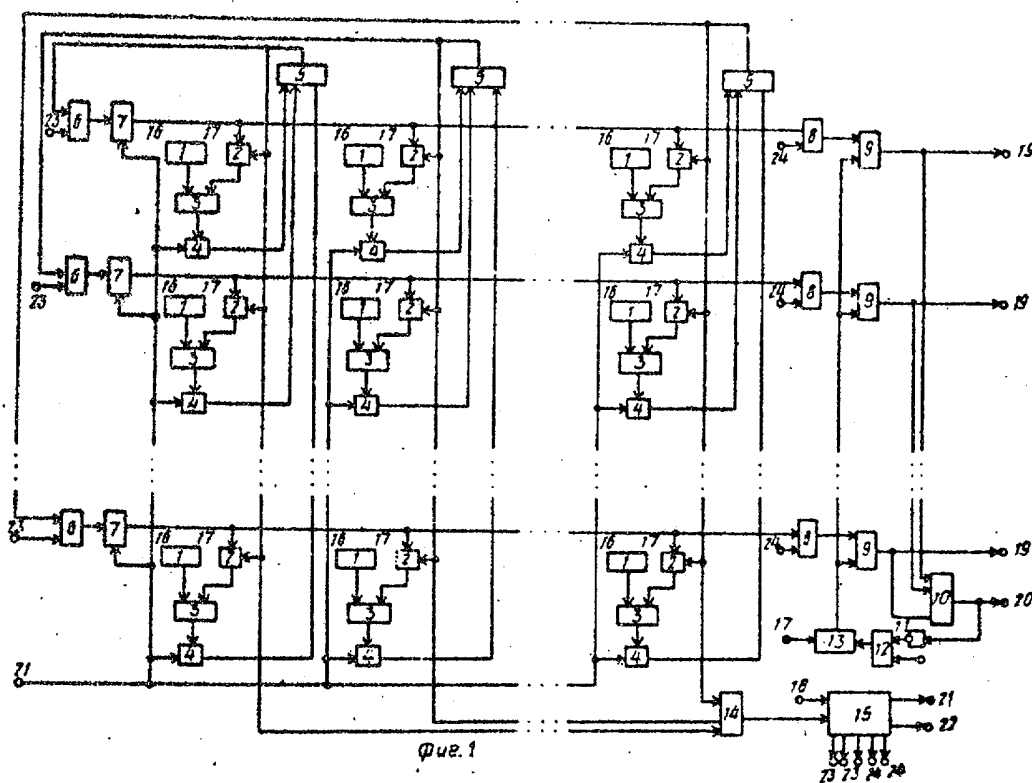
При этом преобразователи 7 и 13 могут быть выполнены не только на цифровых элементах, например на счетчиках с тактовым (суммирующим) входом и входом разрешения работы (счета), но и аналоговых элементах (так называемых интеграторах). При этом не требуется сколько-нибудь существенных изменений функциональной схемы устройства.

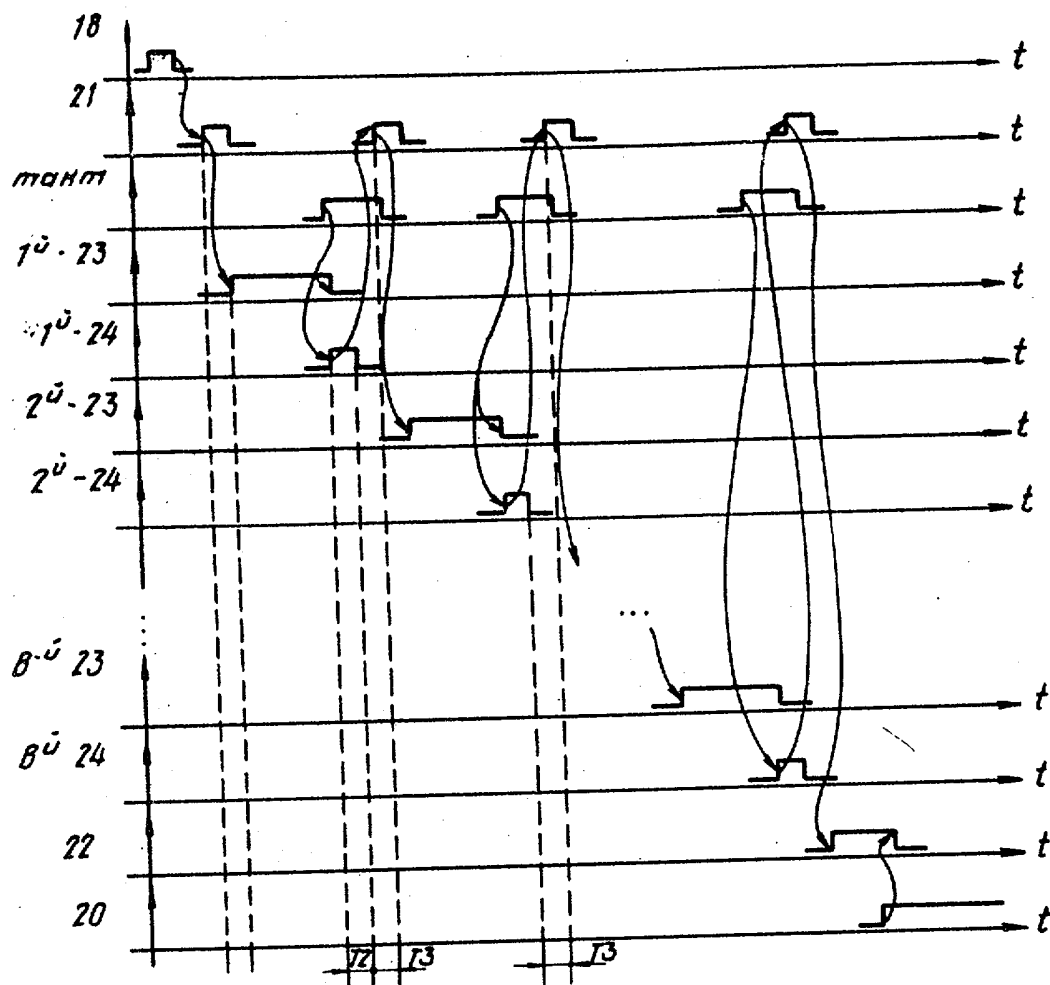
Ф о р м у л а и з о б р е т е н и я

Устройство для анализа параметров графа, содержащее матрицу из $B \times B$ регистров, где В - количество вершин в графе, матрицу из $B \times B$ ключей, матрицу из $B \times B$ схем сравнения, матрицу из $B \times B$ триггеров, две группы из В элементов ИЛИ, группу из В времяимпульсных интегрирующих преобразователей, группу из В регистров, первый элемент И и блок синхронизации, причем выход К-го ключа М-й строки матрицы ($K = 1, \dots, B$; $M = 1, \dots, B$) подключен к первому информационному входу К-й схемы сравнения М-й строки матрицы, выход признака равенства которой подключен к входу установки в "1" К-го триггера М-й строки матрицы, выход которого подключен к М-му входу К-го элемента ИЛИ первой группы, информационный вход К-го регистра М-й строки матрицы является входом задания веса пути из М-й в К-ю вершину графа устройства, вход признака записи К-го регистра М-й строки матрицы является входом начальной установки устрой-

ва, отличающееся тем, что, с целью расширения класса решаемых задач за счет определения внешних и внутренних центров графа, в него введены группа из В схем сравнения, второй элемент И, элемент ИЛИ, элемент НЕ и времяимпульсный интегрирующий преобразователь, причем вход начальной установки устройства подключен к входу установки в "0" времяимпульсного интегрирующего преобразователя, выход К-го элемента ИЛИ первой группы подключен к управляющим входам всех ключей К-го столбца матрицы, и К-му входу второго элемента И и к первому входу К-го элемента ИЛИ второй группы, выход которого подключен к входу разрешения работы К-го времяимпульсного интегрирующего преобразователя, выход которого подключен к информационным входам всех ключей К-й строки матрицы и к информационному входу К-го регистра группы, выход которого подключен к первому информационному входу К-й схемы сравнения группы, выход признака равенства которой является выходом признака совпадения К-й вершины с внешним (внутренним) центром графа устройства и подключен к К-му входу элемента ИЛИ, выход которого

является выходом признака окончания работы устройства и подключен к входу элемента НЕ, выход которого подключен к первому входу первого элемента И, выход которого подключен к входу разрешения работы времяимпульсного интегрирующего преобразователя, выход которого подключен к вторым входам всех схем сравнения группы, выход К-го регистра М-й строки матрицы подключен к второму информационному входу К-й схемы сравнения М-й строки матрицы, выход второго элемента И подключен к тактовому входу блока синхронизации, вход пуска которого является входом пуска устройства, первый выход синхронизации блока синхронизации подключен к входам установки в "0" всех триггеров матрицы и к входам установки в "0" всех времяимпульсных интегрирующих преобразователей группы, второй выход синхронизации блока синхронизации подключен к второму входу первого элемента И, К-й выход синхронизации первой группы блока синхронизации подключен к второму входу К-го элемента ИЛИ второй группы, К-й выход синхронизации второй группы блока синхронизации подключен к входу признака К-го регистра группы.





Фиг. 2

Редактор М. Недолуженко Составитель А. Мишин Техред Л. Сердюкова Корректор В. Романенко

Заказ 5895/49

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4