

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97111125

※ 申請日期： 97.3.27

※IPC 分類：H01L

21/336, 411C7/00, 1/39

一、發明名稱：(中文/英文)

具有大且均勻之電流的上指P-I-N二極體的大型陣列及其形成方法
LARGE ARRAY OF UPWARD POINTING P-I-N DIODES HAVING
LARGE AND UNIFORM CURRENT AND METHODS OF FORMING
THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克3D公司

SANDISK 3D LLC

代表人：(中文/英文)

麗莎 K 托斯

TOTH, LIZA K.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

S 布萊德 賀納

HERNER, S. BRAD

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年03月27日；11/692,151

2. 美國；2007年03月27日；11/692,153

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

本申請案主張2007年3月27日申請且名為"形成具有大且均勻之電流的上指P-I-N二極體的方法(Method to Form Upward-Pointing P-I-N Diodes Having Large and Uniform Current)"的Herner之美國專利申請案第11/692,151號(代理人檔案號碼SAND-01179US0)及2007年3月27日申請且名為"具有大且均勻之電流的上指P-I-N二極體的大型陣列(Large Array of Upward-Pointing P-I-N Diodes Having Large and Uniform Current)"的Herner之美國專利申請案第11/692,153號(代理人檔案號碼SAND-01179US1)的優先權，為了所有目的，兩者皆以引用之方式全部併入本文中。

本申請案係關於2007年3月27日申請且名為"形成包含奈米碳管組構元件及指引元件之記憶體單元的方法(Method to Form a Memory Cell Comprising a Carbon Nanotube Fabric Element and a Steering Element)"的Herner等人之美國專利申請案第11/692,144號(代理人檔案號碼SAND-01193US0)及2007年3月27日申請且名為"包含碳奈米管結構元件及指引元件之記憶體單元(Memory Cell Comprising a Carbon Nanotube Fabric Element and a Steering Element)"的Herner等人之美國專利申請案第11/692,148號(代理人檔案號碼SAND-01193US1)，為了所有目的，兩者皆以引用的方式全部併入本文中。

【先前技術】

二極體具有允許低於特定導通電壓之極小電流及高於導通電壓之大體上更大電流的特性。已證實難以在施加高於導通電壓之電壓時形成在二極體中具有良好電流均勻性的具有底部重摻雜p型區域、中間本質區域及頂部重摻雜n型區域之垂直定向式p-i-n二極體之大型群集。

形成具有良好均勻性之此等上指二極體之大型群集可為有利的，尤其對於用於記憶體陣列中而言。

【發明內容】

本發明由下文中之申請專利範圍界定，且不應將該部分中之任何內容視為對彼等申請專利範圍的限制。大體而言，本發明係針對上指p-i-n二極體之群集及其形成方法。

本發明之第一態樣提供一種形成於基板上之第一器件階層，其包含複數個垂直定向式p-i-n二極體，每一p-i-n二極體包含一底部重摻雜n型區域、一中間本質或輕摻雜區域及一頂部重摻雜n型區域，其中每一p-i-n二極體具有一柱之形式，其中對於至少99%之該等p-i-n二極體而言，當將約1.5伏特與約3.0伏特之間的一電壓施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間時流過該等p-i-n二極體之電流為至少1.5微安培，其中該等p-i-n二極體包含沈積矽、鍺或矽-鍺，其中該第一複數個p-i-n二極體包括該第一器件階層中之每個p-i-n二極體。

本發明之第二態樣提供一種包含第一複數個記憶體單元之第一記憶體階層，每一第一記憶體單元包含呈一柱之形式的一垂直定向式p-i-n二極體，每一垂直定向式p-i-n二極

體包含一底部重摻雜p型區域、一中間本質或輕摻雜區域及一頂部重摻雜n型區域，其中該等第一記憶體單元包含經程式化單元及未經程式化單元，其中該等記憶體單元中之至少一半為經程式化單元，其中當將約1.5伏特與約3.0伏特之間的一電壓施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間時流過至少99%之該等經程式化單元之該等p-i-n二極體的電流為至少1.5微安培，其中該第一複數個記憶體單元包括該第一記憶體階層中之每個記憶體單元。

本發明之第三態樣提供一種用於形成垂直定向式p-i-n二極體之方法，該方法包含：在一基板上形成一第一軌狀導體；在該第一軌狀導體上形成沈積半導體材料之一底部重摻雜p型區域；在該半導體材料之該底部重摻雜p型區域上形成沈積半導體材料之一中間本質或輕摻雜區域，其中該沈積半導體材料為矽、鍺或矽-鍺合金；圖案化及蝕刻該底部重摻雜p型區域及該中間本質或輕摻雜區域以形成一柱；形成一摻雜有砷之頂部重摻雜n型區域；及退火以結晶該半導體材料，其中該半導體材料之某一部分在沈積時為非晶形的且在該退火步驟之後與一矽化物、鍺化物或矽化物-鍺化物接觸，其中該等p-i-n二極體包含該底部重摻雜p型區域、該中間本質或輕摻雜區域及該頂部重摻雜n型區域。

本發明之另一態樣提供一種用於形成一單體三維記憶體陣列之方法，該方法包含：藉由以下各者在一基板上單體

地形成一第一記憶體階層：i)在該基板上形成第一複數個軌狀導體；ii)在該等第一軌狀導體上形成沈積半導體材料之一底部重摻雜p型區域；iii)在該底部重摻雜p型半導體上形成沈積半導體材料之一中間本質或輕摻雜區域，其中該沈積半導體材料為矽、鍺或矽-鍺合金；iv)圖案化及蝕刻該底部重摻雜p型區域及該中間本質或輕摻雜區域以形成第一複數個柱；v)形成一摻雜有砷之頂部重摻雜區域；vi)退火以結晶該半導體材料，其中該半導體材料之某一部分在沈積時為非晶形的且在該退火步驟之後與一矽化物、鍺化物或矽化物-鍺化物接觸；及vii)在該中間本質或輕摻雜區域上形成第二複數個軌狀導體，其中該第一記憶體階層包含第一複數個記憶體單元，每一第一記憶體單元包含該等第一軌狀導體中之一者之一部分、第一複數個柱中之一者及該等第二導體中之一者之一部分，其中該等第一柱中的每一者包含一p-i-n二極體，其包含由該摻雜步驟形成之一底部重摻雜p型區域、一中間本質或輕摻雜區域及一頂部重摻雜n型區域，且該方法亦包含在該第一記憶體階層上單體地形成一第二記憶體階層。

本文中所描述之本發明之態樣及實施例中之每一者可單獨使用或相互組合使用。

現將參看隨附圖式來描述較佳態樣及實施例。

【實施方式】

在皆由本發明之受讓人所擁有之'470申請案、'030專利及'549申請案中，描述了記憶體單元，每一者包括呈柱之

形式之垂直定向式p-i-n二極體。此二極體由諸如矽、鍺或矽-鍺合金之半導體材料形成，且具有第一半導體類型之底部重摻雜區域、中間本質或輕摻雜區域，及相對於第一半導體類型的第二半導體類型之頂部重摻雜區域。已描述以兩種定向形成此二極體，具有底部重摻雜p型區域及頂部重摻雜n型區域；或相反，具有底部重摻雜n型區域及頂部重摻雜p型區域。

圖1說明根據'030專利之實施例形成之記憶體單元。此記憶體單元包括一底部導體200及一頂部導體400，其中一垂直定向式p-i-n二極體302及一介電擊穿反熔絲118電性地串聯配置於其間。在記憶體單元之初始、未經程式化狀態下，當將(例如)2伏特之讀取電壓施加至底部導體200與頂部導體400之間時，極小電流流過其間。相對大程式化電壓之施加改變記憶體單元，且在程式化之後，在相同讀取電壓下，顯著更大電流流過底部導體200與頂部導體400之間。未經程式化狀態與經程式化狀態之間的此電流差為可量測的，且每一者可對應於獨特資料狀態；舉例而言，未經程式化單元可視為資料"0"而經程式化單元為資料"1"。

圖2展示第一記憶體階層之部分，其包含複數個底部導體200、複數個柱300(每一柱包括如圖1中之二極體及介電擊穿反熔絲)及複數個頂部導體400。每一柱300安置於底部導體200中之一者與頂部導體400中之一者之間。此記憶體階層可形成於諸如習知單晶矽晶圓之基板上。多個記憶體階層可經形成以堆疊於第一記憶體階層上以形成一密集

單體三維記憶體陣列。

二極體為整流器件，從而在一個方向上比在另一個方向上更易於傳導電流。據稱二極體可指向其較佳傳導方向。據稱具有位於底部處之n型半導體材料及位於頂部處之p型半導體材料的垂直定向式二極體能夠下指，而據稱具有位於底部處之p型半導體材料及位於頂部處之n型半導體材料的垂直定向式二極體能夠上指。應注意，在本申請案中，當使用如"向上"、"向下"、"上"、"下"及其類似物之指示空間關係之術語時，此等術語係相對於假設為位於參考框架之底部處的基板。舉例而言，若第一元件描述為處於第二元件上，則第一元件相比第二元件離基板更遠。

在垂直堆疊式記憶體陣列中，垂直鄰近之記憶體階層較佳共用導體，如圖3a中的透視圖中所示，其中導體400充當第一記憶體階層M0之頂部導體及第二記憶體階層M1之底部導體兩者。相同結構展示於圖3b中之橫截面視圖中。圖3c展示並未共用導體之陣列之橫截面視圖。在圖3c中，每一記憶體階層具有底部導體(200, 500)、柱(300, 600)及頂部導體(400, 700)，其中一層間介電質隔離記憶體階層M0及M1且並未共用導體。圖3a及圖3b之架構需要較少遮罩步驟且減少製造與圖3c中所示相同密度之記憶體單元的製造成本。如在圖3a及圖3b中，若鄰近階層上之二極體指向相對方向(例如，若第一記憶體階層M0二極體上指，而第二記憶體階層M1二極體下指)，則最易於在電性上達成導體之共用。在並未共用導體之情況下將通常形成僅上指

或僅下指二極體之堆疊陣列，如在圖3c中。

大型記憶體陣列將通常包括數百萬記憶體單元，其中之每一者必需經感測。此大型陣列中之記憶體單元之間的特徵將不可避免地存在一些變化。為改良可靠性，對於記憶體單元之大型陣列而言，最大化未經程式化狀態與經程式化狀態之間的差使得該兩者更易於區別為有利的。最小化單元之間的變化為進一步有利的，且使單元儘可能表現一致為進一步有利的。

圖4a為展示對於如'030專利(圖1中所示)之包括串聯於導體之間的二極體(其中二極體皆下指，亦即，二極體具有底部重摻雜n型區域、中間本質區域及頂部重摻雜p型區域)及反熔絲之記憶體單元的記憶體單元之群集在相同施加之讀取電壓下未經程式化電流與經程式化電流之機率曲線圖。將見到，在線A上所示，下指二極體之未經程式化電流緊密地分組於接近 10^{-12} 安培(amp)。相似地，在線B上所示，經程式化電流(一離群值例外)緊密地分組於約 10^{-5} 安培與 10^{-4} 安培之間。未經程式化電流(線A)及經程式化電流(線B)之分布彼此良好地間隔開且兩者經緊密地分組。

圖4b為展示如'030專利中形成之上指二極體之群集的未經程式化電流與經程式化電流之機率曲線圖。線C上所示之未經程式化電流極類似於圖4a之線A之下指二極體的未經程式化電流。然而，線D上所示之經程式化電流展示遠寬於圖4a之線B上的經程式化電流之分布。此上指二極體之經程式化電流自約 8×10^{-8} 安培變化至 7×10^{-5} 安培，從而

差接近三個數量級。大數目之群集之此等二極體具有小於1微安培的經程式化電流。此非均勻性及低經程式化電流使得'030專利之上指二極體成為比下指二極體更不利於用於大型陣列中的二極體。

在本發明中，已發現用以生產具有良好均勻性及大程式化電流之大型群集之上指垂直定向式p-i-n二極體的製造技術。圖5展示包括根據本發明之實施例形成之上指二極體的記憶體單元之實例。在此記憶體單元中，二極體與介電擊穿反熔絲配對，但如將描述，所繪製之記憶體單元為此二極體之許多可能使用中的僅一者，且為清楚之目的而提供。

記憶體單元包括第一導體200及第二導體400。其間安置有介電擊穿反熔絲118(展示為夾於導電障壁層110與111之間)及二極體302。二極體302包括底部重摻雜p型區域112、中間本質區域114及頂部重摻雜n型區域116。二極體302由諸如矽、鍺或矽-鍺合金之半導體材料形成。為清楚起見，將此半導體材料描述為矽。矽較佳在沈積時主要為非晶形的(若就地摻雜，則p型區域112在沈積時將可能為多晶形的)。頂部重摻雜p型區域116摻雜有砷。在較佳實施例中，區域116係藉由形成中間本質區域114，接著藉由離子植入用砷摻雜中間本質區域114之頂部來形成。如將所見，此離子植入步驟可在形成柱之圖案化及蝕刻步驟之前或之後發生。在替代性實施例中，區域116可藉由在矽沈積期間以足以產生至少 5×10^{20} atoms/cm³(原子/立方公

分)之砷濃度之流量流過諸如 AsH_3 的適合之源氣體來就地摻雜。頂部導體 400 之底部層為諸如鈦、鈷、鉻、鈹、鉑、銱或鈮之矽化物形成金屬。鈦及鈷較佳。鈦最佳。在經執行以結晶矽之退火期間，矽化物形成金屬與頂部重摻雜 n 型區域 116 之矽反應且形成矽化物層，例如，矽化鈦。圖 6 為展示此等上指二極體之群集在約 2 伏特的讀取電壓下之電流之機率曲線圖；如將所見，此群集具有良好均勻性且二極體之間具有極小變化，及相對大正向電流，約 35.5 微安培之中值電流。詳言之，應注意，此群集中之所有二極體在 2 伏特下之經程式化電流高於約 3 微安培。

如所描述，所描述之陣列中之記憶體單元藉由在記憶體單元上施加讀取電壓來感測。理想地，所施加之讀取電壓對於陣列中之每個記憶體單元而言相同，實務上，歸因於陣列內每一記憶體單元之位置，將存在一些變化。舉例而言，位於距感測電路較遠處之單元相比位於較接近感測電路之單元具有較長互連。互連之增加之長度導致增加之電阻，從而導致與較近單元相比，較遠單元之二極體上的電壓較小。然而，歸因於互連長度及電阻之變化，二極體之讀取電流之小變化並非本發明之二極體之固有性質。術語器件階層將指代在基板上相同階層處且通常藉由相同處理步驟形成之複數個大體上共平面器件；器件階層的實例為包括形成於基板上之複數個大體上共平面記憶體單元的記憶體階層。在一實例中，在包括根據本發明形成之上指 p-i-n 二極體之群集之器件階層中，施加於二極體上(亦即，

二極體之底部p型區域與頂部n型區域之間)的電壓對於器件階層中之任何二極體(不管其位置)而言在約1.8伏特與約2.2伏特之間，且在此所施加之電壓下流過此器件階層中99%之二極體的電流為至少1.5微安培。在其他實例中，在本發明中，舉例而言，當半導體材料為諸如 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 之矽-鍺合金時，當施加於二極體上(二極體之底部p型區域與頂部n型區域之間)的電壓在約1.1伏特與約3.0伏特之間、較佳在約1.5伏特與約3.0伏特、最佳在約1.8伏特與約2.2伏特之間時，對於器件階層中99%之二極體而言，約1.5微安培之電流為可達成的。p-i-n二極體之此群集可為具有100,000個p-i-n二極體或更多(例如，1,000,000個p-i-n二極體或更多)的器件階層。

在較佳實施例中，器件階層為包含本發明之記憶體單元的記憶體階層，其中第一記憶體單元包含經程式化單元及未經程式化單元。在此記憶體陣列中，在使用期間，一些單元將經程式化，而其他單元未經程式化。在較佳實施例中，當至少一半記憶體單元為經程式化單元時，當將約1.5伏特與約3.0伏特之間的電壓施加至底部重摻雜p型區域與頂部重摻雜n型區域之間時，流過至少99%之經程式化單元的p-i-n二極體之電流為至少1.5微安培，其中第一複數個記憶體單元包括第一記憶體階層中之每個記憶體單元。在更佳實施例中，所施加之電壓在約1.8伏特與約2.2伏特之間。記憶體單元之此記憶體階層可包括100,000個單元或更多，例如，1,000,000個單元或更多，每一單元包

括根據本發明形成之上指 p-i-n 二極體。

本發明之上指二極體可有利地用於共用導體之堆疊記憶體階層(最佳地，在每一記憶體階層上上指二極體與下指二極體交替)的陣列中。

如 2005 年 6 月 8 日申請的 Herner 等人之美國專利申請案第 11/148,530 號，"Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material" 中所描述(該案以引用之方式併入本文中)，當所沈積之非晶矽經結晶以僅與與之具有高晶格失配之材料(諸如，二氧化矽及氮化鈦)接觸時，多晶矽或聚矽形成有大量結晶疵點，從而使其為高電阻率。在此高疵點聚矽上施加程式化脈衝顯著地更改聚矽，從而使其電阻率更低。

如在 '549 申請案、以及在 Herner 之美國專利第 7,176,064 號，"Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide"、及在 2006 年 11 月 15 日申請的 Herner 之美國專利申請案第 11/560,283 號，"Method for Making a P-I-N Diode Crystallized Adjacent to a Silicide in Series with A Dielectric Antifuse" 中進一步所描述(下文中 '283 申請案以引用的方式併入本文中)，已發現，當所沈積之非晶矽經結晶以與合適之矽化物(例如，矽化鈦、矽化鈷或由其他已命名矽化物形成金屬中之一者形成之矽化物)之層接觸時，所得結晶矽具有較高品質且具有較少疵點，且具有較低電阻率。矽化鈦或矽化鈷之晶格間距極接近矽之晶格間距，且咸信，當非晶矽經結晶以

在有利定向上與合適矽化物之層接觸時，矽化物提供用於矽之晶體成長之模板，從而最小化疵點之形成。不同於經結晶以僅鄰近與之具有高晶格失配之材料之高疵點矽，施加大電脈衝並未略微改變經結晶以與矽化物層接觸之此低疵點、低電阻率矽之電阻率。

在使用垂直定向式p-i-n二極體之一些記憶體單元中，接著如在'549申請案中，二極體由較高疵點、較高電阻率的聚矽形成，且記憶體單元藉由改變聚矽之電阻率狀態來程式化。對於此等高疵點二極體單元而言，記憶體單元之資料狀態主要儲存於二極體之聚矽的電阻率狀態中。在其他記憶體單元中，如在'283申請案中，二極體由低疵點、低電阻率矽形成，與夥伴狀態改變元件(在此狀況下為介電擊穿反熔絲)配對，且記憶體單元藉由改變狀態改變元件之特徵(例如，藉由擊穿反熔絲)來程式化。術語狀態改變元件用以描述可呈兩個或兩個以上可相互區分之穩定狀態(通常為電阻率狀態)且可在其間可逆或不可逆地切換之元件。對於此等低疵點二極體單元而言，記憶體單元之資料狀態主要儲存於狀態改變元件中而非二極體之狀態中。(應注意，此論述已描述經結晶以鄰近矽化物之矽之使用。對於經結晶以鄰近鍺化物或矽化物-鍺化物之鍺及矽-鍺可預期相同效應。)

本發明之上指p-i-n二極體經結晶以與矽化物接觸，且因此具有低疵點、低電阻率半導體材料。若本發明之上指二極體接著用於記憶體單元中，則其與諸如反熔絲或電阻率

切換元件之狀態改變元件配對時可有利地使用。此電阻率切換元件之一實例為二元金屬氧化物，諸如， Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 或 Al_xN_y ，如在2006年3月31日申請的Herter等人之美國專利申請第11/395,995號，"Nonvolatile Memory Cell Comprising a Diode and a Resistance-Switching Material"中所描述，且該案以引用之方式併入本文。電阻率切換元件之另一實例為奈米碳管結構，如在與本文同一日期申請之Herter等人(代理人檔案號碼SAND-01193US0)中所描述。

應注意，本發明之上指二極體可有利地用於許多器件中，且不限於用於記憶體單元中；或者，若用於記憶體中，則不限於用於與本文中所特定描述之單元相同之單元中。

將提供描述形成於基板上之第一記憶體階層之製造之詳細實例，該記憶體階層包含具有串聯配置於底部導體與頂部導體之間的上指二極體及高K介電反熔絲之記憶體單元，以及描述在該記憶體階層上之包含下指二極體之第二記憶體階層的製造，該兩個記憶體階層共用導體。來自'283申請案，及來自其他所併入之申請案之細節可證實此記憶體階層之製造為有用的。為避免使本發明含糊不清，並非將包括來自此等或其他所併入之文獻之所有細節，但是應理解，並非意欲排除其教示中之任一者。為完整起見，將提供包括材料、步驟及條件之許多細節，但熟習此

項技術者應理解，在結果屬於本發明之範疇內之情形下，此等細節中之許多可改變、擴充或省略。

實例

轉至圖7a，記憶體之形成以基板100開始。此基板100可為此項技術中已知之任何半導基板，諸如，單晶矽、如同矽-鍍或矽-鍍-碳之IV-IV化合物、III-V化合物、II-VII化合物、此等基板上之磊晶層或任何其他半導體材料。基板可包括其中製造之積體電路。

在基板100上形成絕緣層102。絕緣層102可為氧化矽、氮化矽、Si-C-O-H薄膜，或任何其他合適之絕緣材料。

在基板100及絕緣層102上形成第一導體200。黏著層104可包括於絕緣層102與導電層106之間以幫助導電層106黏著至絕緣層102。若上覆導電層106為鎢，則氮化鈦較佳作為黏著層104。導電層106可包含此項技術中已知之任何導電材料，諸如，鎢或其他材料，包括鈹、鈦或其合金。

一旦已沈積將形成導體軌之所有層，則將使用任何合適之遮罩及蝕刻製程來圖案化且蝕刻該等層以形成大體上平行、大體上共平面之導體200，如圖7a中之橫截面中所示。導體200延伸出頁。在一實施例中，沈積光阻，藉由光微影圖案化光阻且蝕刻該等層，且接著使用標準製程技術來移除光阻。

接著，在導體軌200上且在其間沈積介電材料108。介電材料108可為任何已知電絕緣材料，諸如，氧化矽、氮化矽或氮氧化矽。在較佳實施例中，由高密度電漿方法沈積

之二氧化矽用作介電材料108。

最終，移除在導體軌200之頂部上的過量介電材料108，從而暴露由介電材料108分離之導體軌200的頂部且留下大體上平坦表面。所得結構在圖7a中展示。可由此項技術中已知之任何製程(諸如，化學機械研磨(CMP)或回蝕)來執行介電質過量物之該移除以形成平坦平面。在替代性實施例中，導體200可替代由鑲嵌方法形成。

轉至圖7b，接著，沈積選用導電層110。層110為導電材料，諸如，氮化鈦、氮化鉭或鎢。此層可為任何合適之厚度，諸如，約50埃(angstrom)至約200埃，較佳約100埃。在一些實施例中，可省略障壁層110。

接著，在此實例中，沈積介電材料或介電質堆疊之薄層118以形成介電擊穿反熔絲。在一實施例中，例如由原子層沈積來沈積高K介電質，諸如， HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON 或 ZrSiAlON 。 HfO_2 及 Al_2O_3 較佳。若使用 HfO_2 ，則層118較佳具有約5埃與約100埃之間、較佳約40埃之厚度。若使用 Al_2O_3 ，層118較佳具有約5埃與約80埃之間、較佳約30埃之厚度。在替代性實施例中，介電擊穿反熔絲可包含二氧化矽。

在層118上沈積導電層111。該導電層111可為任何合適之導電材料，例如，具有例如約50埃至約200埃、較佳約100埃之任何合適厚度的氮化鉭。在一些實施例中，可省

略導電層 111。

接著，沈積將圖案化至柱之半導體材料。該半導體材料可為矽、鍺、矽-鍺合金或者其他合適之半導體或半導體合金。為了簡便起見，此描述將把半導體材料稱作矽，但應瞭解，熟練之實踐者可替代選擇此等其他合適之材料中的任一者。

可由此項技術中已知之任何沈積及摻雜方法來形成底部重摻雜區域 112。可沈積矽且接著對其進行摻雜，但較佳藉由在矽之沈積期間流動一提供諸如硼之 p 型摻雜劑原子的供體氣體來就地摻雜矽。在較佳實施例中，供體氣體為 BCl_3 ，且 p 型區域 112 較佳經摻雜至約 $1 \times 10^{21} \text{ atoms/cm}^3$ 之濃度。重摻雜區域 112 較佳具有約 100 埃與約 800 埃之間的厚度，較佳約 200 埃之厚度。

接著可由此項技術中已知之任何方法來形成本質或輕摻雜區域 114。區域 114 較佳為矽且具有約 1200 埃與約 4000 埃之間、較佳約 3000 埃之厚度。一般地，諸如硼之 p 型摻雜劑傾向於促進結晶；因此，重摻雜區域 112 之矽有可能在沈積時為多晶的。然而，本質區域 114 較佳在沈積時為非晶形的。

將圖案化及蝕刻剛沈積之半導體區域 114 及 112 以及下覆導電層 111、介電擊穿反熔絲 118 及導電層 110 以形成柱 300。柱 300 應具有與下導體 200 大約相同之間距及大約相同之寬度，使得每一柱 300 形成於導體 200 之頂部上。可容許一些欠對準。

可使用任何合適之遮罩及蝕刻製程來形成柱300。舉例而言，可使用標準光微影技術來沈積、圖案化光阻，且蝕刻光阻，接著移除光阻。或者，可在半導體層堆疊之頂部上形成某一其他材料(例如，二氧化矽)之硬式遮罩，且底部抗反射塗層(BARC)位於頂部上，接著圖案化並蝕刻該硬式遮罩。類似地，介電抗反射塗層(DARC)可用作硬式遮罩。

在2003年12月5日申請的Chen之美國申請案第10/728436號，"Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting"或在2004年4月1日申請的Chen之美國申請案第10/815312號，"Photomask Features with Chromeless Nonprinting Phase Shifting Window"(其為本發明之受讓人所擁有且以引用方式併入本文中)中所描述之光微影技術可有利地用於執行用於形成根據本發明之記憶體陣列的任何光微影步驟。

柱300之直徑可隨需要，例如，在約22 nm與約130 nm之間，較佳在約32 nm與約80 nm之間，例如，約45 nm。柱300之間的間隙較佳與柱之直徑大約相同。應注意，當將極小特徵圖案化為柱時，光微影製程傾向於使角圓滑，使得柱之橫截面傾向於為圓形，而不管光遮罩中對應特徵之實際形狀。

將介電材料108沈積於半導體柱300之上及其之間，從而填充其間之間隙。介電材料108可為任何已知之電絕緣材料，諸如，氧化矽、氮化矽或氮氧化矽。在一較佳實施例

中，將二氧化矽用作絕緣材料。

接著，移除柱300之頂部上的介電材料，從而暴露由介電材料108分離的柱300之頂部且留下大體上平坦的表面。介電過度填充物之此移除可由此項技術中已知之任何製程來執行，諸如，CMP或回蝕。在CMP或回蝕之後，執行離子植入，從而形成重摻雜n型頂部區域116。n型摻雜劑較佳為具有例如10 keV之植入能量及約 $3 \times 10^{15}/\text{cm}^2$ 之劑量的砷之淺植入。此植入步驟完成二極體302之形成。應注意，在CMP期間丟失例如約300埃至約800埃之某一厚度之矽；因此，二極體302之完成高度可在約800埃與約4000埃之間，例如，對於具有約45 nm之特徵尺寸之二極體而言為約2500埃。

轉至圖7c，接著沈積例如鈦、鈷、鉻、鈹、鉑、銱或鈱之矽化物形成金屬之層120。層120較佳為鈦或鈷；若層120為鈦，則其厚度較佳在約10埃與約100埃之間，最佳約20埃。層120之後為氮化鈦層404。層404較佳在約20埃與約100埃之間，最佳約80埃。接著沈積例如鎢之導電材料之層406；舉例而言，此層可為由CVD形成之約1500埃之鎢。將層406、404及120圖案化及蝕刻為軌狀頂部導體400，其較佳在垂直於底部導體200之方向上延伸。頂部導體400之間距及定向使得每一導體400形成於柱300之列的頂部上且接觸柱300之列，且導體400較佳具有與柱300大約相同之寬度。可容許一些欠對準。

接著，在導體400上且在其間沈積介電材料(未圖示)。

介電材料可為任何已知電絕緣材料，諸如，氧化矽、氮化矽或氮氧化矽。在一較佳實施例中，將氧化矽用作此介電材料。

參考圖 7c，應注意，矽化物形成金屬之層 120 與頂部重摻雜區域 116 之矽接觸。在隨後高溫步驟期間，層 120 之金屬將與重摻雜 p 型區域 116 之矽的某一部分反應以形成矽化物層(未圖示)，其位於二極體與頂部導體 400 之間；或者，此矽化物層可視為頂部導體 400 之部分。此矽化物層在低於結晶矽所需溫度之溫度下形成，且因此將在本質區域 114 及重摻雜 p 型區域 116 仍較大程度非晶形時形成。若矽-鍺合金用於頂部重摻雜區域 116，則矽化物-鍺化物層可由例如矽化鈷-鍺化鈷或矽化鈦-鍺化鈦形成。類似地，若使用鍺，則將形成鍺化物。

在剛描述之實例中，圖 7c 之二極體 302 為上指，包含底部重摻雜 p 型區域、中間本質區域及頂部重摻雜 n 型區域。在較佳實施例中，待在此記憶體階層上單體形成之下一記憶體階層與剛形成之第一記憶體階層共用導體 400；亦即，第一記憶體階層之頂部導體 400 充當第二記憶體階層之底部導體。若以此方式共用導體，則第二記憶體階層中之二極體較佳為下指，包含底部重摻雜 n 型區域、中間本質區域及頂部重摻雜 p 型區域。

轉至圖 7d，接著，較佳由與第一記憶體階層中之柱 300 之層 110、118 及 111 分別相同的材料、相同厚度且使用相同方法來形成選用導電層 210、高 K 介電擊穿反熔絲層 218

及選用導電層211。

接著形成二極體。可由此項技術中已知之任何沈積及摻雜方法來形成底部重摻雜區域212。可沈積矽且接著對其進行摻雜，但較佳藉由在矽之沈積期間流動一提供諸如磷之n型摻雜劑原子的供體氣體來就地摻雜。重摻雜區域212較佳具有約100埃與約800埃之間的厚度，最佳約100埃至約200埃的厚度。

較佳不摻雜待沈積之下一半導體區域。在所沈積之矽中，儘管諸如磷之n型摻雜劑呈現強界面活性劑行為，但是在沈積矽時傾向於朝向表面遷移。矽之沈積將在並未提供摻雜劑氣體之情形下持續，但是尋找表面而向上遷移的磷原子將無意中摻雜此區域。如在2005年12月9日申請的Herter之美國專利申請案第11/298,331號，"Deposited Semiconductor Structure to Minimize N-Type Dopant Diffusion and Method of Making"中所描述(該案以引用之方式併入本文中)，所沈積之矽中磷之界面活性劑行為係藉添加鍍來抑制。較佳地，在此點處沈積包括至少10 at% 鍍之矽-鍍合金之層，例如，約200埃之 $\text{Si}_{0.8}\text{Ge}_{0.2}$ ，其在並未提供磷之摻雜劑氣體之情形下經沈積但不經摻雜。此薄層在圖7d中未圖示。

此矽-鍍層之使用最小化n型摻雜劑不良地擴散至待形成之本質區域中，從而最大化其厚度。當二極體處於反向偏壓下時，較厚本質區域最小化漏電流，從而降低功率損失。此方法允許在不增加二極體之總高度之情形下增加本

質區域之厚度。如將所見，二極體將圖案化為柱；增加二極體之高度增加形成此等柱之蝕刻步驟及填充其間的間隙之步驟之縱橫比。蝕刻及填充皆隨縱橫比增加而更難。

接著可由此項技術中已知之任何方法來形成本質區域214。區域214較佳為矽且較佳具有約1100埃與約3300埃之間、較佳約1700埃之厚度。重摻雜區域212及本質區域214之矽較佳在沈積時為非晶形的。

將圖案化及蝕刻剛沈積之半導體區域214及212以及下覆蓋電層211、高K介電層218及導電層210以形成柱600。柱600應具有與下導體400大約相同之間距及大約相同之寬度，使得每一柱600形成於導體400之頂部上。可容許一些欠對準。可使用用以形成第一記憶體階層之柱300之相同技術來圖案化及蝕刻柱600。

將介電材料108沈積於半導體柱600之上及其之間，從而填充其間的間隙。如在第一記憶體階層中，移除柱600之頂部上的介電材料108，從而曝露由介電材料108分離的柱600之頂部且留下大體上平坦的表面。在此平坦化步驟之後，執行離子植入，從而形成重摻雜p型頂部區域116。p型摻雜劑較佳為具有例如2 keV之植入能量及約 $3 \times 10^{15}/\text{cm}^2$ 之劑量的硼之淺植入。此植入步驟完成二極體602之形成。在CMP步驟期間丟失某一厚度之矽，因此完成之二極體602具有與二極體302之高度相當的高度。

頂部導體700係以與導體400相同之方式及相同材料形成，其在第一記憶體階層與第二記憶體階層之間共用。沈

積矽化物形成金屬之層220，接著氮化鈦層704及諸如鎢之導電材料之層706。將層706、704及220圖案化及蝕刻為軌狀頂部導體700，其較佳在大體上垂直於導體400及大體上平行於導體200之方向上延伸。

較佳在已形成所有記憶體階層之後，例如在攝氏750度下執行單一結晶退火持續約60秒以結晶二極體302、602及形成於額外階層上之彼等二極體之半導體材料，儘管每一記憶體階層可在其形成時經退火。所得二極體將通常為多晶的。因為此等二極體之半導體材料經結晶以與與之具有良好晶格匹配之矽化物或矽化物-鍍化物層接觸，所以二極體302、602等等之半導體材料將為低疵點且低電阻率。

在剛描述之實施例中，在記憶體階層之間共用導體；亦即，第一記憶體階層之頂部導體400充當第二記憶體階層之底部導體。在其他實施例中，一層間介電質(其表面經平坦化)形成於圖7c之第一記憶體階層上且第二記憶體階層之構造在此經平坦化之層間介電質上開始，且並未共用導體。在所給出之實例中，第一記憶體階層之二極體為上指，具有位於底部上之p型矽及位於頂部上之n型，而第二記憶體階層之二極體經反向為下指，具有位於底部上之n型矽及位於頂部上之p型。在共用導體之實施例中，二極體類型較佳交替，在一層上向上且在下一層上向下。在並未共用導體之實施例中，二極體可皆為一種類型，上指或下指。術語向上及向下指代當二極體處於正向偏壓下時電流之方向。

在一些實施例中，可較佳在二極體處於反向偏壓之情形下施加程式化脈衝。此可有利於減少或消除陣列中未選單元上之洩漏，如在2006年7月28日申請的Kumar等人之美國專利申請案第11/496,986號，"Method For Using A Memory Cell Comprising Switchable Semiconductor Memory Element With Trimmable Resistance"中所描述，該案由本發明之受讓人所擁有且以引用之方式併入本文中。

已描述基板上之兩個記憶體階層之製造。可以相同方式形成額外記憶體階層，從而形成單體三維記憶體陣列。

單體三維記憶體陣列為在單個基板(諸如，晶圓)上形成多個記憶體階層且並未插入基板之記憶體陣列。形成一個記憶體階層之層直接在現有階層之層上沈積或生長。相反地，堆疊記憶體係藉由在單獨基板上形成記憶體階層及將記憶體階層依次黏著至彼此上來建構，如在Leedy之美國專利第5,915,167號"Three dimensional structure memory"中。基板在黏結之前可變薄或自記憶體階層移除，但由於記憶體階層初始形成於單獨基板之上，因此此等記憶體並非真正的單體三維記憶體陣列。

在基板上形成之單體三維記憶體陣列包含在高於基板之第一高度上形成的至少第一記憶體階層及在與該第一高度不同之第二高度上形成之第二記憶體階層。在此多階層陣列中，可在基板上形成三個、四個、八個或實際上任何數目之記憶體階層。

一種用以形成一堆疊記憶體陣列(其中使用鑲嵌構造而

並非使用所提供之實例中之減除技術來形成導體)之替代方法描述於2006年5月31日申請的Radigan等人之美國專利申請案第11/444,936號，"Conductive Hard Mask to Protect Patterned Features During Trench Etch"中，該案讓渡至本發明之受讓人且以引用之方式併入本文中。Radigan等人之方法可替代用以形成根據本發明之陣列。在Radigan等人之方法中，導電硬式遮罩用以蝕刻位於其下的二極體。在調適此硬式遮罩以適應本發明時，在較佳實施例中，硬式遮罩之與二極體之矽接觸之底部層較佳為鈦、鈷、鉻、鉭、鉑、銱或鈮。接著在退火期間形成矽化物，從而提供矽化物結晶模板。在此實施例中，形成頂部重摻雜p型區域之離子植入步驟在形成柱之圖案化步驟之前發生。

在目前提供之實例中，矽化物形成於二極體之頂部接觸處。在替代性實施例中，矽化物可形成於其他處，例如，底部接觸處。舉例而言，二極體之矽可直接沈積於矽化物形成金屬及狀態改變元件上，諸如，形成於二極體之頂部上之反熔絲或電阻率切換元件(例如，奈米碳管組構或二元金屬氧化物)。

本發明之上指二極體已描述為用於一次性可程式化記憶體單元(當與反熔絲配對時)或可重寫記憶體單元(當與電阻率切換元件配對時)中。然而，將理解，列舉本發明之二極體之所有可能使用為不實際的，且此等實例並非意欲限制。

本文中已描述詳細製造方法，但在結果屬於本發明之範

疇內時，可使用形成相同結構之任何其他方法。

上文中之詳細描述僅描述了本發明可採取的許多形式中的一些形式。為此，該詳細描述意欲進行說明而並非限制。本發明之範疇意欲僅藉由以下申請專利範圍(包括所有均等物)來界定。

【圖式簡單說明】

圖1為'030專利中所描述之記憶體單元之實施例的透視圖。

圖2為包含如圖1之單元之記憶體單元的第一記憶體階層之一部分的透視圖。

圖3a為展示共用導體之兩個堆疊記憶體階層的透視圖。圖3b為具有相同結構的橫截面視圖。圖3c為展示並未共用導體之兩個堆疊記憶體階層的橫截面視圖。

圖4a為根據'030專利之實施例形成之下指二極體的群集在2伏特之所施加之電壓下電流的機率曲線圖。圖4b為根據'030專利之實施例形成之上指二極體的群集在2伏特之所施加之電壓下電流的機率曲線圖。

圖5為本發明之實施例的透視圖。

圖6為根據本發明之實施例形成之上指二極體的群集在2伏特之所施加之電壓下電流的機率曲線圖。

圖7a至圖7d為說明兩個記憶體階層之形成之階段的橫截面視圖，該第一記憶體階層包括根據本發明之實施例形成之上指二極體。

【主要元件符號說明】

100	基板
102	絕緣層
104	黏著層
106	導電層
108	介電材料
110	導電障壁層/導電層
111	導電障壁層/導電層
112	底部重摻雜p型區域/底部重摻雜區域
114	本質或輕摻雜區域/中間本質區域
116	頂部重摻雜n型區域/頂部重摻雜區域
118	介電擊穿反熔絲/薄層
120	層
200	底部導體
210	導電層
211	導電層
212	底部重摻雜區域
214	半導體區域/本質區域
218	高K介電層
220	層
300	柱
302	二極體
400	頂部導體
404	氮化鈦層
406	層

500	底部導體
600	柱
602	二極體
700	頂部導體
704	氮化鈦層
706	導電材料之層
M0	第一記憶體階層
M1	第二記憶體階層

五、中文發明摘要：

本發明揭示一種由沈積矽、鍺或矽-鍺形成之上指 p-i-n 二極體。該二極體具有一底部重摻雜 p 型區域、一中間本質或輕摻雜區域及一頂部重摻雜 n 型區域。該頂部重摻雜 p 型區域摻雜有砷，且該二極體之該半導體材料經結晶以與一合適之矽化物、鍺化物或矽化物-鍺化物接觸。此等上指二極體之一大型陣列可經形成以當施加一高於該等二極體之導通電壓的電壓時具有穿過該陣列之電流之極佳均勻性。此二極體有利地用於一單體三維記憶體陣列中。本發明亦揭示用於形成上指 p-i-n 二極體之一群集及大量其他態樣之方法。

六、英文發明摘要：

An upward-pointing p-i-n diode formed of deposited silicon, germanium, or silicon-germanium is disclosed. The diode has a bottom heavily doped p-type region, a middle intrinsic or lightly doped region, and a top heavily doped n-type region. The top heavily doped p-type region is doped with arsenic, and the semiconductor material of the diode is crystallized in contact with an appropriate silicide, germanide, or silicide-germanide. A large array of such upward-pointing diodes can be formed with excellent uniformity of current across the array when a voltage above the turn-on voltage of the diodes is applied. This diode is advantageously used in a monolithic three dimensional memory array. Methods of forming a population of upward-pointing p-i-n diodes and numerous other aspects are also disclosed.

十、申請專利範圍：

1. 一種形成於一基板上的第一器件階層，其包括複數個垂直定向式p-i-n二極體，每一p-i-n二極體包含一底部重摻雜p型區域、一中間本質或輕摻雜區域，及一頂部重摻雜n型區域，其中每一p-i-n二極體具有一柱之形式，

其中，對於至少99%之該等p-i-n二極體而言，當將約1.5伏特與約3.0伏特之間的一電壓施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間時流過該等p-i-n二極體之電流為至少1.5微安培，

其中該等p-i-n二極體包含沈積矽、鍺或矽-鍺，

其中該第一複數個p-i-n二極體包括該第一器件階層中之每個p-i-n二極體。

2. 如請求項1之第一器件階層，其中當施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間的該電壓在約1.8伏特與約2.2伏特之間時電流流過該等p-i-n二極體。
3. 如請求項1之第一器件階層，其中每一二極體與一矽化物、鍺化物或矽化物-鍺化物層接觸。
4. 如請求項3之第一器件階層，其進一步包含：

形成於該基板上之第一複數個大體上平行、大體上共平面的軌狀導體；及

形成於該等第一導體上之第二複數個大體上平行、大體上共平面的軌狀導體，

每一第一p-i-n二極體垂直地安置於該等第一導體中之一者與該等第二導體中之一者之間。

5. 如請求項4之第一器件階層，其中該複數個垂直定向式p-i-n二極體包括至少100,000個p-i-n二極體。
6. 如請求項1之第一器件階層，其中一第二器件階層單體地形成於該第一器件階層上。
7. 如請求項1之第一器件階層，其中該基板包含單晶矽。
8. 一種包含第一複數個記憶體單元之第一記憶體階層，每一第一記憶體單元包含呈一柱之形式的一垂直定向式p-i-n二極體，每一垂直定向式p-i-n二極體包含一底部重摻雜p型區域、一中間本質或輕摻雜區域，及一頂部重摻雜n型區域，

其中該等第一記憶體單元包含經程式化單元及未經程式化單元，

其中該等記憶體單元中之至少一半為經程式化單元，

其中當將約1.5伏特與約3.0伏特之間的一電壓施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間時流過至少99%之該等經程式化單元之該等p-i-n二極體的電流為至少1.5微安培，

其中該第一複數個記憶體單元包括該第一記憶體階層中之每個記憶體單元。

9. 如請求項8之第一記憶體階層，其中當施加至該底部重摻雜p型區域與該頂部重摻雜n型區域之間的該電壓在約1.8伏特與約2.2伏特之間時電流流過該等p-i-n二極體。
10. 如請求項8之第一記憶體階層，其中每一二極體與一矽化物、鍺化物或矽化物-鍺化物層接觸。

11. 如請求項10之第一記憶體階層，其進一步包含：

形成於該基板上之第一複數個大體上平行、大體上共平面的軌狀導體；及

形成於該等第一導體上之第二複數個大體上平行、大體上共平面的軌狀導體，

每一第一p-i-n二極體垂直地安置於該等第一導體中之一者與該等第二導體中之一者之間。

12. 如請求項11之第一記憶體階層，其中每一第一記憶體單元進一步包含一狀態改變元件。

13. 如請求項12之第一記憶體階層，其中該狀態改變元件為一反熔絲，且每一第一記憶體單元為一一次性可程式化記憶體單元。

14. 如請求項13之第一記憶體階層，其中該反熔絲為一介電層或介電質堆疊。

15. 如請求項12之第一記憶體階層，其中該狀態改變元件為一電阻率切換元件，且每一第一記憶體單元為一可重寫記憶體單元。

16. 如請求項15之第一記憶體階層，其中該電阻率切換元件包含二元金屬氧化物或奈米碳管組構。

17. 如請求項8之第一記憶體階層，其中該第一複數個記憶體單元包括至少100,000個記憶體單元。

18. 如請求項8之第一記憶體階層，其中該第一記憶體階層係形成於一基板上。

19. 如請求項18之第一記憶體階層，其中基板包含單晶矽。

20. 如請求項18之第一記憶體階層，其中一第二記憶體階層係單體地形成於該第一記憶體階層上。

21. 如請求項20之第一記憶體階層，其中該第二記憶體階層包含第二複數個p-i-n二極體，每一第二p-i-n二極體具有一底部重摻雜n型區域及一頂部重摻雜p型區域。

22. 一種用於形成一垂直定向式p-i-n二極體之方法，該方法包含：

在一基板上形成一第一軌狀導體；

在該第一軌狀導體上形成沈積半導體材料之一底部重摻雜p型區域；

在半導體材料之該底部重摻雜p型區域上形成沈積半導體材料之一中間本質或輕摻雜區域，其中該沈積半導體材料為矽、鍺或一矽-鍺合金；

圖案化及蝕刻該底部重摻雜p型區域及該中間本質或輕摻雜區域以形成一柱；

形成一摻雜有砷之頂部重摻雜n型區域；及

退火以結晶該半導體材料，其中該半導體材料之某一部分在沈積時為非晶形的且在該退火步驟之後與一矽化物、鍺化物或矽化物-鍺化物接觸，

其中該p-i-n二極體包含該底部重摻雜p型區域、該中間本質或輕摻雜區域及該頂部重摻雜n型區域。

23. 如請求項22之方法，其中該矽化物為矽化鈦、鍺化鈦、矽化鈦-鍺化鈦、矽化鈷、鍺化鈷或矽化鈷-鍺化鈷。

24. 如請求項22之方法，其中該頂部重摻雜n型區域係就地

摻雜。

25. 如請求項22之方法，其中該頂部重摻雜n型區域係藉由經由離子植入來摻雜該中間本質或輕摻雜區域之該頂部來摻雜。
26. 如請求項25之方法，其中形成該頂部重摻雜n型區域之離子植入在該圖案化及蝕刻步驟之前發生。
27. 如請求項25之方法，其中形成該頂部重摻雜n型區域之離子植入在該圖案化及蝕刻步驟之後發生。
28. 如請求項22之方法，其進一步包含在該頂部重摻雜n型區域上且與之接觸來形成一鈦、鈷、鉻、鈹、鉑、銱或鈱層，其中該矽化物、鍺化物或矽化物-鍺化物係在該鈦、鈷、鉻、鈹、鉑、銱或鈱層之一部分與該頂部重摻雜n型區域反應時形成。
29. 如請求項28之方法，其中該鈦、鈷、鉻、鈹、鉑、銱或鈱層為一頂部導體之一部分。
30. 如請求項28之方法，其中該鈦、鈷、鉻、鈹、鉑、銱或鈱層為用以在該圖案化及蝕刻步驟期間蝕刻該柱的一硬式遮罩之一部分。
31. 如請求項22之方法，其中該p-i-n二極體為一記憶體單元之一部分，其中該記憶體單元進一步包含：
 - 該軌狀導體之一部分；
 - 該p-i-n二極體上之一第二軌狀導體之一部分，該p-i-n二極體安置於該第一軌狀導體與該第二軌狀導體之間。
32. 如請求項31之方法，其中該記憶體單元進一步包含一介

電擊穿反熔絲，該介電擊穿反熔絲及該p-i-n二極體電性地串聯配置於該第一導體與該第二導體之間。

33. 如請求項32之方法，其中該介電擊穿反熔絲包含 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON 或 ZrSiAlON 。

34. 如請求項32之方法，其中該介電擊穿反熔絲包含二氧化矽。

35. 如請求項31之方法，其中該記憶體單元進一步包含一電阻率切換元件，該電阻率切換元件及該p-i-n二極體電性地串聯配置於該第一導體與該第二導體之間。

36. 如請求項35之方法，其中該電阻率切換元件包含一二元金屬氧化物。

37. 如請求項36之方法，其中該二元氧化物係選自由以下各物組成之群組： Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y 及 Al_xN_y 。

38. 如請求項35之方法，其中該電阻率切換元件包含奈米碳管組構。

39. 如請求項22之方法，其中該基板為一單晶矽晶圓。

40. 一種用於形成一單體三維記憶體陣列之方法，該方法包含：

a)藉由以下各者在一基板上單體地形成一第一記憶體階層：

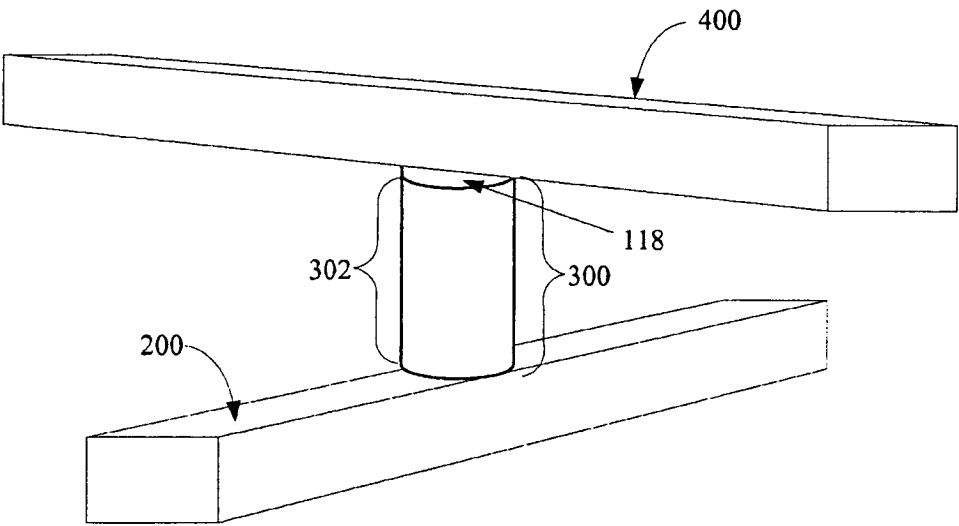
- i)在該基板上形成第一複數個軌狀導體；
- ii)在該等第一軌狀導體上形成沈積半導體材料之一底部重摻雜p型區域；
- iii)在該底部重摻雜p型半導體上形成沈積半導體材料之一中間本質或輕摻雜區域，其中該沈積半導體材料為矽、鍺或一矽-鍺合金；
- iv)圖案化及蝕刻該底部重摻雜p型區域及該中間本質或輕摻雜區域以形成第一複數個柱；
- v)形成一摻雜有砷之頂部重摻雜區域；
- vi)退火以結晶該半導體材料，其中該半導體材料之某一部分在沈積時為非晶形的且在該退火步驟之後與一矽化物、鍺化物或矽化物-鍺化物接觸；及
- vii)在該中間本質或輕摻雜區域上形成第二複數個軌狀導體，其中該第一記憶體階層包含第一複數個記憶體單元，每一第一記憶體單元包含該等第一軌狀導體中之一者之一部分、第一複數個柱中之一者，及該等第二導體中之一者之一部分，其中該等第一柱中之每一者包含一p-i-n二極體，其包含由該摻雜步驟形成之一底部重摻雜p型區域、一中間本質或輕摻雜區域及一頂部重摻雜n型區域，

及

- b)在該第一記憶體階層上單體地形成一第二記憶體階層。

41. 如請求項40之方法，其中該第二記憶體階層包含第二複數個p-i-n二極體，每一第二p-i-n二極體包含一底部重摻雜n型區域、一中間本質或輕摻雜區域及一頂部重摻雜p型區域。
42. 如請求項41之方法，其中該等第二導體由該第一記憶體階層及該第二記憶體階層共用。

十一、圖式：



6, 952, 030之實施例

圖1

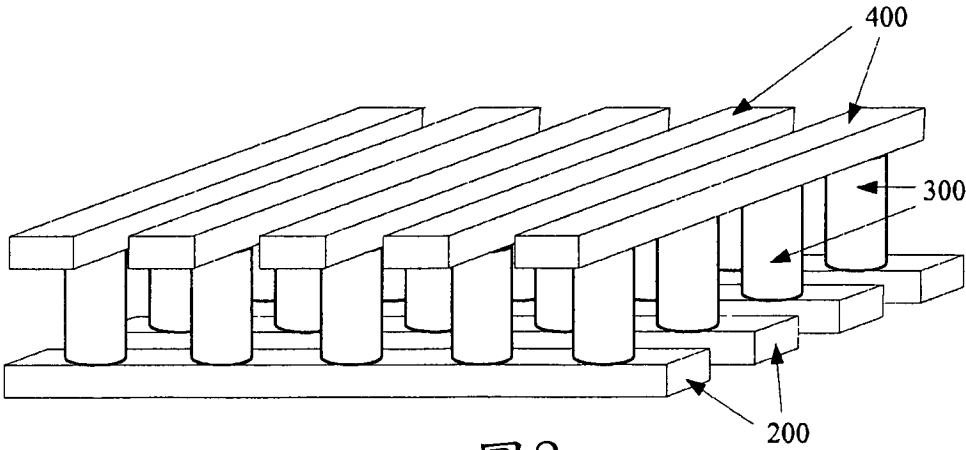


圖2

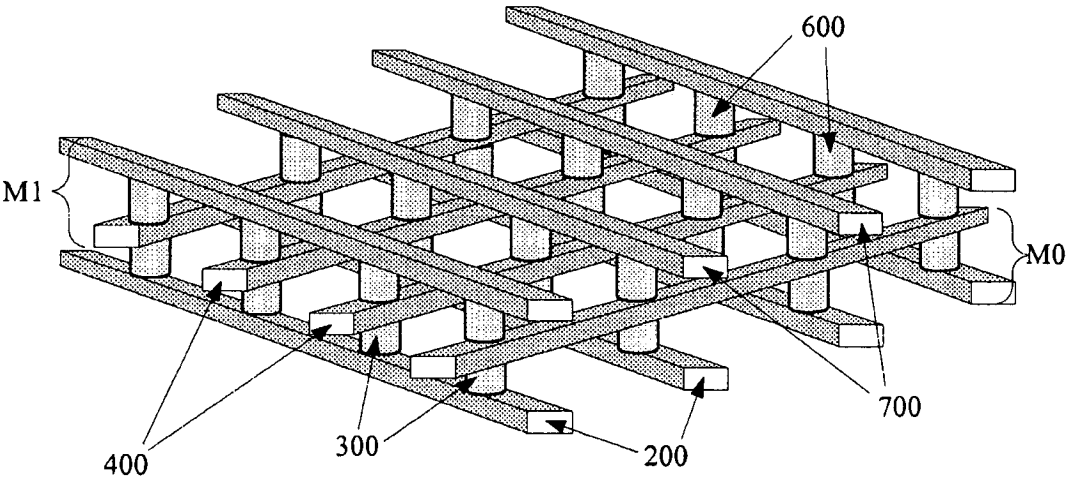


圖 3a

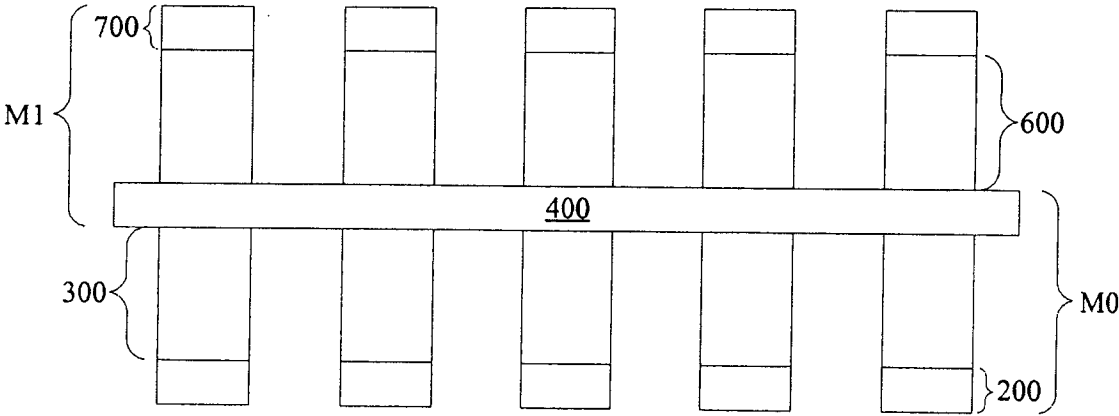


圖 3b

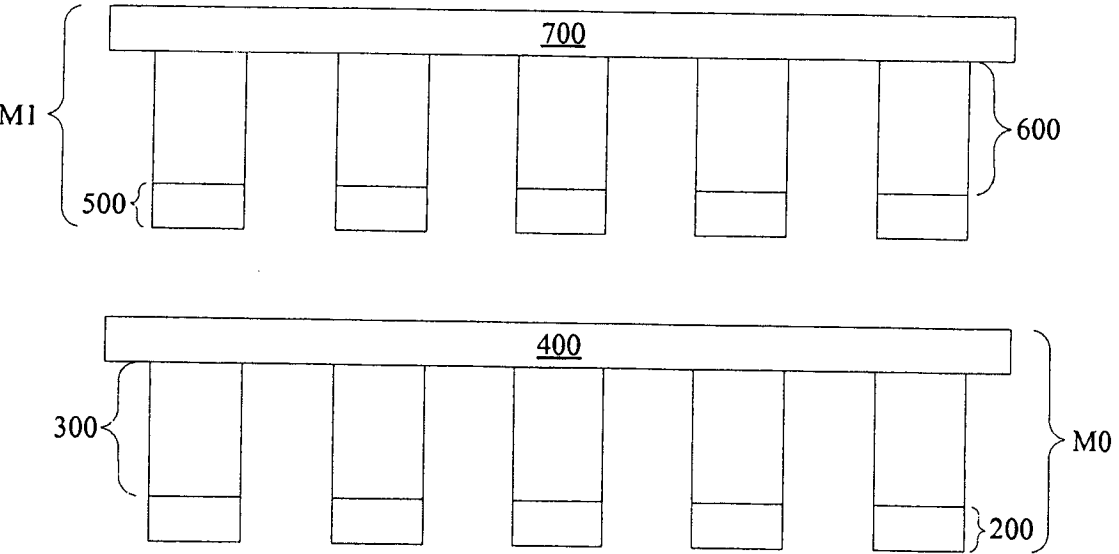


圖 3c

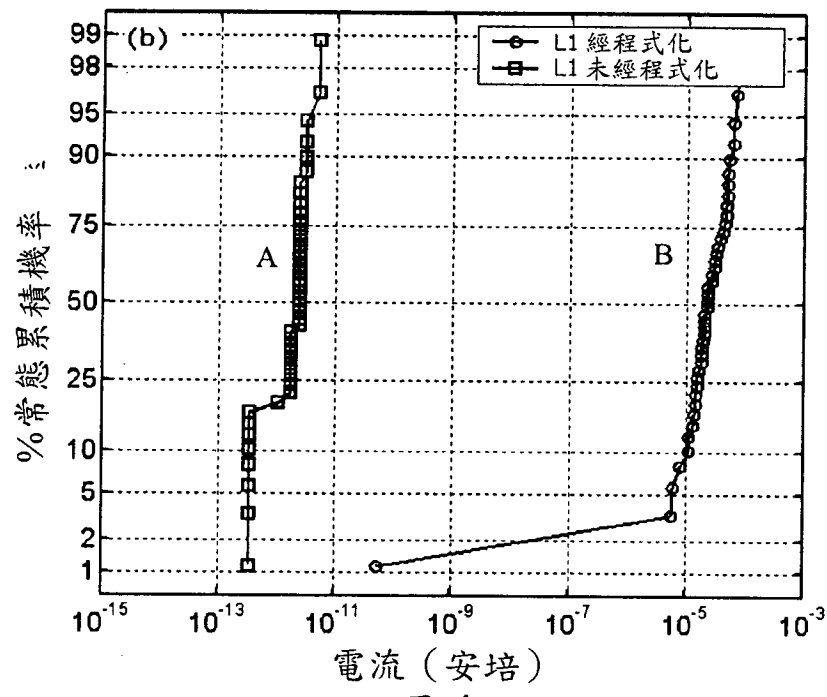


圖4a

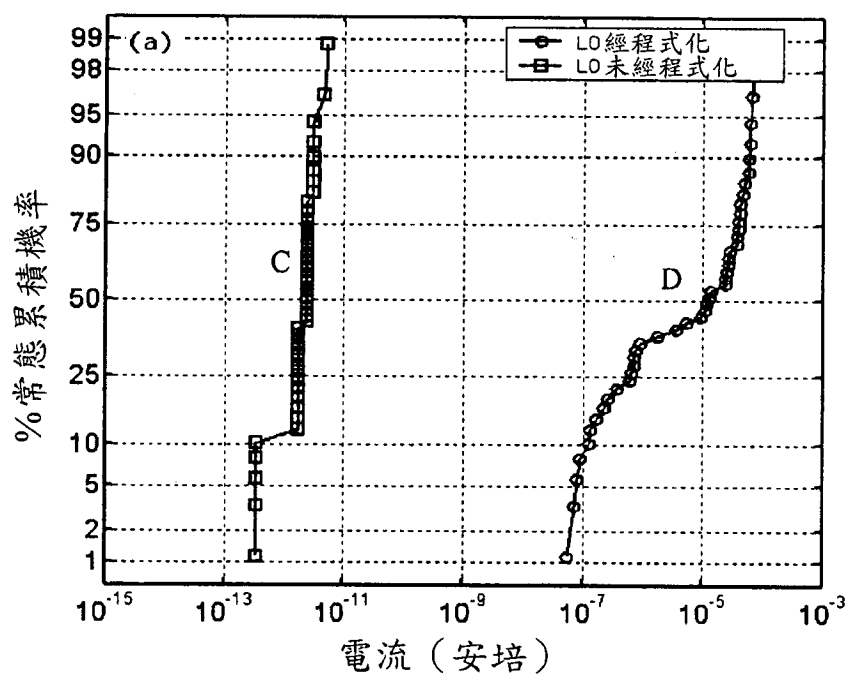


圖4b

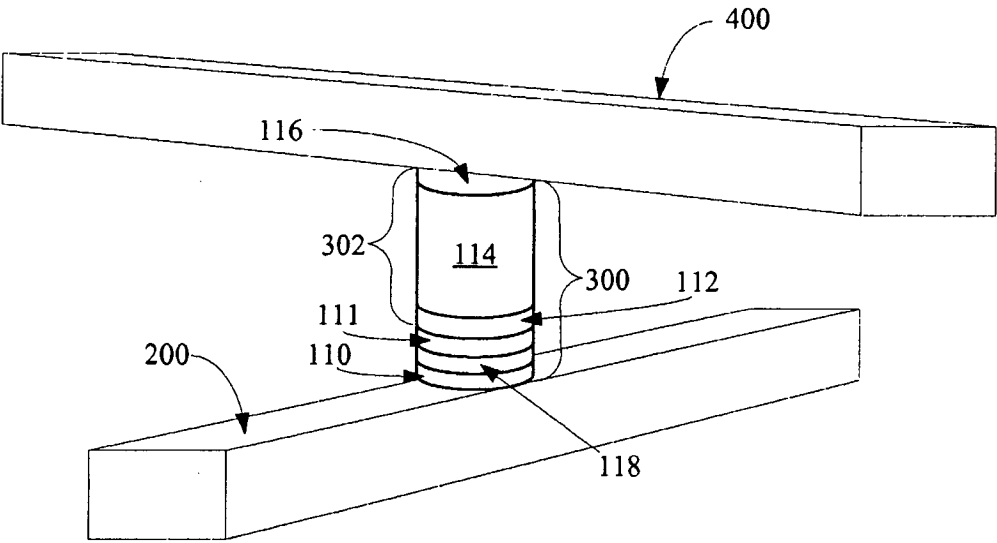


圖5

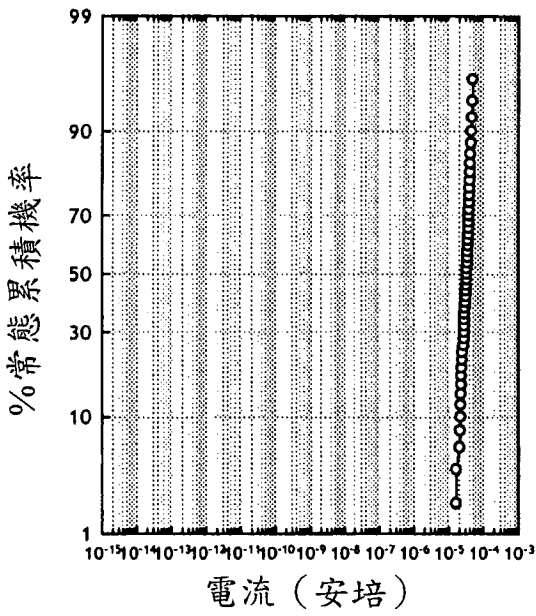


圖6

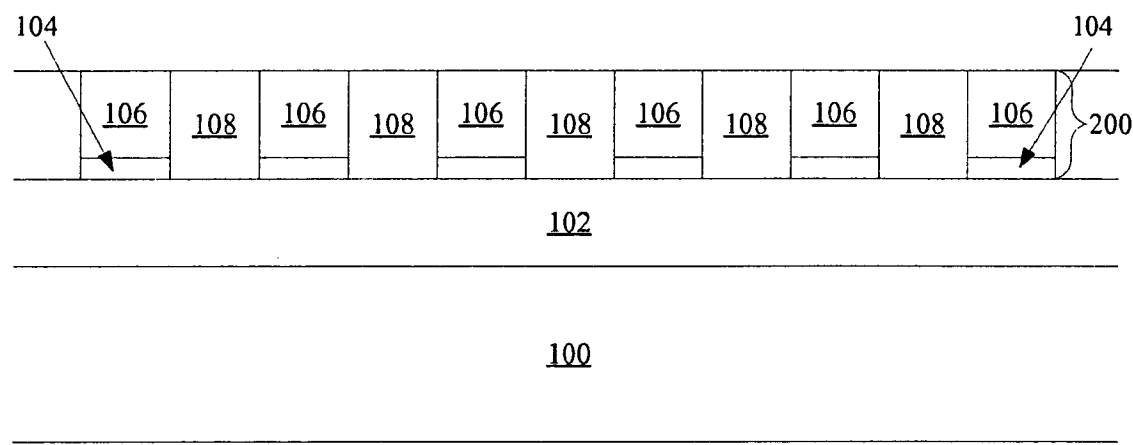


圖 7a

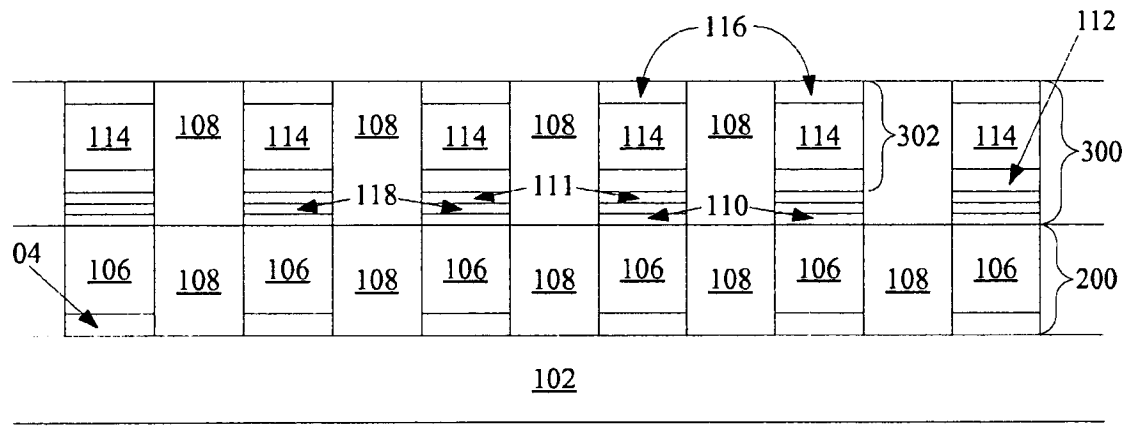


圖 7b

[illegible]

- 7 -

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

110	導電障壁層/導電層
111	導電障壁層/導電層
112	底部重摻雜p型區域/底部重摻雜區域
114	本質或輕摻雜區域/中間本質區域
116	頂部重摻雜n型區域/頂部重摻雜區域
118	介電擊穿反熔絲/薄層
200	底部導體
300	柱
302	二極體
400	頂部導體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)