(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월24일
(11) 등록번호 10-1214975
(24) 등록일자 2012년12월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2011-0090495
(22) 출원일자 2011년09월07일
심사청구일자 2011년09월07일
(56) 선행기술조사문헌
KR101035537 B1
KR1020080082715 A

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 동작구 사당동 105 (6/3) 극동아파트 111-603
(74) 대리인
권오준

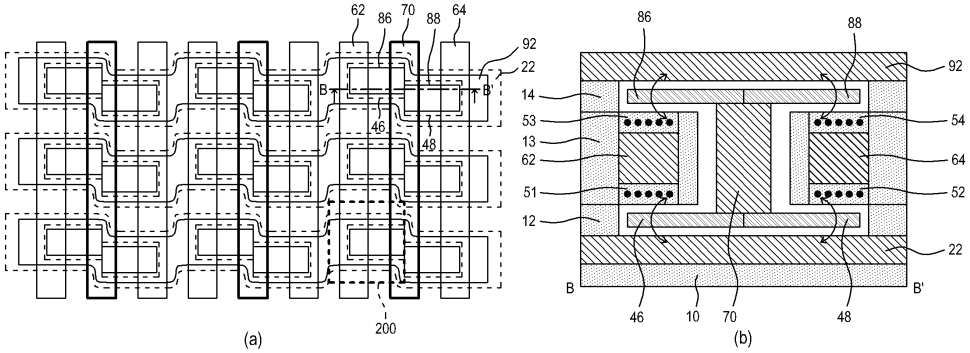
전체 청구항 수 : 총 7 항 심사관 : 박문철

(54) 발명의 명칭 **비대칭 H형 전기기계 메모리 소자**

(57) 요 약

본 발명은 비트라인의 상, 하부에 각각 좌, 우측 상부 캔틸레버 전극 및 좌, 우측 하부 캔틸레버 전극을 비트라인 방향으로 이동(shift)시키며 엇갈리게 좌우 비대칭이 되도록 형성함으로써, 1비트를 저장하기 위한 셀 면적의 증가 없이 비트간 간섭현상을 최소화시킬 수 있는 비대칭 H형 전기기계 메모리 소자를 제공한다.

대 표 도 - 도6



이 발명을 지원한 국가연구개발사업

과제고유번호	201032051
부처명	교육과학기술부
연구사업명	기초연구사업
연구과제명	저전력 나노 전기기계 비휘발성 메모리 소자 개발
주관기관	서강대학교산학협력단
연구기간	2010.09.01 ~ 2011.08.31

특허청구의 범위

청구항 1

소정의 평탄면을 갖는 기판;

상기 기판 상에서 제 1 방향으로 형성된 비트라인;

상기 비트라인을 중심에 두고 양측으로 일정거리 이격되며 제 1 방향으로 형성된 좌, 우측 주요 워드라인;

상기 좌, 우측 주요 워드라인 각각의 상, 하부에 형성된 상, 하부 절연막;

상기 비트라인 및 상기 상부 절연막과 위로 수직 이격되며 제 2 방향으로 형성된 상부 보조 워드라인;

상기 비트라인 및 상기 하부 절연막과 아래로 수직 이격되며 제 2 방향으로 형성된 하부 보조 워드라인;

상기 비트라인 상부 양측으로 각 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 상부 캔틸레버 전극; 및

상기 비트라인 하부 양측으로 각 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 하부 캔틸레버 전극을 포함하여 구성되되,

상기 좌, 우측 상부 캔틸레버 전극은 상기 비트라인의 상부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고,

상기 좌, 우측 하부 캔틸레버 전극은 상기 비트라인의 하부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고,

상기 상부 보조 워드라인은 상기 좌, 우측 상부 캔틸레버 전극을 따라가며 제 1 방향으로 굽이치도록 형성되고,

상기 하부 보조 워드라인은 상기 좌, 우측 하부 캔틸레버 전극을 따라가며 제 1 방향으로 굽이치도록 형성된 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 좌, 우측 상부 캔틸레버 전극은 상기 좌, 우측 하부 캔틸레버 전극과 같은 방향으로 나란하게 이동(shift)되고,

상기 상부 보조 워드라인은 상기 하부 보조 워드라인과 같은 방향으로 나란하게 굽이치도록 형성된 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 좌, 우측 상부 캔틸레버 전극은 상기 좌, 우측 하부 캔틸레버 전극과 반대 방향으로 엇갈리게 이동(shift)되고,

상기 상부 보조 워드라인은 상기 하부 보조 워드라인과 반대 방향으로 엇갈리게 굽이치도록 형성된 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 4

제 1 항 내지 제 3 항 중 어느 하나에 있어서,

상기 좌, 우측 상부 캔틸레버 전극과 상기 좌, 우측 하부 캔틸레버 전극은 각각 반대편에 형성된 캔틸레버 전극 폭의 1/3 내지 2/3 만큼 이동(shift)된 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 5

제 4 항에 있어서,

상기 상, 하부 절연막은 각각 전하가 저장되어 있지 않아 휘발성 메모리 특성을 갖는 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 6

제 4 항에 있어서,

상기 상, 하부 절연막은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성된 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

청구항 7

제 6 항에 있어서,

상기 전하트랩층은 질화막 또는 고유전율막인 것을 특징으로 하는 비대칭 H형 전기기계 메모리 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 전기기계 메모리(electro-mechanical memory) 소자에 관한 것으로, 더욱 상세하게는 하나의 셀에 4 비트 구현이 가능한 "H형" 전기기계 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 최근 고용량, 저전력 메모리 칩에 대한 시장의 수요는 폭발적으로 증가하고 있다. 따라서 DRAM을 비롯한 휘발성 메모리와 flash 메모리와 같은 비휘발성 메모리 기술은 비약적으로 발전하여 소자의 축소화가 가속되고 있는 형국이다.

[0003] 그러나, 메모리 소자의 크기가 수십 나노미터의 영역으로 축소화됨에 따라 칩면적의 한계, 높은 쓰기/지우기 전압, 낮은 쓰기/지우기 속도, 낮은 센싱 마진, 기존 CMOS 칩과의 집적의 어려움 등의 문제가 커지고 있고 이는 더 이상의 메모리 소자 축소화를 어렵게 하고 있다.

[0004] 이를 극복하기 위하여 최근 다양한 메모리 소자가 연구되고 있다. 특히, 그 중에서도 반도체 소자가 아닌 기계적으로 움직이는 소자를 이용하여 메모리를 구현하려는 전기기계 메모리 소자에 대한 연구가 최근 활발히 진행되고 있다.

[0005] 그 대표적인 것이 도 1 및 도 2에 도시된 구조를 갖는 비휘발성 전기기계 메모리 소자이다.

[0006] 도 1은 특허문헌 1에 개시된 것으로, 상부에 읽기 워드라인(172), 중앙부 갭(188) 사이에 비트라인(174)과 연결된 가요성 기계적 빔(176), 하부에 쓰기 워드라인(186)이 있는 3층의 금속선으로 구성되어 있고, 비휘발성을 위해 쓰기 워드라인(186) 상부에 전하 저장이 가능한 ONO 층(178)이 존재한다.

[0007] 한편, 도 2는 특허문헌 2에 개시된 것으로, 기본적인 동작 원리는 특허문헌 1과 동일하나 집적도를 높이기 위해 별도의 비트라인(220)을 하부에 구현하고 캔틸레버 전극 두개(250A)가 하나의 패드전극(252)을 공유하고 있다는 구조적 특징만이 존재한다.

[0008] 그러나, 특허문헌 1 및 2를 포함한 종래기술은 다음과 같은 문제점 및 한계가 있다.

[0009] 첫째로, 전기기계 메모리 소자는 캔틸레버 전극의 상하 이동으로 정보를 저장하므로 가급적 전극을 얇게 만들고

유연하면서도 피로도에 강한 전극물질을 사용하는 것이 저전력과 고신뢰성 구현에 핵심적인 관건이나, 종래 전기기계 메모리 소자는 비트라인에 캔틸레버 전극이 형성되는 관계로 캔틸레버 전극을 얇게 하고 새로운 전극물질을 사용하게 되면 비트라인이 제대로 형성되지 않거나 높은 저항을 갖게 되는 문제가 있어, 종래기술로는 캔틸레버 전극 디자인의 최적화에 일정한 한계가 있을 수 밖에 없다.

[0010] 둘째로, 고집적 메모리의 구현을 위하여 셀면적의 최소화는 매우 중요하나, 종래 전기기계 메모리 소자는 이에 충분히 부응하지 못하는 문제점이 있다. 예를 들어 특허문헌 1의 전기기계 메모리 소자는 비트라인(174)과 가요성 기계적 빔(176)이 동일한 금속층에 형성되어 셀과 셀을 연결하기 위해서 가요성 기계적 빔을 우회하는 비트라인이 형성되어야 하므로, 이는 면적의 손실을 가져온다. 또한 특허문헌 2의 전기기계 메모리 소자는 비트라인(220)이 별도의 금속층에 형성되어 비트라인의 우회로 인한 면적손실은 없으나 컨택홀을 형성하여 패드전극(252)에 캔틸레버 전극(250A)이 위치하여야 하는 관계로 정렬오차 등으로 인해 면적의 손실이 발생한다.

[0011] 셋째로, 삼차원 집적 메모리 소자는 1 비트를 저장하기 위해 필요한 셀의 부피도 중요한 고려 요소가 되는데(이는 1 비트의 저장을 위한 면적이 작더라도 높이가 높게 되면 수직 적층이 어려워 고용량 메모리의 구현이 어렵기 때문임), 종래 전기기계 메모리 소자는 1 비트의 저장을 위해 적어도 3층의 금속 라인 층이 필요하여 3 비트를 수직으로 쌓으려면 적어도 9층의 금속선이 필요한 문제점이 있다.

[0012] 또한, 상기 종래기술의 문제점을 해결하고자, 동일 발명자에 의하여 도 3과 같은 H셀 구조를 갖는 전기기계 메모리 소자가 제안되어 한국 특허 제0944165호로 등록받은 바 있다(특허문헌 3 참조).

[0013] 그런데, 특허문헌 3에 의한 H셀 구조를 갖는 전기기계 메모리 소자는 단위 셀당 4비트 저장이 가능하여 고용량의 메모리 구현이 가능한 장점은 있으나, 이러한 구조를 구현하기 위한 공정이 복잡하고, 비트라인 상하로 캔틸레버 빔이 부착되어 동작시 구조적으로 고정대 역할을 하는 비트라인이 상당한 스트레스를 받게 될 수 밖에 없어, 신뢰성 저하를 가져오게 되는 문제점이 있다.

[0014] 도 4는 특허문헌 3에 따른 종래 H형 전기기계 메모리 소자의 어레이(a) 및 단위 셀의 구조를 보여주는 단면도(b)이고, 도 5는 도 4(b)에서 일측의 상, 하부 캔틸레버 전극(42, 84)이 풀인(pull-in) 또는 풀아웃(pull-out) 상태에 따라 각각의 타측 상, 하부 캔틸레버 전극(44, 82)의 동작에 영향을 주는 것을 보여주는 단면도인데, 종래 H형 전기기계 메모리 소자에서 비트라인(70)이 받는 스트레스는 셀의 축소화로 비트라인의 폭(W_{BL})이 감소하게 되면, 더욱 증가하게 되고, 이는 곧 비트간 간섭의 증가로 어레이 구성시 안정적인 멀티비트 구현이 어려운 문제점이 있다.

선행기술문헌

특허문헌

[0015] (특허문헌 0001) 특허문헌 1: 국제 공개 제2007/130919호, 2007. 11. 15.

(특허문헌 0002) 특허문헌 2: 한국 특허 제0842730호, 2008. 7. 1.

(특허문헌 0003) 특허문헌 3: 한국 특허 제0944165호, 2010. 2. 24.

발명의 내용

해결하려는 과제

[0016] 따라서, 본 발명은 셀의 축소화로 비트라인의 폭이 줄어들더라도 비트간 간섭현상을 억제하여 안정적인 멀티비트 구현을 할 수 있는 비대칭 H형 전기기계 메모리 소자를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0017] 상기 목적을 달성하기 위하여, 본 발명에 의한 비대칭 H형 전기기계 메모리 소자는 소정의 평탄면을 갖는 기판; 상기 기판 상에서 제 1 방향으로 형성된 비트라인; 상기 비트라인을 중심에 두고 양측으로 일정거리 이격되며 제 1 방향으로 형성된 좌, 우측 주요 워드라인; 상기 좌, 우측 주요 워드라인 각각의 상, 하부에 형성된 상, 하부 절연막; 상기 비트라인 및 상기 상부 절연막과 위로 수직 이격되며 제 2 방향으로 형성된 상부 보조 워드라인; 상기 비트라인 및 상기 하부 절연막과 아래로 수직 이격되며 제 2 방향으로 형성된 하부 보조 워드라인; 상

기 비트라인 상부 양측으로 각 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 상부 캔틸레버 전극; 및 상기 비트라인 하부 양측으로 각 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 하부 캔틸레버 전극을 포함하여 구성되되, 상기 좌, 우측 상부 캔틸레버 전극은 상기 비트라인의 상부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고, 상기 좌, 우측 하부 캔틸레버 전극은 상기 비트라인의 하부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고, 상기 상부 보조 워드라인은 상기 좌, 우측 상부 캔틸레버 전극을 따라가며 제 1 방향으로 굽이치도록 형성되고, 상기 하부 보조 워드라인은 상기 좌, 우측 하부 캔틸레버 전극을 따라가며 제 1 방향으로 굽이치도록 형성된 것을 특징으로 한다.

[0018] 그리고, 상기 좌, 우측 상부 캔틸레버 전극은 상기 좌, 우측 하부 캔틸레버 전극과 같은 방향으로 나란하게 이동(shift)되고, 상기 상부 보조 워드라인은 상기 하부 보조 워드라인과 같은 방향으로 나란하게 굽이치도록 형성된 것을 본 발명에 의한 비대칭 H형 전기기계 메모리 소자의 다른 특징으로 한다.

[0019] 그리고, 상기 좌, 우측 상부 캔틸레버 전극은 상기 좌, 우측 하부 캔틸레버 전극과 반대 방향으로 엇갈리게 이동(shift)되고, 상기 상부 보조 워드라인은 상기 하부 보조 워드라인과 반대 방향으로 엇갈리게 굽이치도록 형성된 것을 본 발명에 의한 비대칭 H형 전기기계 메모리 소자의 다른 특징으로 한다.

[0020] 그리고, 상기 좌, 우측 상부 캔틸레버 전극과 상기 좌, 우측 하부 캔틸레버 전극은 각각 반대편에 형성된 캔틸레버 전극 폭의 1/3 내지 2/3 만큼 이동(shift)된 것을 본 발명에 의한 비대칭 H형 전기기계 메모리 소자의 다른 특징으로 한다.

[0021] 여기서, 상기 상, 하부 절연막은 전하가 저장되어 있지 않아 휘발성 메모리 특성을 갖는 것일 수 있고, 전하트랩층을 포함하는 2개 이상의 유전층으로 구성되고, 상기 전하트랩층은 질화막 또는 고유전율막일 수 있다.

발명의 효과

[0022] 본 발명은 비트라인의 상, 하부에 각각 좌, 우측 상부 캔틸레버 전극, 좌, 우측 하부 캔틸레버 전극을 비트라인 방향으로 이동(shift)시키며 엇갈리게 좌우 비대칭이 되도록 형성함으로써, 1비트를 저장하기 위한 셀 면적의 증가 없이 비트간 간섭현상을 최소화시켜 보다 안정적인 멀티비트를 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0023] 도 1 및 도 2는 각각 특허문헌 1, 2에 의한 비휘발성 전기기계 메모리 소자의 단면도이다.

도 3은 특허문헌 3에 의한 H 셀을 단위 셀로 하는 H형 전기기계 메모리 소자의 요부 사시도이다.

도 4는 특허문헌 3에 따른 종래 H형 전기기계 메모리 소자의 어레이(a) 및 단위 셀의 구조를 보여주는 AA'선 단면도(b)이다.

도 5는 도 4(b)에서 일측의 상부 캔틸레버 전극(84) 및 하부 캔틸레버 전극(42)이 각각 풀인(pull-in) 또는 풀아웃(pull-out) 상태에 따라 타측 상부 캔틸레버 전극(82) 및 하부 캔틸레버 전극(44)의 동작에 영향을 받음을 보여주는 AA'선 단면도이다.

도 6 및 도 7은 본 발명의 각 실시예에 따른 비대칭 H형 전기기계 메모리 소자의 어레이(a) 및 단위 셀의 구조를 보여주는 BB'선 단면도(b)이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

[0025] 본 발명에 의한 비대칭 H형 전기기계 메모리 소자는, 도 6 및 도 7에 공통적으로 도시된 바와 같이, 소정의 평탄면을 갖는 기판(10); 상기 기판 상에서 제 1 방향(예컨대, y축 방향)으로 형성된 비트라인(70); 상기 비트라인을 중심에 두고 양측으로 일정거리 이격되며 제 1 방향으로 형성된 좌, 우측 주요 워드라인(62, 64); 상기 좌, 우측 주요 워드라인 각각의 상, 하부에 형성된 상, 하부 절연막(51, 52; 53, 54); 상기 비트라인(70) 및 상기 상부 절연막(53, 54)과 위로 수직 이격되며 제 2 방향(예컨대, x축 방향)으로 형성된 상부 보조 워드라인(92, 94); 상기 비트라인(70) 및 상기 하부 절연막(51, 52)과 아래로 수직 이격되며 제 2 방향으로 형성된 하부 보조 워드라인(22, 24); 상기 비트라인(70) 상부 양측으로 각 일단이 연결되고 타단은 상기 상부 보조 워드라인

(92, 94)과 상기 상부 절연막(53, 54) 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 상부 캔틸레버 전극(86, 88); 및 상기 비트라인(70) 하부 양측으로 각 일단이 연결되고 타단은 상기 하부 보조 워드라인(22, 24)과 상기 하부 절연막(51, 52) 사이에서 제 2 방향으로 부양되도록 형성된 좌, 우측 하부 캔틸레버 전극(46, 48)을 포함하여 구성되되, 상기 좌, 우측 상부 캔틸레버 전극(86, 88)은 상기 비트라인(70)의 상부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고, 상기 좌, 우측 하부 캔틸레버 전극(46, 48)은 상기 비트라인(70)의 하부에서 제 1 방향으로 이동(shift)되어 서로 반대방향으로 비대칭적으로 부양되도록 연결되고, 상기 상부 보조 워드라인(92, 94)은 상기 좌, 우측 상부 캔틸레버 전극(86, 88)을 따라가며 제 1 방향으로 굽이치도록 형성되고, 상기 하부 보조 워드라인(22, 24)은 상기 좌, 우측 하부 캔틸레버 전극(46, 48)을 따라가며 제 1 방향으로 굽이치도록 형성된 것을 특징으로 한다.

[0026] 여기서, 도 6(b) 및 도 7(b)에 도시된 바와 같이, 상기 상부 보조 워드라인(92, 94)은 셀 사이에서 상기 하부 보조 워드라인(22, 24)으로부터 채워진 층간 절연막(12, 13, 14)으로 지지 되고, 상기 비트라인(70)과 상기 좌, 우측 주요 워드라인(62, 64) 사이에는 에어갭(air gap)이 형성되도록 각 좌, 우측 주요 워드라인(62, 64) 일측 상에만 절연막이 형성될 수 있다.

[0027] 상기와 같이, 비트라인(70)의 상, 하부에 각각 좌, 우측 상부 캔틸레버 전극(86, 88) 및 좌, 우측 하부 캔틸레버 전극(46, 48)을 비트라인 방향인 제 1 방향(y축 방향)으로 이동(shift)시키며 서로 엇갈리게 좌우 비대칭이 되도록 형성함으로써, 셀의 축소화로 비트라인(70)의 폭(W_{BL})이 감소하게 되더라도, 비트라인(70)의 상, 하부에서 각각 일측 캔틸레버 전극이 풀인(pull-in) 또는 풀아웃(pull-out) 되더라도 반대편 캔틸레버 전극에의 영향은 비트라인(70)의 비틀림 등으로 흡수하게 되어, 비트간의 간섭현상을 최소화시킬 수 있게 된다.

[0028] 또한, 상부 보조 워드라인(92, 94) 및 하부 보조 워드라인(22, 24)은 각각 좌, 우측 상부 캔틸레버 전극(86, 88) 및 좌, 우측 하부 캔틸레버 전극(46, 48) 상에서 각 전극을 따라가며, 즉 제 2 방향(x축 방향)으로 형성되되 각 전극이 제 1 방향(y축 방향)으로 이동(shift)된 만큼 굽이치며 형성되어, 1비트를 저장하기 셀 면적(200)은 종래와 동일하게 할 수 있다.

[0029] 상술한 바와 같이, 본 발명에 의한 비대칭 H형 전기기계 메모리 소자는 기본적으로, 비트라인(70)을 중심에 두고, 상, 하부에서 캔틸레버 전극을 좌우로 제 2 방향(x축 방향)으로 부양하도록 형성하되, 좌, 우측 캔틸레버 전극 중 어느 하나를 제 1 방향(y축 방향)으로 이동(shift)시킨 것과 같이, 서로 비대칭으로 형성되도록 하고, 상기 비대칭된 좌, 우측 캔틸레버 전극 상에서 이를 따라가며 상부 보조 워드라인(92, 94) 및 하부 보조 워드라인(22, 24)이 형성된 것인데, 비트라인(70) 상, 하부에서 좌, 우측 캔틸레버 전극의 상대적 이동(shift) 방향에 따라, 도 6 및 도 7과 같이, 구체화될 수 있다.

[0030] 도 6에 따른 실시예에 의하면, 상기 좌, 우측 상부 캔틸레버 전극(86, 88)은 상기 좌, 우측 하부 캔틸레버 전극(46, 48)과 같은 방향으로 나란하게 이동(shift)되고, 상기 상부 보조 워드라인(92)은 상기 하부 보조 워드라인(22)과 같은 방향으로 나란하게 굽이치도록 형성된다.

[0031] 한편, 도 7에 따른 실시예에 의하면, 상기 좌, 우측 상부 캔틸레버 전극(86, 88)은 상기 좌, 우측 하부 캔틸레버 전극(46, 48)과 반대 방향으로 엇갈리게 이동(shift)되고, 상기 상부 보조 워드라인(94)은 상기 하부 보조 워드라인(24)과 반대 방향으로 엇갈리게 굽이치도록 형성된다.

[0032] 도 4(a)에 도시된 종래 구조에서 1비트를 저장하기 위한 셀 면적(100)과 도 6(a) 및 도 7(a)에 도시된 각 실시예의 구조에서 1비트를 저장하기 위한 셀 면적(200)은 동일함을 알 수 있다. 즉, 상기 모두 단층일 경우 1비트를 저장하기 위한 셀 면적(100, 200)은 $6\sim9F^2$로 가능하다.

[0033] 따라서, 상기 각 실시예에 따른 구조에 의하더라도 1비트를 저장하기 셀 면적(200)에는 종래 구조에 비하여 어떤 면적 증가도 요구되지 않음을 알 수 있다.

[0034] 다만, 이웃하는 상, 하부 보조 워드라인 간의 전기적 접촉을 방지하기 위하여, 상기 좌, 우측 상부 캔틸레버 전극(86, 88) 및 상기 좌, 우측 하부 캔틸레버 전극(46, 48)은 각각 반대편에 형성된 캔틸레버 전극 폭의 1/3 내지 2/3 만큼 이동(shift)되도록 하고, 상기 각 상, 하부 전극(86, 88; 46, 48) 상에 상, 하부 보조 워드라인(92, 94; 22, 24)이 형성되도록 함이 바람직하다.

[0035] 이는, 좌, 우측 상부 캔틸레버 전극(86, 88) 및 좌, 우측 하부 캔틸레버 전극(46, 48)이 비트라인(70)을 가운데 두고 각각 상, 하부에서 제 1 방향(y축 방향)으로 이동(shift)되며 형성될 때, 반대편에 형성된 캔틸레버 전극 폭의 1/3보다 작게 어긋날 경우 비트간 간섭현상을 줄이는 효과가 미미하게 되고, 그렇다고 반대편에 형성된 캔

틸레버 전극 폭의 2/3 이상 크게 어긋날 경우 독립적인 상, 하부 보조 워드라인(92, 94; 22, 24)의 형성에 어려움을 주게 되기 때문이다.

[0036] 한편, 상기 상, 하부 절연막(53, 54; 51, 52)은, 도 6(b) 및 도 7(b)에 도시된 바와 같이 소정의 전하가 저장되어, 전원을 끄더라도 각 캔틸레버 전극이 풀인 상태를 유지하는 비휘발성 메모리 특성을 갖게 할 수 있으나, 상기와 같은 전하가 저장되어 있지 않아 휘발성 메모리 특성을 갖게 할 수도 있다.

[0037] 이때, 상, 하부 절연막(53, 54; 51, 52)은 질화막(nitride)이나 전하저장 가능한 고유전율막과 같이 전하트랩층을 포함하는 2개 이상의 유전층(예컨대, ONO층, OHO층 등)으로 형성될 수 있다.

[0038] 기타, 본 실시예에 의한 전기기계 메모리 소자의 동작방법은 특허문헌 3(한국 특허 제0944165호)에 상세히 기재되어 있으므로, 이에 대한 설명은 생략한다.

부호의 설명

[0039] 10: 기판

12, 13, 14: 층간 절연막

20, 22, 24: 하부 보조 워드라인

42, 44, 46, 48: 하부 캔틸레버 전극

51, 52, 53, 54: 절연막

62: 좌측 주요 워드라인

64: 우측 주요 워드라인

70: 비트라인

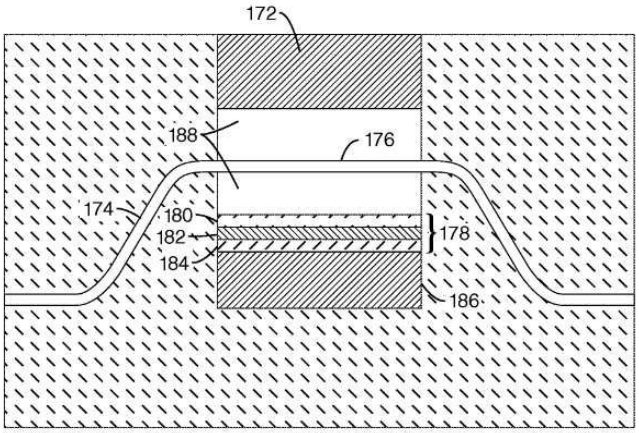
82, 84, 86, 88: 상부 캔틸레버 전극

90, 92, 94: 상부 보조 워드라인

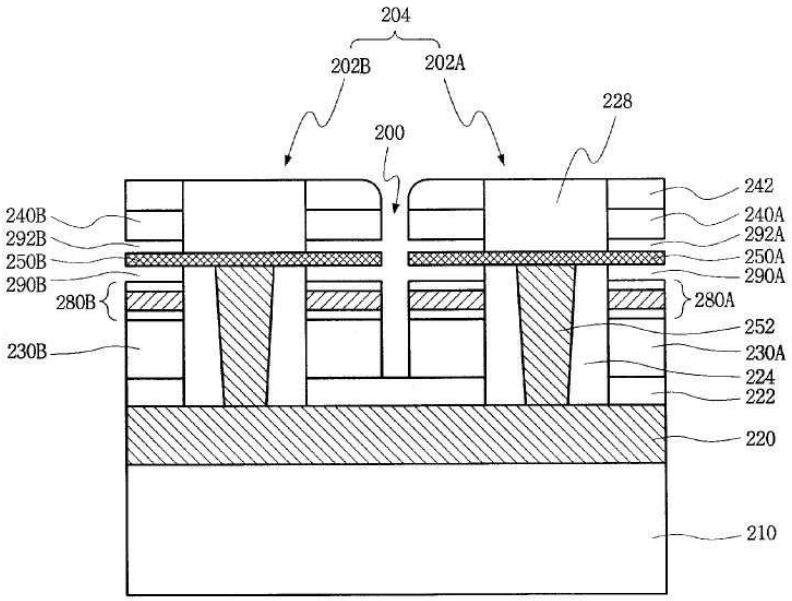
100, 200: 1비트를 저장하기 위한 셀 면적

도면

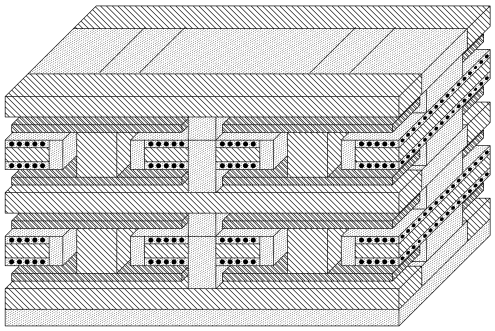
도면1



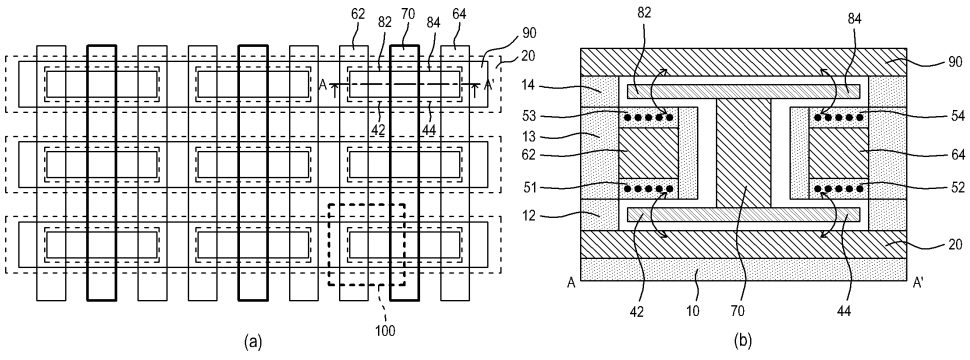
도면2


204
202B
202A
228
200
242
240B
240A
292B
292A
250B
250A
290B
290A
280B
280A
252
230B
230A
224
222
220
210

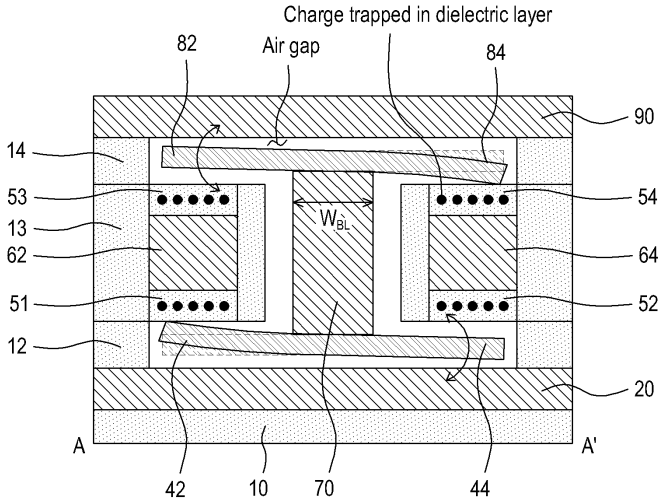
도면3



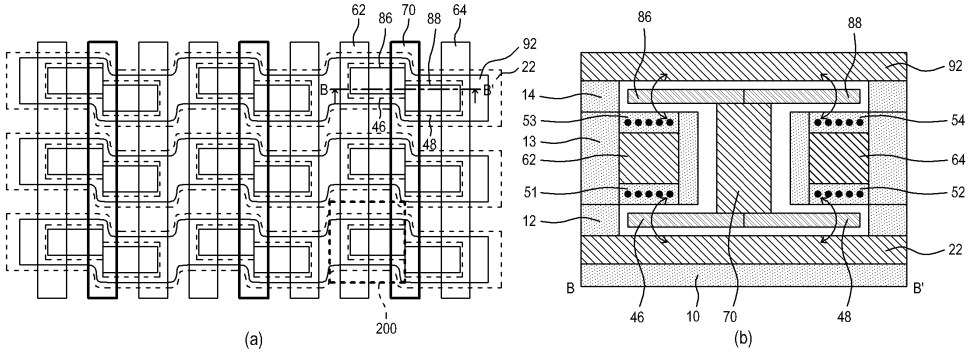
도면4


62
82
70
84
64
90
20
A
A'
42
44
100
(a)
82
84
90
14
53
54
13
62
64
51
52
12
20
A
A'
42
10
70
44
(b)

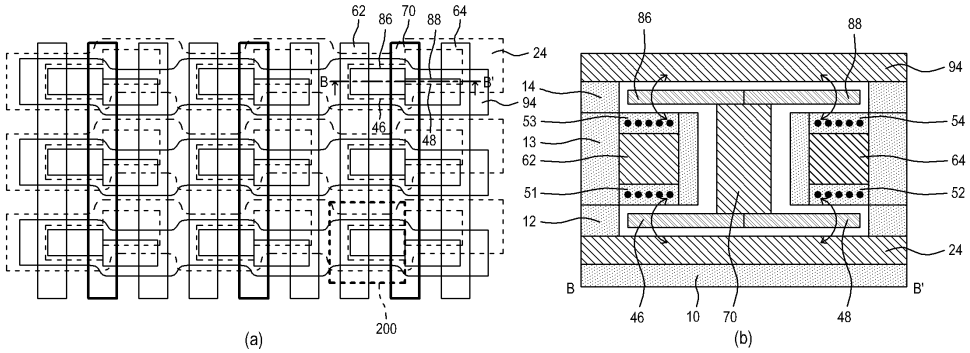
도면5


Charge trapped in dielectric layer
82
Air gap
84
90
14
53
13
62
51
12
54
64
52
20
W_{BL}
A
A'
42
10
70
44

도면6


62
86
70
88
64
92
22
B
B'
46
48
200
(a)
86
88
92
14
53
13
62
51
12
54
64
52
22
B
B'
46
10
70
48
(b)

도면7


62
86
70
88
64
24
94
B
B'
46
48
200
(a)
86
88
94
14
53
13
62
51
12
54
64
52
24
B
B'
46
10
70
48
(b)