(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101310435 B
(45)授权公告日 2012.09.12

(21)申请号 200680042472.7
(22)申请日 2006.11.15
(30)优先权数据
11/280,665 2005.11.15 US
(85)PCT申请进入国家阶段日
2008.05.14
(86)PCT申请的申请数据
PCT/JP2006/323263 2006.11.15
(87)PCT申请的公布数据
WO2007/058371 EN 2007.05.24
(73)专利权人 松下电器产业株式会社
地址 日本大阪府
(72)发明人 小伊尔·W·麦丘恩 W·B·桑德
(74)专利代理机构 永新专利商标代理有限公司 72002
代理人 宋献涛 王英
(51)Int.Cl.
H03C 3/09(2006.01)
审查员 李乐

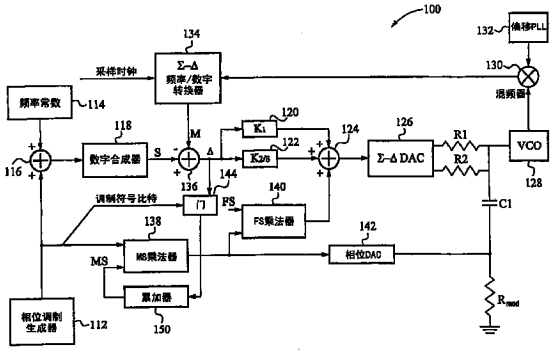
权利要求书 2 页 说明书 10 页 附图 6 页

(54)发明名称

多路径角度调制器增益的连续校准方法

(57)摘要

一种多路径角度调制器，包括向主控制环路添加的闭合辅助环路，其用于自动调整与高频增益有关的缩放因数。把主控制环路配置成主路径，以处理角度调制信号的低频部分，把辅助环路配置成辅助路径，以处理角度调制信号的高频部分。在系统执行其主要操作的时候，辅助环路检测校准信息，并用它连续地实时校准调制环路中的增益，从而，无需关闭系统或校准特定的时间（例如，暂停时间），即可平衡调制路径。校准作为背景进程连续地进行。此角度调制器适用于所有调制类型的系统。



CN 101310435 B

1. 一种调制电路，包括：

a. 相位控制环路，响应输入的预期角度调制信号而输出模拟角度调制信号，其中，所述相位控制环路包括：

i. 差异逻辑电路，把代表所述预期角度调制信号的第一比特流和代表所述模拟角度调制信号的第二比特流作为输入予以接收，并把代表所述第一比特流和所述第二比特流之间差异量的输出比特流予以输出；

ii. 控制电路，从所述差异逻辑电路接收所述输出比特流，并输出经过滤波的模拟差异信号；

iii. 受控振荡器，输出所述模拟角度调制信号；

b. 调制环路，耦合到所述差异逻辑电路并从中接收所述输出比特流，而且还耦合到所述受控振荡器的输入端，其中，所述调制环路包括：

i. 调制增益电路，包含被输入所述输出比特流及调制码比特的门电路，以及被输入来自该门电路的输出、并自动且连续地输出增益参数的累加器；

ii. 乘法器，把所述增益参数和代表所述预期角度调制信号的输入比特流作为输入予以接收，并把一个校准调制信号输出到所述受控振荡器的输入端；

c. 求和电路，所述受控振荡器的所述输入端把来自所述控制电路的所述经过滤波的模拟差异信号和来自所述乘法器的所述校准调制信号作为输入予以接收。

2. 权利要求 1 的调制电路，其中，所述增益参数包括：

所述累加器内的累加值，其代表所述差异逻辑电路输出的累加差异量。

3. 权利要求 1 的调制电路，其中，所述门电路包括异或门。

4. 权利要求 1 的调制电路，其中，所述门电路包括与门。

5. 权利要求 1 的调制电路，其中，所述累加器对所述差异量向零收敛的速率进行调整。

6. 权利要求 1 的调制电路，其中，所述门电路使用所述差异逻辑电路输出的差异量大小的绝对值。

7. 一种调制电路，包括：

a. 相位控制环路，响应输入的预期角度调制信号而输出模拟角度调制信号，其中，所述相位控制环路包括：

i. 差异逻辑电路，把代表所述预期角度调制信号的第一比特流和代表所述模拟角度调制信号的第二比特流作为输入予以接收，并把代表所述第一比特流和所述第二比特流之间差异量的输出比特流予以输出；

ii. 控制电路，从所述差异逻辑电路接收所述输出比特流，并输出经过滤波的模拟差异信号；

iii. 受控振荡器，输出所述模拟角度调制信号；

b. 调制环路，耦合到所述差异逻辑电路并从中接收所述输出比特流，而且还耦合到所述受控振荡器的输入端，其中，所述调制环路包括：

i. 调制增益电路，包含被输入所述输出比特流的限定器电路，被输入来自该限定器电路的输出的FIR滤波器，以及被输入来自该FIR滤波器的输出、并自动且连续地输出增益参数的累加器；

ii. 乘法器，把所述增益参数和代表所述预期角度调制信号的输入比特流作为输入予

以接收，并把一个校准调制信号输出到所述受控振荡器的输入端；

c. 求和电路，所述受控振荡器的所述输入端把来自所述控制电路的所述经过滤波的模拟差异信号和来自所述乘法器的所述校准调制信号作为输入予以接收。

多路径角度调制器增益的连续校准方法

技术领域

[0001] 本申请涉及载波信号的角度或相位调制领域。

背景技术

[0002] 角度或相位调制器通常用在数字发射机中对发射机输出的信号的相位中的消息进行编码。高速链路需要在相位调制器中有较大的调制带宽。一种调制方法是对单个宽带环路进行配置，以使所有调制都在此环路内完成。这样的话，环路就稳定在调制周围。使用单个宽带环路的主要问题是有大量的噪声。可以使用双路调制系统来解决噪声问题。这种双路调制系统一般维持较窄的主环路，以使噪声能够得以控制。但是，使用窄带主环路留下比较宽带的调制，其中，为使总增益为平坦，主环路外的较高频率仍必须得到校准。

[0003] 一种双路径方法是，使用含有锁相环的角度或相位调制系统并对主环路参考应用相位信息，同时对发射机信号所用的模拟压控振荡器直接应用调制。主环路参考也被称为直接路径。通过与直接路径分离的辅助调制路径向压控振荡器 (VCO) 施加调制。模拟电路的差异致使辅助调制路径所指示的相位和直接路径所指示的相位二者之间产生不匹配。这种差异是必须要校准的。

[0004] 图 1 显示出了美国专利 6094101 所述的传统双路径角度调制器 10 的举例说明性框图，这份美国专利以引用方式并入本申请。主环路 VCO 28 的输出通过混频器 30 而与偏移 PLL 32 的输出进行混频，从而产生 IF（中频）输出信号，其频率等于主环路 VCO 频率和偏移环路频率之差。IF 输出信号是测量输出相位所需的反馈信号，它在电路的剩余全数字部分中进行处理，从而产生主环路 VCO 28 的控制信号。主环路 VCO 28 产生预期的输出信号相位。该数字电路有两条路径，即：直接通过环路的低频路径和缩放增益为 MS 的高频路径。缩放因数 MS 为了平坦的总体频率响应而进行调整，它能够平衡低频或直接路径和高频或辅助调制路径之间的增益。确定和应用合适的 MS 值需要校准过程。

[0005] 在校准过程中，施加已知的调制信号，并测量输出。参见图 1，已知的调制信号是由相位调制生成器 12 生成的，它作用于数字合成器 18，从而生成信号 S。模数转换器 (ADC)34（如 Sigma-Delta 频率到数字转换器）提供测量信号 M，测量信号 M 是 VCO 28 输出的模拟频率的数字表示。逻辑电路 36 接收信号 S 和信号 M，然后输出误差信号 Δ，误差信号 Δ 表示信号 S 和信号 M 之间的频率误差。误差信号 Δ 用数字滤波器进行过滤，数字滤波器在图 1 中用 K1 模块 20 和 K2/s 模块 22 表示。K1 模块 20 的输出是频率误差信号，K2/s 模块 22 的输出是相位误差信号。频率误差信号和相位误差信号经过求和逻辑电路 24 发往 DAC 26。缩放因数 FS 用于经过求和逻辑电路 24 向频率误差信号和相位误差信号添加角度调制波形。DAC 26 的输出信号通过电阻器 R1 和 R2 作用到积分电容器 C1 上。积分电容器 C1 上存储的电压作用到 VCO 28 上。

[0006] 辅助调制路径用来修改作用在主环路 VCO 28 上的调制电压。相位调制生成器 12 生成的调制信号通过 MS 乘法器 38 作用到调制 DAC 42 上。MS 乘法器 38 对调制信号应用缩放因数 MS。调制 DAC 42 的输出信号通过积分电容器 C1 作用于 VCO 28。辅助路径的调制

信号通过 MS 乘法器 38 用增益参数 MS 进行缩放，还通过 FS 乘法器 40 用缩放因数 FS 进行缩放，然后，在求和逻辑电路 24 处作用于主环路。

[0007] 在锁相环中实现准确的高带宽角度调制是很困难的。现有的方法是，使用两条或更多条路径的方法把相位信息加在锁相环 VCO 上。但是，VCO 容易漂移，而且，DAC 也会带来不准确。两条路径的增益必须匹配。如果辅助调制路径（即，高频经过的路径）的增益太高，那么，应用于 VCO 的调制太多。如果辅助调制路径的增益太低，那么，应用于 VCO 的调制就不够。平衡这两条调制路径的手段现在业已实现，它使用主要集中在这个校准问题上的校准过程。校准过程要么使用扫频 (Swept Frequency) 技术来手工完成，要么使用特定的校准信号来自动完成。但是，这些方法都会影响这些角度或相位调制器的正常操作，因为在系统工作时是不能执行校准过程的。而是，系统必须暂停工作，并且，只有在此暂停时间 (lapse time) 内才能执行校准过程。

[0008] 很多传统系统是以突发工作方式设计出来的，从而为执行校准过程提供了所需的暂停时间。例如，这些系统包括 GSM 系统、其它蜂窝网络或使用 TDMA（时分多址）的任何网络。这种系统内含的发射机在一部分时间内工作于待机模式。在需要发射的时候，发射机从待机模式中被唤醒，执行校准过程，进行发射，然后，发射机再回到待机模式。

[0009] 但是，在 CDMA（码分多址）等新生代系统中，发射机在所有时间都处于工作状态，而没有自然的停机时间段或间隔可供执行校准过程。双路径调制器的操作关键点是，两条路径应当具有完全相同的增益，所以，这两条路径的校准仍是必需的。

[0010] 在传统的双路径角度调制器中，如果控制环路中的前向路径有增益错误，那么，包括噪声在内的整个信号在控制环路中都要进行规范化。当前的实际作法是：使带宽足够大，从而控制环路能够自动规范化整个宽带调制信号。这种作法会在输出信号中产生大量噪声。由于使用了较大的信号带宽，例如宽带 CDMA 和无线 LAN，因此，所产生的噪声就变得不切实际。

发明内容

[0011] 本申请涉及一种多路径角度调制器，其中向主控制环路添加了闭合的辅助环路，用于自动调整与角度调制的高频增益有关的缩放因数。这改进了传统的双路径调制器，并且提供了用来实时平衡闭合环路相位调制器中两条或更多条相位调制路径的方法。这是利用以下事实实现的：预期的相位调制信号在频率上的分布情况使得分量落入所有调制路径的频率响应中。后面针对频率或相位展开的任何讨论一般针对频率、相位和相位差（如果合适的时候）。可以把主控制环路配置成主路径，以处理相位调制信号的低频部分，把辅助环路配置成辅助路径，以处理相位调制信号的高频部分。辅助环路检测校准信号，并用它校准每个环路中的增益。在其它实施例中，附加的辅助路径用来进一步分离频谱。

[0012] 当主控制环路中锁相环 VCO 的输出相位正好匹配输入相位时，两条或多条相位调制路径得以平衡，从而满足了每条路径中的增益的校准需求。如同这里所应用的那样，变频的输入信号也可以适用于多路径角度调制器。因此，术语“锁相环”泛指“频率控制环”和“相位控制环”，因为该电路并不局限于“锁定”到单个频率或相位。

[0013] 检测或测量输出相位，然后将其与输入或预期相位进行比较。确定这两个相位信号之间的差值信号，然后将其用于系统地调整每条路径的增益，直到检测或测量的输出信

号相位匹配输入信号相位为止。固定低频路径，并将其用于维持对 VCO 输出信号的中心频率的控制。

[0014] 传统的双路径角度调制器执行校准过程需要暂停时间，与之相比，上述角度调制器在系统执行其主要操作的同时连续地校准各条路径。换言之，本申请描述的角度调制器在正常操作期间使用后台运行的校准进程，从而无需关闭系统或校准专用时间（如暂停时间），即可平衡调制路径。在需要暂停时间的其它系统中，需要用命令来启动校准过程。在当前描述的系统中，校准作为背景进程连续进行。当前描述的角度调制器适用于很多（如果不是所有的话）调制类型系统，包括、但不限于：背景技术中描述的 GSM 系统、无线 LAN、雷达、相控阵 (phased-array)、任何 CDMA 系统和任何 TDMA 系统。

[0015] 一方面，一种调制电路包括相位控制环路和调制环路。相位控制环路根据输入的预期角度调制信号，输出模拟角度调制信号。相位控制环路包括差异逻辑电路和受控振荡器，差异逻辑电路把代表预期角度调制信号的第一比特流和代表模拟角度调制信号的第二比特流作为输入予以接收，并把代表第一比特流和第二比特流之间差异量的输出比特流予以输出，受控振荡器输出模拟角度调制信号。调制环路耦合到差异逻辑电路并从中接收所述输出比特流，而且还耦合到受控振荡器的输入端。调制环路包括调制增益电路和乘法器，调制增益电路接收所述输出比特流，并自动输出增益参数，乘法器把增益参数和代表预期角度调制信号的输入比特流作为输入予以接收，并把一个校准调制信号输出到受控振荡器的输入端。相位控制环路还包括控制电路，其从差异逻辑电路接收输出比特流，并输出经过滤波的模拟差异信号。受控振荡器的输入端包括求和电路，其把来自控制电路的滤波模拟差异信号和来自乘法器的校准调制信号作为输入予以接收。调制增益电路可包括门电路和累加器。增益参数包括累加器内的累加值，其代表差异逻辑电路输出的累加差异量。门电路可包括异或门或与门。累加器能够对差异量向零收敛的速率进行调整。门电路可以使用差异逻辑电路输出的差异量大小的绝对值。门电路可包括限定器和 FIR 滤波器。调制增益电路可包括累加器和直通门。

[0016] 另一方面，一种调制电路包括相位控制环路和调制环路，相位控制环路响应输入的预期角度调制信号而输出模拟角度调制信号，调制环路耦合到相位控制环路的前部。相位控制环路的前部包括控制电路和受控振荡器，控制电路把代表模拟角度调制信号和预期角度调制信号之间差异量的比特流作为输入予以接收，并输出经过滤波的模拟差异信号，受控振荡器输出模拟的角度调制信号。调制环路包括调制增益电路和乘法器，调制增益电路接收代表模拟角度调制信号和预期角度调制信号之间差异量的比特流，并自动输出增益参数，乘法器把增益参数和代表预期角度调制信号的输入比特流作为输入予以接收，并输出一个校准调制信号。受控振荡器把校准调制信号和滤波模拟差异信号作为输入予以接收。相位控制环路的前向部分可包括求和电路，其接收滤波模拟差异信号和校准调制信号，并向受控振荡器输出控制信号。相位控制环路可包括差异逻辑电路，差异逻辑电路把代表预期角度调制信号的第一比特流和代表模拟角度调制信号的第二比特流作为输入予以接收，并把代表模拟角度调制信号和预期角度调制信号之间差异量的输出比特流输出到控制电路。调制增益电路可包括门电路和累加器。增益参数包括累加器内的累加值，其代表差异逻辑电路输出的累加差异量。门电路可包括异或门或者与门。累加器能够对差异量向零收敛的速率进行调整。门电路可以使用差异逻辑电路输出的差异量大小的绝对值。门电路

可包括限定器和FIR滤波器。调制增益电路可包括累加器和直通门。

[0017] 另一方面，一种调制电路包括：受控振荡器，输出模拟角度调制信号；数字合成器，接收预期的输入角度调制信号，并输出代表该角度调制信号的第一数字比特流；差异逻辑电路，耦合到数字合成器并从中接收第一比特流，此外还接收代表模拟角度调制信号的第二比特流，其中，差异逻辑电路把代表模拟角度调制信号和预期角度调制信号之间差异量的输出比特流予以输出；控制电路，耦合到差异逻辑电路并从中接收输出比特流，其中，控制电路输出经过滤波的模拟差异信号；调制增益电路，耦合到差异逻辑电路并从中接收输出比特流，其中，调制增益电路输出增益参数；乘法器，接收代表预期角度调制信号的输入比特流，乘法器还耦合到调制增益电路并从中接收增益参数，其中，乘法器输出校准调制信号；求和电路，耦合到控制电路并从中接收经过滤波的模拟差异信号，还耦合到乘法器并从中接收校准调制信号，其中，求和电路向受控振荡器输出控制信号。受控振荡器、差异逻辑电路、控制电路及求和电路构成相位控制环路。差异逻辑电路输出的比特流驱动相位控制环路的前向路径。差异逻辑电路、调制增益电路、乘法器及求和电路构成调制环路。调制环路耦合到相位控制环路的前向路径。调制增益电路自动确定调制增益，以使相位控制环路的直接调制增益和调制环路的增益基本相等。调制增益电路可包括门电路和累加器。累加器输出增益参数。累加值代表差异逻辑电路输出的累加差异量，它包括增益参数。门电路可包括异或门，其中的异或门利用差异逻辑电路输出的差异量的符号和大小。门电路还可包括与门，其中，与门要么利用差异逻辑电路输出的差异量的正值，要么利用差异逻辑电路输出的差异量的负值。累加器能够对差异量向零收敛的速率进行调整。门电路可以利用差异逻辑电路输出的差异量的绝对值。门电路可包括限定器和FIR滤波器。调制增益电路可包括累加器和直通门。差异逻辑电路输出的信号代表预期角度调制信号和模拟角度调制信号之间的频率差和相位差中的至少一个。预期角度调制信号可包括宽带角度调制信号。

[0018] 另一方面，一种调制电路包括：生成模拟角度调制信号的模块；生成代表模拟角度调制信号和输入预期角度调制信号之间差异量的输出比特流的模块；把输出比特流处理成滤波模拟差异信号的模块；响应输出比特流而自动确定增益参数的模块；将输入预期角度调制信号乘以增益参数从而生成校准调制信号的模块；把校准调制信号和滤波模拟差异信号组合成所述模拟角度调制信号生成模块的输入信号的模块，其中，所述模拟角度调制信号生成模块根据输入信号，生成模拟角度调制信号。

附图说明

[0019] 图1示出了传统双路径角度调制器的示意性框图；

[0020] 图2示出了双路径角度调制器的概念框图；

[0021] 图3示出了双路径角度调制器的第一实施例的框图；

[0022] 图4示出了图3的双路径角度调制器包含的累加器的示意性框图；

[0023] 图5示出了具有收敛管理能力的扩展累加器；

[0024] 图6示出了另一个双路径角度调制器的框图。

[0025] 本申请是结合附图加以描述的。如果在一个以上的附图中公开和显示相同的部件，则使用相同的附图标记来表示这些相同的部件。

具体实施方式

[0026] 本申请的实施例在本文中是围绕连续校准多路径角度调制器增益的装置和方法展开描述的。本领域普通技术人员可以明白，本申请的说明书只是举例说明性的，而没有任何限制性意味。对于阅读过本申请公开内容的技术人员来说，本申请的其它实施例亦是不言自明。

[0027] 下面结合附图详细描述本申请的实施方案。为了表示相同或相似的部件，在所有附图和说明书中将使用相同的附图标记。为清楚起见，本文并没有显示和描述实施方案的所有常规特征。当然，可以看出，为了实现开发者的特定目标，例如，满足应用和商业相关约束条件，在开发任何这种实际实施方案时都必须结合具体实施方案做出很多特定的决策，并且，这些特定目标因不同实施方案而变，也因不同开发者而变。此外，可以理解，这样的开发工作可能很复杂和耗时，但对于阅读过本申请公开内容的普通技术人员来说，那只是日常的工程内容而已。

[0028] 根据本申请，有些部件、步骤和 / 或数据结构可以用各种类型的数字系统来实现，包括用硬件、软件或软硬件结合的方式。此外，本领域普通技术人员可以看出，也可以使用不太通用的装置，如硬连线设备、现场可编程门阵列 (FPGA)、专用集成电路 (ASIC) 等，这并不偏离本文公开的创造性构思的保护范围和精神实质。

[0029] 本申请的双路径角度调制器能够从宽带信号中分离窄带（包括中心频率），并且，设计出了处理窄带信号的主控制环路。主控制环路的前向路径就是所谓的低频路径。辅助调制路径（即，高频路径）耦合到主控制环路，它可以处理没有被主控制环路处理过的宽带信号的剩余部分。但是，主控制环路的 VCO 的灵敏度调谐可能导致差异，有时还很明显。这使得主控制环路和辅助调制环路之间出现增益不匹配。辅助调制环路的增益有时太高，有时又太低。双路径角度调制器提供的手段可以自动感应何时增益太低并将其调高，或者，何时增益太高并将其调低。

[0030] 该系统采用的构思是：当双路径角度调制器中的增益规范化完全正确时，输出信号正好就是预期的输入信号。反馈信号 M 是 VCO 输出的模拟信号的数字表示。直接合成的信号 S 是预期输入信号的数字表示。误差信号 Δ 被确定为信号 S 和信号 M 之间的差值。当双路径角度调制器的输出信号正好是预期的输入信号时，误差信号 Δ 是零。即使电路干扰（如相位噪声）使之并非所有时候都为真，但从长远来看，误差信号 Δ 持续地向零收敛。增益缩放因数 MS 作用于高频路径。第二前馈缩放因数 FS 是固定的，它取决于输出电路的工作需求。

[0031] 如果误差信号 Δ 的长期平均值不是零值，则高频路径增益 MS 有误差。此外，该增益误差的方向和大小可以根据误差信号 Δ 的长期平均值来辨别。因此，使用辅助调制路径内的反馈环路，把该增益误差的校正实现到任意准确度。该环路的输入是误差信号 Δ，输出是高频路径增益参数 MS。双路径角度调制器的重要方面是：原来输入的调制波形不重要了。在有任何调制波形时进行自动校正，从而在正常系统操作期间工作。不需要外在的校准模式，正常操作也无需中断，即可执行或更新校准信息。该系统使得该增益规范化对于用户来说是透明的。

[0032] 图 2 是双路径角度或相位调制器的总体框图。双路径角度调制器 50 包括主控制环路和次（即，辅助）调制环路。主环路包括锁相环，其具有用于生成模拟输出信号的 VCO

60。此模拟输出信号作为反馈，提供给差异逻辑电路 54。差异逻辑电路 54 输出误差信号 Δ。辅助环路包括调制增益规范化模块 64，其根据误差信号 Δ，自动和连续地确定增益参数 MS。误差信号 Δ 的平均值是零。换言之，如果 VCO 60 输出的模拟信号和预期输入信号完全一样，那么，误差信号 Δ 就是零。增益参数 MS 是高频增益参数，用于匹配主控制环路和辅助调制环路之间的增益。双路径角度调制器 50 的一项功能是 :测量输出信号和预期信号之间的误差，然后，根据测量出的误差做出调整。

[0033] 图 3 示出了本申请的双路径角度调制器 100 的第一个实施例的框图。图 3 的双路径角度调制器 100 类似于图 1 的双路径角度调制器 10，区别之处只是增添了辅助调制环路，该辅助调制环路包括门 144 和处理电路 150，它们在辅助调制环路内提供反馈环路。在这个第一实施例中，图 2 的调制增益规范化模块 64 包括门 144 和处理电路 150。双路径角度调制器 100 是执行图 2 所述的测量和调整功能的装置的一个实施例。在这个实施例中，处理电路 150 是累加器。误差信号 Δ 包括符号和大小随时间而变的衡量指标。门 144 可以采用各种实施方案，利用符号和大小的不同组合和用法。例如，XOR 门（异或门）利用符号和大小二者，并快速收敛。AND 门（与门）只看一个符号，例如，只处理符号为正的值，而忽略符号为负的值。AND 门的收敛速度不如 XOR 门快。THROUGH（直通）选项忽略符号，而只使用大小。门的输出是经过修改的误差信号 Δ′。

[0034] 累加器 150 累加经过修改的误差信号 Δ′。当增益太低时，去往累加器 150 的数字（误差信号 Δ）是负的。如果增益太高，那么这些数字就是正的，这表明前向路径的增益太大。调制是零均值处理过程，因为累加器 150 累加正负误差，所以，可以保证收敛到累加器 150 内的累加值。该累加值是增益参数 MS。当累加器 150 向着增益参数 MS 收敛时，误差信号 Δ 奔向零。当误差信号 Δ 为零时，累加器 150 中的值对应于最优增益参数 MS。只有在误差信号 Δ 等于零时，累加器 150 才会停止。可以利用多种设计选项来定义系统收敛的快慢速度。例如，如果确定出测量过程有较多噪声，则可以设定系统较慢地收敛。

[0035] 参见图 3，频率恒定模块 114 表示载波信号。调制是由相位调制生成器 112 生成的，它通过求和电路 116 添加到载波信号，从而生成预期的输入信号。数字合成器 118 把预期的输入信号转换成数字流，即预期输入信号 S。K1 模块 120 和 K2/s 模块 122 充当数字滤波器。从 K1 模块 120 出来的信号是频率误差，从 K2/s 模块 122 出来的信号相位误差。误差信号 Δ 也发往门 144，门 144 向累加器 150 提供经过修改的误差信号 Δ′。FS 乘法器 140 和 Sigma Delta DAC 126 的功能类似于图 1。电阻器和电容器的配置都是举例说明性的，也可以使用其它实施例。图 3 的双路径角度调制器 100 修改图 1 的结构，使得可以基于继续进行来自动确定增益参数 MS，而无需外部过程。MS 乘法器 138 从累加器 150 接收增益参数 MS，增益参数 MS 可以缩放辅助调制环路的前向路径中的调制。增益参数 MS 也影响主控制环路的增益，因为从 MS 乘法器 138 输出的缩放调制信号用作 FS 乘法器 140 的输入。

[0036] 把来自 VCO 128 的模拟输出信号作为反馈提供，并由模数转换器 134 转换成数字信号 M。模数转换器 134 可以是 Sigma Delta 频率到数字转换器。信号 S 和信号 M 都有全带宽信息，包括调制。主控制环路中的 K1 数字滤波器 120 和 K2/s 数字滤波器 122 充当低通滤波器。主控制环路处理窄带中心频率，但是与高带宽误差有关的信息出现在误差信号 Δ 中。该误差信号 Δ 在门 144 和累加器 150 内进行处理，以用于确定增益参数 MS。

[0037] 正如预期的那样，如果增益参数 MS 低，则高频增益也低。同样，如果增益参数 MS

太高，则高频增益也高。这里，以下观测结果很重要：与增益参数 MS 值的误差直接相关的频率响应误差变平了。

[0038] 例如，如果增益参数 MS 太低，那么，信号 M 不等于预期信号 S。因此，信号 M 的高频调制分量不从信号 S 中完全减去高频调制分量，所以，导致误差信号 Δ。因为误差信号 Δ 上没有足够高频分量，所以，累加器 150 内存储的值上升，从而增益参数 MS 变大。变大的增益参数 MS 作用于辅助调制环路的前向路径，这使得规范化的调制器增益向着规范化状况上升。同样，如果增益参数 MS 增加太高，那么，太多的高频调制进入信号 M 上。在这种情况下，误差信号 Δ 反映出：增益太高，累加器 150 中的值下降，从而使得增益参数 MS 变小。请注意，反馈信号 M 和信号 S 之间的差异表示成误差信号 Δ，反馈信号 M 是来自 VCO 128 的模拟输出信号的数字表示，信号 S 是预期输入信号的数字表示。因此，在来自双路径角度调制器的输出信号和预期输入信号在校准过程中彼此一致前，推定误差信号 Δ 的值交替地取正值和负值，并最终收敛到零。因此，在根据误差信号 Δ 生成增益参数 MS 的过程中，应当给予特别注意。

[0039] 如图 3 所示，门 144 对误差信号 Δ 进行操作。门 144 的不同实施方案对于双路径角度调制器 100 产生不同的性能。下面详细描述已经发现的一些选项。如果门 144 是异或 (XOR) 门，那么，使用误差信号 Δ 的所有采样，对有符号的误差信号 Δ 通过规范化调制进行采样。使用 XOR 门，累加器 150 如下确定 MS 的值：

[0040] $MS_{j+1} = Ms_j + \alpha \, sgn(S_j) \, \Delta_j$

[0041] 缩放因数 α 是线性增益项，其中 $\alpha = 2^{-k}(k > 0)$。值 k 表示在累加器 150 内被设为零的最高有效位的个数，下面将对此进行更详细的说明。

[0042] 如果门 144 是与门，那么，门 144 只输出误差信号 Δ 的一半，并将其作用到累加器 150 上。换言之，只有一半误差信息得到利用。与门输出所有正符号的误差信号 Δ 值，忽略所有负符号的误差信号 Δ 值。或者，与门输出所有负符号的误差信号 Δ 值，忽略所有正符号的误差信号 Δ。使用与门时，增益参数 MS 需要较长的收敛时间，因为只使用了一半信息。使用与门时，累加器 150 可以如下确定 MS 的值：

[0043] $Ms_{j+1} = Ms_j + \alpha \, \Delta_j \qquad s_j > 0$

[0044] $Ms_j + 0 \qquad s_j \# 0$

[0045] 门 144 也可以是简单的线，前面称之为直通门，此时，误差信号 Δ 直接通过而到达累加器 150。这效用较低，但却最终收敛。在这种情况下，误差信号 Δ 的所有采样都得以利用，而调制信息却被忽略，从而，累加器如下确定 MS 的值：

[0046] $Ms_{j+1} = Ms_j + \alpha \, \Delta_j$

[0047] 图 4 示出了图 3 的双路径角度调制器 100 包含的累加器 150 的示意性框图。门 144 输出的差异测量结果（例如，经过修改的误差信号 Δ′）在最低有效位上进入累加器 150。较高有效位设为零。如图 4 所示，符号 k 定义较高有效位的个数。通过控制 k 的值，可以控制累加器 150 的收敛速率。通过将更多较高有效位的值设为零，可以增加 k。这可以放慢累加器 150 的收敛速度。换言之，通过增加设为零的较高有效位的个数来放慢累加器 150，或者，通过减少设为零的较高有效位的个数来加快累加器 150，可以控制累加器 150 的速度。

[0048] 仅仅取最顶部 L 个最高有效位作为增益参数 MS，累加器 150 就可以执行某种滤波。

在实际设计过程中，根据需要多少滤波以及累加器 150 的响应速度来确定 L。将经过修改的误差信号 Δ′ 作为最低有效位输入累加器 150，然后从最高有效位中取出增益参数值，这样，就可以实现自然的滤波功能。

[0049] 自动校准环路收敛到正确的增益参数 MS，而不管累加器 150 的初始状态如何。即使反馈信号 M 的信噪比很差，也是如此。噪声输入导致预期增益参数 MS 稍微有些漂移，从而，导致预期调制的失真，EVM 等信号质量测量结果也会降级。因此，自动校准环路可以设计成：不仅检测出现收敛，而且还在收敛时将其环路带宽变窄。通过使累加器 150 内的校正差异速率放慢，可以实现环路带宽的变窄。

[0050] 很多方法可将环路带宽变窄，从而放慢其校正变化速率。一种方法是，增加图 5 中 k 的值，从而使缩放因数 α 可变。另一种方法是，只对 Δ 的每个第 K 个采样工作（用 K 抽取 Δ）。第三种方法是，使用下面介绍的 FIR（有限输入响应）或 IIR（无限输入响应）方法过滤 D，或者，改变已经使用的这些滤波器的参数，以使所得的滤波器带宽比先前窄。

[0051] 如图 5 所示的扩展累加器 250 检测与增益参数 MS 的正确值有关的环路增益。通过检测增益参数 MS 的连续值间的微小变化，图 5 所示的扩展累加器 250 可以自动调整 k 的值。另一种方法是，检测接近于零的累加器输入，但是后一种方法不具有累加器的平均效果。参见图 5，ACC_N 模块 150 表示图 4 的累加器。扩展的累加器 250 取累加器 ACC_N 150 的连续输出之间的差异。在 k 选择模块 160 的控制下，经过修改的误差信号 Δ′ 进入处理模块 152，从而，设为零的较高有效位个数等于由 k 选择模块 160 确定的 k。采用这种方式，累加器 ACC_N 150 接收的比特流中，k 个最高有效位设为零，剩余的较低有效位是经过修改的误差信号 Δ′ 。进入 ACC_N 150 的比特流在图 5 显示为顶部的零，以将多个零表示为最高有效位。

[0052] 扩展的累加器 250 的功能是，评估累加器 ACC_N 150 的输出，即增益参数 MS，然后确定这些值何时收敛。换言之，取从累加器 ACC_N 150 出来的连续值 MS_{j-1} 和 MS_j 的差异，当差异为零时，这提供的信息暗示，输入的误差信号 Δ 已经趋于零。也可以使用求平均，从而不评估各连续输出 MS 之间的差异，而是评估某个测量周期，例如，每第 16 个 MS。

[0053] 每个模块 R 代表一个时钟寄存器。MS 的每个顺序值从累加器 ACC_N150 输出，并存储在寄存器 R 154 中，从而，在后面的循环期间，从累加器 150 输出的当前值 MS_j 与先前存储的值进行比较。由逻辑电路 156 确定这两个值 MS_{j-1} 和 MS_j 之间的差异，然后将其存在移位寄存器 158 中，表示为图 5 的 R 模块序列。k 选择模块 160 估计此差异，以判断 k 的值是否需要调整。MS_{j-1} 和 MS_j 的值越接近，累加器 ACC_N 150 就越接近收敛。根据 k 选择模块 160 内包含的设计参数，如果判断出的差异处于预定范围内，那么就放慢累加器 ACC_N 150。通过增加 k 的值来放慢累加器 ACC_N 150，这与设为零的较高有效位 (k) 一致。采用这种方式，如图 5 所示的扩展累加器 250 充当累加器 ACC_N 150 的调节机制。当累加器 ACC_N 150 足够收敛到值 MS 时，通过增加更高次序的零（增加 k 的值），使累加器 ACC_N 150 随后收敛的速度放慢。这种机制也可以用于通过增加值 k 来加快累加器 150。

[0054] 当确定出的差异实质上是噪声时，可能会出现放慢累加器 ACC_N 150 的情形。在工作过程中，噪声影响迫使 MS 的值发生徘徊。包括累加器 ACC_N150 在内的辅助调制环路连续试图收敛到增益参数 MS 的固定值上，而系统中的噪声则会破坏这种收敛。可以观察得出，噪声以小增量对收敛破坏产生影响，但是，如果误差信号 Δ 仍很大的话，那么，向增益参数

MS 的收敛在给定时间段内以较大的步幅出现。当误差信号 Δ 小到无足轻重的时候，累加器 ACC_N 150 的输入也变得非常小，故而，累加器 ACC_N 150 不再以大的步幅收敛。当出现这种情形时，累加器 ACC_N 150 正在主要对噪声做出回应，并且，累加器 ACC_N 150 不必回应太快。因此，如上所述通过提高 k 的值，可使累加器 ACC_N 150 响应能力降低。此举可以消除噪声影响。

[0055] 图 6 显示了另一双路径角度调制器的框图。图 6 的双路径角度调制器 200 类似于图 3 的双路径角度调制器 100 的第一实施例，不同之处在于，用限定器电路 244 和有限输入响应 (FIR) 滤波器 246 取代了图 3 的门 144。门的作用在于，对输入（如误差信号 Δ）施加某种类型的调整。限定器电路 244 和 FIR 滤波器 246 的功能比门要复杂。限定器电路 244 测量实际调制的幅度，仅仅输出落入特定范围内的那些信号。限定器 244 用于限制输入的误差信号 Δ 的输入范围和时间。一般情况下，限定器电路 244 可以是任何类型的电路，只要能修整输入信号即可。然后，FIR 滤波器 246 仅仅对限定器 244 输出的误差信号 Δ 的那些选定值进行过滤。相比第一实施例的双路径角度调制器 100 而言，使用双路径角度调制器 200 的第二实施例的收敛要慢，但在特定情况下是比较好的，例如，有大量噪声时。

[0056] 图 6 的限定器电路 244 和 FIR 滤波器 246 在功能上类似于图 3 的门 144，但不涉及硬件。使用图 3 的门 144，输入的误差信号 Δ 不会得到限定，而图 6 的限定器电路 244 和 FIR 滤波器 246 则会限定信号，所以，门 144 对所有测量结果都是无掩盖的。这是门 144 与限定器电路 244 和 FIR 滤波器 246 组合的主要区别。

[0057] 使用 FIR 滤波器 246，误差信号 Δ 的采样使用 FIR 结构进行过滤，并且，模块操作可以实现抽取。由于信号 S 和 M 所用波形中的 Σ Δ 特性，最初过滤误差信号 Δ 是当然之选。使用限定器电路 244 和 FIR 滤波器 246 时，累加器 150 如下确定 MS 的值：

[0058] 连续操作：$$MS_{j+1} = MS_j + \alpha \sum_{i=0}^{N-1} \Delta_{j-i} h_i$$

[0059] 块操作：$$MS_{j+1} = MS_j + \alpha \sum_{i=0}^{N-1} \Delta_{n-i} h_i$$

[0060] 连续操作指的是连续数据流的处理。块操作指的是数据块的处理。

[0061] 使用误差信号 Δ 的 N 个采样，计算索引 j 的每个更新。限定器用在 Δ_n' s 上。变量 h 表示特定 FIR 滤波器的系数。使用这种输入的滤波降低了累加器 150 的滤波需求，从而使累加器 150 能够运行较慢，故而在其构建中具有较少的比特。增益参数 MS 的捕获稍微有些慢，但是，这种结构更能容忍噪声。

[0062] 在其它实施例中，用无限输入响应 (IIR) 滤波器取代 FIR 滤波器 246。使用 IIR 滤波器，误差信号 Δ 用 IIR 结构进行滤波。IIR 结构中所用的反馈暗示不使用块操作。使用限定器 /IIR 滤波器，累加器 150 如下确定 MS 的值：

[0063] $$MS_{j+1} = MS_j + \alpha \sum_{i=0}^{N-1} \Delta_{j-i} b_i / \sum_{i=0}^{N-1} \Delta_{j-i} c_i$$

[0064] 在另一个实施例中，使用与最小均方 (LMS) 自适应算法相似的方法来修改调制。在这个实施例中，省略了门 144，例如上述的直通门，并且，累加器 150 能够使用 LMS 自适应算法。使用 LMS 自适应算法，累加器 150 如下确定 MS 的值：

[0065] $MS_{j+1} = MS_j - \mu F(S_j) g(\Delta)_j$

[0066] 信号函数的概率包括线性缩放 $F(S_j) = \beta S_j$、幂指数非线性 $F(S_j) = S_j^n$ 等。函数 $g(\Delta)_j$ 是一般的传递函数，其依赖于具体的 LMS 自适应算法。

[0067] 在工作过程中，本申请的双路径角度调制器包括主控制环路和辅助调制环路，把主控制环路配置成主路径，以处理相位调制信号的低频部分，把辅助调制环路配置成辅助路径，以处理相位调制信号的高频部分。辅助调制环路接收误差信号 Δ，误差信号 Δ 表示主控制环路的输出信号和预期输入调制信号之间的差异。处理和 / 或过滤误差信号 Δ，然后再将其作为修正误差信号 Δ′ 输入到累加器。累加器累加修正误差信号 Δ′ 的值。累加器的值用作增益参数 MS，它用来规范化主控制环路和辅助调制环路内的增益。误差信号 Δ 是连续确定的，它用于更新累加器内的增益参数 MS。这样，双路径角度调制器就把两条路径都作为后台进程进行连续校准。

[0068] 双路径角度调制器的第一和第二实施例表明：在第一实施例中，误差信号 Δ 可以用任何类型的门来处理和过滤，或者，在第二实施例中，误差信号 Δ 可以用限定器和 FIR 滤波器来处理和过滤。应当理解的是，双路径角度调制器可以使用任何其它合适的传统类型电路来处理和 / 或过滤误差信号 Δ。

[0069] 应当理解的是，虽然上面将该角度或相位调制器描述成双路径调制器，但该角度或相位调制器也可以实现成包括两条以上的路径。概括而言，该角度或相位调制器是多路径角度或相位调制器。为了便于理解多路径角度调制器的结构原理和工作原理，上面围绕涉及各种细节的具体实施例描述了本申请。为了达到所需的效果，附图中描述和显示的很多部件可以互换，本说明书应当理解为涵盖这些互换。因此，提及具体实施例及其细节，并不会对权利要求书的保护范围构成限制。本领域技术人员应当明白，本文所选的示意性实施例可以进行修改，这并不偏离本申请的精神实质和保护范围。

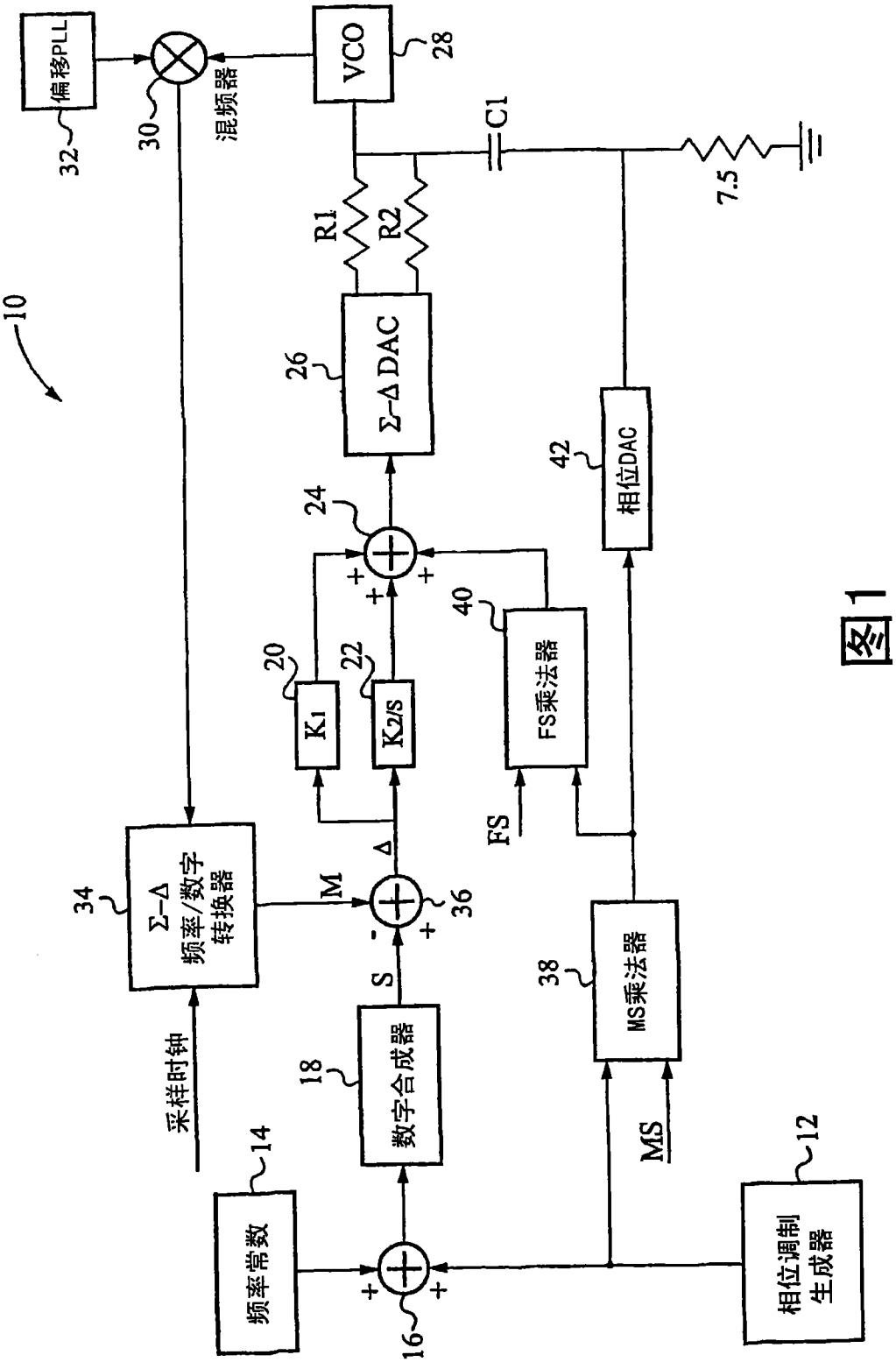

10
偏移PLL
32
30
混频器
VCO
28
C1
7.5
R1
R2
26
Σ-Δ DAC
42
相位DAC
24
20
K1
22
K2/S
40
FS乘法器
FS
34
Σ-Δ
频率/数字
转换器
M
Δ
36
S
18
数字合成器
38
MS乘法器
采样时钟
14
频率常数
16
MS
12
相位调制
生成器

图1

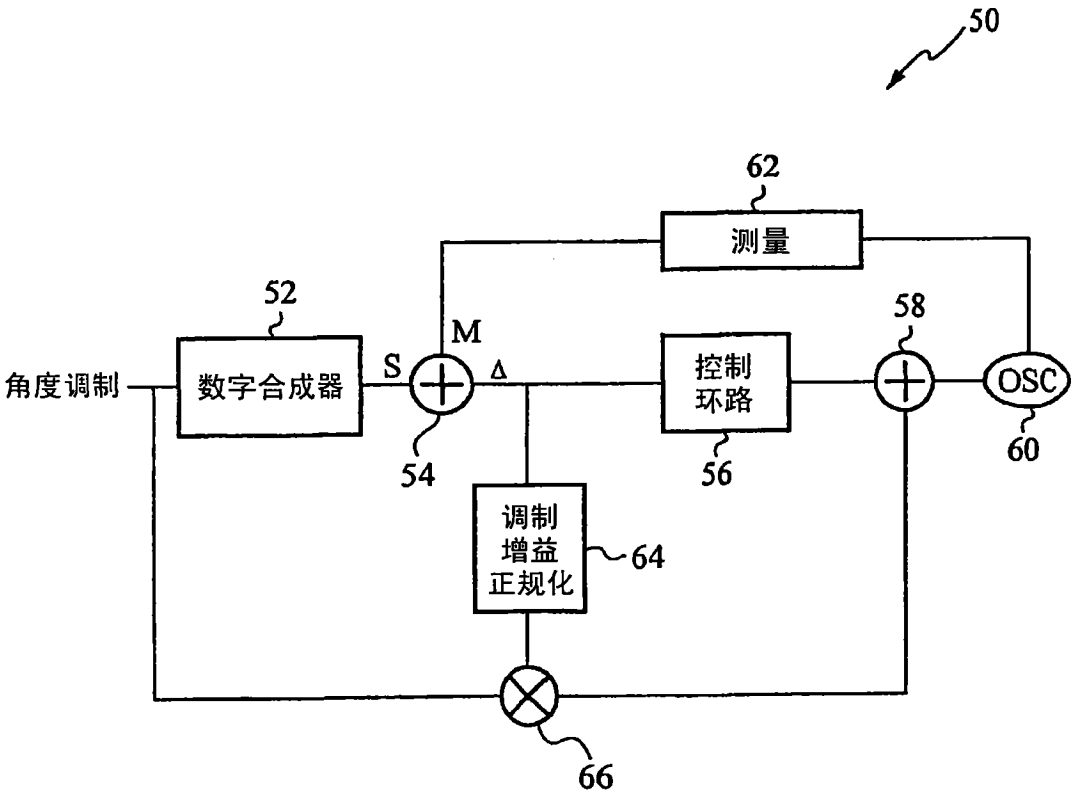


图 2

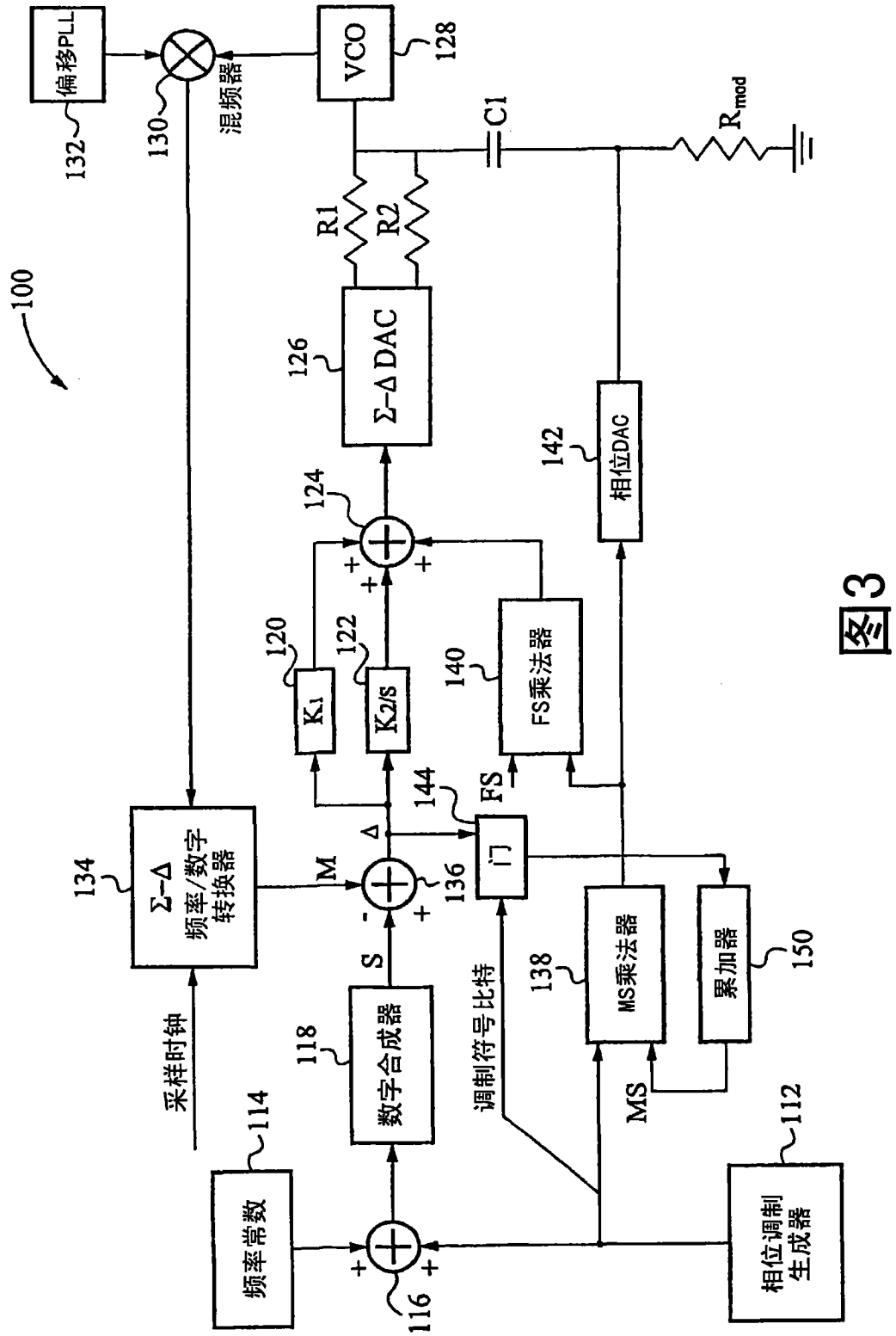

100
偏移PLL
132
130
混频器
VCO
128
C1
R_{mod}
R1
R2
126
Σ-Δ DAC
142
相位DAC
124
120
K_1
122
K_2/S
140
FS乘法器
FS
144
134
Σ-Δ 频率/数字转换器
M
Δ
136
门
S
-
采样时钟
118
数字合成器
调制符号比特
138
MS乘法器
150
累加器
MS
114
频率常数
116
112
相位调制生成器

图3

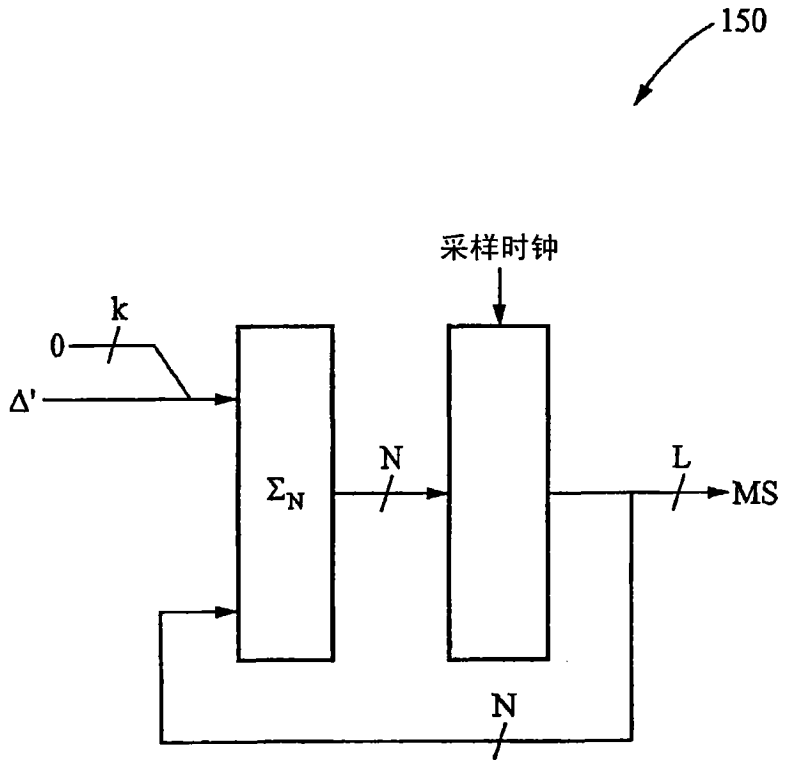


图 4

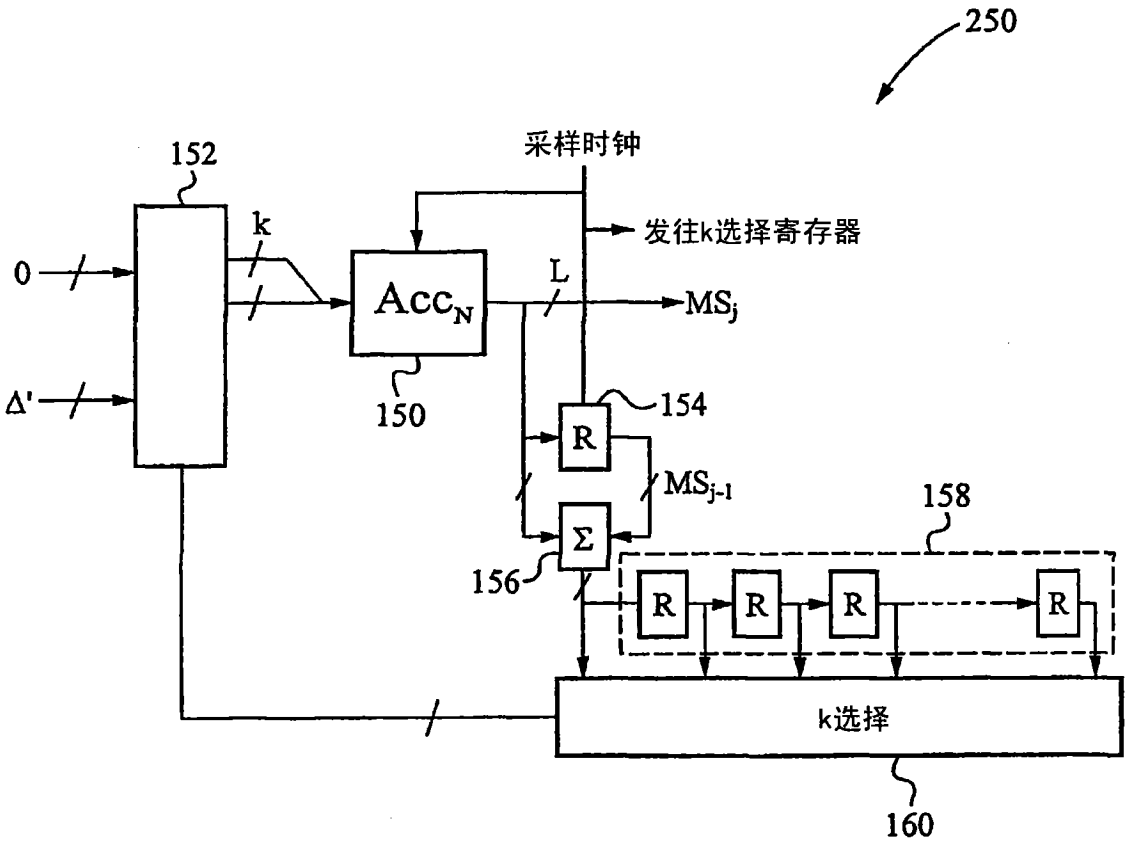

250
152
采样时钟
k
发往k选择寄存器
0
Δ'
Acc_N
L
MS_j
150
154
R
MS_{j-1}
158
Σ
156
R
R
R
R
k选择
160

图 5

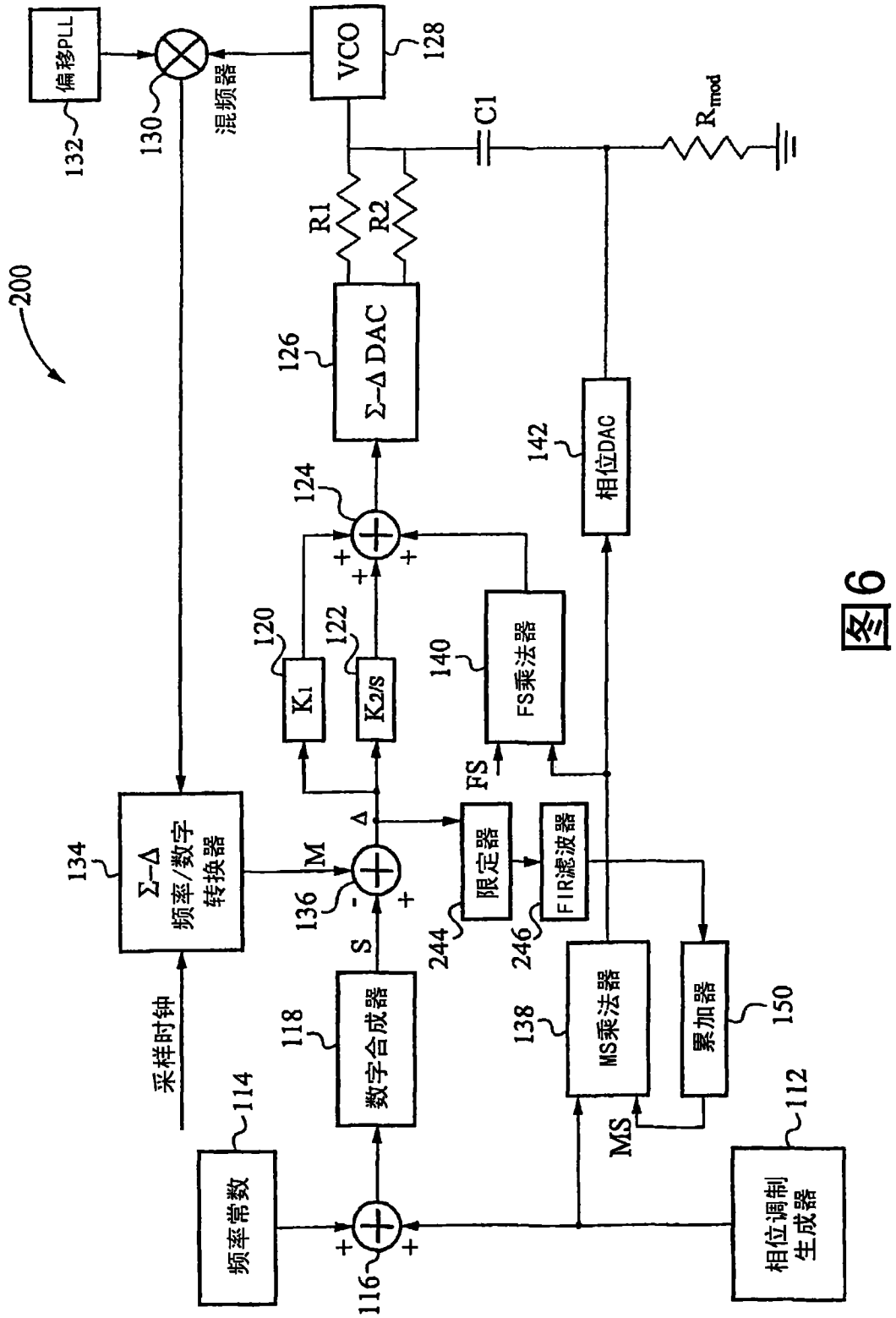

200
偏移PLL
132
130
混频器
VCO
128
C1
R_{mod}
R1
R2
126
Σ-Δ DAC
142
相位DAC
124
120
K_1
122
K_2/S
140
FS乘法器
FS
134
Σ-Δ
频率/数字
转换器
M
136
Δ
S
限定器
244
FIR滤波器
246
采样时钟
118
数字合成器
138
MS乘法器
累加器
150
114
频率常数
116
MS
112
相位调制
生成器

图6