

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4443379号
(P4443379)

(45) 発行日 平成22年3月31日(2010.3.31)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 J
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 C

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2004-310726 (P2004-310726)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年10月26日(2004.10.26)	(73) 特許権者	301079420 関東三洋セミコンダクターズ株式会社 群馬県邑楽郡大泉町仙石二丁目2468番地1
(65) 公開番号	特開2006-128172 (P2006-128172A)	(74) 代理人	100107906 弁理士 須藤 克彦
(43) 公開日	平成18年5月18日(2006.5.18)	(72) 発明者	亀山 工次郎 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成19年10月17日(2007.10.17)	(72) 発明者	鈴木 彰 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、

前記ビアホールの底部で露出する第1の絶縁膜をエッチングして金属層を露出する工程と、

前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第2の絶縁膜を形成する工程と、

前記ビアホール内で前記金属層と電氣的に接続された貫通電極、及び当該貫通電極と電氣的に接続された前記半導体基板の裏面の第2の絶縁膜上に延びる配線層を形成する工程と、

前記貫通電極上及び前記配線層上を含む前記半導体基板の裏面上に、当該配線層の一部を露出する保護層を形成する工程と、

前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、

前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口径が前記金属層の平面的な幅よりも大きくなるように行われることを特徴とする半導体装置の製造方法。

【請求項2】

第 1 の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、

前記ビアホールの底部で露出する第 1 の絶縁膜をエッチングして金属層を露出する工程と、

前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第 2 の絶縁膜を形成する工程と、

前記ビアホール内で前記金属層と電氣的に接続された貫通電極、及び当該貫通電極と電氣的に接続された前記半導体基板の裏面の第 2 の絶縁膜上に延びる配線層を形成する工程と、

前記貫通電極上及び前記配線層上を含む前記半導体基板の裏面上に、当該配線層の一部を露出する保護層を形成する工程と、

前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、

前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口端部が前記金属層上に形成されない領域を有するように行われることを特徴とする半導体装置の製造方法。

【請求項 3】

第 1 の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、

前記ビアホールの底部で露出する第 1 の絶縁膜をエッチングして金属層を露出する工程と、

前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第 2 の絶縁膜を形成する工程と、

前記ビアホール内で前記金属層と電氣的に接続された貫通電極を形成する工程と、

前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、

前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口径が前記金属層の平面的な幅よりも大きくなるように行われることを特徴とする半導体装置の製造方法。

【請求項 4】

第 1 の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、

前記ビアホールの底部で露出する第 1 の絶縁膜をエッチングして金属層を露出する工程と、

前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第 2 の絶縁膜を形成する工程と、

前記ビアホール内で前記金属層と電氣的に接続された貫通電極を形成する工程と、

前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、

前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口端部が前記金属層上に形成されない領域を有するように行われることを特徴とする半導体装置の製造方法。

【請求項 5】

前記配線層の一部上に導電端子を形成する工程を有することを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 6】

前記半導体基板上に支持体を貼り付ける工程を有することを特徴とする請求項 1 乃至請

10

20

30

40

50

求項5のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、貫通電極を有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSPとは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

10

【0003】

従来より、CSPの一種として、貫通電極を有したBGA型の半導体装置が知られている。このBGA型の半導体装置は、半導体基板を貫通してパッド電極と接続された貫通電極を有する。また、当該半導体装置は、当該裏面上に半田等の金属部材から成るボール状の導電端子が格子状に複数配列されたものである。

【0004】

そして、この半導体装置を電子機器に組み込む際には、各導電端子を回路基板（例えばプリント基板）上の配線パターンに接続している。

【0005】

20

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP (Small Outline Package) やQFP (Quad Flat Package) 等の他のCSP型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。

【0006】

次に、従来例に係る貫通電極を有したBGA型の半導体装置の製造方法の概略を説明する。最初に、第1の絶縁膜を介してパッド電極が形成された半導体基板の表面に、樹脂層を介して支持体を接着する。なお、支持体は、必要に応じて接着されればよく、必ずしも接着される必要はない。

【0007】

30

次に、半導体基板の裏面からパッド電極に到達するビアホールを、当該半導体基板のエッチングにより形成する。さらに、ビアホール内を含む半導体基板の裏面上に、当該ビアホールの底部でパッド電極を露出する第2の絶縁膜を形成する。

【0008】

さらに、ビアホール内の第2の絶縁膜上に、当該底部で露出されたパッド電極と電氣的に接続された貫通電極を形成する。また、同時に、上記貫通電極と接続した配線層を半導体基板の裏面の第2の絶縁膜上に形成する。そして、上記配線層上を含む半導体基板の裏面上に保護層を形成する。さらに、上記保護層の一部を開口して上記配線層の一部を露出し、その配線層上に導電端子を形成してもよい。その後、半導体基板をダイシングにより複数の半導体チップに切断分離する。

40

【0009】

なお、関連した技術文献としては、例えば以下の特許文献が挙げられる。

【特許文献1】特開2003-309221号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

次に、上述した従来例に係る半導体装置の製造方法の一部の工程を、図面を参照して説明する。図11及び図12は、従来例に係る半導体装置の製造方法を示す断面図である。

【0011】

従来例に係る半導体装置では、図11に示すように、いわゆる前工程によって、半導体

50

基板 50 の表面に絶縁膜 51 を介してパッド電極 52 が形成されている。また、その後の工程において、パッド電極 52 が形成された半導体基板 50 の表面上には、樹脂層 53 を介して支持体 54 が接着されている。ここで、パッド電極 52 には、その成膜時に加わる熱応力（残留応力または真性応力という）が蓄積されているものと発明者は考察する。

【0012】

しかしながら、図 12 に示すように、レジスト層 55 をマスクとして半導体基板 50 をエッチングして、当該半導体基板 50 を貫通するビアホール 56 を形成すると、当該底部のパッド電極 52 は、本来ならば水平の状態に保たれているべきところが、ビアホール 56 の空間内に押し出されて湾曲するように変形してしまうことがあった。

【0013】

このパッド電極 52 の変形は、前工程でパッド電極 52 が成膜される際に当該パッド電極 52 に蓄積された上記応力が、熱サイクルテスト時等の熱的な負荷によってそれまでの均衡を失い、ビアホール 56 の底部のパッド電極 52 から集中的に開放されようとして起こると考えられる。また、絶縁膜 51 をエッチングした後にも湾曲することがあった。

【0014】

また、ビアホール 56 内の底部でパッド電極 52 に接続される例えば銅（Cu）から成る不図示の貫通電極が形成された後に、パッド電極 52 は、その貫通電極により半導体基板 50 の裏面側に引っ張られるようにして湾曲して変形する。このときの変形は、貫通電極を形成する際に当該貫通電極に蓄積された残留応力と、パッド電極 12 に蓄積された応力との関係により起こると考えられる。

【0015】

さらに、上述したようなパッド電極 52 の変形により、当該パッド電極 52 に金属疲労を起因とする損傷や断線が生じる場合があった。そのため、変形したパッド電極 52 上を含むビアホール 56 内に、例えば銅（Cu）から成る不図示の貫通電極が形成された後では、当該貫通電極とビアホール 56 内で露出するパッド電極との間に、接続不良が生じる場合があった。即ち、上記パッド電極 52 の変形により、貫通電極を有する半導体装置の信頼性が低下するという問題が生じていた。結果として、貫通電極を有する半導体装置の信頼性及び歩留まりが低下していた。

【0016】

そこで本発明は、貫通電極を有する半導体装置及びその製造方法において、当該半導体装置の信頼性及び歩留まりの向上を図る。

【課題を解決するための手段】

【0017】

本発明の半導体装置の製造方法は、上記課題に鑑みて為されたものであり、以下の特徴を有するものである。即ち、本発明の半導体装置の製造方法は、第 1 の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、前記ビアホールの底部で露出する第 1 の絶縁膜をエッチングして金属層を露出する工程と、前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第 2 の絶縁膜を形成する工程と、前記ビアホール内で前記金属層と電氣的に接続された貫通電極、及び当該貫通電極と電氣的に接続された前記半導体基板の裏面の第 2 の絶縁膜上に延びる配線層を形成する工程と、前記貫通電極上及び前記配線層上を含む前記半導体基板の裏面上に、当該配線層の一部を露出する保護層を形成する工程と、前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口径が前記金属層の平面的な幅よりも大きくなるように行われることを特徴とする。

【0018】

また、本発明の半導体装置の製造方法は、第 1 の絶縁膜上に金属層が形成された半導体

10

20

30

40

50

基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、前記ビアホールの底部で露出する第1の絶縁膜をエッチングして金属層を露出する工程と、前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第2の絶縁膜を形成する工程と、前記ビアホール内で前記金属層と電氣的に接続された貫通電極、及び当該貫通電極と電氣的に接続された前記半導体基板の裏面の第2の絶縁膜上に延びる配線層を形成する工程と、前記貫通電極上及び前記配線層上を含む前記半導体基板の裏面上に、当該配線層の一部を露出する保護層を形成する工程と、前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口端部が前記金属層上に形成されない領域を有するように行われることを特徴とする。

10

【0019】

また、本発明の半導体装置の製造方法は、第1の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、前記ビアホールの底部で露出する第1の絶縁膜をエッチングして金属層を露出する工程と、前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第2の絶縁膜を形成する工程と、前記ビアホール内で前記金属層と電氣的に接続された貫通電極を形成する工程と、前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口径が前記金属層の平面的な幅よりも大きくなるように行われることを特徴とする。

20

【0020】

さらに、本発明の半導体装置の製造方法は、第1の絶縁膜上に金属層が形成された半導体基板をエッチングして、当該半導体基板の裏面の当該金属層に対応する位置から当該半導体基板の当該表面に貫通するビアホールを形成する工程と、前記ビアホールの底部で露出する第1の絶縁膜をエッチングして金属層を露出する工程と、前記ビアホール内を含む前記半導体基板の裏面上に、当該ビアホールの底部で前記金属層を露出する第2の絶縁膜を形成する工程と、前記ビアホール内で前記金属層と電氣的に接続された貫通電極を形成する工程と、前記半導体基板を複数の半導体チップに切断分離する工程と、を有し、前記ビアホールを形成する工程の前記半導体基板のエッチング時にオーバーエッチングすることで、前記ビアホールの底部の開口径が前記ビアホールの深さの途中における開口径よりも大きく、前記ビアホールの底部の開口端部が前記金属層上に形成されない領域を有するように行われることを特徴とする。

30

【0021】

また、本発明の半導体装置の製造方法は、前記配線層の一部上に導電端子を形成する工程を有することを特徴とする。

【0022】

また、本発明の半導体装置の製造方法は、前記半導体基板上に支持体を貼り付ける工程を有することを特徴とする。

40

【発明の効果】

【0025】

本発明によれば、ビアホールの底部の開口径がパッド電極の平面的な幅よりも大きいので、ビアホールの底部において、パッド電極が蓄積する応力（当該パッド電極の成膜時に蓄積された応力）を、従来に比して効率よくパッド電極から開放することができる。

【0026】

従って、ビアホールの底部で露出するパッド電極の変形を極力抑止することができる。また、ビアホールの底部で露出するパッド電極の変形を極力抑止することができるため、

50

当該パッド電極と接続される貫通電極との接続不良が抑止され、貫通電極とパッド電極との接続に係る信頼性が向上する。さらに、ビアホール形成工程において、オーバーエッチングすることで、パッド電極の近傍のビアホールの底部の開口径が、ビアホールの上部の開口径よりも広がっているため、パッド電極と貫通電極との接触面積が増大する。このように結果として、貫通電極を有する半導体装置の信頼性及び歩留まりを向上することができる。

【発明を実施するための最良の形態】

【0027】

次に、本発明の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図1乃至図9は、本実施形態に係る半導体装置の製造方法を示す断面図である。なお、図1乃至図9は、半導体基板のうち、不図示のダイシングラインの近傍を示している。

10

【0028】

最初に、図1に示すように、表面に不図示の電子デバイスが形成された半導体基板10を準備する。ここで、不図示の電子デバイスは、例えば、CCD(Charge Coupled Device)や赤外線センサ等の受光素子、もしくは発光素子であるものとする。もしくは、不図示の電子デバイスは、上記受光素子や発光素子以外の電子デバイスであってもよい。また、半導体基板10は、例えばシリコン基板から成るものとするが、その他の材質の基板であってもよい。また、半導体基板10は、好ましくは約130 μ mの膜厚を有している。

【0029】

20

次に、不図示の電子デバイスを含む半導体基板10の表面上に、層間絶縁膜として第1の絶縁膜11を形成する。第1の絶縁膜11は、例えば、P-TEOS膜やBPSG膜等から成る。また、第1の絶縁膜11は、好ましくは約0.8 μ mの膜厚を有して形成される。

【0030】

さらに、半導体基板10の表面には、不図示の電子デバイスと接続された外部接続用電極であるパッド電極12が形成されている。パッド電極12は、第1の絶縁膜11を介して半導体基板10の表面に形成されている。パッド電極12は、例えばアルミニウム(Al)から成り、好ましくは約1 μ mの膜厚を有して形成される。このとき、パッド電極12は水平状態を保って成膜されるが、その成膜時の条件に応じて所定の大きさの応力がパッド電極12に蓄積される。

30

【0031】

以上に示した不図示の電子デバイス、第1の絶縁膜11、及びパッド電極12は、半導体装置の製造工程における、いわゆる前工程において形成される。

【0032】

次に、必要に応じて、半導体基板10の表面に、樹脂層13を介して支持体14を接着する。ここで、不図示の電子デバイスが受光素子や発光素子である場合、支持体14は、例えばガラスのような透明もしくは半透明の性状を有した材料により接着されている。不図示の電子デバイスが受光素子や発光素子ではない場合、支持体14は、透明もしくは半透明の性状を有さない材料により形成されるものであってもよい。また、支持体14はテープ状のものであってもよい。この支持体14は、後の工程において除去されるものであってもよい。もしくは、支持体14は、除去されずに残されてもよい。もしくは、支持体14の接着は省略されてもよい。

40

【0033】

次に、図2に示すように、半導体基板10の裏面上に、第1のレジスト層15を選択的に形成する。即ち、第1のレジスト層15は、半導体基板10の裏面上のうち、パッド電極12に対応する位置に開口部を有している。

【0034】

次に、この第1のレジスト層15をマスクとして、好ましくはドライエッチング法により、半導体基板10をエッチングする。ここで、上記エッチングは、ビアホール16の底

50

部の開口径Aが、パッド電極12の平面的な幅Cよりも大きくなるようなエッチング条件により行われる。なお、さらにいえば、上記エッチングは、ビアホール16の裏面側の開口部からビアホール16の深さの途中に至るまでの開口径Bが、当該ビアホール16の底部の開口径A及びパッド電極12の平面的な幅Cよりも小さくなるようなエッチング条件により行われてもよい。

【0035】

例えば、エッチングガスとしては、 SF_6 や O_2 や C_4F_8 等を含むガスを用いる。そして、エッチングガスとして SF_6 や O_2 を用いた場合には、そのエッチング条件として、例えば、そのパワーは約1.5KWのパワーで、ガス流量は300/30sccmで、圧力は25Paであることが好ましい。

10

【0036】

こうして、上記エッチングにより、パッド電極12上で半導体基板10の裏面から当該表面に貫通するビアホールが、以下に示す特徴を有して形成される。即ち、ビアホール16の底部では、第1の絶縁膜11が露出されている。また、ビアホール16の底部の開口径Aは、パッド電極12の平面的な幅Cよりも大きい。このとき、ビアホール16の底部で第1の絶縁膜11に隣接するパッド電極12をみると、その全面(ビアホール16と対向する側の面)が、第1の絶縁膜11を介して、ビアホール16の空間に対峙している。

【0037】

このように前記パッド電極12に対峙するビアホール16の空間の面積は、従来例に係る半導体装置のパッド電極52に対峙するビアホール56の空間の面積に比して大きい。そのため、パッド電極12の成膜時に当該パッド電極12に蓄積された応力が、ビアホール16の底部において、従来例に比して効率よく開放される。従って、従来例にみられたように、パッド電極12がビアホール16の空間に押し出されるように湾曲して変形することが極力抑止される。さらに、開口端部がパッド電極12上にないため、この開口端部を支点としたパッド電極12の変形が防止できるため、パッド電極12に金属疲労を起因とする損傷や断線が生じることを極力抑止することができる。

20

【0038】

次に、図3に示すように、第1のレジスト層15をマスクとして、ビアホール16の底部で露出する第1の絶縁膜11の一部を選択的に除去する。これにより、ビアホール16の底部でパッド電極12の一部が露出される。その後、第1のレジスト層15を除去する。

30

【0039】

次に、図4に示すように、ビアホール16内を含む半導体基板10の裏面上に、第2の絶縁膜17を形成する。第2の絶縁膜17は、例えばシリコン酸化膜(SiO_2 膜)もしくはシリコン窒化膜(SiN 膜)から成り、例えばプラズマCVD法によって形成される。また、第2の絶縁膜17は、好ましくは約 $1\mu m \sim 2\mu m$ の膜厚を有して形成される。

【0040】

次に、図5に示すように、半導体基板10の裏面側から、好ましくは異方性のドライエッチングにより、第2の絶縁膜17のエッチングを行う。ここで、ビアホール16の底部の第2の絶縁膜17は、当該ビアホール16の深さに応じて、半導体基板10の裏面上の第2の絶縁膜17よりも薄く形成される。そのため、上記エッチングにより、ビアホール16の底部では、第2の絶縁膜17が除去されてパッド電極12の一部が露出されるが、半導体基板10の裏面上及びビアホール16の側壁では、第2の絶縁膜17が残存する。

40

【0041】

次に、図6に示すように、ビアホール16内及び半導体基板10の裏面の第2の絶縁膜17上に、バリアメタル層18を形成する。バリアメタル層18は、例えばチタンタンゲステン(TiW)層、チタンナイトライド(TiN)層、もしくはタンタルナイトライド(TaN)層等の金属層から成る。

【0042】

バリアメタル層18は、例えば、スパッタ法、CVD法、無電解メッキ法、もしくはそ

50

の他の成膜方法によって形成される。

【0043】

このバリアメタル層18上には不図示のシード層が形成される。このシード層は、後述する配線形成層20Aをメッキ形成するための電極となるものであり、例えば銅(Cu)等の金属から成る。

【0044】

なお、ビアホール16の側壁の第3の絶縁膜17がシリコン窒化膜(SiN膜)により形成されている場合には、当該シリコン窒化膜(SiN膜)が銅拡散に対するバリアとなるため、バリアメタル層18は省略してもよい。

【0045】

次に、半導体基板10の裏面上に形成されたバリアメタル層18及びシード層を被覆するように配線形成層20Aを形成する。ここで、前記配線形成層20Aは、例えば電解メッキ法により、例えば銅(Cu)から成る金属層である。

【0046】

そして、図7に示すように、前記配線形成層20A上の所定の領域に第2のレジスト層19を形成する。そして、前記第2のレジスト層19をマスクとして、前記配線形成層20Aをパターニングして貫通電極20、及びこの貫通電極20と連続し、電氣的に接続された配線層21を形成する。メッキ膜厚は、貫通電極20がビアホール16内に不完全に埋め込まれるような厚さに調整される。もしくは、貫通電極20は、ビアホール16内に完全に埋め込まれるように形成されてもよい。なお、前記第2のレジスト層19を形成する上記所定の領域とは、ビアホール16の形成領域を除く領域であり、かつ後述する所定のパターンを有した配線層21を形成しない半導体基板10の裏面上の領域である。

【0047】

ここで、貫通電極20は、シード層及びバリアメタル層18を介して、ビアホール16の底部で露出するパッド電極12と電氣的に接続されて形成される。また、貫通電極20と連続する配線層21は、シード層及びバリアメタル層18を介して、半導体基板10の裏面上に所定のパターンを有して形成される。続いて、前記第2のレジスト層19を除去した後に、前記配線層21及びシード層をマスクとして、前記バリアメタル層18をパターニング除去する。

【0048】

なお、上述した貫通電極20と配線層21は、それぞれ別工程によって形成されてもよい。また、貫通電極20及び配線層21の形成は、上述したような銅(Cu)を用いた電解メッキ法によらず、その他の金属及び成膜方法によって形成されてもよい。例えば、貫通電極20及び配線層21は、アルミニウム(Al)もしくはアルミニウム合金等から成り、例えば、スパッタ法により形成されてもよい。この場合、ビアホール16を含む半導体基板10の裏面上に不図示のバリアメタル層を形成した後、ビアホール16の形成領域を除く当該バリアメタル層上の所定の領域に不図示のレジスト層を形成する。そして、当該レジスト層をマスクとして上記金属から成る貫通電極及び配線層をスパッタ法により形成すればよい。もしくは、貫通電極20及び配線層21は、CVD法により形成されてもよい。

【0049】

次に、図8に示すように、ビアホール16内を含む半導体基板10の裏面上、即ち、第2の絶縁膜17上、貫通電極20上及び配線層21上に、これらを覆うようにして、例えばレジスト材料等から成る保護層22を形成する。保護層22のうち配線層21に対応する位置には開口部が設けられる。そして、当該開口部で露出する配線層21上に、例えばハンダ等の金属から成るボール状の導電端子23が形成される。

【0050】

次に、図9に示すように、不図示のダイシングラインに沿って当該半導体基板10をダイシングする。これにより、貫通電極20を有した半導体置チップ10Aから成る複数の半導体装置が完成する。

10

20

30

40

50

【 0 0 5 1 】

上述したように、本実施形態の半導体装置及びその製造方法によれば、ビアホール 1 6 の底部の開口径 A がパッド電極 1 2 の平面的な幅 C よりも大きい半導体装置を製造することができる。そのため、ビアホール 1 6 の底部において、パッド電極 1 2 が蓄積する応力（当該パッド電極の成膜時に蓄積された応力）を、従来例に比して効率よく開放することができる。

【 0 0 5 2 】

従って、ビアホール 1 6 の底部で露出するパッド電極 1 2 の変形を極力抑止することができる。また、ビアホール 1 6 の底部で露出するパッド電極 1 2 の変形を極力抑止することができるため、当該パッド電極 1 2 と接続される貫通電極 2 0 との接続不良が抑止され、貫通電極 2 0 とパッド電極 1 2 との接続に係る信頼性が向上する。結果として、貫通電極 2 0 を有する半導体装置の信頼性及び歩留まりを向上することができる。

10

【 0 0 5 3 】

なお、上述した実施形態は、導電端子 2 3 の形成に制限されない。即ち、貫通電極 2 0 及び配線層 2 1 と、不図示の回路基板との電氣的な接続が可能であれば、導電端子 2 3 は必ずしも形成される必要は無い。例えば、半導体装置が L G A (L a n d G r i p A r r a y) 型の半導体装置である場合、保護層 2 2 から局所的に露出する配線層 2 1 の一部上に、導電端子 2 3 を形成する必要はない。

【 0 0 5 4 】

また、上述した実施形態は、配線層 2 1 の形成に制限されない。即ち、貫通電極 2 0 がビアホール 1 6 に完全に埋め込まれて形成される場合、配線層 2 1 は必ずしも形成される必要は無い。例えば、当該貫通電極 2 0 は、配線層 2 1 及び導電端子 2 3 を介さずに不図示の回路基板と直接接続されてもよい。もしくは、貫通電極 2 0 は、ビアホール 1 6 の開口部で露出する当該貫通電極 2 0 上に導電端子 2 3 を備え、配線層 2 1 を介さずに、当該導電端子 2 3 を介して不図示の回路基板と接続されてもよい。

20

【 0 0 5 5 】

また、図 1 0 は本発明のパッド電極 1 2 とビアホール 1 6 との位置関係を示す平面図であり、図 1 0 (a) はパッド電極 1 2 a の幅よりもビアホール 1 6 の開口径が広い例を示し、図 1 0 (b)、(c) はビアホール 1 6 の開口端部がパッド電極 1 2 上に位置されない領域を有する例で、開口径がパッド電極 1 2 b の幅よりも広い領域と狭い領域を有する例を示し、図 1 0 (c) は 1 つのパッド電極 1 2 c に複数のビアホール 1 6 が開口された例を示している。従来の半導体装置では、パッド電極上に位置する開口端部が支点となって、パッド電極 1 2 が湾曲し始めるため、その箇所での伸びが大きくなっていったが、本発明ではそのような湾曲の支点となる開口端部がパッド電極 1 2 上にないため、湾曲が抑止される。

30

【 0 0 5 6 】

また、図 1 0 (b)、(c) に示すようにビアホール 1 6 の開口端部がパッド電極 1 2 b、1 2 c 上に存在しない領域を有するように形成された場合でも、即ち、図 1 0 (a) に示すようにパッド電極 1 2 a の全体を開口により開放しないものであっても、パッド電極 1 2 の湾曲を抑止することが可能である。このように本発明では、少なくとも開口端部がパッド電極 1 2 上にない領域があることでも上記湾曲の発生を低減でき、半導体装置の信頼性を向上させることができる。

40

【 図面の簡単な説明 】

【 0 0 5 7 】

【 図 1 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 2 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 3 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 4 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

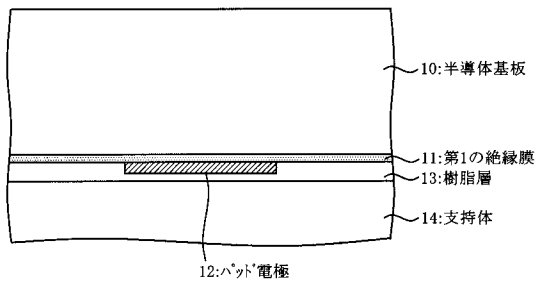
【 図 5 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 6 】 本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

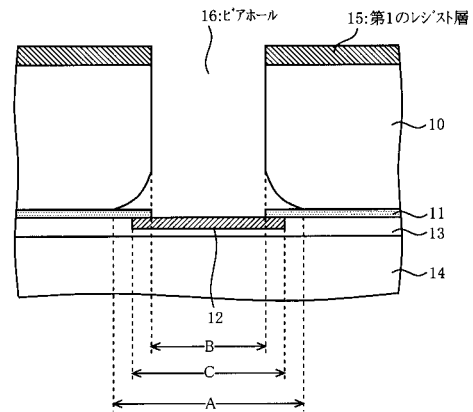
50

- 【図7】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。
- 【図8】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。
- 【図9】本発明の実施形態に係る半導体装置及びその製造方法を説明する断面図である。
- 【図10】本発明のパッド電極とビアホールとの位置関係を示す図である。
- 【図11】従来例に係る半導体装置の製造方法を示す断面図である。
- 【図12】従来例に係る半導体装置の製造方法を示す断面図である。

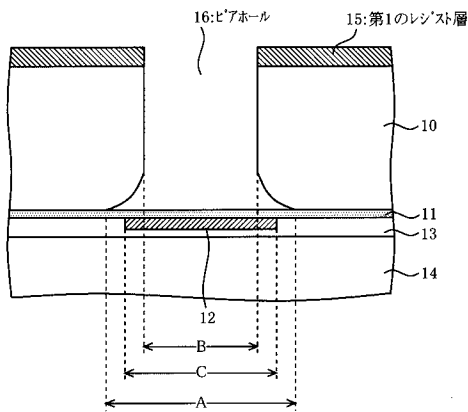
【図1】



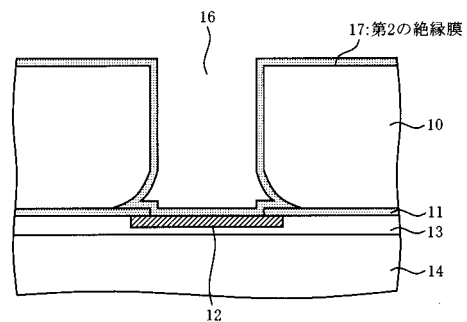
【図3】



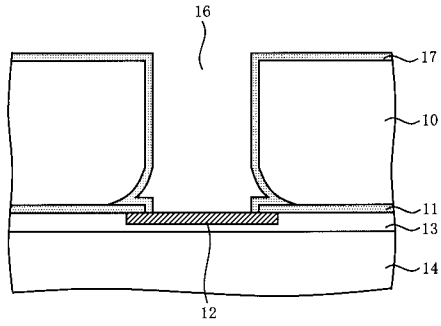
【図2】



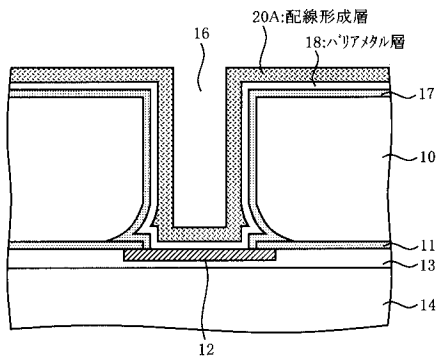
【図4】



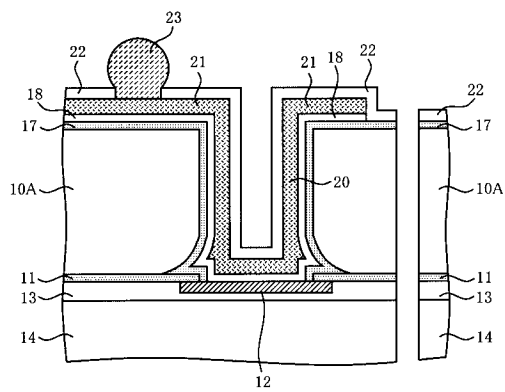
【図5】



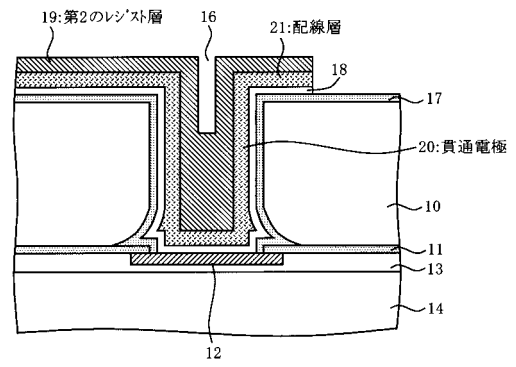
【図6】



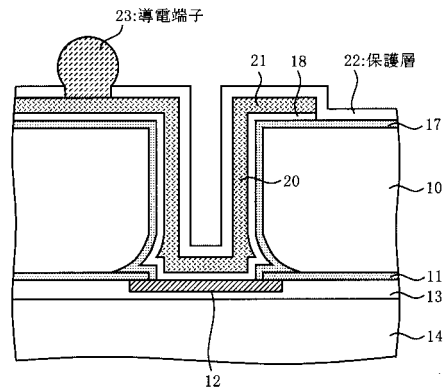
【図9】



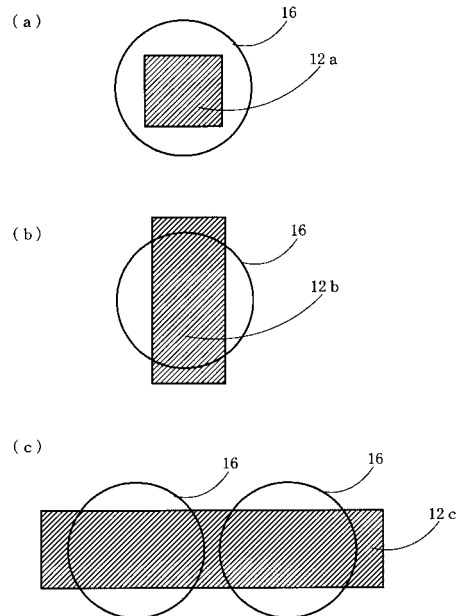
【図7】



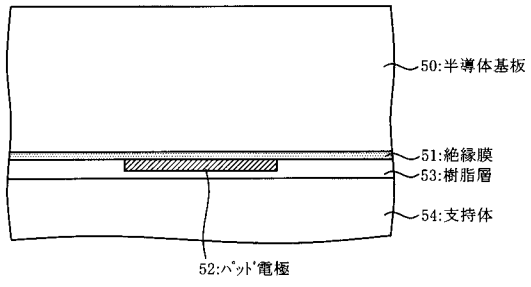
【図8】



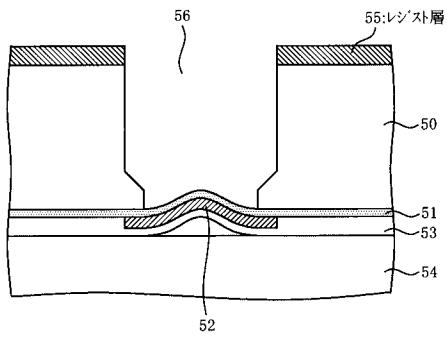
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 梅本 光雄

群馬県邑楽郡大泉町仙石二丁目2468番地1 関東三洋セミコンダクターズ株式会社内

審査官 辻 弘輔

(56)参考文献 特開2002-348697(JP,A)
特開2005-268456(JP,A)
特開2005-183548(JP,A)
特開2003-078080(JP,A)
特開2003-309221(JP,A)
特開2002-217283(JP,A)
特開2001-044197(JP,A)
特開2004-200547(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/3213
H01L 21/768
H01L 23/12
H01L 23/52