

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 19 年 5 月 17 日 (2007.5.17)

【公開番号】特開 2005-11490 (P2005-11490A)
 【公開日】平成 17 年 1 月 13 日 (2005.1.13)
 【年通号数】公開・登録公報 2005-002
 【出願番号】特願 2004-129233 (P2004-129233)
 【国際特許分類】

G 1 1 C 16/02 (2006.01)
H 0 1 L 21/8247 (2006.01)
H 0 1 L 27/115 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)
G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 1 2 C
 H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1
 G 1 1 C 17/00 6 2 1 Z

【手続補正書】
 【提出日】平成 19 年 3 月 23 日 (2007.3.23)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルを有し、

消去動作において、ホールが前記ゲート電極から前記電荷蓄積膜へ供給され、前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅し、

前記メモリセルの書換えを行う前に、前記書換えの対象となるメモリセルの書込みを行い、

その後前記メモリセルの消去を行うことを特徴とする半導体装置。

【請求項 2】

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルが配置されたサブブロックを有する半導体装置において、

前記メモリセルの書換えを行う前に、書換えの対象となる前記サブブロック内の全てのメモリセルに電子を注入することにより書込みを行い、

その後前記ゲート電極から電極蓄積膜にホールを供給して消去を行い、

前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅することを特徴とする半導体装置。

【請求項 3】

前記メモリセルの各々は、M O N O S 型あるいはM N O S 型構造を有する電荷トラップ型メモリセルであり、前記半導体基板側から前記絶縁膜を通り、前記電荷トラップ型メモリセルへ電子を注入することにより書込みを行うことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記メモリセルの各々は、M O N O S 型あるいはM N O S 型構造を有する電荷トラップ型メモリセルであり、前記半導体基板側から前記絶縁膜を通り、前記電荷トラップ型メモリセルへ電子を注入することにより書込みを行うことを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記メモリセルの各々への書込みは、ホットエレクトロンを用いた電子注入によることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記メモリセルの各々への書込みは、ホットエレクトロンを用いた電子注入によることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】

メモリセルの消去において、前記メモリセルのメモリセル読み出し電流が検出され、前記メモリセル読み出し電流が所定値に達した時点で、前記消去が停止することを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

メモリセルの消去において、前記メモリセルのメモリセル読み出し電流が検出され、前記メモリセル読み出し電流が所定値に達した時点で、前記消去が停止することを特徴とする請求項 2 に記載の半導体装置。

【請求項 9】

前記メモリセルの各々の消去は、前記メモリセルのしきい値を下げることにより行われることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

前記メモリセルの各々の消去は、前記メモリセルのしきい値を下げることにより行われることを特徴とする請求項 2 に記載の半導体装置。

【請求項 11】

半導体基板の一主面側に所定の間隔を置いて形成された第 1 不純物導入領域および第 2 不純物導入領域と、前記第 1 不純物導入領域および前記第 2 不純物導入領域に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜および電極が積層されてなるゲート部とからなるメモリセルを有し、

消去動作において、ホールが前記ゲート電極から前記電荷蓄積膜へ供給され、前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅し、

前記メモリセルの消去コマンドの実行は、前記消去の対象となるメモリセルに書込み処理を行った後に行うことを特徴とする半導体装置。