

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年5月17日(2007.5.17)

【公開番号】特開2005-11490(P2005-11490A)

【公開日】平成17年1月13日(2005.1.13)

【年通号数】公開・登録公報2005-002

【出願番号】特願2004-129233(P2004-129233)

【国際特許分類】

<i>G 11 C</i>	<i>16/02</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>21/8247</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>27/115</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/788</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/792</i>	<i>(2006.01)</i>
<i>G 11 C</i>	<i>16/04</i>	<i>(2006.01)</i>

【F I】

<i>G 11 C</i>	<i>17/00</i>	<i>6 1 2 C</i>
<i>H 01 L</i>	<i>27/10</i>	<i>4 3 4</i>
<i>H 01 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>G 11 C</i>	<i>17/00</i>	<i>6 2 1 Z</i>

【手続補正書】

【提出日】平成19年3月23日(2007.3.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルを有し、

消去動作において、ホールが前記ゲート電極から前記電荷蓄積膜へ供給され、前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅し、

前記メモリセルの書換えを行う前に、前記書換えの対象となるメモリセルの書き込みを行い、

その後に前記メモリセルの消去を行うことを特徴とする半導体装置。

【請求項2】

半導体基板の一主面側に所定の間隔を置いて形成されたソース拡散層およびドレイン拡散層と、前記ソース拡散層および前記ドレイン拡散層に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜およびゲート電極が積層されてなるゲート部とからなるメモリセルが配置されたサブブロックを有する半導体装置において、

前記メモリセルの書換えを行う前に、書換えの対象となる前記サブブロック内の全てのメモリセルに電子を注入することにより書き込みを行い、

その後に前記ゲート電極から電荷蓄積膜にホールを供給して消去を行い、

前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅することを特徴とする半導体装置。

【請求項3】

前記メモリセルの各々は、MONOS型あるいはMNOS型構造を有する電荷トラップ型メモリセルであり、前記半導体基板側から前記絶縁膜を通り、前記電荷トラップ型メモリセルへ電子を注入することにより書き込みを行うことを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記メモリセルの各々は、MONOS型あるいはMNOS型構造を有する電荷トラップ型メモリセルであり、前記半導体基板側から前記絶縁膜を通り、前記電荷トラップ型メモリセルへ電子を注入することにより書き込みを行うことを特徴とする請求項2に記載の半導体装置。

【請求項5】

前記メモリセルの各々への書き込みは、ホットエレクトロンを用いた電子注入による特徴とする請求項1に記載の半導体装置。

【請求項6】

前記メモリセルの各々への書き込みは、ホットエレクトロンを用いた電子注入による特徴とする請求項2に記載の半導体装置。

【請求項7】

メモリセルの消去において、前記メモリセルのメモリセル読み出し電流が検出され、前記メモリセル読み出し電流が所定値に達した時点で、前記消去が停止することを特徴とする請求項1に記載の半導体装置。

【請求項8】

メモリセルの消去において、前記メモリセルのメモリセル読み出し電流が検出され、前記メモリセル読み出し電流が所定値に達した時点で、前記消去が停止することを特徴とする請求項2に記載の半導体装置。

【請求項9】

前記メモリセルの各々の消去は、前記メモリセルのしきい値を下げるにより行われることを特徴とする請求項1に記載の半導体装置。

【請求項10】

前記メモリセルの各々の消去は、前記メモリセルのしきい値を下げるにより行われることを特徴とする請求項2に記載の半導体装置。

【請求項11】

半導体基板の一主面側に所定の間隔を置いて形成された第1不純物導入領域および第2不純物導入領域と、前記第1不純物導入領域および前記第2不純物導入領域に挟まれた前記半導体基板の領域上に絶縁膜を介して電荷蓄積膜および電極が積層されてなるゲート部とからなるメモリセルを有し、

消去動作において、ホールが前記ゲート電極から前記電荷蓄積膜へ供給され、前記電荷蓄積膜に保存された電子と、前記ゲート電極から供給されるホールとが結合して消滅し、

前記メモリセルの消去コマンドの実行は、前記消去の対象となるメモリセルに書き込み処理を行った後に行うことの特徴とする半導体装置。