

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 4 月 19 日 (19.04.2007)

PCT

(10) 国際公開番号
WO 2007/043714 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2006/320988
- (22) 国際出願日: 2006 年 10 月 16 日 (16.10.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-300349
2005 年 10 月 14 日 (14.10.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5038604 岐阜県大垣市神田町 2 丁目 1 番地 Gifu (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 伊藤 宗太郎 (ITO,

Sotaro) [JP/JP]; 〒5030961 岐阜県大垣市青柳町 300 番地 イビデン株式会社内 Gifu (JP). 高橋 通昌 (TAKAHASHI, Michimasa) [JP/JP]; 〒5030961 岐阜県大垣市青柳町 300 番地 イビデン株式会社内 Gifu (JP). 三門 幸信 (MIKADO, Yukinobu) [JP/JP]; 〒5030961 岐阜県大垣市青柳町 300 番地 イビデン株式会社内 Gifu (JP).

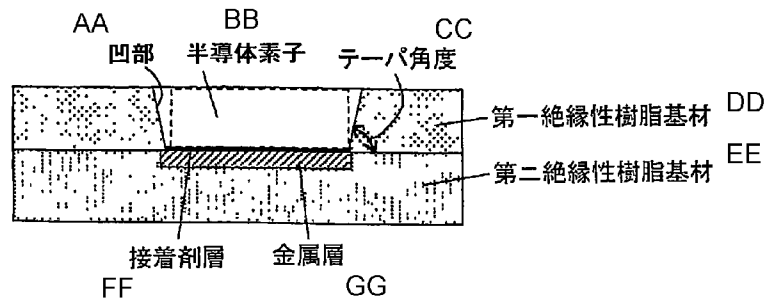
(74) 代理人: 小川 順三, 外 (OGAWA, Junzo et al.); 〒1040061 東京都中央区銀座 2 丁目 8 番 9 号 木挽館銀座ビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,

[続葉有]

(54) Title: MULTILAYER PRINTED WIRING BOARD AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 多層プリント配線板およびその製造方法



AA... RECESSED PORTION
BB... SEMICONDUCTOR DEVICE
CC... TAPER ANGLE
DD... FIRST INSULATING RESIN BASE
EE... SECOND INSULATING RESIN BASE
FF... ADHESIVE LAYER
GG... METAL LAYER

(57) Abstract: Disclosed is a multilayer printed wiring board wherein a resin insulating layer and a conductor circuit are sequentially formed on another resin insulating layer containing a semiconductor device and the semiconductor device and the conductor circuit are electrically connected through a via hole. In the multilayer printed wiring board, the semiconductor device is placed in a recessed portion formed in the resin insulating layer, and a metal layer for mounting the semiconductor device is formed on the bottom surface of the recessed portion. Also disclosed is a semiconductor device-mounted substrate. In this multilayer printed wiring board, the built-in semiconductor device has an electrical connection through a via hole.

(57) 要約: 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが順次形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層ブ

[続葉有]

WO 2007/043714 A1



OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

プリント配線板において、樹脂絶縁層に設けた凹部内に半導体素子を収容し、その凹部の底面には半導体素子を載置する金属層を形成してなる多層プリント配線板あるいは半導体素子実装基板である。それにより、内蔵された半導体素子がビアホールを介して電気接続を有する多層プリント配線板が得られる。

明 細 書

多層プリント配線板およびその製造方法

5 技術分野

本発明は、ＩＣなどの電子部品（半導体素子）が内蔵された多層プリント配線板に係り、更に詳しくは、半導体素子のパッドと多層プリント配線板の導体回路との電氣的接続性や接続信頼性を低下し難くする多層プリント配線板およびその製造方法に関する。

10

背景技術

半導体素子を内蔵する多層プリント配線板としては、例えば、特開２００１－３３９１６５号公報または特開２００２－０５０８７４号公報等の開示されたものがある。これらの文献に開示された多層プリント配線板は、半導体素子埋め込み用の凹部が形成された基板と、その基板の凹部内に埋め込まれた半導体素子と、
15 その半導体素子を被覆するように基板上に形成した絶縁層と、絶縁層の表面に形成された導体回路と、その導体回路と半導体素子のパッドとを電氣的に接続するように絶縁層に設けたビアホールとから構成されている。

このような従来の多層プリント配線板においては、その最外層の表面に外部接続端子（例えば、PGA、BGA等）が設けられ、基板に内蔵された半導体素子は、これらの外部接続端子を介して外部との電氣的な接続を行うようになっている。
20

しかしながら、前述したような従来技術においては、基板に埋め込まれた半導体素子のパッドと導体回路との電氣的接続性や接続信頼性において問題があった。
25 特に、半導体素子のパッドや、そのパッドに接続されるビアホールの近傍において接続不良を引き起こしやすい。即ち、半導体素子を収容する凹部が形成される樹脂基板は、主としてエポキシ樹脂などをガラス布等の補強材に含浸させた樹脂材料から形成されていることから、ザグリ加工等により形成した凹部の底面では、

位置によって不規則な凹凸が形成され、その結果、凹部の深さが不均一になりやすい。特に、断面をほぼ矩形に形成した凹部の四隅付近では、他の部分に比して凹部の深さが浅くなりやすい。その結果、凹部内に半導体素子を收容したときに、半導体素子の全体が十分に水平な状態に保持されないで、ある程度傾いた状態で保持されることがある。このような状態では、半導体素子のパッドもある程度傾いた状態となるため、該パッドと導体回路とを接続するビアホールが所望の形状に形成されにくくなり、接続不良を引き起こしやすくなる。その結果、電氣的接続性や接続信頼性が低下することがある。

また、半導体素子と凹部底面との間に接着剤層を設け、その半導体素子を凹部底面に接着・固定する場合には、凹部の底面での表面状態が不均一であり、接着剤層が均一に広がりにくくなるため、凹部への半導体素子の密着性も不均一になりやすくなる。そのため、半導体素子の密着力が確保されにくくなるのである。

さらに、ヒートサイクル条件下における信頼性試験を行うと、凹部への半導体素子の密着性の著しい低下を招くこともある。

そこで、本発明の目的は、従来技術が抱える前記問題点を解決して、半導体素子を收容する基板が樹脂製であっても、電氣的接続性や接続信頼性を確保し、特に、信頼性試験において、半導体素子パッドと、それに接続されたビアホールを含んだ導体回路との接続信頼性を低下させにくくすることができる多層プリント配線板およびその製造方法を提案することにある。

発明の開示

本発明者らは、前記目的の実現のために鋭意研究を重ねた結果、樹脂基板に設けた半導体素子收容用の凹部の深さがある程度均一でない場合に、基板に内蔵された半導体素子のパッドと、それに接続される導体回路との間の電氣的接続性や接続信頼性が低下しがちであることを知見し、そのような知見に基づいて、以下のような内容を要旨構成とする本発明を完成した。

すなわち、本発明は、

(1) 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路

が形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には半導体素子を載置する金属層が形成されている多層プリント配線板である。

5 また、本発明は、

(2) 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面に
10 は半導体素子を載置する金属層が形成されて、前記他の樹脂絶縁層が繊維基材を有してなる多層プリント配線板である。

上記(1)および(2)に記載された発明においては、半導体素子が收容される樹脂絶縁層上に、導体回路が形成されてなり、その導体回路はビアホールを介して、他の樹脂絶縁層上に形成された導体回路と電氣的に接続されてなることが
15 望ましい。

また、半導体素子が收容される樹脂絶縁層上に、導体回路が形成されてなり、その導体回路は金属充填ビアホールを介して、他の樹脂絶縁層上に形成された導体回路と電氣的に接続されてなることが望ましい。

また、半導体素子が收容される樹脂絶縁層の厚みは、他の樹脂絶縁層の厚みより
20 りも厚いことが望ましい。これにより、半導体素子が收容された樹脂絶縁層での熱などを起因とする反りなどが発生しにくくなる。そのために、半導体素子と接続されるビアホールとの接続性や信頼性が確保されやすくなる。

また、半導体素子とその半導体素子が收容される樹脂絶縁層の境界を越えて、前記他の樹脂絶縁層上の導体回路を延設することも可能である。それにより、半
25 導体素子と接続される導体回路が、配線の自由度が増す。また、外部接続される半田パッドと半導体素子と接続されるビアホールが離れているので、半田パッドである外部で受けた熱などによる応力の影響を受けにくくなり、接続性や信頼性が確保されることも推定される。

さらに、本発明の実施形態において、金属層に接続されるビアホールが形成されて、このビアホールを介して半導体素子で発生した熱を放熱するように構成してもよい。即ち、金属層に接続されるサーマルビアを形成して、これにより、金属層で受けた半導体素子の熱を外部に放出させることもできる。

5 また、本発明は、

(3) 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

10 前記半導体素子は、樹脂絶縁層に設けた凹部内に収容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、前記金属層は、凹部の底面の面積よりも大きな面積に形成されている多層プリント配線板である。

15 このような構成により、半導体素子の収納性が確保されやすくなる。また、基板の凹部形成の際のアライメント位置ズレに対しても許容される。そのため、樹脂絶縁層に設けた凹部の深さを均一にしやすい、その他の要因（例えば、凹部を形成時における凹凸の影響や金属層を形成した際での影響などを引き起こさない。）を受けにくくなるのである。

20 本発明においては、前記金属層は、その表面が平坦化されていることが望ましい。半導体素子と金属層との間に形成される接着剤層は、厚みを均一にすることが容易となるので、半導体素子の密着性を均等にして、ヒートサイクル条件下における信頼性試験を繰り返し行っても、その密着性が確保しやすくなるからである。

また、前記金属層は、圧延銅箔から形成されることが望ましい。圧延銅箔から形成すると、金属層の平坦性が確保されやすくなる。また、半導体素子の収納性や半導体素子の密着性を確保しやすくなるからである。

25 また、前記樹脂絶縁層の凹部の壁面は、露出されてなることが望ましい。つまり、半導体素子が収納時には、凹部の壁面が露出されているのである。これにより、半導体素子の収納性が確保される。また、凹部の壁面に、接着剤や他の樹脂絶縁層を充填させることを可能にし、半導体素子の接合性や半導体素子の電気接

続性が確保されやすくなるのである。

また、前記金属層は、レーザ処理により露出されることが望ましい。これにより、凹部の深さが均一になりやすくなる。

5 また、前記凹部内に露出されている金属層の厚みは、非露出部分の厚みよりも薄いことが望ましい。これにより、半導体素子の収納する領域に、窪みが形成されるので、半導体素子の収納性が確保されやすくなるのであると推定される。

10 また、前記凹部内に露出されている金属層の表層は、シャイニー面であることが望ましい。シャイニー面であると、金属層と半導体素子との密着性が確保しやすいなるし、半導体素子の接続性や信頼性が確保しやすくなるからである。また、半導体素子と金属層との間に形成される接着剤層の厚みを均一にすることが容易となるので、半導体素子の密着性を均等にして、ヒートサイクル条件下における信頼性試験を繰り返し行っても、その密着性が確保しやすくなる。

また、前記金属層の前記凹部内への露出表面と反対側の表面は、マット面であることが望ましい。他の樹脂絶縁層との密着性が確保されるからである。

15 また、前記金属層は、接着剤層を介して、半導体素子を接合していることが望ましい。金属層上に接着剤層を形成させているので、接着剤層が均一になりやすくなり、半導体素子の接合性が確保されやすくなる。さらに半導体素子と接続されるビアホールとの接続性や信頼性が確保されやすくなる。

20 また、前記接着剤層が、半導体素子の底面および側面の底部周縁に接触していることが望ましい。接着剤層が、半導体素子の底面および側面の底部周縁に接触していることにより、半導体素子の密着性が確保されやすくなる。

また、前記金属層は、半導体素子を収容する基板内に予め内蔵されていることが望ましい。基板内に内蔵されていることにより、他の要因による金属層の平坦性が損なわれることが少なくなる。そのため、半導体素子との密着性を確保しやすくなるからである。

25 また、該当の金属層は、基板内に予め内蔵されていて、もしくは、ほぼ平坦であることが望ましい。それにより、樹脂絶縁層に設けた凹部の深さを均一にしやすくなり、その他の要因（例えば、凹部を形成時における凹凸の影響や金属層を

形成した際での影響などを引き起こさない。)を受けにくくなるからである。

したがって、凹部に半導体素子を收容する際には、半導体素子が傾くことが抑えられるので、收容された半導体素子のパッドに接続されるビアホールを樹脂絶縁層に形成する際にも、所望のビアホール形状とすることができる。金属層が、

5 ほぼ平坦であることにより、半導体素子の表面の配置された電極パッドもほぼ平坦化されるのであり、ビアホールでの接続性が確保されやすくなる。

また、前記半導体素子を收容するための凹部の側面をテーパ形状に形成することによって、凹部内に收容された半導体素子は、側面方向の応力（例えば、熱応力や外部応力等）を受けても、その応力を緩和することができる。

10 また、半導体素子を固着させる接着剤においても、接着剤が凹部の側面に沿って、拡散することがなくなり、半導体素子の凹部底部への密着性が低下しにくくなるのである。

また、本発明では、前記半導体素子のパッド上に柱状電極または仲介層を形成することもできる。半導体素子のパッドとビアホールとの電氣的な接続を容易に行なうことができるからである。

15

半導体素子のパッドは、一般的にアルミニウムなどで製造されているが、特に、仲介層が形成されていないアルミ製などのパッドの状態では、フォトリソエッチングにより層間絶縁層にビアホールを形成させた場合には、露光、現像後にパッドの表層に樹脂が残りやすく、またそれに加えて、現像液の付着によりパッドの変色を引き起こす場合があった。

20

一方、レーザによりビアホールを形成する場合には、アルミニウム製などのパッドを焼損する危険がある。また、焼損しない条件でレーザ照射を行うと、パッド上に樹脂残りが発生する場合がある。また、後工程（例えば、酸や酸化剤あるいはエッチング液に浸漬工程、種々のアニール工程等をさす。）を経ると、半導体素子のパッドの変色や溶解が発生する場合もあった。更に、半導体素子のパッドは、直径40 μ m程度に作られ、ビアホールはそれより大きい径に作られているために、位置ずれなどが起きやすくなり、パッドとビアホールとの未接続など不具合が発生しやすくなる。

25

これに対して、半導体素子のパッド上に、銅等からなる仲介層を設けることで、ビアホール形成の不具合が解消されて、溶剤の使用が可能となるため、パッド上の樹脂残りを防ぐことができると共に、後工程を経てもパッドの変色や溶解が発生しない。これにより、パッドとビアホールとの電氣的な接続性や接続信頼性が低下しにくくなる。更に、半導体素子のダイパッドよりも大きな径の仲介層を介在させることで、パッドとビアホールとを確実に接続させることができる。

さらに、仲介層を設けることによって、半導体素子をプリント配線板に埋め込む、收容、收容する前、もしくはその後にでも半導体素子の動作確認や電気検査を容易に行なうことができる。その理由は、半導体素子のパッドよりも大きい仲介層が形成されているので、検査用プローブピンが接触し易くなるからである。それにより、予め製品の可否が判定することができ、生産性やコスト面でも向上させることができる。また、プローブによるパッドの損失や傷なども発生しにくくなる。したがって、半導体素子のパッド上に仲介層を形成することによって、半導体素子をプリント配線に埋め込み、收容、收容することが好適に行うことができる。

また、本発明は、

(4) 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、前記凹部の壁面は、露出されている多層プリント配線板である。

本発明においては、凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填されていることが望ましい。樹脂が充填されていることにより、半導体素子が安定するために、半導体素子の接続性や信頼性を確保しやすくなる。

また、凹部の壁面と半導体素子の側面とで構成される間隙に樹脂絶縁層が充填されていて、かつ、樹脂絶縁層と一体化されていることが望ましい。これにより、ビアホールを形成する樹脂絶縁層と凹部の壁面と半導体素子の側面とで構成され

る間隙に樹脂絶縁層が同一材料であることから、材料間における熱膨張係数の差などにより熱による応力が発生することを抑えられ、半導体素子が安定するために、半導体素子の接続性や信頼性を確保しやすくなる。

また、基板に設けた凹部は、その側面が底面から上方に向かうにつれて末広がりとなるようなテーパを有した形状に形成することができる。

また、半導体素子のパッド上には、柱状電極または仲介層を形成することができ、この柱状電極または仲介層を介して半導体素子のパッドとビアホールとを電氣的に接続することができる。

また、本発明は、

10 (5) 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、前記ビアホールを形成する開口には導電性物質が充填されてなる多層プリント配線板である。

本発明においては、ビアホールが所謂フィルドビアであるために、半導体素子と接続した電気特性が安定しやすくなる。そのために、接続性が安定しやすくなると推測される。さらに、ビアホールの上層に絶縁層や導体層を設けた場合には、うねり等を引き起こしにくくなり、電気接続性を確保しやすくなる。なお、導電性物質としては、めっきや、導電性ペースト等を用いることができる。

また、ビアホールが断面鼓型形状、即ち、厚さ方向に内側に凹んでいる形状であることが望ましい。これにより、樹脂絶縁層とビアホールとが嵌合されるので、ビアホールの接合性が得やすくなるとも推測される。

また、半田パッドが前記半導体素子の上方に配置されていることが望ましい。

25 半導体素子との距離が最短になりやすく、電気特性を得やすくなる。

また、前記他の樹脂絶縁層上に、1層以上の樹脂絶縁層が積層され、導体回路と接続されるビアホールが形成されることが望ましい。これにより、さらに配線を引き回すことができる。半導体素子と外部接続とも位置をずらすことができる

などの接続性や信頼性を得やすくなるとも推定される。

さらに、前記半導体素子のパッド上に柱状電極または仲介層が形成され、その柱状電極または仲介層を介して前記パッドとビアホールとが電氣的に接続されていることが望ましい。

5 また、本発明は、

(6) 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

10 前記凹部の側壁面が底面から上方に向かうにつれて末広がりとなるテーパ形状に形成されてなる多層プリント配線板である。

本発明において、凹部のテーパ形状は、側面と底面とのなす角度のうちの小さい方の角度が60度以上であり、90度未満であることが望ましい。半導体素子の側面における応力が緩和されて、半導体素子の変位を抑制することができるからである。

15 また、前記凹部の壁面は、露出されていることが望ましい。それにより、凹部の形状が安定することと、半導体素子の収容性が確保されるからである。

また、前記凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填されていることが望ましい。樹脂が充填されていることにより、半導体素子が安定するために、半導体素子の接続性や信頼性を確保しやすくなるからである。

20 さらに、前記凹部の壁面と半導体素子の側面とで構成される間隙に樹脂絶縁層が充填されていて、かつ、樹脂絶縁層と一体化されていることが望ましい。これにより、ビアホールを形成する樹脂絶縁層と凹部の壁面と半導体素子の側面とで構成される間隙に樹脂絶縁層が同一材料であることから、材料間における熱膨張係数の差などにより熱による応力が発生することを抑えられ、半導体素子が安定
25 するために、半導体素子の接続性や信頼性を確保しやすくなる。

さらに、本発明は、

(7) 半導体素子が収容、固定されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが順次形成され、前記半導体素子と導体回路との間がビアホールを介し

て電氣的に接続されてなる多層プリント配線板を製造するにあたって、

その製造工程中に、少なくとも以下の(a)～(f)の工程、即ち、

- 5 (a) 樹脂絶縁層の一面に少なくとも導体回路と、收容される半導体素子のサイズに関連する所定面積の金属層とを形成すると共に、前記樹脂絶縁層の他面に少なくとも導体回路と、前記金属層に対向する位置に半導体素子のサイズに関連する所定面積の導体回路非形成領域とを形成し、さらに前記一面の導体回路と他面の導体回路とを電氣的に接続するビアホールを形成してなる第一絶縁性樹脂基材を形成する工程、
- 10 (b) 樹脂絶縁層の一面に銅箔が貼付された第二絶縁性樹脂基材を、前記第一絶縁性樹脂基材の前記一面に圧着して一体化する工程、
- (c) 前記第二絶縁性樹脂基材の一面に導体回路を形成すると共に、その導体回路と前記第一絶縁性樹脂基材の前記一面に形成した導体回路とを電氣的に接続するビアホールを形成する工程、
- 15 (d) 前記第一絶縁性樹脂基材の導体回路非形成領域に、樹脂絶縁層表面から金属層表面に達する凹部を形成して、金属層表面を露出させる工程、
- (e) 半導体素子を前記凹部内に收容し、接着剤を用いて前記凹部内に露出した金属層表面に接着、固定させる工程、
- (f) 前記半導体素子を被覆して他の樹脂絶縁層と導体回路とを順次形成し、その後、前記半導体素子と導体回路との間を電氣的に接続するビアホールを形成する
- 20 工程、
- を含む製造方法である。

本発明にかかる製造方法において、前記凹部はレーザ照射によって形成されることが望ましい。

また、前記凹部の側面は底面から上方に向かうにつれて末広がりとなるような

25 テーパを有する形状にすることが望ましい。

また、前記半導体素子は、予めそのパッド上に柱状電極または仲介層が形成されると、その柱状電極または仲介層を介して前記パッドとビアホールとを電氣的に接続することができる。

また、本発明にかかる製造方法によれば、樹脂絶縁層に設けた凹部の底面に金属層を形成することにより、凹部の深さの均一化が容易になる。特に、凹部が断面矩形的場合には、四隅付近での凹部の深さも均一化しやすくなる。

また、該当の金属層は、予め内蔵されていて、ほぼ平坦であることが望ましい。

- 5 それにより、樹脂絶縁層に設けた凹部の深さを均一にしやすくなり、その他の要因（例えば、凹部を形成時における凹凸の影響や金属層を形成した際での影響などを引き起こさない。）を受けにくくなるのである。

- さらに、金属層は樹脂絶縁層内に形成されているので、熱応力や外部応力などの影響によって反りが生じることが少なくなる。その結果、例えば、半導体素子の
10 の接続パッドとビアホール等の導体回路との接続不良が起きにくくなるため、電気接続性や接続信頼性が確保しやすくなる。

前記金属層が、ほぼ平坦であることにより、さらに、電気接続性や接続信頼性が確保しやすくなる。

15 図面の簡単な説明

図1は、本発明にかかる半導体素子が収容、埋め込まれた多層プリント配線板を説明するための概略的断面図、

図2は、本発明にかかる半導体素子のパッド上に形成される柱状電極を有する多層プリント配線板を示す概略的断面図、

- 20 図3は、本発明にかかる半導体素子のパッド上に形成される仲介層を有する多層プリント配線板における示す概略的断面図、

図4A～4Gは、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図、

- 25 図5A～5Dは、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図、

図6A～6Dは、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図である。

図7は、本発明の実施例2-2にかかる多層プリント配線板の要部断面を示す

SEM写真である。

図8は、本発明の実施例1-1の改変例を示す概略的断面図である。

図9は、本発明の実施例1-1の他の改変例を示す概略的断面図である。

図10A~10Dは、従来技術にかかる半導体素子が収容、埋め込まれた多層
5 プリント配線板を製造する工程の一部を示す概略的断面図である。

図11は、従来技術にかかる多層プリント配線板を説明するための概略的断面
図である。

発明を実施するための最良の形態

10 本発明の多層プリント配線板の一実施形態は、半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが順次形成され、前記半導体素子と導体回路との間、および上下の導体回路間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、半導体素子は、樹脂絶縁層に設けた凹部内に収容され、その凹部の底面には半導体素子と載置する金属層が形成されてい
15 ることを特徴とする。

すなわち、半導体素子を収容する樹脂絶縁層の凹部の底部に金属層を形成することによって、凹部の深さを均一にすることが可能となり、それによって半導体素子が凹部内に傾いた状態で収容、内蔵されることがなく、半導体素子を収容する基板が樹脂製であっても、半導体素子の接続パッドと、それに接続されたビア
20 ホールを含んだ導体回路との電氣的接続性や接続信頼性を確保できる点に特徴がある。

また、該当の金属層は、基板内に予め内蔵されていて、ほぼ平坦であることが望ましい。それにより、樹脂絶縁層に設けた凹部の深さを均一にしやすくなり、その他の要因を受けにくくなる（例えば、凹部を形成時における凹凸の影響や金属層を形成した際での影響などを引き起こさない。）のである。
25

本発明の実施形態にて用いられる、半導体素子を収容する樹脂絶縁層としては、ガラス布エポキシ樹脂基材、フェノール樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布一

エポキシ樹脂基材、アラミド不織布—ポリイミド樹脂基材などから選ばれる硬質な積層基材などを用いることができる。これらには、ガラスエポキシ、プリプレグや心材が含浸されているなどの樹脂材料である繊維基材であることが望ましい。これ以外にも、一般的にプリント配線板で使用されるものを用いることができる。

- 5 例えば、両面または片面銅張積層板や、金属膜を有しない樹脂板、樹脂フィルム、あるいはそれらの複合材料も用いることができる。

前記樹脂基材は、その厚さが、 $20 \sim 350 \mu\text{m}$ の範囲が望ましい。その理由は、厚さがそのような範囲内では、層間絶縁層の絶縁性の確保が容易であると共に、層間接続を行うビアホール形成が容易であり、しかも電気接続性が低下す

10 ることが少ないからである。

本発明の実施形態において、導体回路を形成するための金属層および樹脂絶縁層に設ける凹部の底面に形成する金属層としては、銅が用いられることが望ましい。その理由は、エッチングにより加工が容易であるからである。そのため、金属層の大きさを任意に変えることができる。また、凹部の底面に形成する金属層

15 に、電気接続性を持たせた場合でも、電気的特性が優れているからである。

前記導体回路を形成するための銅箔は、その厚さが、 $5 \sim 20 \mu\text{m}$ の範囲であることが望ましい。その理由は、銅箔の厚さがそのような範囲内では、後述するようなレーザ加工を用いて、絶縁性樹脂基材にビアホール形成用の開口を形成する際に、開口周縁の銅箔が変形するおそれがないと共に、導体回路の形成が容易

20 になるからである。また、エッチングにより、微細な線幅の導体回路パターンを形成することが容易になるからである。

本発明の実施形態で用いる銅箔は、ハーフエッチング処理により、その厚みを調整したものでもよい。この場合には、樹脂絶縁層に貼付した銅箔の厚みは、前記の数値よりも大きいものを用い、エッチング後の銅箔の厚みが、 $5 \sim 20 \mu\text{m}$

25 となるように調整することが望ましい。

さらに、両面銅張積層版の場合では、銅箔厚みが前記の範囲内であるが、両面で厚みが異なってもよい。それにより、強度を確保したりして後工程を阻害しないようにすることができる。

また、前記凹部の底面に形成される金属層としての銅箔の厚さは、 $5 \sim 20 \mu\text{m}$ が望ましい。その理由は、銅箔の厚さがそのような範囲内では、キャビティ加工を行った場合に、該銅箔を貫通してしまうことが少ないので、金属層を形成させることの効果が相殺されることがない。また、エッチングでの金属層形成が容易になるからである。

前記凹部の底面に設ける金属層としては、銅以外にも、ニッケル、鉄、コバルトなどの金属を用いてもよい。また、これらの金属を含有した合金もしくは2種以上を含有した合金であってもよい。

なお、前記絶縁性樹脂基材および銅箔としては、特に、エポキシ樹脂をガラスクロスに含浸させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面もしくは両面銅張積層板を用いることが好ましい。その理由は、銅箔がエッチングされた後の取扱中に、配線パターンやビアホール

の位置がずれることがなく、位置精度に優れるからである。

本発明の実施形態において、半導体素子を收容するために樹脂絶縁層に設ける凹部は、レーザ加工、ざぐり加工、またはパンチングによって形成することができ、特に、レーザ加工によって形成されることが望ましい。

前記凹部をレーザ加工によって形成する場合は、ザグリ加工に比べて深さの均一性が得られやすく、特に、金属層までの深さの均一性に優れる。そのために、半導体素子を収納した際の傾きなどの不具合を抑えられる。また、後述するようなテーパ形状の加工を正確に行うことができる。

また、ザグリ加工によって凹部を形成する場合には、凹部の底面に形成した金属層がストッパーの役目を果たすので、凹部の深さを均一にすることができる。

前記凹部の深さは、收容される半導体素子自体の厚みおよびその半導体素子の接続パッド上に形成されることがある柱状電極あるいは仲介層の厚みに応じて決められる。そして、凹部の底部には全面がほぼ平坦な金属層が形成されるので、半導体素子と樹脂絶縁層との間に設けられる接着剤層の厚みを均一にすることが容易となる。

その結果、半導体素子と樹脂絶縁層との密着性を均一に保持することができる。

それ故に、ヒートサイクル条件下における信頼性試験を繰り返し行っても、その密着性を確保しやすくなる。

従来技術においては、樹脂絶縁層だけからなる絶縁基板に、機械加工を行うなどで、半導体素子収納用の凹部を形成させるものであり、例えば、図10A～10Dにそのようなプリント配線板の製造工程の一例が示される。図10Aに示すように、まず樹脂絶縁層からなる絶縁基板100が準備され、その後、図10Bに示すように、絶縁基板100に対して、機械加工（例えば、パンチング、ザグリ加工）を施すことによって、凹部102が形成される。図10Cおよび図10Dに示すように、凹部102の底部に接着剤層104を形成して、半導体素子106を収納する。それにより、絶縁基板100に半導体素子106を収容したプリント配線板が得られる（図11参照）。

このときに、絶縁材料としては、樹脂だけで形成されている。例えば、心材に樹脂が含浸されたものを積層した絶縁層を用いることができる。このとき、前述の機械加工を行うと、凹部が平坦になりにくいことがある。それは、機械加工において、凹部を形成させた際、深さが異なったりすることや樹脂の状況（樹脂に心材が織り込まれているので、位置によっては、心材の有無がある。）などにより、凹凸が形成される。この凹凸が、半導体素子を収容する際に、半導体素子の傾きにより電極パッドとビアホールの接続を確保し難くなることがある。

また、ビアホールを形成させる絶縁層には、心材などが含まれない樹脂を用いていることで、ビアホールの接続を確保し難くなることがある。

そのため、本発明においては、半導体素子を収容するための凹部は、その側面を底面から上方に向かうにつれて末広がりとなるようなテーパを有する形状に形成されることが望ましい。そのような形状とすることで、凹部内に収容された半導体素子は、側面方向の応力（例えば、熱応力や外部応力等）を受けても、その応力を緩和することができる。さらに、半導体素子を固着させるために半導体素子の底面に設けた接着剤が、毛管現象によって凹部の側面に沿って流動することが少なくなるので、半導体素子の凹部底部への密着性を確保し易くなる。

本発明の実施形態において、上記テーパの角度は、図1に示すように、凹部の

側面と底面とがなす外角で定義され、そのテーパの角度は、60度以上、90度未満であることが望ましく、60度～85度の範囲がより望ましい。その理由は、角度がそのような範囲内では、半導体素子の側面における応力が緩和されて、半導体素子の変位を抑制することができる。そのため、信頼性試験を行っても、ビアホール部での接続不具合が早期に起こりにくくなる。

本発明の実施形態において、半導体素子を收容する絶縁樹脂層の一実施形態としては、上述したような絶縁性樹脂基材を2枚用いる、即ち、一方の表面に半導体素子のサイズに関連したサイズの金属層が形成された第一絶縁性樹脂基材と、その第一絶縁性樹脂基材の金属層が形成された側の表面に積層される第二絶縁性樹脂基材とからなり、第一絶縁性樹脂基材の他方の表面に対して、レーザ加工により金属層に達する半導体素子收容用凹部を形成し、その凹部から金属層が露出するように形成してなる半導体收容用基板を形成する。また、露出した金属層は、予め内蔵されていて、ほぼ平坦である。

また、他の実施形態としては、一方の表面に半導体素子のサイズに関連するサイズの金属層が形成されてなる第一絶縁性樹脂と、金属層に対応する領域に予め開口が形成されてなる第二絶縁性樹脂基材とを積層して、開口の一方が塞がれた形態の凹部を形成し、その凹部から金属層が露出するように形成してなる半導体收容用基板を形成してもよい。

このような実施形態では、第一の絶縁性樹脂基材および第二の絶縁性樹脂基材の厚さは、20～250 μ mであることが望ましい。その理由は、厚さがそのような範囲内では、層間絶縁層の絶縁性の確保が容易になると共に、層間接続を行うビアホールの形成が容易となり、しかも電気接続性が確保しやすくなるからである。

また、それぞれの絶縁性樹脂基材としては、単層からなる樹脂基材を用いてもよいし、2層以上の複数層に多層化した樹脂基材を用いてもよい。

前記半導体收容基板の凹部内用に半導体素子を埋め込んで收容させた後、半導体收容用基板の片面もしくは両面に層間樹脂絶縁層を形成し、次いでその層間樹脂絶縁層に、半導体素子との電氣的接続をなすビアホールを含んだ導体回路を形

成した後、更に他の層間樹脂絶縁層と導体回路とを交互に積層することによって、本発明にかかる多層プリント配線板を製造することができる。

前記半導体収容基板の凹部内に埋め込む半導体素子としては、その接続パッド上に予め柱状電極が形成された半導体素子、あるいは接続パッドを被覆する仲介層が形成された半導体素子のいずれでも用いることができる。これらの半導体素子は、柱状電極あるいは仲介層を介して層間樹脂絶縁層に設けたビアホールに電氣的に接続されることが望ましい。

以下、(1) 柱状電極を有する半導体素子および(2) 仲介層を有する半導体素子の製造方法について説明する。

10 (1) 柱状電極を有する半導体素子の製造方法

本発明の実施形態にて用いる柱状電極を有する半導体素子とは、柱状電極あるいは再配線を有する半導体素子を意味する。

図2に示すように、ウエハ状態の半導体素子1（シリコン基板）上にアルミニウムなどからなる接続パッド2を形成し、その上面において接続パッド2の中央部を除く部分に保護膜3（パッシベーション膜）を形成したものを用意する。この状態では、接続パッド2の表面は、保護膜3に被覆されていない中央部において露出している。

次に、半導体素子1の上面全体に下地金属層4を形成する。下地金属層としては、クロム、銅、ニッケルなどを用いることができる。

20 次いで、下地金属層4の上面に液状レジストからなるメッキレジスト層を形成し、メッキレジスト層の半導体素子の接続パッドに対応する部分に開口部を形成する。

次いで、下地金属層4をメッキ電流路として電解メッキを行うことにより、メッキレジスト層の開口部内の下地金属層の上面に柱状電極5を形成する。その後、メッキレジスト層を剥離し、さらに、柱状電極5をマスクとして下地金属層の不要な部分をエッチングして除去すると、柱状電極下にのみ下地金属層4が残存される。

さらに、半導体素子1の上面側にエポキシ樹脂やポリイミド等からなる封止膜

6を形成する。この状態において、柱状電極5の上面が封止膜6によって覆われた場合には、表面を適宜に研磨することにより、柱状電極5の上面を露出させる。次に、ダイシング工程を経ると、個々の半導体チップ（柱状電極を有する半導体素子）が得られる。

5 (2) 仲介層を有する半導体素子の製造方法

本発明の実施形態にて用いられる仲介層とは、半導体素子のパッド上に設けられるビアホールとの電気的な接続を行うための介在層を意味する。

図3に示すように、内蔵する半導体素子10の全面に蒸着、スパッタリングなどを行い、全面に導電性の金属層12（第1薄膜層）を形成させる。その金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などがよい。厚みとしては、0.001～2.0 μ mの範囲内で形成させるのがよい。その理由は、厚みがそのような範囲内では、全面に均一な膜厚の金属層を形成することが容易であり、膜厚にバラツキが生じることが少ないからである。クロムの場合には0.1 μ m程度の厚みが望ましい。

上記第1薄膜層12により、接続パッド14が被覆され、仲介層20と半導体素子の接続パッド14の界面の密着性を高めることができる。また、これらの金属で半導体素子10の接続パッド14を被覆することで、界面への湿分の侵入を防ぎ、パッドの溶解、腐食を防止し、信頼性を低下させにくくすることができる。

前記第1薄膜層12の金属としては、クロム、ニッケル、チタンのいずれかの金属を用いることが望ましい。その理由は、接続パッド14と金属層12との密着性がよく、また、界面への湿分の侵入を防止させやすいからである。

前記第1薄膜層12上に、スパッタ、蒸着、または無電解めっきにより第2薄膜層17を形成させる。その金属としてはニッケル、銅、金、銀などがある。電気特性、経済性、あるいは後工程で形成される厚付け層が主として銅から形成されることから、第2薄膜層17も銅を用いて形成することが望ましい。

ここで第2薄膜層17を設ける理由は、第1薄膜層12だけでは、後述する厚付け層を形成するための電解めっき用のリードを取ることが難しいためである。第2薄膜層17は、厚付けのリードとして用いられる。

第2薄膜層17の厚みは、0.01～5.0 μ mの範囲が望ましい。その理由は、厚さがそのような範囲内では、リードとしての役割を果たすことができると共に、エッチングの際、下層の第1薄膜層がより多く削れて隙間ができてしまうことが少なく、湿分が侵入し難くなるので、信頼性が確保しやすくなるからである。

前記第2薄膜層17上に、無電解あるいは電解めっきにより厚付けさせる。形成される金属の種類としてはニッケル、銅、金、銀、亜鉛、鉄などがある。電気特性、経済性、仲介層としての強度や構造上の耐性、あるいは後工程で形成されるビルドアップ配線層の導体層は主として銅から形成されることから、電解銅め

つきにより形成することが望ましい。

厚付け電解銅めっき層18の厚みは、1～20 μ mの範囲が望ましい。その理由は、厚さがそのような範囲内では、上層のビアホールとの接続信頼性が低下することが少なく、また、エッチングの際にアンダーカットが生じることが少ないので、形成される仲介層とビアホールの界面に隙間が発生することを抑制することができる。また、場合によっては、第1薄膜層上に直接厚付けめっきしても、さらに、多層に積層してもよい。

その後、エッチングレジストを形成して、露光、現像して仲介層以外の部分の金属を露出させてエッチングを行い、半導体素子のパッド上に第1薄膜層12、第2薄膜層17、厚付け層18からなる仲介層20を形成させる。

上記仲介層の製造方法以外にも、基板の凹部内に半導体素子を内蔵した後、仲介層を形成してもよいし、半導体素子およびコア基板の上に形成した金属膜上にドライフィルムレジストを形成して仲介層に該当する部分を除去させて、電解めっきによって厚付けした後、レジストを剥離してエッチング液によって、同様に半導体素子のダイパッド上に仲介層を形成させることもできる。

次に、本発明にかかる多層プリント配線板を製造する方法の一例について、具体的に説明する。

A. 半導体素子収容用基板の作製

本発明にかかる多層プリント配線板を製造するに当たって、それを構成する半

導体素子收容用基板としては、絶縁性樹脂基材の片面もしくは両面に銅箔が貼付けられてなる第一の絶縁性樹脂基材と第二の絶縁性樹脂基材とを積層した形態のものを用いる。

- (1) 前記第一絶縁性樹脂基材は、例えば、両面銅張積層板から形成することができる。このような両面銅張積層板の一方の表面にレーザ照射を行って、第一絶縁性樹脂基材の一方の銅箔表面および樹脂絶縁層を貫通して他方の銅箔（あるいは導体回路パターン）に達するビアホール形成用開口を形成する。

前記レーザ照射は、パルス発振型炭酸ガスレーザ加工装置を用いて行われ、その加工条件は、パルスエネルギーが0.5～100mJ、パルス幅が1～100μs、パルス間隔が0.5ms以上、周波数2000～3000Hz、ショット数が1～5の範囲内であることが望ましい。

このような加工条件のもとで形成され得るビアホール形成用開口の口径は、50～250μmであることが望ましい。

なお、レーザ照射によって銅張積層板にビアホール形成用開口を形成させるには、銅箔と絶縁性樹脂基材とに同時に開口を形成するようなレーザ照射を行うダイレクトレーザ法と、ビアホール形成用開口に該当する銅箔部分をエッチングにより予め除去した後に、絶縁性樹脂基材にビーム照射を行うコンフォーマル法があり、そのどちらを用いてもよい。

- (2) 前記工程で形成された開口内に残留する樹脂残滓を除去するために、デスミア処理を行うことが望ましい。

このデスミア処理は、酸あるいは酸化剤（例えば、クロム酸、過マンガン酸）の薬液処理等の湿式処理や、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等の乾式処理によって行われる。

これらのデスミア処理を選択する方法は、絶縁性樹脂基材の種類や、厚み、ビアホールの開口径、レーザ条件等により残留が予想されるスミア量に応じて選ばれる。

- (3) 前記デスミア処理した基板の銅箔面に対して、銅箔をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを完全に充填して、フィル

ドビアが形成される。

なお、場合によっては電解銅めっき処理の後、基板のビアホール開口の上部に盛り上がった電解銅めっきを、ベルトサンダー研磨、パフ研磨、エッチング等によって除去して平坦化してもよい。

- 5 (4) 前記第一の絶縁性樹脂基材の両面にレジスト層を形成し、露光・現像工程を経て、レジスト非形成部分に対して、塩化第二銅などからなるエッチング液により、エッチング処理を行う。その後、レジストを剥離することにより、第一の絶縁性樹脂基材の一方の表面には、ビアホールランドを含んだ導体回路、位置
10 合わせ用の位置決めマーク等が形成され、他方の表面には、半導体素子に関連したサイズを有する金属層、ビアホールランドを含んだ導体回路、位置合わせ用の位置決めマーク等が形成される。

(5) 前記第一の絶縁性樹脂基材の金属層が形成された側の表面に第二の絶縁性樹脂基材を積層する。

- 15 例えば、接着剤層であるプリプレグに銅箔を重ね合わせたものから第二の絶縁性樹脂基材を形成し、それを第一の絶縁性樹脂基材の片面に熱圧着により積層してなる積層体を形成する。

- (6) 前記積層体を構成する第一絶縁性樹脂基材の金属層を設けた面に、前記(1)と同様にレーザ照射を行って、第二絶縁性樹脂基材の銅箔表面を貫通すると共に樹脂層を通過して、第一絶縁性樹脂基材に形成したビアホールランドを含んだ導
20 体回路に達するビアホール形成用の開口を形成する。

このビアホール形成用開口の加工条件は、パルスエネルギーが0.5～100 mJ、パルス幅が1～100 μ s、パルス間隔が0.5 ms以上、周波数2000～3000 Hz、ショット数が1～10の範囲内であることが望ましい。

- 25 また、前記加工条件のもとで形成され得るビアホール形成用開口の口径は、50～150 μ mであることが望ましい。開口径がそのような範囲では、層間接続性の確保と配線の高密度化が得られやすいからである

(7) 前記(6)の工程で形成されたビアホール形成用開口内に残留する樹脂残滓を除去するために、前記(2)と同様にデスミア処理を行う。

(8) 次に、前記第一絶縁性樹脂基材の表面を保護フィルムにより被覆した状態で、前記デスミア処理した基板の銅箔面に対して、その銅箔をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを完全に充填し、フィルドビアを形成する。

- 5 なお、場合によっては電解銅めっき処理の後、基板のビアホール形成用開口の上部に盛り上がった電解銅めっきを、ベルトサンダー研磨、パフ研磨、エッチング等によって除去して平坦化してもよい。

また、無電解めっきを経て、電解めっきを形成してもよい。この場合には、無電解めっき膜は、銅、ニッケル、銀等の金属を用いてもよい。

- 10 (9)、前記電解銅めっき膜上に、レジスト層を形成する。レジスト層は、塗布でも予めフィルム状にしたものを貼り付けるいずれの方法でもよい。このレジスト上に予め回路が描画されたマスクを載置して、露光、現像処理してエッチングレジスト層を形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアホールランドを含んだ導体回路を形成し、その後、前記(8)の工程で貼付
15 した保護フィルムを剥離させる。

このエッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

- 前記銅箔をエッチングして導体回路を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さ
20 を調整してもよい。

前記導体回路の一部としてのビアホールランドは、その内径がビアホール口径とほぼ同様であるか、その外径をビアホール径よりも大きく形成し、ランド径を75～350 μ mの範囲に形成することが好ましい。

- (10) 次いで、第一絶縁性樹脂基材の金属層を設けた面と反対側の表面領域(半
25 導体素子收容領域)に、例えば、レーザ加工によって樹脂層を貫通して金属層表面に達する開口を形成し、その開口から金属層表面が露出するような凹部を形成して、半導体素子收容用基板とする。必要に応じて、レジスト形成工程、エッチング処理工程を経て、金属層が露出されるような凹部を形成することもできる。

例えば、前記第一絶縁性樹脂基材と第二絶縁性樹脂基材との積層体に、パルス発振型炭酸ガスレーザ加工装置を用いたレーザ照射によって、第一絶縁性樹脂基材の表面から樹脂層を貫通して金属層表面に達する開口を形成して半導体素子を収容または内蔵させる凹部を形成する。

- 5 前記半導体素子を収容する凹部の加工条件は、パルスエネルギーが0.5～100mJ、パルス幅が1～100μs、パルス間隔が0.5ms以上、周波数2000～3000Hz、ショット数が1～10の範囲内であることが望ましい。

このようなレーザ加工により、半導体素子を内蔵させる凹部が形成され、該凹部の底面には、金属層（この場合は、銅箔を指す。）が露出される。このとき、金属層はシャイニー面となっている。また、金属層は、ほぼ平坦になっている。

10 また、必要に応じて、金属層の表面を、例えば、黒化处理等である程度荒らしてもよい。それにより、接着剤層との密着性を確保してもよい。

B. 半導体素子の収容、埋め込み

- (11) 前記A.の(1)～(10)の工程により得られた半導体素子収容用
- 15 基板に、半導体素子を埋め込む。

この埋め込まれる半導体素子としては、前述したように、接続パッド上に予め柱状電極が形成された半導体素子、あるいは接続パッドを被覆する仲介層が形成された半導体素子のいずれをも用いることができるが、ここでは後者を用いる場合について説明する。

- 20 この仲介層は、半導体素子のパッドとプリント配線板のビアホールを含む導体回路とを直接的に接続させるために設けられた仲介層であり、ダイパッド上に、薄膜層を設け、その薄膜層上にさらに厚付け層を設けることによって形成され、少なくとも2層以上の金属層で形成することが好ましい。

また、この仲介層は、半導体素子のダイパッドよりも大きなサイズに形成されることが好ましい。そのようなサイズにすることによって、ダイパッドとの位置合わせが容易となり、その結果、ダイパッドとの電氣的接続性が向上すると共に、ダイパッドにダメージを与えることなくレーザ照射やフォトリソによるビアホール加工が可能となる。そのため、半導体素子のプリント配線板への埋め込

25

み、收容、收容や電氣的な接続を確実に行うことができる。

また、仲介層上には、直接、プリント配線板の導体回路をなす金属層を形成することが可能となる。

また、仲介層は、前述したような製造方法以外にも、半導体素子の接続パッド側の全表面または半導体素子を埋め込んだ半導体素子收容用基板上に形成した金属膜上に、ドライフィルムからなるレジストを形成し、仲介層に該当する部分を除去させた後、電解めっきによって厚付けし、その後、レジストを剥離してエッチング液によって、同様に半導体素子の接続パッド上に仲介層を形成させることもできる。

- 10 (12) 半導体素子を收容、内蔵した基板上に、絶縁樹脂層を設けた後、前記A.の(1)～(4)と同様の処理を行うことにより、内蔵された半導体素子の接続パッド上に形成した仲介層に電氣的に接続されるビアホール、半導体素子收容用基板に形成されたビアホールを含む導体回路に電氣的に接続されるビアホール、および外側の導体回路を形成することができる。このとき、基板上の導体回路及
- 15 び金属層には、マット処理を行なってもよい。このマット処理には、エッチングによる加工、めっきによる加工、酸化還元処理、黒化処理などの金属層に荒らして、マット面を形成させる技術を用いることができる。

- さらに、絶縁樹脂層と銅箔を積層させ、前記A.の(1)～(4)と同様の処理を繰り返し行うことにより、更に多層化したプリント配線板を得ることができる。
- 20

前述の方法は、絶縁樹脂層の積層を逐次積層することにより絶縁樹脂層の多層化を行ったが、必要に応じて、絶縁樹脂層が1単位の回路基板を2層以上に積層し、一括で加熱圧着することによって、絶縁樹脂層の多層化を行うような多層プリント配線板としてもよい。

- 25 (13) 次に、最も外側の回路基板の表面に溶剤レジスト層をそれぞれ形成する。この場合、回路基板の外表面全体に溶剤レジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、半田パッドの開口部を描画したフォトリソグフィルムを載置して露光、現像処理することにより、導体回路のビアホール直

上に位置する導電性パッド部分を露出させた半田パッド開口をそれぞれ形成する。この場合、ソルダーレジスト層をドライフィルム化したものを貼り付けて、露光・現像もしくはレーザ加工により開口を形成させてもよい。

前記マスク層の非形成部から露出した半田パッド上に、ニッケル-金などの耐食層を形成する。このとき、ニッケル層の厚みは、1～7 μm が望ましく、金層の厚みは0.01～0.1 μm が望ましい。

これ以外にも、ニッケル-パラジウム-金、金（単層）、銀（単層）等を形成してもよい。耐食層を形成した後に、マスク層を剥離する。これにより、耐食層を形成された半田パッドと耐食層が形成されていない半田パッドとが混在するプリント配線板となる。

(14) 前記(13)の工程で得られたソルダーレジストの開口からビアホール直上に露出した半田パッド部分に、半田体を供給し、この半田体の溶融・固化によって半田層が形成された多層プリント配線板が形成される。あるいは半田バンプや導電性ボールまたは導電性ピンを導電性接着剤もしくは半田層を用いてパッド部に接合してもよい。

ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これを加熱して転写する方法である。

一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク（メタルマスク）を基板に載置し、半田ペーストを印刷して加熱処理する方法である。このような半田層を形成する半田としては、Sn/Ag半田、Sn/In半田、Sn/Zn半田、Sn/Bi半田などが使用できる。

(実施例1-1)

(1) 基材の準備

まず、半導体素子收容用基板を構成するプリント基板を製作する。このプリン

ト基板は、第一絶縁性基材 30 と第二絶縁性基材 40 からなり、それらの基材を積層して形成する。プリント基板の材質の一例としては、エポキシ系樹脂をガラスクロスに含漬させて B ステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる両面銅張積層板を出発材料として用いる。

- 5 前記第一絶縁性基材 30 として、厚みが $100\ \mu\text{m}$ の樹脂絶縁層 32 の両面に、厚みが $15\ \mu\text{m}$ の銅箔 34 を貼付してなる両面銅張積層板を用いる。この積層板の銅箔 32 が $15\ \mu\text{m}$ よりも厚いものを用いて、エッチング処理により、銅箔の厚みを $15\ \mu\text{m}$ に調整してもよい（図 4 A 参照）。

- 10 また、第一絶縁基材の第二絶縁性基材と接触する面上に、レジスト、エッチング処理を経て、半導体素子内臓の凹部の底面の金属層と導体回路等が形成されている。必要に応じて、レーザ穴明けの位置合わせ用の位置決めマーク等を形成してもよい。

（2）ビアホール形成用開口の形成

- 15 前記第一絶縁性基材 30 の一方の銅箔表面に、炭酸ガスレーザ照射を行って、銅箔 34 および樹脂絶縁層 32 を貫通して他方の銅箔表面に達するビアホール形成用開口 36 を形成する（図 4 B 参照）。さらにその開口内を過マンガン酸の薬液処理によってデスミア処理する。

- 20 この実施例においては、ビアホール形成用の開口 36 の形成には、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用し、基材厚 $60\ \mu\text{m}$ のガラス布エポキシ樹脂基材に、銅箔にダイレクトに、以下のような照射条件で、レーザビームを照射して 100 穴/秒のスピードで、直径 $75\ \mu\text{m}$ のビアホール形成用の開口を形成する。

（照射条件）

- パルスエネルギー： $75\ \text{mJ}$
25 パルス幅： $80\ \mu\text{s}$
パルス間隔： $0.7\ \text{ms}$
周波数： $2000\ \text{Hz}$

（3）電解銅めっき膜の形成

デスミア処理を終えた第一絶縁性基材 30 のビアホール形成用開口 36 を設けた銅箔面に、以下のようなめっき条件で、銅箔をめっきリードとする電解銅めっき処理を施す。

〔電解めっき液〕

5	硫酸	2.24 mol/l
	硫酸銅	0.26 mol/l
	添加剤 A (反応促進剤)	11.0 ml/l
	添加剤 B (反応抑制剤)	10.0 ml/l

〔電解めっき条件〕

10	電流密度	1 A/dm ²
	時間	65 分
	温度	22 ± 2 °C

このようなめっき処理によって、添加剤 A により開口内の電解銅めっき膜 38 の形成が促進され、逆に添加剤 B により主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤 B が付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、開口から露出した電解銅めっき 38 と銅箔 34 とがほぼ平坦に形成される(図 4 C 参照)。

20 また、銅箔 34、電解めっき膜 38 からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

(4) 導体回路、フィルドビアおよび金属層の形成

前記(3)の工程を経た第一絶縁性基材 30 の銅箔 34 および銅めっき膜 38 上に、感光性ドライフィルムを用いてエッチングレジスト層(図示を省略)を形成する。即ち、第一絶縁性基材 30 の両面の銅箔面にエッチングレジスト層を形成する。そのレジスト層の厚みは、15 ~ 20 μm の範囲であり、フィルドビアのランドを含む導体回路および半導体素子のサイズに関連したサイズの金属層が

描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成する。

次いで、レジスト非形成部に、過酸化水素水／硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

- 5 その後、レジストをアルカリ液により剥離することによって、フィルドビア 39 のランドを含む導体回路 41 および半導体素子を接触させる金属層 42 が形成される。必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することができる。

- 10 これによって、第一絶縁性基材 30 の表面と裏面に導体回路 41 が形成されると共に、これらの導体回路 41 を電氣的に接続するフィルドビア 39 が形成され、さらに、半導体素子を載置する金属層 42 が形成されてなる回路基板が得られる。

なお、この回路基板に形成される金属層 42 は、図 1 に示すように、第一絶縁性基材の裏面に形成され、半導体素子を収容する凹部を形成する領域に相当する回路基板表面の銅箔部分はエッチングにより除去される（図 4 D 参照）。

- 15 （５）第一絶縁性基材と第二絶縁性基材との積層

前記第一絶縁性基材 30 に積層される第二絶縁性基材 40 としては、厚みが $60\ \mu\text{m}$ の樹脂絶縁層 43 の片面に、厚みが $15\ \mu\text{m}$ の銅箔 44 が貼付されてなる片面銅張積層板を用いる。

- 20 このような第二絶縁性基材 40 は、銅箔が形成されていない側の表面が第一絶縁性基材 30 の金属層 42 が形成された表面に接触した状態で積層される（金属層 42 は、半導体素子を載置する金属層となる）。第一絶縁性基材 30 と第二絶縁性基材 40 の積層は、以下のような条件で両者を熱圧着することにより行われる（図 4 E 参照）。このとき、導体層 41 および金属層 42 には、マット面を形成する処理（例えば、エッチング処理による粗面形成等）を行なってもよい。

- 25 （圧着条件）

温度： 180°C

プレス圧力： $150\ \text{kgf}/\text{cm}^2$

圧着時間： 15 分

なお、この実施形態では、第一絶縁性基材 30 および第二絶縁性基材 40 を単層で形成させるが、2 層以上の複数層で形成してもよい。

(6) ビアホール形成用開口の形成

前記第二絶縁性基材 40 の銅箔形成面に対して、炭酸ガスレーザ照射を行って、
5 銅箔 44 を貫通すると共に、樹脂絶縁層 43 を通過して、前記第一絶縁性基材 30 に設けたフィルドビア 39 のビアランドを含む導体回路 41 表面に達するビアホール形成用開口 46 を形成する (図 4 F 参照)。さらに、それら開口内を過マンガン酸の薬液処理によってデスミア処理する。

この実施例において、第二絶縁性基材 40 にビアホール形成用の開口 46 を形
10 成するには、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用する。第二絶縁性基材 40 の基材厚 60 μm のガラス布エポキシ樹脂基材 43 に貼付された銅箔 44 にダイレクトに、以下のような照射条件で、レーザビームを照射して 100 穴/秒のスピードで、直径 75 μm のビアホール形成用の開口 46 を形成する。

15 (照射条件)

パルスエネルギー：	75 mJ
パルス幅：	80 μs
パルス間隔：	0.7 ms
周波数：	2000 Hz

20 (7) 電解銅めっき膜の形成

前記第一絶縁性基材 30 の表面を保護フィルム 48 を貼付して被覆した後、開口内のデスミア処理を終えた第二絶縁性基材 40 の銅箔面に、以下のようなめっき条件で、銅箔をめっきリードとする電解銅めっき処理を施す。

[電解めっき液]

25 硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤 A (反応促進剤)	11.0 ml/l
添加剤 B (反応抑制剤)	10.0 ml/l

〔電解めっき条件〕

電流密度	1 A / dm ²
時間	6 5 分
温度	2 2 ± 2 °C

- 5 このようなめっき処理においては、添加剤Aにより開口内の電解銅めっき膜の形成が促進され、逆に添加剤Bにより主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤Bが付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、
- 10 開口から露出した電解銅めっきと銅箔とがほぼ平坦に形成する。

また、銅箔、電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

(8) 導体回路およびフィルドビアの形成

- 15 前記(7)工程を経た第二絶縁性基材40の銅箔44および銅めっき上に、感光性ドライフィルムを用いてエッチングレジスト層(図示を省略)を形成した。このレジスト層の厚みは、15~20 μmの範囲であり、フィルドビアのランドを含む導体回路が描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成する。

- 20 次いで、レジスト非形成部に、過酸化水素水/硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

- その後、レジストをアルカリ液により剥離し、さらに、前記(7)の工程にて第一絶縁性基材30の表面に貼付した保護フィルム48を剥離させることによって、第二絶縁性基材40の片面に導体回路50が形成されると共に、これらの導
- 25 体回路を第一絶縁性基材30に設けたフィルドビア39のランド41に電氣的に接続するフィルドビア52が形成される(図4G参照)。必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することもできる。

(9) 半導体素子収容用凹部の形成

前記（４）の工程で、エッチングによって銅箔部分が除去されている樹脂部分に炭酸ガスレーザ照射を行って、樹脂層を貫通して金属層表面に達する開口を形成する。その開口内に金属層が露出するようにして、その開口の側面と金属層表面（底面）によって半導体素子５５を内蔵するための凹部５４が形成される（図５
5 A参照）。

この実施例において、第一絶縁性基材３０に半導体素子收容用の凹部５４を形成するには、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用する。第一絶縁性基材表面の銅箔が除去された領域に対して、基材厚６０μmのガラス布エポキシ樹脂基材に、以下のような照射条件でレーザビームを照射し
10 て、收容すべき半導体素子のサイズよりも僅かに大きなサイズで、深さが１００μmであるような半導体素子收容用の凹部５４を形成する。

（照射条件）

パルスエネルギー： １００mJ

パルス幅： ９０μs

15 パルス間隔： ０．７ms

周波数： ２０００Hz

なお、レーザ加工により形成された半導体素子收容用の凹部５４は、その底面に金属層４２が露出された状態となり、凹部５４の深さはほぼ均一であり、四隅の形状も円弧状になっていなかった。このとき、金属層の半導体素子を載置する
20 面は、シャイニー面となっている。しかしながら、必要に応じて、例えば、黒化処理等により金属層の表面をある程度荒らして、接着剤層との密着性を確保してもよい。また、前記凹部の面積は、金属層の面積よりも小さくなっている。このために、凹部の深さの均一性が確保されやすくなっている。

（１０）柱状電極を有する半導体素子の收容

25 前記（１）～（９）の工程に従って作製された半導体素子收容用基板の凹部５４に收容、内蔵させる半導体素子５５としては、以下の（a）～（d）の工程により作製した柱状電極を有する半導体素子を用いる。

（a）シリコン基板の準備

ウエハ状態のシリコン基板（半導体基板）上に接続パッドが形成され、その上面において接続パッドの中央部を除く部分に保護膜（パッシベーション膜）が形成され、接続パッドの中央部が保護膜に形成された開口部を介して露出されたものを用意する。

5 (b) 下地金属層の形成

シリコン基板の上面全体に、スパッタリングにより、厚みが $2\text{ }\mu\text{m}$ の銅からなる下地金属層を形成する。

(c) 柱状電極の形成

次に、下地金属層の上面にアクリル系樹脂等の感光性樹脂からなるドライフィルムレジストをラミネートして、厚みが $110\text{ }\mu\text{m}$ のメッキレジスト層を形成する。形成すべき柱状電極の高さを $100\text{ }\mu\text{m}$ 程度に設定する。

次いで、メッキレジスト層のパッドに対応する部分に開口を描画したマスクを用いて、露光、現像を経て、レジストに開口部が形成する。

さらに、下地金属層をメッキ電流路として電解銅めっきを行うことにより、メッキレジスト層の開口部内の下地銅層の上面に銅からなる柱状電極を形成する。

最後に、メッキレジスト層を剥離し、柱状電極をマスクとして下地金属層の不要な部分をエッチングして除去すると、柱状電極下にのみ下地金属層が残存される。

(d) 封止膜の形成

20 前記(c)で得られたシリコン基板の上面側にエポキシ樹脂やポリイミド等からなる絶縁樹脂である封止膜を形成する。この状態において、柱状電極の上面が封止膜によって覆われた場合には、表面を適宜に研磨することにより、柱状電極の上面を露出させる。

次に、ダイシング工程により、個々の半導体チップ（半導体装置）が得られる。

25 このとき、柱状電極を有する半導体素子の厚みは $100\text{ }\mu\text{m}$ に形成する。

前記(a)～(d)の工程によって作製した半導体素子55の下面側に、熱硬化型の接着剤、その一例として、エポキシ樹脂の一部をアクリル化した熱硬化型樹脂からなる接着剤を施して、厚みが $30\sim50\text{ }\mu\text{m}$ の接着剤層56を形成する。

その後、半導体素子收容用基板の凹部 5 4 に收容した後、100～200度の間で熱処理を行い、接着剤層 5 6 を硬化させた。これにより、半導体素子 5 5 が内蔵された基板 6 0 が得られる（図 5 B 参照）。

このとき、半導体素子の柱状電極 5 8 の先端と基板の上面とはほぼ同一面上となる。即ち、半導体素子 5 5 には傾きはなく、電極パッドもほぼ平坦となる。

（1 1）積層工程

前記（1 0）で得られた基板 6 0 上にプリプレグなどの接着材層 6 2 を挟み、この上に厚みが 60 μm の樹脂絶縁層 6 4 の片面に、厚みが 15 μm の銅箔 6 6 が貼付されてなる片面銅張積層板を積層し（図 5 C 参照）、以下のような条件で、
10 矢印方向に加熱プレスを行って多層化する（図 5 D 参照）。

（プレス条件）

温度： 190℃

圧力： 3.0 kgf / cm^2

プレス時間： 35 分

15 （1 2）ビアホール形成用開口の形成

前記（6）の工程と同様にして、銅箔 6 6 を貫通すると共に、樹脂絶縁層 6 4 を通過して、半導体素子收容用基板をなす第一絶縁性基材に形成されたビアランドを含む導体回路 4 1、および半導体素子上のパッド上に設けた柱状電極 5 8 にそれぞれ達するビアホール形成用開口 7 0、7 2 を形成する（図 6 A 参照）。この
20 際のレーザ照射条件は、前記（6）の工程と同じである。さらに、それら開口内を過マンガン酸の薬液処理によってデスミア処理する。

（1 3）電解銅めっき膜の形成

開口内のデスミア処理を終えた銅箔面に、以下のようなめっき条件で、銅箔をめっきリードとする電解銅めっき処理を施す。

25 〔電解めっき液〕

硫酸 2.24 mol / l

硫酸銅 0.26 mol / l

添加剤 A（反応促進剤） 10.0 ml / l

添加剤 B（反応抑制剤） 10.0 ml / l

〔電解めっき条件〕

電流密度 1 A / dm²

時間 65 分

5 温度 22 ± 2 °C

このようなめっき処理においては、添加剤 A により開口内の電解銅めっき膜の形成が促進され、逆に添加剤 B により主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤 B が付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、開口から露出した電解銅めっきと銅箔とがほぼ平坦に形成される。

また、銅箔、電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

15 これにより、開口内に電解銅めっきを完全に充填して、導体回路を接続されるビアホールと半導体素子のホストと接続されるビアホールが形成される。

（14）導体回路の形成

前記（13）の工程を経た銅箔および銅めっき上に、感光性ドライフィルムを用いてエッチングレジスト層を形成する。このレジスト層の厚みは、15 ~ 20 μm の範囲であり、フィルドビアのランドを含む導体回路が描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成する。

次いで、レジスト非形成部に、過酸化水素水／硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

その後、レジストをアルカリ液により剥離することによって、半導体素子収容用基板を被覆して設けた樹脂絶縁層 64 上に導体回路 74 が形成されると共に、半導体素子 55 を内蔵した基板 60 に設けたフィルドビアのランド 41 に前記導体回路 74 を電氣的に接続するフィルドビア 76 や、半導体素子 55 のパッド上に設けた柱状電極 58 に電氣的に接続されるフィルドビア 78 がそれぞれ形成さ

れる。なお、必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することもできる。

さらに、必要に応じて、前記（１１）～（１４）の工程を繰り返すことによって、より多層化したプリント配線板を得ることができる。

- 5 なお、このような積層化において、ビアホールの向きが同一方向になるように積層してもよいし、逆方向となるように積層してもよい。また、これら以外の組み合わせにより多層化をしてもよい。

（１５）ソルダーレジスト層の形成

- 10 前記（１）～（１４）の工程により得られた多層化基板の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層８０を形成する。フィルム化されたソルダーレジストを貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することにより基板上に、ソルダーレジスト層８０を２０～３０μmの厚さで形成する。

- 15 次に、７０℃で２０分間、１００℃で３０分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン（マスクパターン）が描画された厚さ５mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて１０００mJ/cm²の紫外線で露光し、DMTG 現像処理する。さらに、１２０℃で１時間、１５０℃で３時間の条件で加熱処理し、パッド部分に対応した開口８２を有する（開口径２００μm）ソルダーレジスト層
20 ８０（厚み２０μm）を形成する。

なお、多層化基板の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層を形成する前に、必要に応じて、粗化層を設けることもできる。

- 25 この場合には、ソルダーレジスト層上に感光性樹脂からなるドライフィルム状となったマスク層を形成する。フィルム化されたマスク層を貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することによりソルダーレジスト層上に、マスク層を１０～２０μmの厚さで形成する。

次に、８０℃で３０分間の乾燥処理を行った後、クロム層によってマスク層の形成パターン（マスクパターン）が描画された厚さ５mmのソーダライムガラ

ス基板を、クロム層が形成された側をソルダーレジスト層に密着させて800 mJ/cm²の紫外線で露光し、DMTG 現像処理する。さらに、120℃で1時間の条件で加熱処理して、ソルダーレジスト層を（厚み20 μm程度）を形成する。

（16）耐食層の形成

- 5 次に、ソルダーレジスト層80を形成した基板を、塩化ニッケル30 g/l、次亜リン酸ナトリウム10 g/l、クエン酸ナトリウム10 g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ5 μmのニッケルめっき層を形成する。

- 10 さらに、その基板を、シアン化金カリウム2 g/l、塩化アンモニウム75 g/l、クエン酸ナトリウム50 g/l、次亜リン酸ナトリウム10 g/lからなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層上に厚さ0.03 μm程度の金めっき層を形成し、ニッケルめっき層と金めっき層とからなる被覆金属層（図示を省略）を形成する。

（17）半田層の形成

- 15 そして、最上層の多層回路基板を覆うソルダーレジスト層80の開口82から露出する半田パッドに対して、融点が183℃のSn/Pb半田もしくはSn/Ag/Cuからなる半田ペーストを印刷し、183℃でリフローすることにより、半田層84を形成する。

（実施例1-2）

- 20 以下の(a)~(c)の工程で作製した、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例1-1と同様の処理を行って、多層プリント配線板を製造した。

- 25 (a) 接続パッドおよび配線パターンの上に保護膜が形成された半導体素子上にスパッタリングによって、全面に亘って、厚みが0.1 μmのクロム薄膜と、その上に厚みが0.5 μmの銅薄膜層の2層を真空チャンバー内で連続して形成させる。

(b) その後、ドライフィルムを用いたレジスト層を薄膜層上に形成させる。仲介層を形成する部分が描画されたマスクを該レジスト層上に、載置して、露光、現

像を経て、レジスト非形成部を形成させる。電解銅めっきを施してレジスト非形成部に、厚みが $10\mu\text{m}$ 程度の厚付け層（電解銅めっき膜）を設ける。

(c) メッキレジストをアルカリ溶液等で除去した後、メッキレジスト下の金属膜をエッチング液によって除去することで、半導体素子のパッド上に仲介層を形成する。

これにより、縦 5mm ×横 5mm 、厚さが $100\mu\text{m}$ である半導体素子が得られた。

（実施例 2－1）

前記 A. の（6）の工程において、半導体素子收容用の凹部の側面に 85° のテーパを形成した以外は、実施例 1－1 と同様の処理を行って、多層プリント配線板を製造した。

（実施例 2－2）

前記 A. の（6）の工程において、半導体素子收容用の凹部の側面に 75° のテーパを形成した以外は、実施例 1－1 と同様の処理を行って、多層プリント配線板を製造した。

この際、凹部に收容した半導体素子を被覆するプリプレグを含んだ樹脂絶縁層の一部が、半導体素子の側面と凹部の壁部との間の隙間に充填されて、その樹脂絶縁層が半導体素子を凹部底面に固定する接着剤層と一体化されている。

図 7 は、このような多層プリント配線板の要部断面を示す SEM 写真の一例であり、凹部に收容される半導体素子はダミー素子が用いられている。

（実施例 2－3）

前記 A. の（6）の工程において、半導体素子收容用の凹部の側面に 60° のテーパを形成した以外は、実施例 1－1 と同様の処理を行って、多層プリント配線板を製造した。

25 （実施例 2－4）

前記 A. の（6）の工程において、半導体素子收容用の凹部の側面に 85° のテーパを形成し、その凹部に收容する半導体素子として、仲介層を有する半導体素子を用いた以外は、実施例 1－1 と同様の処理を行って、多層プリント配線板

を製造した。

(実施例 2-5)

前記 A. の (6) の工程において、半導体素子收容用の凹部の側面に 75 度の
テーパを形成し、その凹部に收容する半導体素子として、仲介層を有する半導体
5 素子を用いた以外は、実施例 1-1 と同様の処理を行って、多層プリント配線板
を製造した。

(実施例 2-6)

前記 A. の (6) の工程において、半導体素子收容用の凹部の側面に 60 度の
テーパを形成し、その凹部に收容する半導体素子として、仲介層を有する半導体
10 素子を用いた以外は、実施例 1-1 と同様の処理を行って、多層プリント配線板
を製造した。

(実施例 3)

前記半導体收容用基板として、一方の表面に半導体素子のサイズに関連するサ
イズの金属層が形成されてなる第一絶縁性樹脂と、金属層に対応する領域に予め
15 開口が形成されてなる第二絶縁性樹脂基材とを積層して、開口の一方が塞がれた
形態の凹部を形成し、その凹部から金属層が露出するように形成した基板を用い
た以外は、実施例 1-1 と同様の処理を行って、多層プリント配線板を製造した。

(参考例 1-1)

前記 A. の (6) の工程において、半導体素子收容用の凹部の側面に 55 度の
20 テーパを形成した以外は、実施例 1-1 と同様の処理を行って、多層プリント配
線板を製造した。

(参考例 1-2)

前記 A. の (6) の工程において、半導体素子收容用の凹部の側面に 55 度の
テーパを形成し、その凹部に收容する半導体素子として、仲介層を有する半導体
25 素子を用いた以外は、実施例 1-1 と同様の処理を行って、多層プリント配線板
を製造した。

(比較例 1-1)

第一絶縁性樹脂基材に金属層を形成しないこと、および第一絶縁性樹脂基材

に設ける凹部をザグリ加工によって形成し、その凹部の底面が第二絶縁性樹脂基材に達しないような形態にすること以外は、実施例 1-1 と同様にして、多層プリント配線板を製造した。

(比較例 1-2)

- 5 第一絶縁性樹脂基材に金属層を形成しないこと、および第一絶縁性樹脂基材に設ける凹部をザグリ加工によって形成し、その凹部の底面が第二絶縁性樹脂基材に達しないような形態にすること以外は、実施例 1-2 と同様にして、多層プリント配線板を製造した。

- 10 上記各実施例、参考例および比較例にしたがって作製した半導体素子收容用基板の凹部に、半導体素子として厚み $250\mu\text{m}$ のダミー半導体素子(シリコン製)を埋め込み、実施例 1-1 で用いられた接着剤を用いて凹部の底部に固定してなる基板に対して項目 A の評価試験を行い、さらに、上記各実施例および比較例にしたがって作製し製造された多層プリント配線板に対して項目 B および C の評価試験を行った。各評価試験の結果は、表 1 に示す。

15

A. 引っ張り強度試験

- 半導体素子收容用基板の凹部にダミーの半導体素子を埋め込み、接着剤により固定した状態で、取手の付いた 4mm 口の金属片を瞬間接着剤(例えば、商品名「アロンアルファ」)を用いて、ダミーの半導体素子の上面中央部に接着、固定し、
20 その取手に、バネ秤の先端を入れて、鉛直方向にバネを引っ張り、ダミー半導体素子が剥れたときの力を測定した。

B. 抵抗測定試験

- 多層プリント配線板に埋め込まれた半導体素子に接続される導体回路の導通の有無を 10ヶ所で測定し、その導通された個所数を比較した。
25

C. 信頼性試験

130℃/3分⇔-55℃/3分を1サイクルとするヒートサイクル試験を2

000サイクルまで行い、1000サイクル以降200サイクル毎に、試験終了後、2時間放置させた後に、導通試験を行い、抵抗変化率が20%を越えた回路の有無を測定し、20%を越えたサイクル数を比較した。

(表1)

	金属層	凹部テーパ 角度(度)	引張試験 (Kgf)	導通試験 (個所)	信頼性試験 (サイクル数)
実施例1-1	あり	90	4.2	9	1800
実施例1-2	あり	90	4.1	10	1800
実施例2-1	あり	85	4.9	10	1800
実施例2-2	あり	85	4.3	10	2000
実施例2-3	あり	75	4.2	10	1800
実施例2-4	あり	75	4.7	9	2000
実施例2-5	あり	60	4.5	10	2000
実施例2-6	あり	60	4.3	10	2000
参考例1-1	あり	55	4.0	9	1600
参考例1-2	あり	55	4.1	10	1800
比較例1-1	なし	—	2.3	3	1000
比較例1-2	なし	—	2.0	4	1000

5

以上の試験結果から、半導体素子を収容する凹部を樹脂絶縁層内に形成すると共に、凹部の底部に半導体素子に接触する金属層を形成した各実施例にかかる多層プリント配線板が、凹部の底部に半導体素子に接触する金属層を形成していない比較例にかかる多層プリント配線板よりも、密着性、電氣的接続性、接続信頼性および耐ヒートサイクル性の点で格段に優れていることが確認された。

10

また、凹部の側面にテーパ角を付与した場合には、収容された半導体素子は、側面方向の熱応力や外部応力等を受けても、その応力を緩和することができるので、耐ヒートサイクル性に優れること、および半導体素子を固着させる接着剤に

においても、接着剤が凹部の側面に沿って、拡散することがなくなり、半導体素子の凹部底部への密着性が低下しにくくなることが確認された。特に、テーパ角度が60度以上、90度未満である場合に効果的であることが分かった。

5 なお、本発明の各実施形態においては、半導体素子が収容されている樹脂絶縁層上に、導体回路と他の樹脂絶縁層とを複数層形成し（例えば、図8に示すように、半導体素子が収容されている樹脂絶縁層上に他の2層の樹脂絶縁層を形成する）、半導体素子と各導体回路との間の電氣的接続を行うビアホールを形成した構成とすることができる。

10 また、本発明の各実施形態においては、図9に示すように、金属層に接続されるビアホールを樹脂絶縁層内に形成し、このビアホールを介して半導体素子で発生した熱を基板外部に放熱するような形態のサーマルビアに形成することもできる。

産業上の利用可能性

15 以上説明したように、本発明にかかる多層プリント配線板は、半導体素子を収容する凹部を基板に形成し、その凹部の底面に金属層を形成したので、凹部の深さを均一に維持し、収容された半導体素子の傾きを抑えることができる。その結果、半導体素子の基板に対する密着性の低下を抑えることができ、しかも、金属層は、熱応力や外部応力などの影響を受けにくいので反りが生じることが少なくなるので、
20 半導体素子の接続パッドとビアホール等の導体回路との接続不良の発生を抑え、ヒートサイクル試験等の過酷な条件での評価試験にも耐え得る、電気接続性や接続信頼性の低下を招きにくい半導体素子実装基板を提供する。

請求の範囲

1. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間が
5 ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されていることを特徴とする多層プリント配線板。

10

2. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間が
ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

15 前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、

前記他の樹脂絶縁層が繊維基材を有してなることを特徴とする多層プリント配線板。

20

3. 前記半導体素子が收容される樹脂絶縁層上に、導体回路が形成されてなり、その導体回路はビアホールを介して、他の樹脂絶縁層上に形成された導体回路と電氣的に接続されてなる請求項1または2に記載の多層プリント配線板。

25

4. 前記半導体素子が收容される樹脂絶縁層上に、導体回路が形成されてなり、その導体回路は金属充填ビアホールを介して、他の樹脂絶縁層上に形成された導体回路と電氣的に接続されてなる請求項1または2に記載の多層プリント配線板。

5. 前記半導体素子が收容される樹脂絶縁層の厚みは、他の樹脂絶縁層の厚みよりも厚いことを特徴とする請求項 1 または 2 に記載の多層プリント配線板。

5 6. 前記半導体素子とその半導体素子が收容される樹脂絶縁層の境界を越えて、前記他の樹脂絶縁層上の導体回路が延設されてなる請求項 1 または 2 に記載の多層プリント配線板。

7. 前記金属層に接続されるビアホールが形成され、そのビアホールは、サーマルビアとして形成されてなる請求項 1 または 2 に記載の多層プリント配線板。

8. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、前記金属層は、前記凹部の底面の面積よりも大きな面積に形成されている多層プリント配線板。

9. 前記金属層は、ほぼ平坦化されてなる請求項 8 に記載の多層プリント配線板。

10. 前記金属層は、圧延銅箔からなる請求項 8 に記載の多層プリント配線板。

11. 前記樹脂絶縁層の凹部の壁面は、露出されてなる請求項 8 に記載の多層プリント配線板。

1 2. 前記金属層は、レーザ処理により露出されている請求項 8 に記載の多層プリント配線板。

5 1 3. 前記金属層の露出されている部分の厚みは、金属層が露出されていない部分の厚みよりも薄いことを特徴とする請求項 8 に記載の多層プリント配線板。

1 4. 前記金属層の露出されている部分の表層は、シャイニ
10 一面である請求項 8 に記載の多層プリント配線板。

1 5. 前記金属層の裏側の表層は、マット面である請求項 8 に記載の多層プリント配線板。

15 1 6. 前記金属層には、接着剤層を介して、前記半導体素子が接合されている請求項 8 に記載の多層プリント配線板。

1 7. 接着剤層が、半導体素子の底面および側面の底部周縁に接触している請求項 8 に記載の多層プリント配線板。

20

1 8. 前記金属層は、基板内に予め内蔵されてなる請求項 8 に記載の多層プリント配線板。

25 1 9. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間
がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、

前記凹部の壁面は、露出されている多層プリント配線板。

20. 前記凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填されている請求項19に記載の多層プリント配線板。

5

21. 前記凹部の壁面と半導体素子の側面とにより規定される間隙に樹脂絶縁層が充填されていて、かつ、その樹脂絶縁層が半導体素子と一体化されている請求項19に記載の多層プリント配線板。

10

22. 前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるテーパ形状である請求項19に記載多層プリント配線板。

15

23. 前記テーパ形状は、60度以上であり、90度未満の角度を有する請求項19に記載多層プリント配線板。

20

24. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の底面には前記半導体素子を載置する金属層が形成されて、

前記ビアホールを形成する開口には導電性物質が充填されてなる多層プリント配線板。

25

25. 前記ビアホールが断面鼓型形状である請求項24に記載の多層プリント配線板。

26. 前記前記半田パッドが前記半導体素子の上方に配置さ

れている請求項 24 に記載の多層プリント配線板。

27. 前記他の樹脂絶縁層上に、1 層以上の樹脂絶縁層が積層され、導体回路と接続されるビアホールが形成されてなる請求項 24 に記載の多層プリント配線板。

28. 前記半導体素子のパッド上に柱状電極または仲介層が形成され、その柱状電極または仲介層を介して前記パッドとビアホールとが電氣的に接続されていることを特徴とする請求項 24 に記載の多層プリント配線板。

29. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるテーパ形状である多層プリント配線板

30. 前記テーパ形状は、60 度以上であり、90 度未満の角度である請求項 29 に記載多層プリント配線板。

31. 前記凹部の壁面は、露出されている請求項 29 に記載の多層プリント配線板。

32. 前記凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填されている請求項 29 に記載の多層プリント配線板。

33. 前記凹部の壁面と半導体素子の側面とで構成される間隙に樹脂絶縁層が充填されていて、かつ、樹脂絶縁層と一体化されて

いる請求項 29 に記載の多層プリント配線板。

34. 半導体素子が收容、固定されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路が形成され、前記半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板を製造するにあたって、

その製造工程中に、少なくとも以下の工程、

樹脂絶縁層の一面に少なくとも導体回路と、收容される半導体素子のサイズに関連する所定面積の金属層とを形成すると共に、その他面に少なくとも導体回路と、前記金属層に対向する位置に半導体素子のサイズに関連する所定面積の導体回路非形成領域を形成し、さらに前記一面の導体回路と他面の導体回路とを電氣的に接続するビアホールを形成してなる第一絶縁性樹脂基材を形成する工程、

樹脂絶縁層の一面に銅箔が貼付された第二絶縁性樹脂基材を、前記第一絶縁性樹脂基材の前記一面に圧着して一体化する工程、

前記第二絶縁性樹脂基材の一面に導体回路を形成すると共に、その導体回路と前記第一絶縁性樹脂基材の前記一面に形成した導体回路とを電氣的に接続するビアホールを形成する工程、

前記第一絶縁性樹脂基材の導体回路非形成領域に、樹脂絶縁層表面から金属層表面に達する凹部を形成して、金属層表面を露出させる工程、

半導体素子を前記凹部内に收容し、接着剤を用いて前記凹部内に露出した金属層表面に接着、固定させる工程、

前記半導体素子を被覆して他の樹脂絶縁層と導体回路とを形成し、その後、前記半導体素子と導体回路との間を電氣的に接続するビアホールを形成する工程、

を含むことを特徴とする多層プリント配線板の製造方法。

35. 前記凹部はレーザー照射によって形成され、その側面は

底面から上方に向かうにつれて末広がりとなるようなテーパを有する形状に形成されることを特徴とする請求項 3 4 に記載の多層プリント配線板の製造方法。

- 5 3 6 . 前記半導体素子は、予めそのパッド上に柱状電極または仲介層が形成され、その柱状電極または仲介層を介して前記パッドとビアホールとが電氣的に接続されることを特徴とする請求項 3 4 に記載の多層プリント配線板の製造方法。

Fig.1

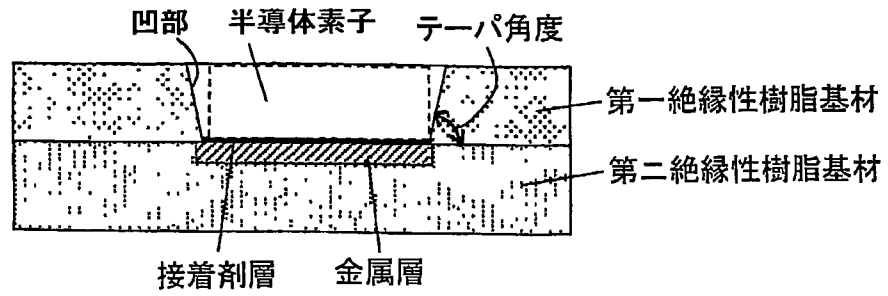


Fig.2

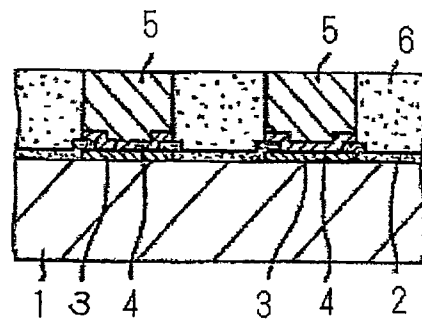
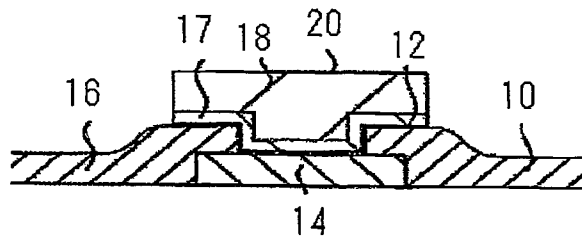


Fig.3



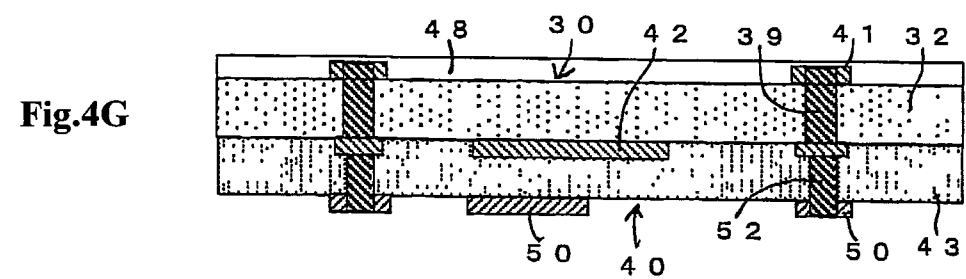
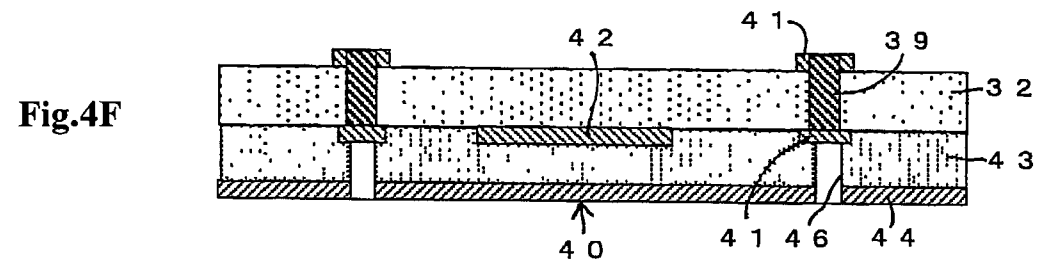
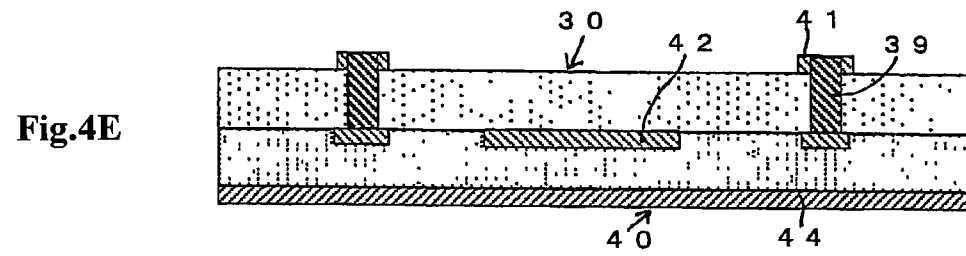
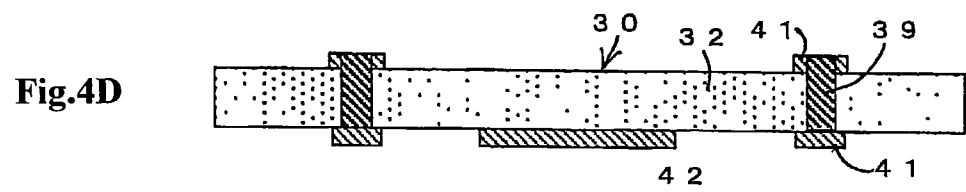
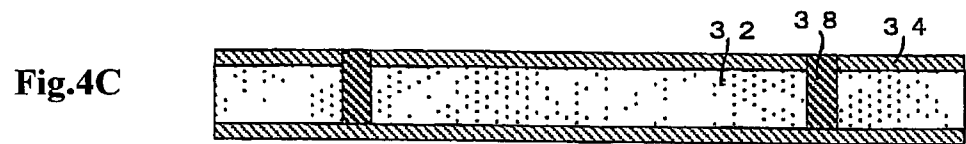
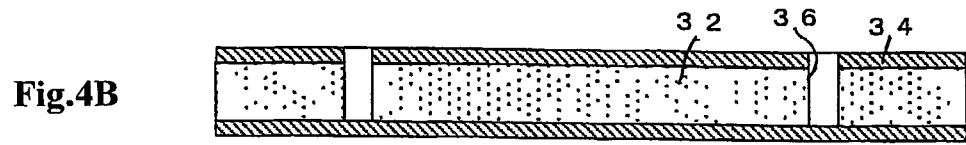
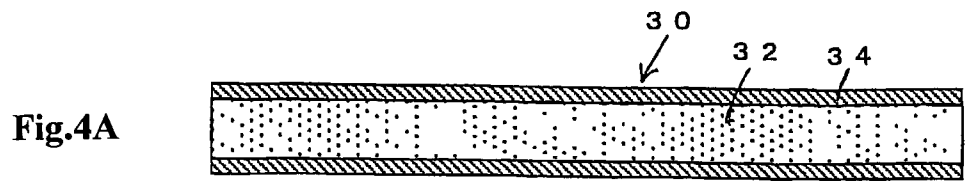


Fig.5A

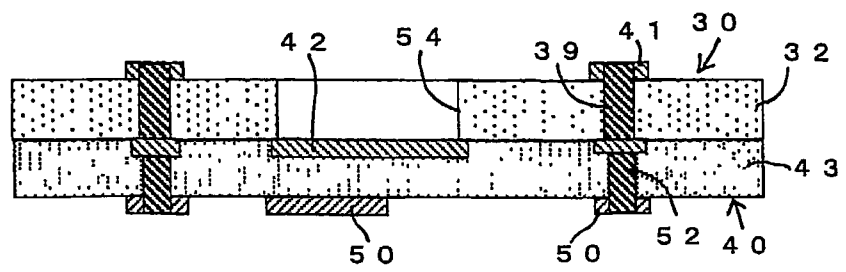


Fig.5B

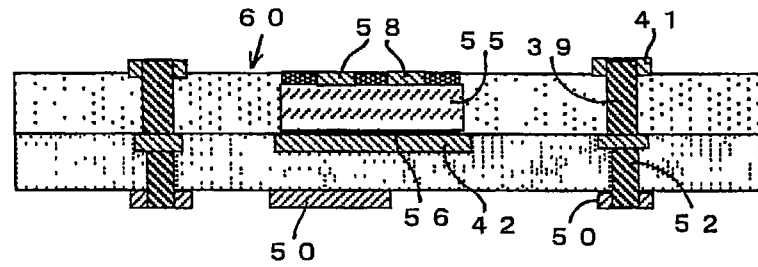


Fig.5C

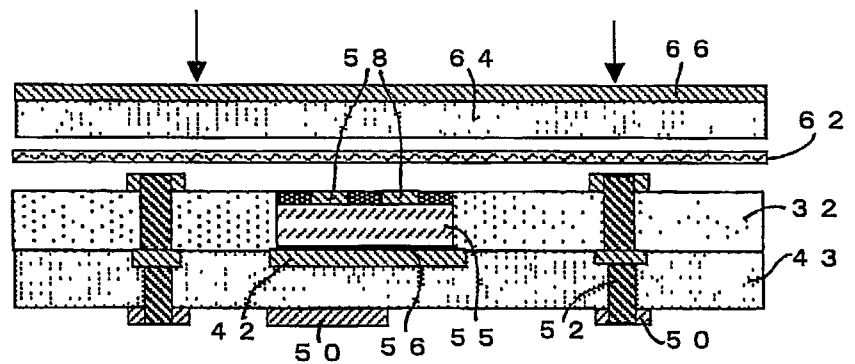


Fig.5D

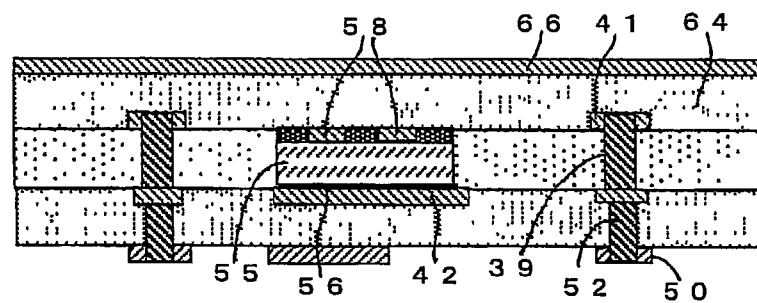


Fig.6A

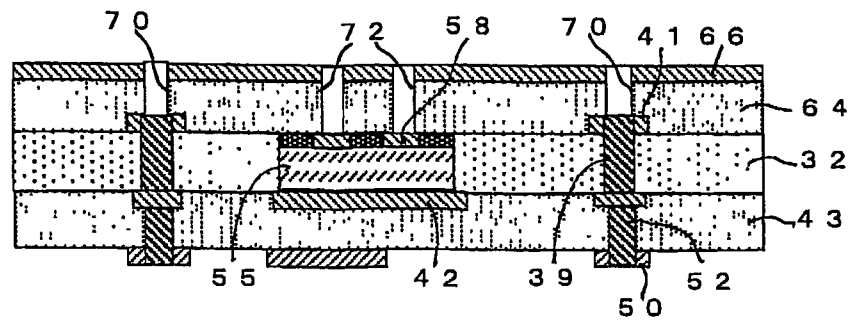


Fig.6B

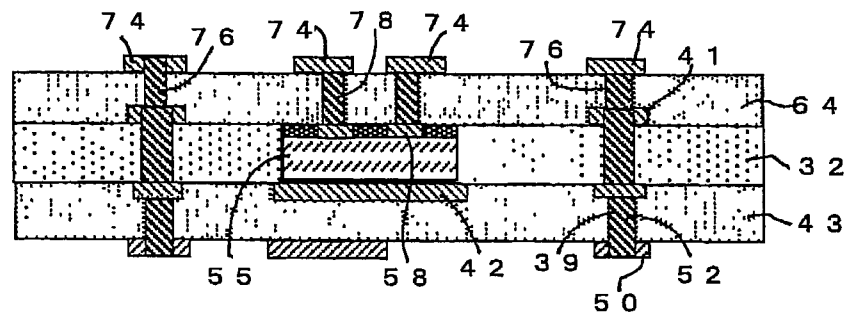


Fig.6C

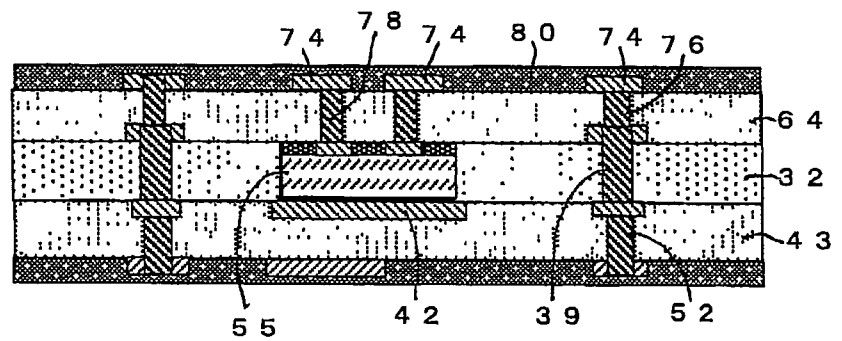


Fig.6D

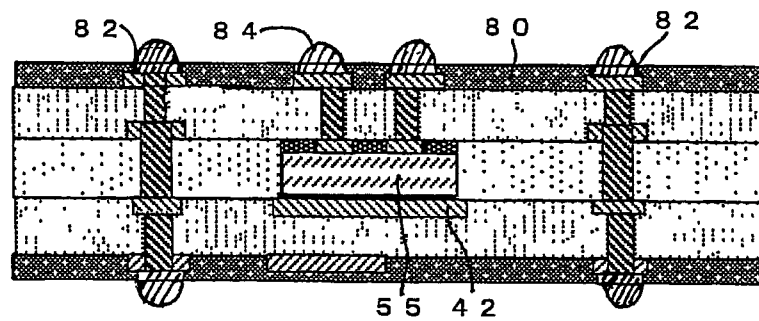


Fig. 7

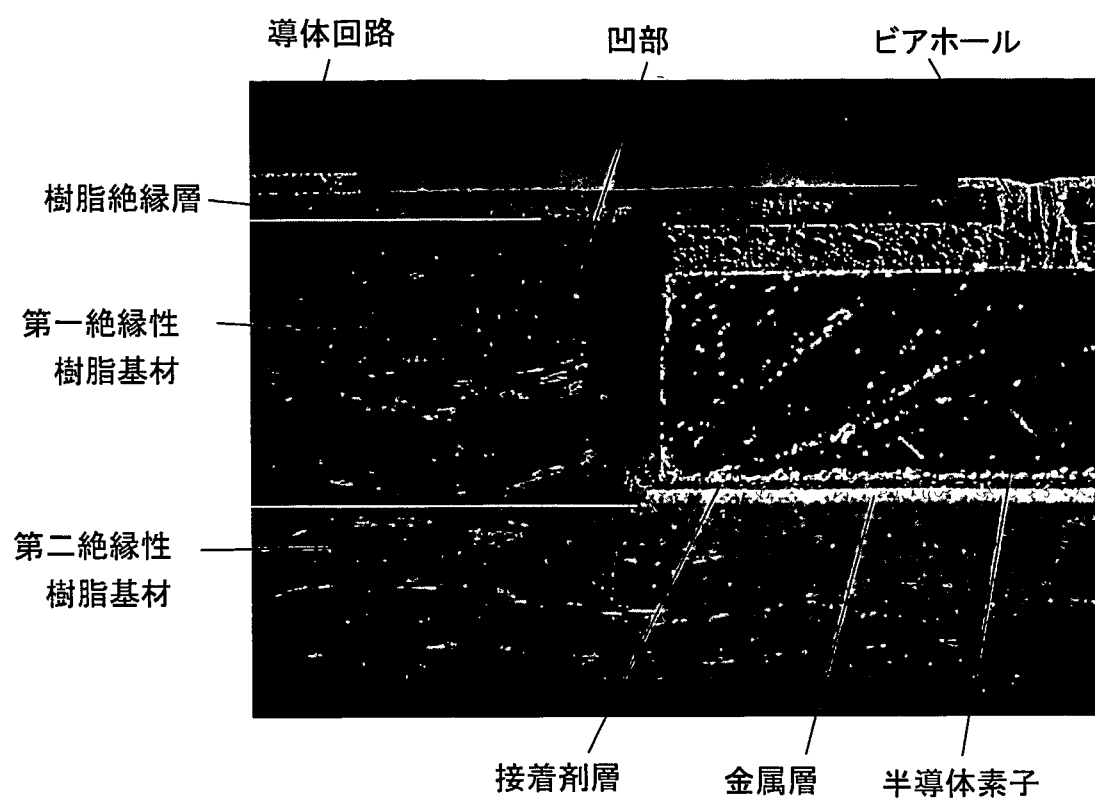


Fig.8

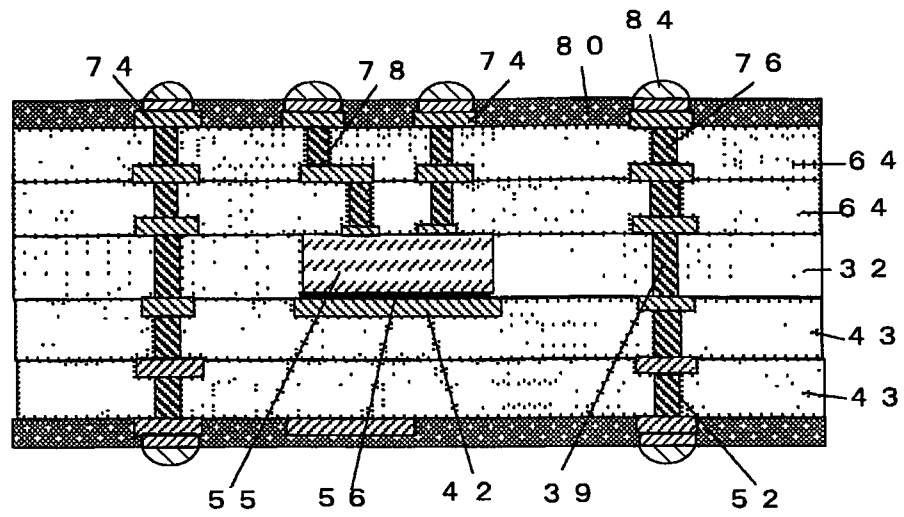
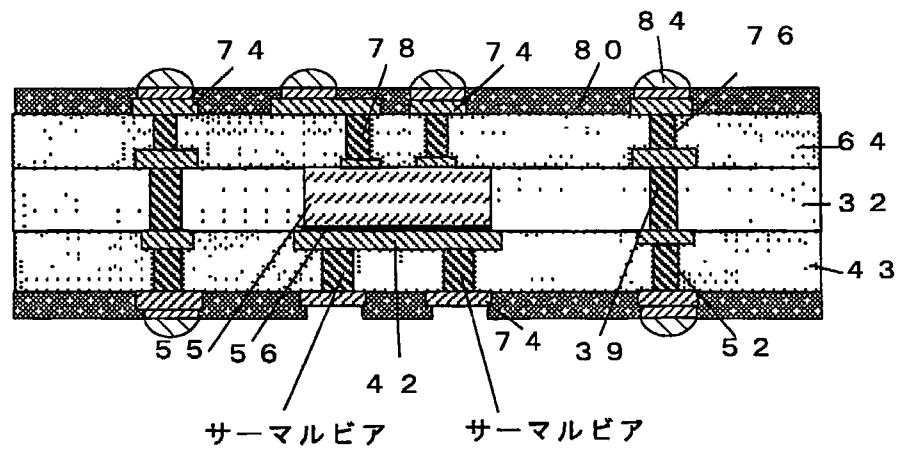


Fig.9



(PRIOR ART)

Fig.10A

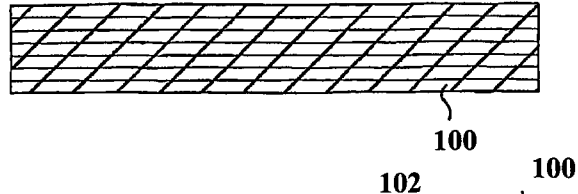


Fig.10B



Fig.10C

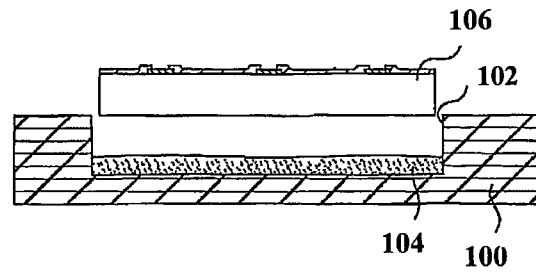
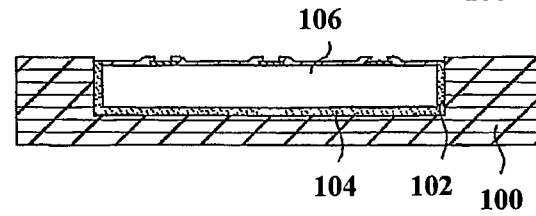
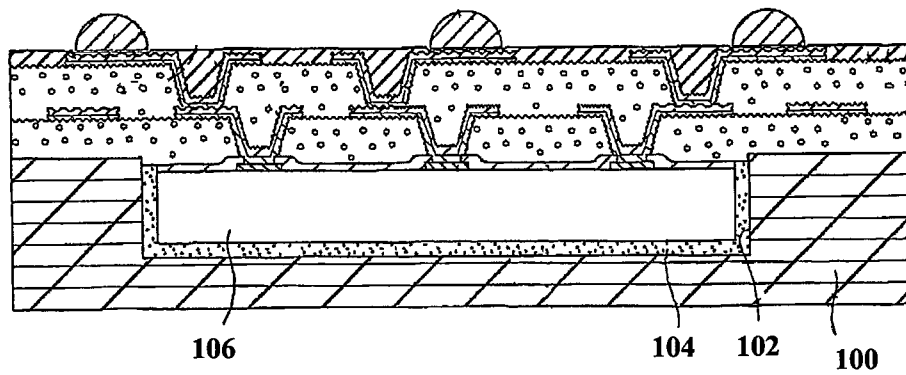


Fig.10D



(PRIOR ART)

Fig.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/320988

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i, H01L23/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-54939 A (Kyocera Corp.), 26 February, 1999 (26.02.99), (Family: none)	1, 3
X	JP 2004-153084 A (Denso Corp.), 27 May, 2004 (27.05.04), (Family: none)	1, 3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 December, 2006 (28.12.06)

Date of mailing of the international search report
16 January, 2007 (16.01.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/320988

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 3

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/320988

Continuation of Box No.III of continuation of first sheet (2)

The technical feature common to the inventions of claims 1-36 is in that a semiconductor device is placed in a recessed portion formed in a resin insulating layer (common technical feature 1) in a multilayer printed wiring board wherein another resin insulating layer and a conductor circuit are formed on the resin insulating layer containing the semiconductor device and the semiconductor device and the conductor circuit are electrically connected through a via hole. The international search has however revealed that the common technical feature 1 is not novel since it is disclosed in document 1: JP 11-54939 A or document 2: JP 2004-153084 A.

Consequently, the common technical feature 1 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 1 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 1-36. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

The technical features common to the inventions of claims 1-28, 34-36 is the common technical feature 1 and such a technical feature that a metal layer for mounting the semiconductor device is formed on the bottom surface of the recessed portion (common technical feature 2). The international search has however revealed that the common technical feature 2 is not novel since it is disclosed in document 1 or document 2.

Consequently, the common technical feature 2 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 2 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 1-28, 34-36. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

The technical features common to the inventions of claims 2-7 is the common technical feature 2 and such a technical feature that the another resin insulating layer has a fiber base (common technical feature 3). The international search has however revealed that the common technical feature 3 is not novel since it is disclosed in document 1.

Consequently, the common technical feature 3 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 3 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 2-7. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

The technical features common to the inventions of claims 8-18 is the common technical feature 2 and such a technical feature that the metal layer is so formed as to have a larger area than the bottom surface of the recessed portion (common technical feature 4). The international search has however revealed that the common technical feature 4 is not novel since it is disclosed in document 1.

(Continued to next sheet)

Consequently, the common technical feature 4 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 4 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 8-18. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

The technical features common to the inventions of claims 19-23 is the common technical feature 2 and such a technical feature that the wall surface of the recessed portion is exposed (common technical feature 5). The international search has however revealed that the common technical feature 5 is not novel since it is disclosed in document 1.

Consequently, the common technical feature 5 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 5 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 19-23. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

The technical features common to the inventions of claims 24-28 is the common technical feature 2 and such a technical feature that the opening for forming the via hole is filled with a conductive material (common technical feature 6). The international search has however revealed that the common technical feature 6 is not novel since it is disclosed in document 1 and document 2.

Consequently, the common technical feature 6 is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common technical feature 6 makes no contribution over the prior art.

Therefore, there is no technical feature common to all the inventions of claims 24-28. Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen between those different inventions.

Therefore, it is obvious that the inventions of claims 1-36 do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K3/46(2006.01)i, H01L23/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K3/46, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 6年
日本国実用新案登録公報	1 9 9 6－2 0 0 6年
日本国登録実用新案公報	1 9 9 4－2 0 0 6年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 1 1－5 4 9 3 9 A（京セラ株式会社） 2 6．0 2．1 9 9 9（ファミリーなし）	1, 3
X	J P 2 0 0 4－1 5 3 0 8 4 A（株式会社デンソー） 2 7．0 5．2 0 0 4（ファミリーなし）	1, 3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8．1 2．2 0 0 6

国際調査報告の発送日

1 6．0 1．2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0－8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

黒石 孝志

3 S

9 5 2 7

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 3 8 9

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1及び3

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。

請求の範囲 1－36に係る発明の共通の事項は、半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、半導体素子と導体回路との間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、半導体素子を樹脂絶縁層に設けた凹部内に収容すること（共通事項 1）である。しかしながら、調査の結果、上記共通事項 1 は、文献 1：J P 1 1－5 4 9 3 9 A、又は、文献 2：J P 2 0 0 4－1 5 3 0 8 4 A、に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 1 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 1 は特別な技術的特徴ではない。

それ故、請求の範囲 1－36に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 1－28, 34－36に係る発明の共通の事項は、上記共通事項 1 及び凹部の底面に半導体素子を載置する金属層を形成すること（共通事項 2）である。しかしながら、調査の結果、上記共通事項 2 は、文献 1、又は、文献 2 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 2 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 2 は特別な技術的特徴ではない。

それ故、請求の範囲 1－28, 34－36に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 2－7に係る発明の共通の事項は、上記共通事項 2 及び他の樹脂絶縁層が繊維基材を有していること（共通事項 3）である。しかしながら、調査の結果、上記共通事項 3 は、文献 1 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 3 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 3 は特別な技術的特徴ではない。

それ故、請求の範囲 2－7に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 8－18に係る発明の共通の事項は、上記共通事項 2 及び金属層を凹部の底面の面積よりも大きな面積に形成すること（共通事項 4）である。しかしながら、調査の結果、上記共通事項 4 は、文献 1 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 4 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 4 は特別な技術的特徴ではない。

それ故、請求の範囲 8－18に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 19－23に係る発明の共通の事項は、上記共通事項 2 及び凹部の壁面が露出されていること（共通事項 5）である。しかしながら、調査の結果、上記共通事項 5 は、文献 1 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 5 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 5 は特別な技術的特徴ではない。

それ故、請求の範囲 19－23に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 24－28に係る発明の共通の事項は、上記共通事項 2 及びビアホールを形成する開口に導電性物質が充填されていること（共通事項 6）である。しかしながら、調査の結果、上記共通事項 6 は、文献 1 及び文献 2 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 6 は先行技術の域を出ないから、PCT 規則 1 3. 2 の第 2 文の意味において、上記共通事項 6 は特別な技術的特徴ではない。

それ故、請求の範囲 24－28に係る発明の全てに共通の事項はない。PCT 規則 1 3. 2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 1 3 の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲 1－36に係る発明は発明の単一性の要件を満たしていないことが明らかである。