

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258279

(P2007-258279A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.	F I	テーマコード (参考)
H01G 4/12 (2006.01)	H01G 4/12 349	5E001
H01G 4/30 (2006.01)	H01G 4/12 352	5E082
	H01G 4/12 364	
	H01G 4/30 301C	
	H01G 4/30 311D	
審査請求 未請求 請求項の数 6 O L (全 14 頁)		

(21) 出願番号 特願2006-77744 (P2006-77744)
 (22) 出願日 平成18年3月20日 (2006.3.20)

(71) 出願人 000003067
 TDK株式会社
 東京都中央区日本橋1丁目13番1号
 (74) 代理人 100105809
 弁理士 木森 有平
 (72) 発明者 田中 博文
 東京都中央区日本橋一丁目13番1号 TDK株式会社内
 (72) 発明者 中野 幸恵
 東京都中央区日本橋一丁目13番1号 TDK株式会社内
 Fターム(参考) 5E001 AB03 AE02 AE03 AF06 AH01
 AH05 AH09 AJ01 AJ02
 5E082 AB03 BB07 BC11 EE04 FF05
 FG04 FG46 FG58

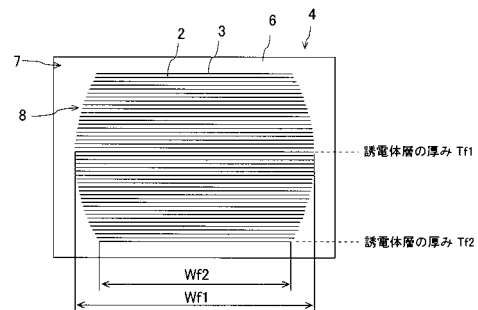
(54) 【発明の名称】 積層セラミック電子部品及びその製造方法

(57) 【要約】

【課題】 誘電体層の薄層化及び多層化が進んだ場合であっても、積層体におけるノンラミネーション欠陥の抑制とショート不良の低減とを両立するとともに、焼成過程において外装部と内装部との界面にデラミネーション欠陥が発生することを抑制して歩留まりの向上を図る。

【解決手段】 誘電体層2と電極層3とが交互に積層されてなる内装部8と、内装部8の積層方向両側に配された外装誘電体層6とを有する積層セラミック電子部品であって、電極層3のうち最も広い電極層3幅を Wf_1 、最も狭い電極層3幅を Wf_2 としたとき、 $0.0 < Wf_1 / Wf_2 < 1.23$ であり、且つ、幅 Wf_1 を有する電極層3に隣接する誘電体層2の厚みを Tf_1 、幅 Wf_2 を有する電極層3に隣接する誘電体層2の厚みを Tf_2 としたとき、 $0.85 < Tf_1 / Tf_2 < 1.15$ である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

誘電体層と電極層とが交互に積層されてなる内装部と、前記内装部の積層方向両側に配された外装誘電体層とを有する積層セラミック電子部品であって、

前記電極層のうち最も広い電極層幅を Wf_1 、最も狭い電極層幅を Wf_2 としたとき、
 $1.00 < Wf_1 / Wf_2 < 1.23$ であり、

且つ、前記幅 Wf_1 を有する電極層に隣接する誘電体層の厚みを Tf_1 、前記幅 Wf_2 を有する電極層に隣接する誘電体層の厚みを Tf_2 としたとき、
 $0.85 < Tf_1 / Tf_2 < 1.15$ であることを特徴とする積層セラミック電子部品。

【請求項 2】

前記誘電体層の積層数が 150 層以上、前記誘電体層の厚みが $3 \mu\text{m}$ 以下、且つ、前記電極層の厚みが $1.5 \mu\text{m}$ 以下であることを特徴とする請求項 1 記載の積層セラミック電子部品。

【請求項 3】

前記内装部と前記外装誘電体層とにより素子本体が形成され、前記素子本体において、前記内装部の幅方向両側に無電極領域が配されていることを特徴とする請求項 1 又は 2 記載の積層セラミック電子部品。

【請求項 4】

誘電体粉末を含む内装グリーンシートと導電材料を含む電極前駆体層とを交互に積層して内装部を形成するとともに、前記内装部の積層方向両側に外装グリーンシートを積層して積層体を得、前記積層体を加圧した後、焼成することにより、誘電体層と電極層とが交互に積層されてなる積層セラミック電子部品を製造するに際し、

前記内装グリーンシートの積層数を n 、前記内装部の積層方向両端からそれぞれ m 層目（ただし m は $0.05n \sim 0.25n$ である。）までに配する内装グリーンシートの厚みを Tg_2 、その他の位置に配する内装グリーンシートの厚みを Tg_1 としたとき、
 $1.02 < Tg_1 / Tg_2 < 1.50$ となる関係を満たす内装グリーンシートを用いるとともに、

前記加圧後の積層体において、前記電極前駆体層のうち最も狭い電極前駆体層幅を Wg_2 、最も広い電極前駆体層幅を Wg_1 としたとき、
 $1.02 < Wg_1 / Wg_2 < 1.25$ となるように前記加圧を行うことを特徴とする積層セラミック電子部品の製造方法。

【請求項 5】

焼成後の積層セラミック電子部品において、前記誘電体層の積層数を 150 層以上とし、前記誘電体層の厚みを $3 \mu\text{m}$ 以下とし、且つ、前記電極層の厚みを $1.5 \mu\text{m}$ 以下とすることを特徴とする請求項 4 記載の積層セラミック電子部品の製造方法。

【請求項 6】

前記内装グリーンシートの面積よりも前記電極前駆体層の面積を小とするとともに、焼成後の前記内装部の幅方向両側に無電極領域が形成されるようにすることを特徴とする請求項 4 又は 5 記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、誘電体層と電極層とが交互に積層されてなる積層セラミック電子部品及びその製造方法に関する。

【背景技術】

【0002】

例えば積層セラミックコンデンサに代表される積層セラミック電子部品は、通常、複数の誘電体層と電極層とが交互に積層されるとともに積層方向両側に外装誘電体層が配され、電極層に導通する一対の外部電極が設けられた構造とされている。近年の電子機器の小型化に伴い、積層セラミックコンデンサ等の積層セラミック電子部品においても小型化・大容量化が求められており、これに対応して、積層セラミック電子部品を構成する誘電体

10

20

30

40

50

層や電極層にもさらなる薄層化及び多層化が求められている。

【0003】

このような構造の積層セラミック電子部品は、例えば以下のような方法で製造される。すなわち、先ず、誘電体粉末、バインダ、有機溶剤等を含む塗料を準備し、この塗料をドクターブレード法等を用いてPETフィルム等の支持体上に塗布、乾燥させた後、PETフィルムを剥離して内装グリーンシートを得る。次に、導電材料を含む電極前駆体層を前記内装グリーンシート上に形成する。次に、電極前駆体層が形成された内装グリーンシートを積層するとともに、積層方向両側に外装誘電体層となる外装グリーンシートを積層した後、チップ状に切断してグリーンチップとする。このグリーンチップを焼成した後、外部電極を形成することにより積層セラミック電子部品が製造される。

10

【0004】

電極層に含まれる導電材料としては、一般にPdやPd合金が用いられているが、Pdは高価であるため、近年では比較的安価なNiやNi合金等の卑金属が使用されるようになってきている。

【0005】

しかしながら、Ni等の卑金属は、グリーンシートを構成する誘電体粉末よりも低い温度で焼結するという性質を有しているため、電極層に使用されると次のような理由により製品歩留まりの低下を引き起こす。すなわち、電極前駆体層に含まれるNiの影響により、電極前駆体層と内装グリーンシートとが交互に積層された部分(内装部)の焼結温度が、その周囲の電極前駆体層の形成されていない領域及び外装グリーンシート(外装部)に比較して低くなるため、内装部と外装部とで焼成時の収縮挙動に差を生じる。この挙動差が大きいと外装部と内装部との界面に応力が集中し、結果として例えば内装部のコーナー部近傍においてデラミネーション欠陥等の構造欠陥が発生するからである。

20

【0006】

一方、積層体を形成するに際しては、電極前駆体層と内装グリーンシートとの接着強度が不十分であることに起因するノンラミネーション欠陥が発生することがあり、歩留まりに大きな影響を及ぼしている。よって、通常は、積層体を高圧で加圧することによって電極前駆体層と内装グリーンシートとの接着性を確保している(例えば特許文献1参照。)

【特許文献1】特開平11-40457号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に記載されるようなノンラミネーション欠陥の発生を減少させる加圧条件は、ショート不良を多発させる要因となる。また、例えば誘電体層の積層数を150層以上、前記誘電体層の厚みを3 μ m以下のように薄層化及び多層化を進めた場合、積層セラミック電子部品を焼成する際、外装部と内装部との界面に発生するデラミネーション欠陥を確実に解消する技術は未だ開発されていない。

【0008】

本発明はこのような従来の実情に鑑みて提案されたものであり、誘電体層の薄層化及び多層化が進んだ場合であっても、積層体におけるノンラミネーション欠陥の抑制とショート不良の低減とを両立するとともに、焼成過程において外装部と内装部との界面にデラミネーション欠陥が発生することを抑制して歩留まりの向上を図ることが可能な積層セラミック電子部品及びその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

前述の目的を達成するために、本発明に係る積層セラミック電子部品は、誘電体層と電極層とが交互に積層されてなる内装部と、前記内装部の積層方向両側に配された外装誘電体層とを有する積層セラミック電子部品であって、前記電極層のうち最も広い電極層幅を Wf_1 、最も狭い電極層幅を Wf_2 としたとき、 $1.00 < Wf_1 / Wf_2 < 1.23$ で

50

あり、且つ、前記幅 $W f_1$ を有する電極層に隣接する誘電体層の厚みを $T f_1$ 、前記幅 $W f_2$ を有する電極層に隣接する誘電体層の厚みを $T f_2$ としたとき、 $0.85 < T f_1 / T f_2 < 1.15$ であることを特徴とする。

【0010】

また、本発明に係る積層セラミック電子部品の製造方法は、誘電体粉末を含む内装グリーンシートと導電材料を含む電極前駆体層とを交互に積層して内装部を形成するとともに、前記内装部の積層方向両側に外装グリーンシートを積層して積層体を得、前記積層体を加圧した後、焼成することにより、誘電体層と電極層とが交互に積層されてなる積層セラミック電子部品の製造するに際し、前記内装グリーンシートの積層数を n 、前記内装部の積層方向両端からそれぞれ m 層目（ただし m は $0.05n \sim 0.25n$ である。）までに配する内装グリーンシートの厚みを $T g_2$ 、その他の位置に配する内装グリーンシートの厚みを $T g_1$ としたとき、 $1.02 < T g_1 / T g_2 < 1.50$ となる関係を満たす内装グリーンシートを用いるとともに、前記加圧後の積層体において、前記電極前駆体層のうち最も狭い電極前駆体層幅を $W g_2$ 、最も広い電極前駆体層幅を $W g_1$ としたとき、 $1.02 < W g_1 / W g_2 < 1.25$ となるように前記加圧を行うことを特徴とする。

10

【0011】

積層体を加圧するに際しては、積層方向両端から積層方向中央に向かうほど大きな圧力が働き、圧力の大きさに応じて電極前駆体層の幅は広がる傾向を示す。よって、以上のような製造方法では、加圧後の電極前駆体層幅の最大値と最小値との比を加圧条件の指標とする。具体的には、最も狭い電極前駆体層の幅を $W g_2$ 、最も広い電極前駆体層の幅を $W g_1$ としたとき、 $1.02 < W g_1 / W g_2 < 1.25$ となるように積層体の加圧を行う。言い換えると、焼成後の積層セラミック電子部品における電極層幅が $1.00 < W f_1 / W f_2 < 1.23$ の関係を満たすように、加圧を行う。前記条件のように十分に加圧を行うことで、焼成前の積層体においてグリーンシートと電極前駆体層との接着強度が確保され、ノンラミネーション欠陥の発生が抑制される。

20

【0012】

ただし、内装グリーンシートの厚さを全て等しくした場合、加圧工程においては積層体の積層方向中央付近に大きな圧力が働く関係で積層方向中央付近の内装グリーンシートが薄く伸ばされ、ショート不良を招く。

【0013】

そこで、積層方向両端付近には薄い内装グリーンシートを、大きな圧力の加わる積層方向中央付近には相対的に厚い内装グリーンシートをそれぞれ配する。具体的には、厚みの比が $1.02 < T g_1 / T g_2 < 1.50$ となる関係を満たすような厚み $T g_2$ を有する内装グリーンシートを、内装部の積層方向両端からそれぞれ m 層目（ただし m は $0.05n \sim 0.25n$ である。）までに用い、且つ、厚み $T g_1$ を有する内装グリーンシートを積層方向中央付近に用いる。このように、積層位置に応じて厚みの異なる内装グリーンシートを用いるので、加圧後の積層体において内装グリーンシートの厚みはほぼ均一となり、これを焼成した積層セラミック電子部品における誘電体層の最も厚い厚み $T f_1$ と最も薄い厚み $T f_2$ との比が $0.85 < T f_1 / T f_2 < 1.15$ の範囲内におさめられる。したがって、ノンラミネーション欠陥が発生しない程度に十分に積層体の加圧を行ったとしても、ショート不良の問題を起こすことはない。

30

40

【0014】

また、詳細なメカニズムは明らかではないが、内装グリーンシートの厚みと積層体の加圧条件を前述のように制御して、内装部の積層方向両端付近に中央付近とは焼結挙動の異なる部分を設けることで、内装部全体の焼結挙動が改善され、内装部と外装部との界面においてデラミネーション欠陥が発生することを抑制することができる。

【発明の効果】

【0015】

本発明によれば、誘電体層の薄層化及び多層化が進んだ場合であっても、ショート不良低減とノンラミネーション欠陥抑制とを両立することができ、さらには焼成過程で生じる

50

構造欠陥の発生を抑えることができるため、高い歩留まりにて積層セラミック電子部品を製造することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明を適用した積層セラミック電子部品及びその製造方法について、図面を参照しながら詳細に説明する。

【0017】

先ず、製造対象となる積層セラミック電子部品について、図1及び図2を参照して説明する。本発明の一実施形態に係る積層セラミックコンデンサ1は、複数の誘電体層2と電極層3とを有する素子本体4を有する。電極層3は、素子本体4の対向する2端面に各側端面が交互に露出するように積層されており、素子本体4の両側端部に配置された一对の外部電極5と各々導通するように形成される。素子本体4においては、誘電体層2及び電極層3の積層方向の両端の外側に外装誘電体層6が配置されている。素子本体4の電極層3の幅方向両側には、誘電体層からなる無電極領域が配されており、外装誘電体層6と無電極領域とからなる外装部7が、誘電体層2と電極層3とが交互に積層されてなる内装部8を保護している。

10

【0018】

素子本体4の形状は特に制限されるものではないが、通常、直方体状とされる。その寸法も特に制限はなく、用途に応じて適当な寸法に設定すればよい。例えば、縦0.6mm~5.6mm(好ましくは0.6mm~3.2mm)×横0.3mm~5.0mm(好ましくは0.3mm~1.6mm)×厚み0.1mm~1.9mm(好ましくは0.3mm~1.6mm)程度である。

20

【0019】

誘電体層2及び外装誘電体層6は、誘電体磁器組成物で構成される。誘電体磁器組成物としては、組成式 ABO_3 (式中、Aサイトは、Sr、Ca及びBaから選ばれる少なくとも1種の元素で構成される。Bサイトは、Ti及びZrから選ばれる少なくとも1種の元素で構成される。)で表されるペロブスカイト型結晶構造を持つ誘電体酸化物を主成分として含有することが好ましい。ここで、酸素(O)量は、前記組成式の化学量論組成から若干偏倚してもよい。前記誘電体酸化物の中でも、AサイトをBaで主として構成し、BサイトをTiで主として構成し、チタン酸バリウムとすることが好ましい。より好ましくは、組成式 Ba_mTiO_{2+m} (式中、 $0.995 \leq m \leq 1.010$ であり、 $0.995 \leq Ba/Ti \leq 1.010$ である。)で表されるチタン酸バリウムである。

30

【0020】

誘電体磁器組成物中には、主成分の他、各種副成分が含まれていてもよい。副成分としては、Sr、Zr、Y、Gd、Tb、Dy、V、Mo、Zn、Cd、Ti、Sn、W、Ba、Ca、Mn、Mg、Cr、Si及びPの酸化物から選ばれる少なくとも1種が例示される。副成分を添加することにより、主成分の誘電特性を劣化させることなく低温焼成が可能となる。また、誘電体層2を薄層化した場合の信頼性不良が低減し、長寿命化が可能となる。

【0021】

内装部を構成する誘電体層2の積層数や厚み等の諸条件は、用途等に応じ適宜決定すればよく、積層セラミックコンデンサの小型化・大容量化を図る観点では、誘電体層2の厚みを3µm未満、誘電体層2の積層数を150層以上とすることが好ましい。外装誘電体層6の厚みも、用途に応じて適宜決定すればよく、例えば20µm~数百µm程度である。

40

【0022】

電極層3に含まれる導電材料は特に制限されないが、例えばNi、Cu、Ni合金又はCu合金等の卑金属を用いることができる。電極層3の厚みは、用途等に応じて適宜決定すればよく、例えば0.5µm~5µm程度であり、好ましくは1.5µm未満である。

【0023】

50

外部電極 5 に含まれる導電材料は特に制限されないが、通常、Cu、Cu合金、Ni、Ni合金、Ag、Ag-Pd合金等が用いられる。Cu、Cu合金、Ni及びNi合金は、安価な材料なため有利である。外部電極 5 の厚みは、用途等に応じて適宜決定すればよく、例えば $10\ \mu\text{m} \sim 50\ \mu\text{m}$ 程度である。

【0024】

本実施形態の積層セラミックコンデンサ 1 においては、図 2 に示すように電極層 3 の幅方向に沿って素子本体 4 を切断したとき、積層方向中央付近の電極層 3 の幅が以下のように広くされており、内装部 8 が積層方向中央付近で若干膨らんだような形状とされている。また、切断面における誘電体層 2 の 1 層あたりの厚みが以下のように設定されている。

【0025】

すなわち、電極層 3 の幅については、最も幅の広い電極層 3 の幅を Wf_1 、最も幅の狭い電極層 3 の幅を Wf_2 としたとき、 $1.00 < Wf_1 / Wf_2 < 1.23$ となるように設定されている。一方、誘電体層 2 については、最も幅の広い電極層 3、すなわち幅 Wf_1 に対応する電極層 3 に隣接する誘電体層 2 の厚みを Tf_1 、最も幅の狭い電極層 3、すなわち Wf_2 に対応する電極層 3 に隣接する誘電体層 2 の厚みを Tf_2 としたとき、 $0.85 < Tf_1 / Tf_2 < 1.15$ となるように設定されている。

【0026】

なお、幅 Wf_1 に対応する電極層 3 に隣接する誘電体層 2 の厚み Tf_1 とは、幅 Wf_1 の電極層 3 の上下方向に位置する誘電体層 2 のうち厚みの薄い誘電体層のことを指す。また、幅 Wf_2 に対応する電極層 3 に隣接する誘電体層 2 の厚み Tf_2 とは、幅 Wf_2 の電極層 3 の上下方向に位置する誘電体層 2 のうち厚みの厚い誘電体層のことを指す。

【0027】

以下、電極層 3 の幅の比が $1.00 < Wf_1 / Wf_2 < 1.23$ であり、且つ誘電体層 2 の厚み比が $0.85 < Tf_1 / Tf_2 < 1.15$ を実現した積層セラミックコンデンサ 1 を製造する方法について説明する。

【0028】

先ず、積層工程において、各種グリーンシートを積層し、図 3 に示すような積層体 11 を作製する。積層体 11 は、具体的には、焼成後に誘電体層 2 を構成する内装グリーンシート 22、電極層 3 を構成する電極前駆体層 21、及び外装誘電体層 4 を構成する外装グリーンシート 23 を準備し、電極前駆体層 21 が形成された内装グリーンシート 22 を複数積層するとともに、その積層方向両側に外装グリーンシート 23 を単層又は複層で積層することにより作製される。積層体 11 は、複数の電極前駆体層 21 と電極前駆体層 21 に挟まれた内装グリーンシート 22 とからなる内装部 12 と、内装部 12 の周囲に配された外装部 13 とを有している。

【0029】

本実施形態では、積層体 11 を作製する際、相対的に厚みの薄い内装グリーンシート 22 を内装部 12 の積層方向両端付近に用いる。具体的には、内装グリーンシート 22 の積層数を n 、内装部 12 の積層方向両端からそれぞれ m 層目（ただし m は $0.05n \sim 0.25n$ である。）までに配する内装グリーンシート 22 の厚みを Tg_2 、その他の位置に配する内装グリーンシート 22 の厚みを Tg_1 としたとき、 $1.02 < Tg_1 / Tg_2 < 1.50$ となる関係を満たすように、内装部 12 の積層方向両端に厚みの薄い (Tg_2) 内装グリーンシート 22 を配する。 $Tg_1 / Tg_2 = 1.50$ とした場合、静電容量を低下させたり、所望の製品寸法を得られなくなる。

【0030】

$Tg_1 / Tg_2 = 1.02$ の場合、焼成過程で内装部 12 と外装部 13 との界面にデラミネーション欠陥が発生し、また、焼成後の積層セラミックコンデンサ 1 においてショート不良を招く。なお、特開平 10 - 12475 号公報及び特開 2001 - 44058 号公報においては、 $Tg_1 / Tg_2 < 1$ とすること、すなわち、外装部付近の誘電体層厚みを中央部に積層された誘電体層厚みより厚くすることが開示されているが、デラミネーション欠陥、ノンラミネーション欠陥、及びショート不良の全てを解消させる技術ではなく、

10

20

30

40

50

また、薄層化及び多層化を進めた積層セラミックコンデンサにおいては十分な静電容量を得ることができないという問題がある。

【0031】

厚み T_{g2} とされた内装グリーンシート 22 は、内装グリーンシート 22 の積層数を n としたとき、内装部 12 の積層方向両端からそれぞれ m 層目（ただし m は $0.05n \sim 0.25n$ である。）までに配することとする。これは、 m が前記範囲を外れると、焼成過程でのデラミネーション欠陥抑制効果を得られなくなるからである。

【0032】

内装グリーンシート 22 は、誘電体層 2 の原料となる誘電体粉末を含むグリーンシート用塗料を調製し、ドクターブレード法等により支持体としてのキャリアシート上に前記グリーンシート用塗料を塗布し、乾燥させることにより得られる。グリーンシート用塗料は、誘電体層 2 の原料となる誘電体粉末と有機ビヒクル又は水系ビヒクルとを混練することにより調製される。

10

【0033】

内装グリーンシート 22 に用いる誘電体粉末としては、前述の主成分や副成分の酸化物や複合酸化物を用いることができる。また、焼成により酸化物や複合酸化物となる各種化合物、例えば炭酸塩、硝酸塩、水酸化物、有機金属化合物等からも適宜選択して用いることができる。

【0034】

前記誘電体粉末の平均粒径が大きすぎると、内装グリーンシート 22 を薄く成膜することが難しくなるため誘電体層 2 の薄層化が難しくなり、逆に誘電体粉末の平均粒径が小さすぎると、誘電体粉末の比表面積が増大し、焼成時に異常粒成長するおそれがある。したがって、内装グリーンシート 22 に含まれる誘電体粉末の平均粒径 R_a は、 $0.1 \mu m \sim 1.0 \mu m$ であることが好ましい。

20

【0035】

有機ビヒクルとは、バインダを有機溶剤中に溶解したものである。有機ビヒクルに用いるバインダは特に制限されず、エチルセルロース、ポリビニルブチラール等の通常の各種バインダから適宜選択すればよい。また、有機ビヒクルに用いる有機溶剤も特に限定されず、テルピネオール、ブチルカルビトール、アセトン、トルエン等の各種有機溶剤から適宜選択すればよい。水系ビヒクルとは、水溶性のバインダや分散剤を水中に溶解したものであり、水溶性バインダとしては特に制限されず、例えばポリビニルアルコール、セルロース、水溶性アクリル樹脂等を用いればよい。

30

【0036】

電極前駆体層 21 は、前記内装グリーンシート 22 の所定領域に電極層 3 の原料を含む内部電極ペーストを印刷することにより形成される。電極前駆体層 21 を形成するための内部電極ペーストは、前述した導電材料と、前述した有機ビヒクルとを混練することにより調製される。

【0037】

電極前駆体層 21 には、共材として誘電体粉末が添加されていてもよく、その場合、添加する誘電体粉末の粒径を以下のように設定することが好ましい。具体的には、内装グリーンシート 22 に含まれる誘電体粉末の平均粒径を R_a 、電極前駆体層 21 に添加する誘電体粉末の平均粒径を R_b としたときに、 $R_b / R_a = 1 / 3$ である関係を満たすように、電極前駆体層 21 に添加する誘電体粉末を微細化することが好ましい。これは、誘電体層 2 の厚みが $3 \mu m$ 以下、誘電体層 2 の積層数が 150 層以上であるように、積層セラミックコンデンサ 1 の誘電体層 2 を薄層化及び多層化する場合、電極層 3 の厚みもこれに対応して例えば $1.5 \mu m$ 以下に薄層化しなければならず、そして、電極層 3 の薄層化に対応するには電極前駆体層 21 に添加する誘電体粉末も微細化する必要があるからである。

40

【0038】

外装誘電体層 6 を形成する外装グリーンシート 23 は、外装誘電体層 6 の原料となる誘電体粉末を含む外装グリーンシート用塗料を調製し、ドクターブレード法等により支持体

50

としてのキャリアシート上に前記外装グリーンシート用塗料を塗布し、乾燥させることにより得られる。

【0039】

外装グリーンシート23に含まれる誘電体粉末としては、前述の主成分や副成分の酸化物や複合酸化物、また、焼成により酸化物や複合酸化物となる各種化合物、例えば炭酸塩、硝酸塩、水酸化物、有機金属化合物等を用いることができるが、内装グリーンシート22と同様の誘電体粉末を用いることもできる。

【0040】

積層工程後、加圧工程を行う。加圧工程では、積層体11に加圧を施し、図4に示すような積層体31を得る。加圧後の積層体31を電極層の幅方向に沿って切断すると、内装部12が積層方向中央付近で若干膨らんだような形状、すなわち、積層方向の中央付近に位置する電極前駆体層21の幅が両端付近に比べて長くなるように変形している。これは、積層方向中央付近に向かうほど圧力が大きく働く関係による。本実施形態では、加圧前の電極前駆体層21の幅を一定とした場合における加圧後の電極前駆体層21の幅を加圧条件の指標とする。

10

【0041】

本実施形態では、加圧後の積層体31を切断した切断面において、最も狭い電極前駆体層21の幅を Wg_2 、最も広い電極前駆体層21の幅を Wg_1 としたとき、 $1.02 < Wg_1 / Wg_2 < 1.25$ となるように、加圧を行う。ただし、加圧前の積層体11においては、 $Wg_1 / Wg_2 = 1.00$ とする。

20

【0042】

$Wg_1 / Wg_2 > 1.02$ となる加圧条件では、電極前駆体層21と内装グリーンシート22との接着性が不良となり、ノンラミネーション欠陥を生じさせる。 $Wg_1 / Wg_2 > 1.25$ となる加圧条件では、ノンラミネーション欠陥は低減するものの、ショート不良が増加する傾向にある。

【0043】

前記加圧工程後、焼成工程を行い、焼結体(素子本体)を得る。焼成に先立って、脱バインダ処理を行うことが好ましい。また、焼成後、誘電体層2及び外装誘電体層6を再酸化させるための熱処理を行うことが好ましい。脱バインダ処理、焼成及び再酸化のための熱処理は、これらを連続して行ってもよく、それぞれを独立に行ってもよい。

30

【0044】

脱バインダ処理は、通常の条件で行えばよいが、電極層3の導電材にNi、Ni合金等の卑金属を用いる場合、下記の条件で行うことが好ましい。すなわち、昇温速度を $5 \sim 300$ / 時間、特に $10 \sim 50$ / 時間とし、保持温度を $200 \sim 400$ 、特に $250 \sim 340$ とし、保持時間を $0.5 \sim 20$ 時間、特に $1 \sim 10$ 時間とし、雰囲気を加湿した N_2 と H_2 との混合ガスとする。

【0045】

焼成は下記の条件で行うことが好ましい。すなわち、昇温速度を $50 \sim 500$ / 時間、特に $200 \sim 300$ / 時間とし、保持温度を $1100 \sim 1350$ 、特に $1150 \sim 1300$ とし、保持時間を $0.5 \sim 8$ 時間、特に $1 \sim 3$ 時間とし、雰囲気を加湿した N_2 と H_2 との混合ガスとする。

40

【0046】

焼成に際して、雰囲気中の酸素分圧は、 10^{-2} Pa以下とすることが好ましい。前記範囲を上回ると電極層3が酸化するおそれがある。ただし、酸素分圧が低すぎると、電極材料が異常焼結を起こし、電極層3が途切れる傾向にある。したがって、焼成雰囲気の酸素分圧は、 10^{-2} Pa \sim 10^{-8} Paとすることが好ましい。

【0047】

焼成後の熱処理は、保持温度又は最高温度を通常は 1000 以上、好ましくは $1000 \sim 1100$ として行う。前記範囲未満の場合、誘電体材料の酸化が不十分なために絶縁抵抗寿命が短くなる傾向にあり、前記範囲を上回ると、電極層3中の導電材(Ni)

50

が酸化し、積層セラミックコンデンサの容量や寿命に悪影響を及ぼすおそれがある。

【0048】

前記熱処理の雰囲気は焼成よりも高い酸素分圧とし、好ましくは $10^{-3} \text{ Pa} \sim 1 \text{ Pa}$ 、より好ましくは $10^{-2} \sim 1 \text{ Pa}$ である。前記範囲未満の場合には誘電体層の再酸化が困難となり、逆に前記範囲を上回ると電極層3が酸化するおそれがある。前記熱処理の条件は、保持時間を0～6時間、特に2～5時間とし、冷却速度を $50 \sim 500$ /時間、特に $100 \sim 300$ /時間とし、雰囲気を加湿した N_2 ガス等とする。

【0049】

焼成工程後、外部電極形成工程において、素子本体4に外部電極5を形成する。外部電極5は、焼結体にパレル研磨、サンドブラスト等により端面研磨を施し、外部電極用塗料を焼き付けることにより形成すればよい。以上の各工程を行うことにより、積層セラミックコンデンサ1を作製することができる。

10

【0050】

以上のような製造方法によれば、積層工程において、積層方向両端から m 層目までの内装グリーンシート22の厚み Tg_2 と、それ以外の内装グリーンシート22の厚み Tg_1 との比を $1.02 < Tg_1 / Tg_2 < 1.50$ とし、且つ、最も幅広の電極前駆体層21の幅 Wg_1 と最も幅狭の電極前駆体層21の幅 Wg_2 との比が $1.02 < Wg_1 / Wg_2 < 1.25$ となるように加圧することによって、積層方向中央付近の電極前駆体層21の幅が広がり、これを焼成した積層セラミックコンデンサにおいて電極層3の幅の比が $1.00 < Wf_1 / Wf_2 < 1.23$ となる。また、積層体11の作製に際して内装部12の積層方向両端に薄い内装グリーンシート22を、中央付近に厚い内装グリーンシート22をそれぞれ配置したので、加圧によって内装グリーンシート22の厚みの差は縮小し、これを焼成した積層セラミックコンデンサにおける誘電体層2の厚み比は $0.85 < Tf_1 / Tf_2 < 1.15$ となる。以上のように積層セラミックコンデンサを作製することで、ショート不良を引き起こすことなく内装グリーンシート22と電極前駆体層21との間の接着性を確保し、ノンラミネーション欠陥発生を抑えることができる。それとともに、焼成過程において外装部7と内装部8との界面でデラミネーション欠陥が発生することを抑えることができる。

20

【0051】

特に、焼成後の積層セラミックコンデンサにおける誘電体層の厚みが $3 \mu\text{m}$ 以下であり、電極層の厚みが $1.5 \mu\text{m}$ 以下であり、誘電体層の積層数が150層以上である場合、特に効果大きい。これは、積層セラミックコンデンサの誘電体層の薄層化及び多層化が進むと電極層の構成割合が大きくなり、外装部と内装部との焼結挙動の差が著しくなるからである。なお、ここで誘電体層の厚みが $3 \mu\text{m}$ 以下であるとは、内装部を構成する誘電体層の厚みの平均値が $3 \mu\text{m}$ 以下であることをいう。

30

【0052】

なお、前述の実施形態では積層セラミックコンデンサを例に挙げて説明したが、本発明は積層セラミックコンデンサ以外の積層セラミック電子部品全般に適用可能であることは言うまでもない。

【実施例】

40

【0053】

以下、本発明を適用した具体的な実施例について、実験結果に基づいて説明する。

まず、誘電体粉末として BaTiO_3 粉末を含む内装グリーンシート用塗料を使用して、PETフィルム上に乾燥後の厚みが所定の厚みとなるように内装グリーンシートを形成した。この内装グリーンシートの所定領域上に、導電材料としてNiを含む内部電極ペーストを使用して電極前駆体層を印刷した後、PETフィルムからシートを剥離した。一方、誘電体粉末として BaTiO_3 粉末を含む外装グリーンシート用塗料を使用して、PETフィルム上に乾燥後の厚みが $8 \mu\text{m}$ となるように外装グリーンシートを形成し、PETフィルムからシートを剥離した。

【0054】

50

次に、電極前駆体層を形成した内装グリーンシートを n 層積層するとともに、この積層方向の両側に外装グリーンシートを複数積層し、積層体を作製した。以下の実施例では、内装グリーンシートの積層数 n は、160とした。サンプル1～サンプル3では、厚み $2.4\ \mu\text{m}$ (Tg_1)の内装グリーンシートを n 層用いて積層体を作製した。サンプル4～サンプル17では、積層方向両端付近の内装グリーンシートを、厚み Tg_2 を有するグリーンシートに変更した。用いた内装グリーンシートの厚み Tg_2 (Tg_1 と Tg_2 の比率で表す。)と、厚み Tg_2 なる内装グリーンシートの使用数を表1に示す。なお、表中、シート積層数の項目においては、四捨五入することにより小数点以下の桁数を2桁に揃えて表記した。

【0055】

次に、得られた積層体を加圧した。加圧条件は、加圧後の積層体における最も幅の広い電極前駆体層の幅 Wg_1 と、最も幅の狭い電極前駆体層の幅 Wg_2 との比 Wg_1/Wg_2 が表1及び表2に示す値となるように設定した。ただし、サンプル1では加圧処理を行わなかった。なお、加圧前の Wg_1/Wg_2 は、全てのサンプルで1.00に設定してある。

【0056】

加圧後の積層体における電極前駆体層の幅 Wg は、以下のように測定した。すなわち、電極前駆体層の幅方向に沿ってグリーンチップを切断し、切断面を研磨した後、研磨面を金属顕微鏡により観察し、観察した画像についてデジタル処理を行うことにより求めた。

【0057】

加圧後の積層体を所定サイズに切断してグリーンチップを得た後、チップの外観を顕微鏡にて観察し、欠陥の無いチップを脱バインダ処理、焼成及びアニールを行って、焼結体を得た。得られた焼結体の端面をサンドブラストにて研磨した後、焼結体の長手方向端面に外部電極を形成し、積層セラミックコンデンサ試料を得た。得られた積層セラミックコンデンサの寸法は、 $1.0\ \text{mm} \times 0.5\ \text{mm} \times 0.5\ \text{mm}$ であった。

【0058】

得られた各積層セラミックコンデンサにおける電極層の幅の比 Wf_1/Wf_2 、及び誘電体層の厚み比 Tf_1/Tf_2 を、表1及び表2に示す。電極層の幅 Wf_1 及び Wf_2 は、具体的には、電極層の幅方向に沿って積層セラミックコンデンサを切断し、切断面を研磨した後、研磨面を金属顕微鏡により観察し、観察した画像についてデジタル処理を行うことにより求めた。誘電体層の厚み Tf_1 及び Tf_2 は、前記 Wf_1 と認定した電極層に隣接する誘電体層の厚み Tf_1 と、前記 Wf_2 と認定した電極層に隣接する誘電体層の厚み Tf_2 とをそれぞれ測定することにより求めた。

【0059】

<評価>

ノンラミネーション欠陥

各サンプルを100個作製したときのノンラミネーション欠陥発生数を調べた。具体的には、グリーンチップについて、電極前駆体層の幅方向に沿って切断し、切断面を研磨した後、研磨面を顕微鏡により観察を行い、内装部と外装部および内装誘電体層、電極前駆体層の界面にノンラミネーション欠陥が確認されたものを欠陥ありとした。

【0060】

デラミネーション欠陥

各サンプルを100個作製したときのデラミネーション欠陥発生数を調べた。外部電極形成前の焼成済み試料について電極層の幅方向に沿って積層セラミックコンデンサを切断し、切断面を研磨した後、研磨面を顕微鏡観察したときに、内装部と外装部との界面にデラミネーション欠陥が確認されたものを欠陥有りとした。

【0061】

ショート不良

各サンプルを50個作製したときのショート不良発生数を調べた。具体的には、各サンプルを抵抗計にて抵抗値を測定し、1M以下であったものをショート不良とした。

10

20

30

40

50

【 0 0 6 2 】

容量低下 - 10%以上

各積層セラミックコンデンサについて、容量低下の有無を調べた。容量低下ありとは、具体的には、25においてデジタルLCRメータにて1kHz、1.0Vrmsの条件で、1000個の試料の静電容量を測定し、サンプルNo. 1における1000個の測定結果の平均を平均容量とし、平均容量に対して-10%以下の容量である積層セラミックコンデンサ試料のサンプルを容量低下ありとした。

【 0 0 6 3 】

以上のサンプルの評価結果を、表1に示す。表1は、加圧条件を一定とし、内装グリーンシートの厚み比 Tg_1 / Tg_2 を変化させた結果である。表2は、内装グリーンシートの厚み比 Tg_1 / Tg_2 を一定とし、加圧条件を変化させた結果である。表3は、厚み Tg_2 の内装グリーンシートの積層数を変化させたときの結果である。表中、本発明の範囲外のサンプルには*印を付した。

10

【 0 0 6 4 】

【表 1】

サンプル No.	焼成前				焼成後		ノンラミネーション 欠陥	デラミネーション 欠陥	ショート 不良	容量低下 -10%以上
	グリーン シート 厚み比 Tg1/Tg2	外装側 シート (Tg2) 積層数 n	中央側 シート (Tg1) 積層数	電極 前駆体層 幅比 Wg1/Wg2	電極層 幅比 Wf1/Wf2	誘電体層 厚み比 Tf1/Tf2				
1	(1.00)	0	n	1.00	0.99	0.84	21/100	90/100	0/50	なし
2	(1.00)	0	n	1.10	1.09	0.81	0/100	30/100	0/50	なし
3	(1.00)	0	n	1.25	1.22	0.73	0/100	0/100	23/50	なし
2	(1.00)	0	n	1.10	1.09	0.81	0/100	30/100	0/50	なし
4	1.02	0.15n	0.70n	1.10	1.08	0.85	0/100	5/100	0/50	なし
5	1.05	0.15n	0.70n	1.10	1.09	0.87	0/100	0/100	0/50	なし
6	1.15	0.15n	0.70n	1.10	1.10	1.03	0/100	0/100	0/50	なし
7	1.45	0.15n	0.70n	1.10	1.10	1.13	0/100	0/100	0/50	なし
8	1.50	0.15n	0.70n	1.10	1.11	1.17	0/100	0/100	0/50	あり
9	1.15	0.02n	0.96n	1.10	1.09	0.85	0/100	8/100	0/50	なし
10	1.15	0.05n	0.90n	1.10	1.09	0.86	0/100	0/100	0/50	なし
(6)	1.15	0.15n	0.70n	1.10	1.10	1.03	0/100	0/100	0/50	なし
11	1.15	0.25n	0.50n	1.10	1.10	0.91	0/100	0/100	0/50	なし
12	1.15	0.30n	0.40n	1.10	1.08	0.85	0/100	6/100	0/50	なし
13	1.15	0.45n	0.10n	1.10	1.09	0.82	0/100	23/100	5/50	なし
14	1.15	0.15n	0.70n	1.02	0.98	1.15	6/100	25/100	0/50	あり
15	1.15	0.15n	0.70n	1.05	1.03	1.10	0/100	0/100	0/50	なし
(6)	1.15	0.15n	0.70n	1.10	1.10	1.03	0/100	0/100	0/50	なし
16	1.15	0.15n	0.70n	1.20	1.18	0.90	0/100	0/100	0/50	なし
17	1.15	0.15n	0.70n	1.25	1.23	0.83	0/100	0/100	6/50	なし

* * * * * * * * * * * * * * * * *

10

20

30

40

【0065】

表 1 に示すように、全て同じ厚みの内装グリーンシートを用い、且つ加圧を行わない場合においては、ノンラミネーション欠陥及びデラミネーション欠陥のいずれも多発した(サンプル 1)。また、全て同じ厚みの内装グリーンシートを用いた場合においては、ノンラミネーション欠陥を解消する程度に加圧を行ったとしても、デラミネーション欠陥を完全に解消することはできず、加圧力を高めるにつれてショート不良が増加する傾向を示した(サンプル 2, サンプル 3)。

【0066】

50

これに対し、サンプル 14 ~ サンプル 17 に示すように、積層体を加圧することによりノンラミネーション欠陥及びデラミネーション欠陥ともに改善する傾向を示した。ただし、加圧が不十分であるとノンラミネーション欠陥の完全な解消には至らず、逆に加圧を強めると、ショート不良の発生を招いた。このことから、サンプル 15 ~ サンプル 16 の加圧条件が適正であるとわかる。

【0067】

一方、積層方向両端付近に配する内装グリーンシートの厚み Tg_2 とその他の内装グリーンシートの厚み Tg_1 との比は、小さすぎる場合にはデラミネーション欠陥を完全に解消することができず(サンプル 4)、逆に、比 Tg_1 / Tg_2 を大きくしすぎると、容量低下が生じた(サンプル 8)ため、サンプル 5 ~ サンプル 7 が適正であるとわかる。

10

【0068】

また、サンプル 9 ~ サンプル 13 に着目すると、厚み Tg_2 を有する薄い内装グリーンシートの積層数 m を $0.05n \sim 0.25n$ 層とすることによって、デラミネーション欠陥の発生が確実に解消可能されている。

【0069】

以上のように、内装部の積層方向両端からそれぞれ $0.05n \sim 0.25n$ 層目に配置する内装グリーンシートの厚み Tg_2 を、 $1.02 < Tg_1 / Tg_2 < 1.50$ の関係を満たすように設定するとともに、電極前駆体層の幅比が $1.02 < Wg_1 / Wg_2 < 1.25$ の関係を満たすように加圧を行うことにより、積層セラミックコンデンサにおける電極層幅比が $1.00 < Wf_1 / Wf_2 < 1.23$ となり、且つ誘電体層厚みの比が $0.85 < Tf_1 / Tf_2 < 1.15$ となった。このような条件で積層セラミック電子部品を製作し、焼成後の Wf_1 / Wf_2 及び Tf_1 / Tf_2 を前記範囲内とすることで、ノンラミネーション欠陥とショート不良とを両方とも抑制し、さらにはデラミネーション欠陥の発生を確実に抑えることが可能であることが確認された。

20

【図面の簡単な説明】

【0070】

【図 1】本発明により製造される積層セラミックコンデンサの一例を示す要部断面図である。

【図 2】図 1 の積層セラミックコンデンサの X - X 線(幅方向)に沿った断面図である。

【図 3】加圧前の積層体の幅方向に沿った要部断面図である。

30

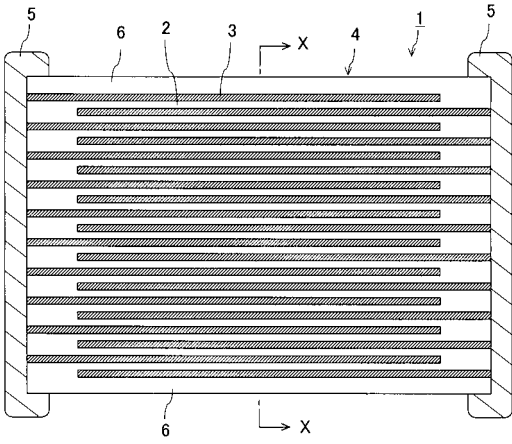
【図 4】加圧後の積層体の幅方向に沿った要部断面図である。

【符号の説明】

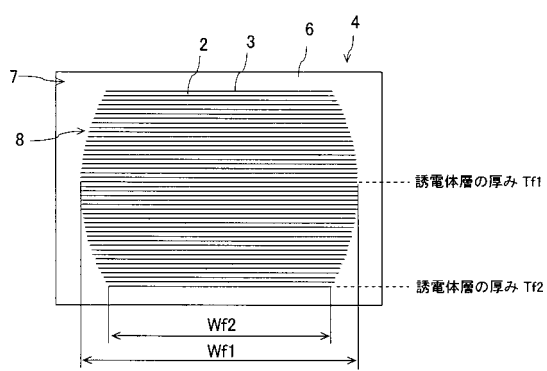
【0071】

1 積層セラミックコンデンサ、2 誘電体層、3 電極層、4 素子本体、5 外部電極、6 外装誘電体層、7 外装部、8 内装部、11 積層体、12 内装部、13 外装部、21 電極前駆体層、22 内装グリーンシート、23 外装グリーンシート、31 積層体

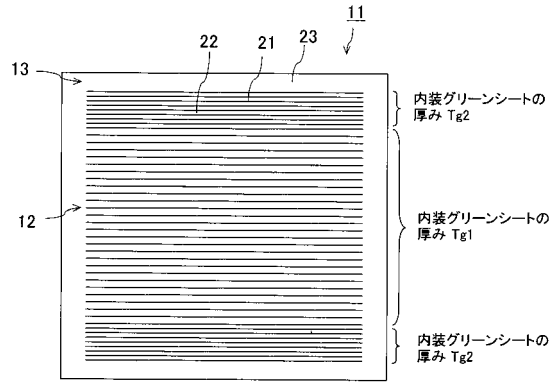
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

