

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和5年6月26日(2023.6.26)

【公開番号】特開2022-3672(P2022-3672A)
 【公開日】令和4年1月11日(2022.1.11)
 【年通号数】公開公報(特許)2022-003
 【出願番号】特願2020-107919(P2020-107919)
 【国際特許分類】

H 0 1 L 2 7 / 1 4 6 (2 0 0 6 . 0 1)

H 0 1 L 2 5 / 0 7 (2 0 0 6 . 0 1)

H 0 4 N 2 5 / 7 0 (2 0 2 3 . 0 1)

H 0 4 N 2 5 / 7 7 (2 0 2 3 . 0 1)

10

【F I】

H 0 1 L 2 7 / 1 4 6 F

H 0 1 L 2 7 / 1 4 6 D

H 0 1 L 2 5 / 0 8 Z

H 0 4 N 5 / 3 6 9

H 0 4 N 5 / 3 7 4 5

20

【手続補正書】

【提出日】令和5年6月16日(2023.6.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数行および複数列に配された複数の画素回路を含む第1半導体素子層を含む第1チップと、 30

第2半導体素子層を含む第2チップと、を備え、

前記第1チップと前記第2チップとは、前記第1半導体素子層と前記第2半導体素子層との間において複数の金属接合部で接合され、

前記複数の画素回路は、 n (n は3以上の整数)個の画素回路を含む第1画素ブロックと、前記第1画素ブロックと同数の画素回路を含む第2画素ブロックとを含み、

前記複数の金属接合部は、前記第1半導体素子層と前記第2半導体素子層を接続する第1金属接合部を含み、

前記第1画素ブロックと平面視で重なる位置に配される前記第1金属接合部の数は、前記第2画素ブロックと平面視で重なる位置に配される前記第1金属接合部の数よりも少なく、 40

前記 n 個の画素回路に含まれ、かつ前記複数行のうちの1行に配される少なくとも3つの画素回路の内部には、それぞれ配置パターンが前記3つの画素回路の内部のそれぞれで互いに異なる金属接合部が配される

ことを特徴とする光電変換装置。

【請求項2】

外部からの電位が供給されるパッド配線を有し、

前記パッド配線から前記第1画素ブロックまでの距離は、前記パッド配線から前記第2画素ブロックまでの距離よりも短いことを特徴とする請求項1に記載の光電変換装置。

【請求項3】

50

前記複数の画素回路が繰り返し配された画素領域を有し、

平面視で、前記第1画素ブロックから前記画素領域の中心までの距離は、前記第2画素ブロックから前記画素領域の中心までの距離よりも長いことを特徴とする請求項1または2に記載の光電変換装置。

【請求項4】

前記複数の画素回路のそれぞれは光電変換素子を含み、

前記第1画素ブロックに配された、前記 n (n は3以上の整数)個の画素回路の前記光電変換素子は遮光膜で覆われ、

前記第2画素ブロックに配された、前記第1画素ブロックと同数の画素回路の前記光電変換素子には光が入射することを特徴とする請求項1乃至3のいずれか1項に記載の光電変換装置。

10

【請求項5】

信号処理回路をさらに備え、

前記第1画素ブロックと前記信号処理回路との距離は、前記第2画素ブロックと前記信号処理回路との距離よりも短いことを特徴とする請求項1乃至4のいずれか1項に記載の光電変換装置。

【請求項6】

前記信号処理回路は出力部を含み、

前記第1画素ブロックと前記出力部との距離が、前記第2画素ブロックと前記出力部との距離よりも短いことを特徴とする請求項5に記載の光電変換装置。

20

【請求項7】

前記3つの画素回路は、隣り合って配置されている画素回路であることを特徴とする請求項1乃至6のいずれか1項に記載の光電変換装置。

【請求項8】

複数行および複数列に配される複数の画素回路を含む第1半導体素子層を含む第1チップと、

第2半導体素子層を含む第2チップと、を備え、

前記第1チップと前記第2チップとは、前記第1半導体素子層と前記第2半導体素子層との間において複数の金属接合部で接合され、

前記複数の画素回路は、 n (n は3以上の整数)個の画素回路を含む第1画素ブロックと、 m (m は3以上の整数)個の画素回路を含み、前記第1画素ブロックと同数の画素回路を含む第2画素ブロックとを含み、

30

前記複数の金属接合部は、前記第1半導体素子層と前記第2半導体素子層を接続する第1金属接合部を含み、

前記第1画素ブロックにおいて、前記 n 個の画素回路に含まれ、かつ前記複数行のうちの1行に配される少なくとも3つの画素回路と平面視で重なる位置に配される前記第1金属接合部の前記少なくとも3つの画素回路の内部における配置パターンと、前記第2画素ブロックにおいて、前記 m 個の画素回路に含まれ、かつ前記複数行のうちの1行に配される少なくとも3つの画素回路と平面視で重なる位置に配される前記第1金属接合部の前記少なくとも3つの画素回路の内部における配置パターンとが異なることを特徴とする光電変換装置。

40

【請求項9】

前記第2画素ブロックと平面視で重なる位置に配される前記第1金属接合部の前記第2画素ブロックの内部における前記第1金属接合部の数は2以上であり、

前記第2画素ブロックの内部における2以上の前記第1金属接合部のうちの少なくとも1つの前記第1金属接合部と、前記第1画素ブロックと平面視で重なる位置に配される前記第1金属接合部の前記第1画素ブロックの内部における配置パターンとが異なることを特徴とする請求項8に記載の光電変換装置。

【請求項10】

前記第1画素ブロックの前記 n 個の画素回路と、前記第2画素ブロックの前記第1画素

50

ブロックと同数の画素回路を含む第 2 画素ブロックと、はそれぞれ、 m 列 1 行 (m は 2 以上の整数、 1 は 2 以上の整数) に配された画素回路を含むことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 1 1】

前記第 1 画素ブロックの前記 3 つの画素回路は隣り合って配置され、

前記第 2 画素ブロックの前記 3 つの画素回路は隣り合って配置されることを特徴とする請求項 8 乃至 10 のいずれか 1 項に記載の光電変換装置。

【請求項 1 2】

前記第 1 画素ブロックにおいて、前記 n 個の画素回路での信号電荷の蓄積期間が第 1 期間に制御され、前記第 2 画素ブロックにおいて、前記第 1 画素ブロックと同数の画素回路での信号電荷の蓄積期間が前記第 1 期間とは異なる第 2 期間に制御されることを特徴とする請求項 1 乃至 1.1 のいずれか 1 項に記載の光電変換装置。

10

【請求項 1 3】

前記複数の画素回路は、前記第 1 画素ブロックと同数の画素回路を含む第 3 画素ブロックを含み、

前記第 3 画素ブロックにおいて、前記第 1 画素ブロックと同数の画素回路での信号電荷の蓄積期間が前記第 1 期間および前記第 2 期間とは異なる第 3 期間に制御され、

平面視で、前記第 1 画素ブロックに重なる位置に配される前記第 1 金属接合部の数と、前記第 2 画素ブロックに重なる位置に配される前記第 1 金属接合部の数と、前記第 3 画素ブロックに重なる位置に配される前記第 1 金属接合部の数と、はそれぞれ異なることを特徴とする請求項 1.2 に記載の光電変換装置。

20

【請求項 1 4】

前記複数の画素回路は複数行および複数列に配されており、

前記 n 個の画素回路に含まれ、かつ前記複数行のうちの 1 行に配された、隣り合う少なくとも 3 つの画素回路の内部には、それぞれ配置パターンが前記 3 つの画素回路の内部のそれぞれで互いに異なる金属接合部が配されることを請求項 8 乃至 1.3 のいずれか 1 項に記載の光電変換装置。

【請求項 1 5】

出力部を含み、

平面視で、前記第 1 画素ブロックと前記出力部との距離が、前記第 2 画素ブロックと前記出力部との距離よりも短いことを特徴とする請求項 1.2 乃至 1.4 のいずれか 1 項に記載の光電変換装置。

30

【請求項 1 6】

前記第 1 画素ブロックに重なる位置に配される前記第 1 金属接合部の数は、前記第 2 画素ブロックに重なる位置に配される前記第 1 金属接合部の数よりも少ないことを特徴とする請求項 1 乃至 1.5 のいずれか 1 項に記載の光電変換装置。

【請求項 1 7】

前記複数の金属接合部は、前記第 1 半導体素子層もしくは前記第 2 半導体素子層と接続されない、または、前記第 1 半導体素子層および前記第 2 半導体素子層と接続されない第 2 金属接合部を含み、

40

平面視で前記第 1 画素ブロックに重なる位置に配された前記第 2 金属接合部の数は、前記第 2 画素ブロックに重なる位置に前記第 2 金属接合部の数よりも多いことを特徴とする請求項 1 乃至 1.6 のいずれか 1 項に記載の光電変換装置。

【請求項 1 8】

前記第 1 画素ブロックと前記第 2 画素ブロックとは隣接して配されることを特徴とする請求項 1 乃至 1.7 のいずれか 1 項に記載の光電変換装置。

【請求項 1 9】

前記第 1 金属接合部には、出力線が接続されることを特徴とする請求項 1 乃至 1.8 のいずれか 1 項に記載の光電変換装置。

【請求項 2 0】

50

前記複数の金属接合部の主成分は銅であることを特徴とする請求項 1 乃至 19 のいずれか 1 項に記載の光電変換装置。

【請求項 2 1】

前記複数の画素回路のそれぞれは、光電変換素子を含み、

前記複数の金属接合部は、1つの前記光電変換素子に対して1つの前記金属接合部が対応して配されていることを特徴とする請求項 1 乃至 20 のいずれか 1 項に記載の光電変換装置。

【請求項 2 2】

請求項 1 乃至 2.1 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置によって得られた信号を処理する信号処理部と、を備えることを特徴とする光電変換システム。 10

【請求項 2 3】

請求項 1 乃至 2.1 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置からの信号に基づき、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて移動体を制御する制御手段と、を有することを特徴とする移動体。

【請求項 2 4】

複数行および複数列に配された複数の回路を含む第 1 半導体素子層を含む第 1 チップと、

第 2 半導体素子層を含む第 2 チップと、を備え、 20

前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合され、

前記複数の回路は、 n (n は 3 以上の整数) 個の回路を含む第 1 ブロックと、前記第 1 ブロックと同数の回路を含む第 2 ブロックとを含み、

前記複数の金属接合部は、前記第 1 半導体素子層と前記第 2 半導体素子層を接続する第 1 金属接合部を含み、

前記第 1 ブロックと平面視で重なる位置に配された前記第 1 金属接合部の数は、前記第 2 ブロックと平面視で重なる位置に配された前記第 1 金属接合部の数よりも少なく、

前記 n 個の回路に含まれ、かつ前記複数行のうちの 1 行に配された少なくとも 3 つの回路の内部には、それぞれ配置パターンが前記少なくとも 3 つの回路の内部のそれぞれで互いに異なる金属接合部が配される 30

ことを特徴とする半導体装置。

【請求項 2 5】

複数行および複数列に配される複数の回路を含む第 1 半導体素子層を含む第 1 チップと、第 2 半導体素子層を含む第 2 チップと、を備え、

前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合され、

前記複数の回路は、 n (n は 3 以上の整数) 個の回路を含む第 1 ブロックと、 m (m は 3 以上の整数) 個の回路を含み、前記第 1 ブロックと同数の回路を含む第 2 ブロックとを含み、 40

前記複数の金属接合部は、前記第 1 半導体素子層と前記第 2 半導体素子層を接続する第 1 金属接合部を含み、

前記第 1 ブロックにおいて、前記 n 個の回路に含まれ、かつ前記複数行のうちの 1 行に配される少なくとも 3 つの回路と平面視で重なる位置に配される前記第 1 金属接合部の前記

少なくとも 3 つの回路の内部における配置パターンと、前記第 2 ブロックにおいて、前記 m 個の回路に含まれ、かつ前記複数行のうちの 1 行に配される少なくとも 3 つの回路と平面

視で重なる位置に配される前記第 1 金属接合部の前記少なくとも 3 つの回路の内部における配置パターンとが異なることを特徴とする半導体装置。

【請求項 2 6】

前記複数の金属接合部の主成分は銅であることを特徴とする請求項 2 4 または 2 5 に記載 50

の半導体装置。

【請求項 27】

外部からの電位が供給されるパッド配線を有し、
前記パッド配線から前記第 1 ブロックまでの距離は、前記パッド配線から前記第 2 ブロックまでの距離よりも短いことを特徴とする請求項 24 乃至 26 のいずれか 1 項に記載の半導体装置。

【請求項 28】

信号処理回路をさらに備え、
前記第 1 ブロックと前記信号処理回路との距離は、前記第 2 ブロックと前記信号処理回路との距離よりも短いことを特徴とする請求項 24 乃至 27 のいずれか 1 項に記載の半導体装置。

10

【請求項 29】

前記信号処理回路は出力部を含み、
前記第 1 ブロックと前記出力部との距離が、前記第 2 ブロックと前記出力部との距離よりも短いことを特徴とする請求項 28 に記載の半導体装置。

【請求項 30】

前記 3 つの回路は、隣り合って配置されることを特徴とする請求項 24 乃至 29 のいずれか 1 項に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

20

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

一形態に係る光電変換装置は、複数行および複数列に配された複数の画素回路を含む第 1 半導体素子層を含む第 1 チップと、第 2 半導体素子層を含む第 2 チップと、を備え、前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合され、前記複数の画素回路は、 n (n は 3 以上の整数) 個の画素回路を含む第 1 画素ブロックと、前記第 1 画素ブロックと同数の画素回路を含む第 2 画素ブロックとを含み、前記複数の金属接合部は、前記第 1 半導体素子層と前記第 2 半導体素子層を接続する第 1 金属接合部を含み、前記第 1 画素ブロックと平面視で重なる位置に配される前記第 1 金属接合部の数は、前記第 2 画素ブロックと平面視で重なる位置に配される前記第 1 金属接合部の数よりも少なく、前記 n 個の画素回路に含まれ、かつ前記複数行のうちの 1 行に配される少なくとも 3 つの画素回路の内部には、それぞれ配置パターンが前記 3 つの画素回路の内部のそれぞれで互いに異なる金属接合部が配される。

30

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

40

【0008】

一形態に係る光電変換装置は、複数行および複数列に配される複数の画素回路を含む第 1 半導体素子層を含む第 1 チップと、第 2 半導体素子層を含む第 2 チップと、を備え、前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合され、前記複数の画素回路は、 n (n は 3 以上の整数) 個の画素回路を含む第 1 画素ブロックと、 m (m は 3 以上の整数) 個の画素回路を含み、前記第 1 画素ブロックと同数の画素回路を含む第 2 画素ブロックとを含み、前記複数の金属接合部は、前記第 1 半導体素子層と前記第 2 半導体素子層を接続する第 1 金属接合部を含み、前記第 1 画素ブロックにおいて、前記 n 個の画素回路に含まれ、かつ前記複数行のうちの 1 行に配される少なくとも 3 つの画素回路と平面視で重なる位置に配される前記

50

第 1 金属接合部の前記少なくとも 3 つの画素回路の内部における配置パターンと、前記第 2 画素ブロックにおいて、前記 m 個の画素回路に含まれ、かつ前記複数行のうちの 1 行に配される少なくとも 3 つの画素回路と平面視で重なる位置に配される前記第 1 金属接合部の前記少なくとも 3 つの画素回路の内部における配置パターンとが異なる。

10

20

30

40

50