(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3834074号

(P3834074)

(45)発行日　平成18年10月18日(2006.10.18)　(24)登録日　平成18年7月28日(2006.7.28)

(51)Int.Cl.		F I		
H01L 27/095	(2006.01)	H01L	29/80	E
H01L 29/43	(2006.01)	H01L	29/46	
H01L 29/812	(2006.01)	H01L	29/80	H
H01L 29/778	(2006.01)			
H01L 21/338	(2006.01)			

請求項の数 4　(全 11 頁)

(21)出願番号　特願平6-164887
(22)出願日　平成6年6月24日(1994.6.24)
(65)公開番号　特開平7-142687
(43)公開日　平成7年6月2日(1995.6.2)
審査請求日　平成13年6月21日(2001.6.21)
(31)優先権主張番号　083751
(32)優先日　平成5年6月25日(1993.6.25)
(33)優先権主張国　米国(US)
(31)優先権主張番号　083755
(32)優先日　平成5年6月25日(1993.6.25)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　504199127
フリースケール　セミコンダクター　インコーポレイテッド
アメリカ合衆国テキサス州７８７２９，オースティン，ウエスト・パーマー・レーン　７７００
(74)代理人　100083574
弁理士　池内　義明
(72)発明者　ジョナサン・ケイ・アブロクワー
アメリカ合衆国アリゾナ州テンピ、イー・ランチ・ロード１９６３
(72)発明者　ジェン・フワ・フアン
アメリカ合衆国アリゾナ州ギルバート、ダブリュー・タラ・ドライヴ１４２６

最終頁に続く

(54)【発明の名称】相補形半導体デバイスにオーム接触を形成する方法

(57)【特許請求の範囲】

【請求項１】

相補形半導体デバイスにオーム接触を形成する方法であって：

ガリウムひ素のエピタキシャル構造にＮ形領域（７０）を形成する段階；

前記ガリウムひ素のエピタキシャル構造にＰ形領域（８０）を形成する段階；

２５０～４００オーム／平方の範囲の面積抵抗を生じるようにフッ素とベリリウムをＰ形領域に共注入することによって、Ｐ形領域に大量の不純物をドーピングする段階；

熱アニーリングによって前記Ｎ形領域および前記Ｐ形領域を活性化する段階；

前記Ｎ形領域および前記Ｐ形領域上にニッケルを付着し、該ニッケルの上にゲルマニウムを付着する段階；および

前記付着したニッケルおよびゲルマニウム上にタングステンを付着する段階；

を具備することを特徴とする方法。

【請求項２】

相補形半導体デバイスにオーム接触を形成する方法であって：

ＩＩＩ－Ｖ族半導体構造に伸長するＮ形領域（７０）を形成する段階；

前記ＩＩＩ－Ｖ族半導体構造に伸長するＰ形領域（８０）を形成する段階；

フッ素とベリリウムを前記Ｐ形領域に共注入することによって前記Ｐ形領域に大量の不純物をドーピングして、２５０～４００オーム／平方の範囲の面積抵抗を生じさせる段階；

前記Ｎ形領域にオーム接触する、ニッケル、該ニッケルの上に形成されたゲルマニウム

および前記ゲルマニウムの上に形成されたタングステンから成る第１オーム領域（１１７）を形成する段階；および
前記Ｐ形領域にオーム接触する、ニッケル、該ニッケルの上に形成されたゲルマニウムおよび前記ゲルマニウムの上に形成されたタングステンから成る第２オーム領域（１１９）を形成する段階；
を具備することを特徴とする方法。
【請求項３】
非金オーム接触を有するＩＩＩ－Ｖ族相補形ヘテロ構造デバイスを製造する方法であって：
ヘテロ構造チャネル領域（１６）を形成する段階；
前記ヘテロ構造チャネル領域上にヘテロ構造絶縁領域（１８）を形成する段階；
前記ヘテロ構造絶縁領域（１８）上にＮデバイス・ゲート（４０）およびＰデバイス・ゲート（４２）を形成する段階；
前記ヘテロ構造チャネル領域（１６）まで延在するＮソース領域（７０）を前記Ｎデバイス・ゲート（４０）の第１側面に形成する段階；
前記ヘテロ構造チャネル領域（１６）まで延在するＮドレイン領域（７２）を前記Ｎデバイス・ゲート（４０）の第２側面に形成する段階；
前記ヘテロ構造チャネル領域（１６）まで延在するＰソース領域（８０）を前記Ｐデバイス・ゲート（４２）の第１側面に形成する段階であって、前記Ｐソース領域はフッ素とベリリウムを共注入することによって大量の不純物をドーピングして２５０～４００オーム／平方の範囲の面積抵抗を生じさせる、段階；
前記ヘテロ構造チャネル領域（１６）まで延在するＰドレイン領域（８２）を前記Ｐデバイス・ゲート（４２）の第２側面に形成する段階であって、前記Ｐドレイン領域はフッ素とベリリウムを共注入することによって大量の不純物をドーピングして２５０～４００オーム／平方の範囲の面積抵抗を生じさせる、段階；および
前記Ｎソース領域（７０），Ｎドレイン領域（７２），Ｐソース領域（８０）およびＰドレイン領域（８２）にそれぞれ接触し、ニッケル、ゲルマニウムおよびタングステンから成る第１，第２，第３および第４オーム領域（１１７，１１９）を形成する段階であって、前記ゲルマニウムは前記ニッケルの上に形成され、かつ前記タングステンは前記ゲルマニウムの上に形成される、段階；
を具備することを特徴とする方法。
【請求項４】
非金オーム接触を有するＩＩＩ－Ｖ族相補形ヘテロ構造デバイスを製造する方法であって：
Ｎ形領域と該Ｎ形領域にオーム接触する、ニッケル、該ニッケルの上に形成されたゲルマニウムおよび前記ゲルマニウムの上に形成されたタングステンから成る第１オーム領域（１１７）を含むＮ形デバイスと、Ｐ形領域と該Ｐ形領域にオーム接触する、ニッケル、該ニッケルの上に形成されたゲルマニウムおよび前記ゲルマニウムの上に形成されたタングステンから成る第２オーム領域（１１９）を含むＰ形デバイスとを備え、前記Ｐ形領域はフッ素とベリリウムを共注入することによって大量の不純物をドーピングして２５０～４００オーム／平方の範囲の面積抵抗を生じさせる、相補形電界効果デバイスを形成する段階；
を具備することを特徴とする方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、一般に、半導体デバイスに関し、さらに詳しくは、相補形半導体デバイスに関する。
【０００２】
【従来の技術】

相補形半導体デバイス、特にＩＩＩ－Ｖ族相補形ヘテロ構造電界効果トランジスタ（ＣＨＦＥＴ）または相補形ヘテロ構造絶縁ゲート電界効果トランジスタ（ＣＨＩＧＦＥＴ）は、低電力，低電圧，高速用途で極めて有用であることがわかっている。例えば、米国特許第４，７２９，０００号"Low Power AlGaAs/GaAs Complementary FETs Incorporating InGaAs N-channel Gates," Abrokwahおよび米国特許第４，８１４，８５１号"High Trans conductance Complementary (Al, Ga) As/GaAs Heterostructure Insulated Gate Field-Effect Transistors," Abrokwah et alを参照されたい。従来技術では、自己整合イオン注入技術を用いる相補形ガリウム砒素（ＧａＡｓ）ヘテロ構造デバイスが開示されている。ＣＨＩＧＦＥＴは、キャリア移動のため高移動度の２次元電子または正孔ガスをチャネルに封じるために、アルミニウム・ガリウム砒素（ＡｌＧａＡｓ）またはアルミニウム・インジウム砒素（ＡｌＩｎＡｓ）などの広バンドギャップ絶縁体を利用するＣＭＯＳのようなデバイスである。２次元ガスは、広バンドギャップ材料絶縁体と狭バンドギャップ材料チャネルとのヘテロ接合に近接して形成される。一般的なチャネル材料は、仮晶$In_X Ga_{1-X} As$である。しかし、従来技術では、デバイスの活性領域を電気接続するために用いられるオーム接触メタライゼーションについていくつかの欠点がある。

【０００３】

【発明が解決しようとする課題】

デバイスが相補形であるということは、同一基板上にＮ形およびＰ形デバイスを含むことを意味している。従来技術の一般的なオーム接触メタライゼーションは、Ｎ形デバイスとＰ形デバイスとで異なる。Ｎ形の場合、金ゲルマニウム・ニッケル（ＡｕＧｅＮｉ）が用いられる。Ｐ形の場合、金亜鉛ニッケル（ＡｕＺｎＮｉ）または金亜鉛金（ＡｕＺｎＡｕ）が用いられる。両方のオーム接触は、抵抗を低くするためＡｕメタライゼーションを利用し、その結果、いくつかの欠点が生じる。Ａｕベースのオーム接触はエッチングできない。そのため、リフトオフ処理によってデバイス上に形成しなければならない。当技術分野で周知なように、リフトオフ法には比較的低い歩留りと不精細なパターン形成が伴い、そのためデバイスの形状は比較的大きな寸法に限定される。寸法が大きいので、与えられたスペースに装着できるデバイスの最大数が低下する。

【０００４】

また、従来のＡｕベースのオーム接触は、多層集積回路相互接続で利用される最新のＶＬＳＩアルミニウムメタライゼーションと適合性がないという欠点を有する。この非適合性は、Ａｕベースのオーム接触はＡｌ多層技術で必要とされる温度範囲で安定したオーム接触を提供できないという事実に起因する。具体的には、一般的なＡｌベースの相互接続処理は約５００°Ｃまたはそれ以上で行われるが、Ａｕベースのオーム接触は約４７０°Ｃ以上では安定したオーム接触を提供できない。そのため、従来のＡｕベースのオーム接触では、相補形デバイスの商用利用が制限される。さらに、時間とともにＡｕはＡｌと反応する傾向があり、紫斑(purple plaque)と呼ばれる問題を生じ、これは最終的にデバイスの故障の原因となる。

【０００５】

従来のオーム接触の別の欠点は、ＡｕとＧａＡｓとの複雑な反応によって接点の構造が不適切になるということである。

【０００６】

さらに、２つの異なる材料がＮ形デバイスとＰ形デバイスに用いられるという点で従来のオーム接触では明白な欠点が生じる。周知なように、個別の材料を用いることはデバイス処理の複雑さを増し、これは高コスト，サイクル時間の増加，安全性リスクの増加，歩留りの低下などにつながる。

【０００７】

従って、Ｎ形およびＰ形デバイスの両方で利用でき、かつ最新のＶＬＳＩ多層アルミニウム相互接続と適合性があり、しかも従来技術の前述のすべての問題を回避するＩＩＩ－Ｖ族相補形デバイスに適したオーム接触が必要とされる。さらに、このようなオーム接触

を利用する相補形ヘテロ構造電界効果デバイスを設けることが望ましい。

【０００８】

【課題を解決するための手段】

本発明の範囲は、適合性のあるオーム接触を用いるＩＩＩ－Ｖ族相補形半導体デバイスを含む。具体的には、好適な実施例は、Ｎ形デバイス・ゲートを含むＮチャネル・デバイスを含む。Ｎチャネル・デバイスは、Ｎ形デバイス・ゲートの下の第１ヘテロ構造絶縁領域と、この第１ヘテロ構造絶縁領域の下の第１ヘテロ構造チャネル領域とを含む。さらに、Ｎ形ソースおよびＮ形ドレイン領域はＮ形デバイス・ゲートの側面に設けられる。Ｎ形ソース領域およびＮ形ドレイン領域は、第１ヘテロ構造チャネル領域まで延在する。５００～６００°Ｃの温度範囲で実質的に安定したオーム接触を与える第１材料からなる第１オーム領域は、Ｎ形ソース領域と接触し、同様な第２オーム領域はＮ形ドレイン領域と接触する。

【０００９】

さらに、この好適な実施例は、Ｐ形デバイス・ゲートを有するＰチャネル・デバイスを含む。Ｐチャネル・デバイスは、Ｐ形デバイス・ゲートの下の第２ヘテロ構造絶縁領域と、この第２ヘテロ構造絶縁領域の下の第２ヘテロ構造チャネル領域とを含む。Ｐ形ソースおよびＰ形ドレイン領域は、Ｐ形デバイス・ゲートの側面に設けられる。Ｐ形ドレインおよびＰ形ソース領域は、第２ヘテロ構造チャネルまで延在する。第１材料からなる第３オーム領域は、Ｐ形ソース領域と接触し、第１材料からなる第４オーム領域はＰ形ドレイン領域と接触する。

【００１０】

さらに、本発明の範囲は、相補形ヘテロ構造デバイスを製造する方法を含む。ヘテロ構造チャネル領域が形成される。ヘテロ構造絶縁領域は、チャネル領域の上に形成される。Ｎ形デバイス・ゲートおよびＰ形デバイス・ゲートは、ヘテロ構造絶縁領域の上に形成される。Ｎ形ソースおよびＮ形ドレイン領域は、Ｎ形デバイス・ゲートの両側に形成され、チャネル領域まで延在する。Ｐ形ソースおよびＰ形ドレイン領域は、Ｐ形デバイス・ゲートの両側に形成され、チャネル領域まで延在する。５００～６００°Ｃの温度範囲でオーム接触を提供するのに適した材料からなる第１，第２，第３および第４オーム領域はそれぞれ、Ｎ形ソース領域，Ｎ形ドレイン領域，Ｐ形ソース領域およびＰ形ドレイン領域と接触するために形成される。相補形デバイスは、シリコン集積回路産業で周知な方法を用いて標準的なＶＬＳＩアルミニウム相互接続メタライゼーションで相互接続される。

【００１１】

【実施例】

概して、本発明の好適な実施例は、従来技術の欠点を克服し、最新のＶＬＳＩ相互接続技術と適合性のある製造可能なデバイスおよび方法を確立する相補形ＧａＡｓヘテロ構造電界効果トランジスタである。この好適な実施例は、Ｎ形デバイスおよびＰ形デバイスの両方のオーム接触となるニッケル・ゲルマニウム・タングステン（ＮｉＧｅＷ）である同一オーム接触材料によって構成される。

【００１２】

ＮｉＧｅＷは、Ｎ形領域への接触として適していることがわかっている。ＮｉＧｅＷをオーム接触として利用することは、例えば、同時係属出願である米国特許出願第０７／９０２，２４４号および第０７／９０２，２４５号において示されている。しかし、一般的な相補形ＧａＡｓヘテロ構造デバイスは、Ａｌ濃度が高いＡｌＧａＡｓなどの材料からなる絶縁層を有する。この絶縁層が、従来の相互形デバイスの場合のように、約10^{18}／ｃｃのレベルまでＰ形ドーピングされると、ＮｉＧｅＷは一般に不適切になる。このようなＰ形デバイスに対するＮｉＧｅＷ接触は、Ｇｅが相殺するＮ形不純物となるので、不適切である。そのため、例えば、従来技術では、Ｐ形領域に対するオーム接触としてＡｕＺｎＮｉまたはＡｕＺｎＡｕが用いられ、Ｚｎが高濃度にドーピングされている。

【００１３】

しかし、本発明は、Ｐ形にも一般的なＮ形ＮｉＧｅＷオーム接触を利用する。具体的に

は、好適な実施例は、相補形構造のＰ形デバイスに対して低い接触抵抗を実現するため、適切な注入材料からなる高濃度の同時注入(co-implant)を利用して、Ｐ形接触領域において浅い高ドーピング濃度を実現する。接触は、Ａｌ含有量を必要に応じて高くできるＡｌＧａＡｓ／ＧａＡｓヘテロ構造に適する。

【００１４】

新規の自明でないこのオーム接触は、同時係属出願の米国特許出願第０７／０９２，２４４号で開示されている方法などによってエッチング可能である。よって、リフトオフ法は必要でない。従って、高歩留りおよびデバイス形状の小型化が可能である。

【００１５】

さらに、本発明により製造される好適なデバイスは、最新のＡｌベースのＶＬＳＩ相互接続方法と適合性がある。また、本発明のオーム接触は、鏡面のように滑らかであり、反射的で、隆起がない。さらに、同一オーム材料を相補形デバイス全体で利用できるので、従来技術に比べて大きな利点が得られる。従って、プロセスは大幅に簡略化される。本発明は、例えば、デジタルおよびアナログＩＩＩ－Ｖ族半導体や、ＦＥＴを含む相補形回路や、ＨＢＴや、半導体ＬＥＤおよびレーザなどの光デバイスに適用できる。そのため、通信，演算およびディスプレイ用として用途は広い。

【００１６】

図1は、本発明の好適な実施例のエピタキシャル半導体構造を示す断面図である。ＧａＡｓ基板１０が設けられる。ＧａＡｓ基板１０は、高抵抗材料であり、好ましくはＬＥＣ(liquid encapsulated Czocrolski)法によって成長される種類の材料である。ＧａＡｓ基板１０は、好ましくは約２５ミル厚であり、約10^{9}～10^{10}オーム／平方のシート抵抗を有する。ドーピングされていないＧａＡｓバッファ層１２は、ＧａＡｓ　ＬＥＣ基板１０上に、当技術分野で周知な方法でエピタキシャル成長される。ＧａＡｓバッファ層１２は、好ましくは約２，０００Å厚である。ＧａＡｓバッファ層１２は、デバイスの能動層を形成するためのクリーンな結晶格子を与えるものである。ＧａＡｓバッファ層１２内では、極めて狭いデルタ・ドーピング層１４が挿入される。デルタ・ドーピング層１４は、好ましくはシリコン（Ｓｉ）からなり、$2～4\times10^{11}\ cm^{-2}$のキャリア濃度を有する。好適な実施例では、デルタ・ドーピング層１４は、ＧａＡｓバッファ層１２の上面から約３０Å設けられる。ドーピング層１４は、Ｎチャネル・デバイスにキャリアの一部を与え、ＮチャネルおよびＰチャネル・デバイス両方の閾値電圧を調整する働きをする。

【００１７】

ＦＥＴチャネル層１６は、ＧａＡｓバッファ層１２の上に形成される。チャネル層１６は、モル比が２０％Ｉｎ，８０％ＧａのドーピングされていないＩｎＧａＡｓによって構成されることが好ましい。好適な実施例では、チャネル層１６は約１３０Å厚である。

【００１８】

チャネル層１６の上には、絶縁層１８がエピタキシャル成長される。好ましくは、この絶縁層１８はドーピングされていないＡｌＧａＡｓによって構成される。好適なモル比は７５％Ａｌ，２５％Ｇａである。この層は、約２５０Åの厚さを有する。

【００１９】

ドーピングされていないＧａＡｓキャップ層２０は、前記絶縁層の上に約３０Åの厚さに成長される。このＧａＡｓキャップ層は、ＡｌＧａＡｓ絶縁層１８の酸化を防ぐためのものである。

【００２０】

従って、図1のエピタキシャル半導体構造は、好適な相補形ヘテロ構造電界効果トランジスタ・デバイスを形成するためのヘテロ構造を提供する。明白なように、このヘテロ構造はＧａＡｓ／ＩｎＧａＡｓ／ＡｌＧａＡｓによって構成される。

【００２１】

図２ないし図９は、好適な相補形ヘテロ構造電界効果トランジスタを製造する本発明の好適な方法を示す。

【００２２】

図２において、任意のフィールド絶縁体３０は、基板材料を保護するために設けられる。周知のリソグラフ法および反応性イオン・エッチング（ＲＩＥ）法によって、フィールド絶縁体に窓(window)が開けられる。これらの窓は、能動デバイス領域３２，３３へのアクセスを提供する。

【００２３】

図３において、Ｎ形デバイス・ゲート４０およびＰ形デバイス・ゲート４２が領域３２，３３にそれぞれ形成される。具体的には、好適な実施例では、約３，０００～４，０００ÅのＴｉＷＮ層が反応性ＲＦスパッタリングで被着される。このＴｉＷＮは、電界効果デバイスのショットキ・コンタクト・ゲートとして機能する。ゲート４０，４２は、SF_6，CHF_3およびＨｅの混合物で、ＲＩＥ法によって形成される。

【００２４】

図４は、ゲート４０，４２の両側に側壁スペーサ５０，５２の対を形成することを示す。側壁５０，５２を設けることは好適であるが、必要ではない。側壁５０，５２は、デバイス全体の性能パラメータを向上させるために、その後の段階でソース領域およびドレイン領域を整合させる働きをする。好適な実施例では、側壁５０，５２はＳｉＯＮまたはSiN/SiO_2からなり、全厚は約４，０００Åである。側壁５０，５２は、一般的な処理方法によって形成される。高圧異方性ＲＩＥプロセスがエッチングに用いられる。その結果得られる側壁５０，５２は、ＲＩＥによってそれぞれのゲートの両側に約３，０００Åの大きさを有する。

【００２５】

図５は、フィールド絶縁体領域３０，活性デバイス領域３２，３３，ゲート４０，４２ならびにスペーサ５０，５２を被覆する保護ＳｉＮ層６０の被着を示す。ＳｉＮ層６０は、ウェハ表面をその後の処理段階から保護する働きをする。層６０は、標準的なＣＶＤ法によって約５００Åの厚さまで被着されることが好ましい。

【００２６】

図６は、Ｎ形デバイスゲート４０に隣接する能動デバイス領域３２にＮ形ソース領域７０およびＮ形ドレイン領域７２を形成することを示す。領域７０，７２は、約３５０オーム／平方のシート抵抗を得るためＳｉ注入を用いた周知の処理方法で形成される。注入は、ＳｉＮ層６０を介して行われる。Ｎ形ソース領域７０およびＮ形ドレイン領域７２それぞれは、好ましくは基板内部まで約２，０００Å延在し、少なくともチャネル層１６まで、好ましくはバッファ層１２内部まで延在する。あるいは、ＮチャネルＦＥＴのアクセス直列抵抗を改善するため、側壁形成の前に低濃度のＳｉ注入を用いて、低濃度にドーピングされた領域をＮ形デバイスゲート４０に直接自己整合させて設けてもよい。

【００２７】

図７は、Ｐ形デバイス・ゲート４２に隣接する能動領域３３にＰ形ソース領域８０およびＰ形ドレイン領域８２を形成することを示す。Ｐ形領域８０，８２は、約１，０００～２，０００オーム／平方のシート抵抗を与えるため、フッ素（Ｆ）およびベリリウム（Ｂｅ）の同時注入を利用して形成される。Ｐ形ソース領域８０およびＰ形ドレイン領域８２それぞれは、好ましくは基板内部まで約２，０００Å延在し、少なくともチャネル層１６まで、好ましくはバッファ層１２内部まで延在する。

【００２８】

図８は、Ｐ形ソース領域８０およびＰ形ドレイン領域８２を本発明の好適な実施例で用いられるオーム接触用に適合性を持たせるため、これらの領域８０，８２をさらにドーピングすることを示す。具体的には、ＧａＡｓのＮ形ドーパントであるＧｅを含むため、ＮｉＧｅＷはＮ形オーム接触金属としてのみ通常用いられる。しかし、本発明は、ＮｉＧｅＷをＰ形オーム接触としても利用する。そのため、図８に示す段階では、Ｐ形ソース領域８０およびＰ形ドレイン領域８２は、浅い高濃度Ｐ形領域８１，８３をそれぞれ与えるため、さらに高濃度ドーピングが施される。それによって２５０～４００オーム／平方のシート抵抗が得られることが好ましい。

【００２９】

最適化されたＰ形ドーパント分布は、ＦとＢｅ，ＡｓとＢｅ，ＰとＢｅ，ＮとＢｅまたはＫｒとＢｅの同時注入(co-implantation)を利用して達成できる。この同時注入は、Ｂｅの活性化を改善し、Ｂｅの拡散率を低減する。ＦとＢｅの場合、5×10^{19} ｃｃ$^{-1}$のピーク・ドーピングは、10^{14} ｃｍ$^{-2}$以上の注入濃度および５０ｋｅＶ以下のエネルギで、以下で述べるように７００°～８５０°Ｃの高速アニール温度によって達成される。従って、Ｎ形オーム金属を用いても、Ｐ形接触は得られる。

【００３０】

図示されていないが、好適な方法における次の段階は、Ｐ形およびＮ形ソースおよびドレインを活性化するために用いられる高速熱アニールである。アニール条件は、好ましくは、温度７００°～８５０°Ｃであり、大型ウェハにおける滑り線(slip-line)の発生を最小限に抑え、かつＰ形ＨＦＥＴ閾値下電流(sub-threshold current)を低減することを意図する。

【００３１】

図９は、Ｎチャネル・デバイスとＰチャネル・デバイスとの間で、エピタキシャル基板における酸素分離(oxygen isolation：ＩＳＯ）領域９０の形成を示す。ＩＳＯ領域９０は、それぞれのデバイスを絶縁する働きをする。図示のＮ形デバイスおよびＰ形デバイスは、特定のダイに形成される多くの同一のデバイスのうちの２つであることが理解される。従って、領域９０は、図示されていない近傍のデバイスからの分離を示すため、図の両端部に示されている。ＩＳＯは、高速熱アニール法を利用し、これは５５０°Ｃで６秒間行われることが好ましい。

【００３２】

図９は、デバイス全体を被覆する追加絶縁体キャップ１００を示す。キャップ１００は、その後の処理段階における保護のために設けられる。絶縁体キャップ１００は、従来の処理法を利用して約３，５００Åの厚さまで形成される。

【００３３】

図１０は、本発明の好適な実施例のオーム接触を示す。図示されていないが、絶縁体層１００および絶縁体層６０は、オーム接触の被着のためのアクセスを設けるため、Ｎ形ソース，Ｎ形ドレイン，Ｐ形ソースおよびＰ形ドレイン領域７０，７２，８０，８２の上の領域でエッチング除去されている。Ｎｉ層１２０，Ｇｅ層１２２およびＷ層１２４は、デバイス全体上にスパッタリング被着され、コンタクト領域が定められる。説明の便宜上、Ｎ形ソース領域７０へのオーム接触は、オーム領域１１７として表される。同様に、Ｐ形ソース領域８０へのオーム接触はオーム領域１１９として表される。これらは、すべてのオーム接触を例示する。

【００３４】

一例としてのオーム領域１１７，１１９は、次のように形成される。コンタクト領域を定めるためリフトオフ法を利用する実施例では、金属として薄い層が必要である。この場合、Ｎｉ層１２０は１００～３００Åであり、Ｇｅ層１２２は１００～３００Åである。最後に、Ｗ層１２４は約１，０００Å厚まで被着される。

【００３５】

コンタクト領域を定めるためエッチングを利用することも望ましいことに留意されたい。コンタクトがエッチング法によって定められる場合、例えばＷおよびＧｅのＲＩＥや、ニッケルについての緩衝酸化物エッチング剤（ＢＯＥ：buffered oxide etchant）または塩酸（ＨＣｌ）のような周知の溶剤の場合、Ｗは任意の適切な厚さにすることができる。適切な方法については、同時係属出願の米国特許出願第０７／９０２，２４４号において開示されているが、他の方法も利用できる。

【００３６】

Ｎチャネル領域の場合、オーム接触材料は、シート抵抗が１，０００オーム／平方以下である限り、ＳｉドーピングされたＮ形ソースおよびドレイン領域で有効である。オーム接触は、ＢＯＥおよびＨＣｌで湿式エッチングを利用してあらかじめ洗浄した後、注入されアニールされた半導体上にスパッタリング被着される。

【００３７】
５００°Ｃ～６００°Ｃの温度範囲で焼結すると、安定したＮｉＧｅおよびＮｉＡｓ化合物がオーム金属と半導体材料の界面を形成する。ＮｉＡｓ化合物は低い温度で形成し、ＮｉＧｅマトリクス内に散在させることができる。これら両方の化合物は、半導体に対して低い障壁を形成して、トンネル導通を可能にする。Ｐ形デバイスでＮｉＧｅＷオーム接触を利用するため、図８で説明したような浅いイオン注入法によって高濃度のＰ形ドーピングがＰ形ＩＩＩ－Ｖ族ヘテロ構造に施される。これにより、ＮｉＧｅＷ金属は、Ｎ形Ｇｅドーパントが半導体に拡散するにも関わらず、高濃度ドーピングされたＰ形領域と接触する。

【００３８】
耐火金属であるＷ層１２４は、ＷＮ，ＴｉＷまたはＴｉＷＮなどの別の安定した耐火金属でもよい。耐火キャップは、前述のようにＶＬＳＩ相互接続で用いられるＡｌメタライゼーションへのＡｓの拡散に対する障壁となる。

【００３９】
図１１は、Ｐ形$Al_{.75}Ga_{.25}As$／$In_{.20}Ga_{.80}As$構造におけるＮｉＧｅＷオーム接触の一般的な接触抵抗を示す。抵抗は、同時注入されたＦ／ＢｅのＰ領域８１，８３のシート抵抗に対して示されている。０．２２～０．８５オーム・ｍｍの接触抵抗値は、Ｐ形ドーピングの表面濃度を変えることによって達成できる。従って、本発明により、従来はＮ形接触にのみ用いられていた同じＮｉＧｅＷオーム接触を、Ｐ形接触も必要とする相補形ＩＩＩ－Ｖ族デバイスにおいても有用に利用できることがわかる。

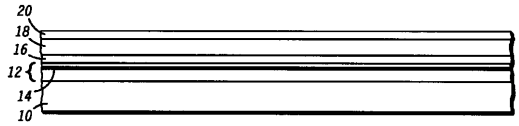
【００４０】
図１２は、本発明によるオーム接触の温度についての利点を示す。このグラフは、ＮｉＧｅｗオーム接触は５００～６００°Ｃの温度範囲内で有効なオーム接触抵抗を維持するが、従来のＡｕベースのオーム接触は５００°Ｃ以下でも急速に劣化することを示す。最新のアルミニウムＶＬＳＩ相互接続プロセスは、５００°Ｃ以上の温度で行われる。従って、従来のＡｕオーム接触は利用できないが、本発明によるオーム接触は利用できる。

【００４１】
以上、新規の自明でない相補形半導体デバイスおよびその製造方法が提供されたことが理解される。このデバイスは、最新のＶＬＳＩアルミニウム相互接続方法で利用する際に特に有利である。さらに、Ｎ形デバイスとＰ形デバイスの両方で同じ形のオーム接触を提供することは処理を大幅に簡略化する。

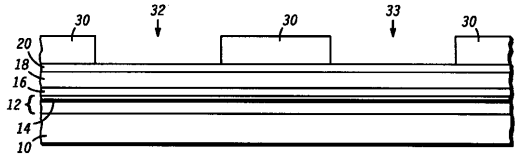
【図面の簡単な説明】
【図１】　本発明の好適な実施例の基板の一部の断面図である。
【図２】　任意のフィールド絶縁体を配置した直後の本発明の好適な方法を示す断面図である。
【図３】　デバイス・ゲートが形成された直後の本発明の好適な方法を示す断面図である。
【図４】　任意のゲート側壁が形成された直後の本発明の好適な方法を示す断面図である。
【図５】　フィールド絶縁体層が形成された直後の本発明の好適な方法を示す断面図である。
【図６】　Ｎ形ソースおよびＮ形ドレイン領域が形成された直後の本発明の好適な方法を示す断面図である。
【図７】　Ｐ形ソースおよびＰ形ドレイン領域が形成された直後の本発明の好適な方法を示す断面図である。
【図８】　Ｐ形ソースおよびＰ形ドレイン領域がさらにドーピングされた直後の本発明の好適な方法を示す断面図である。
【図９】　絶縁領域が形成された直後の本発明の好適な方法を示す断面図である。
【図１０】　オーム接触が形成された直後の本発明の好適な方法を示す断面図である。
【図１１】　一般的なオーム接触抵抗値とＰ形領域シート抵抗値との関係を示すグラフで

ある。
【図１２】　温度の関数としてのオーム接触抵抗を示し、従来のオーム接触と好適なオーム接触とを比較するグラフである。
【符号の説明】
１０　ＧａＡｓ基板
１２　ＧａＡｓバッファ層
１４　デルタ・ドーピング層
１６　ＦＥＴチャネル層
１８　絶縁層
２０　ＧａＡｓキャップ層
３０　フィールド絶縁体
３２，３３　活性デバイス領域
４０　Ｎ形デバイス・ゲート
４２　Ｐ形デバイス・ゲート
５０，５２　側壁スペーサ
６０　保護ＳｉＮ層
７０　Ｎ形ソース領域
７２　Ｎ形ドレイン領域
８０　Ｐ形ソース領域
８１，８３　Ｐ形領域
８２　Ｐ形ドレイン領域
９０　酸素分離（ＩＳＯ）領域
１００　誘電キャップ
１１７，１１９　オーム領域
１２０　Ｎｉ層
１２２　Ｇｅ層
１２４　Ｗ層

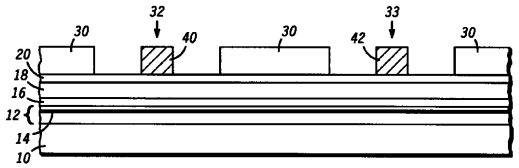
【図１】



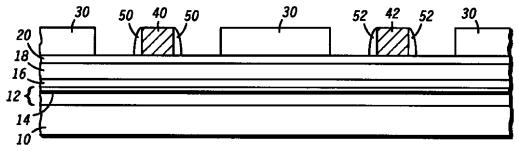
【図２】



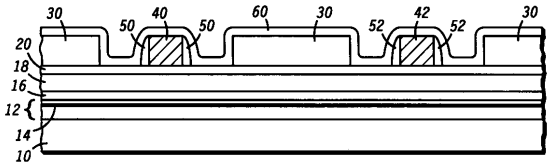
【図３】



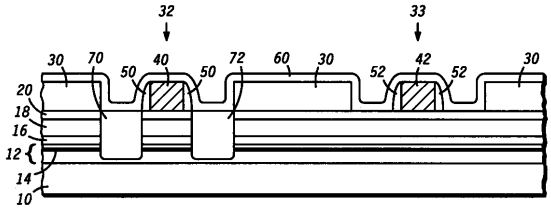
【図４】



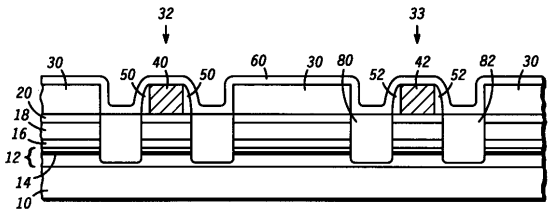
【図５】



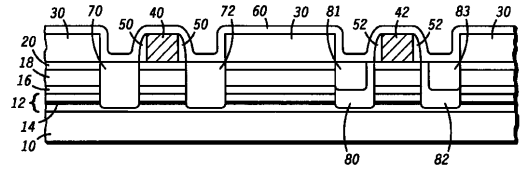
【図６】



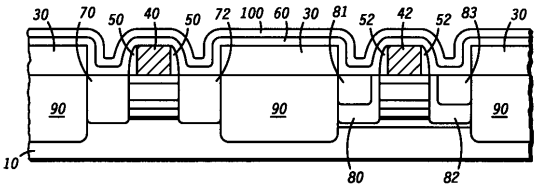
【図７】



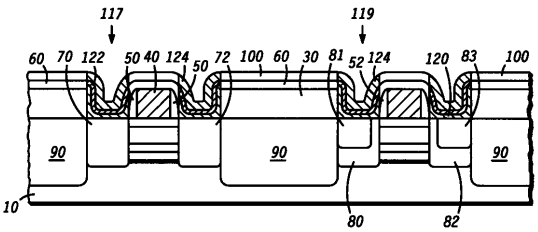
【図８】



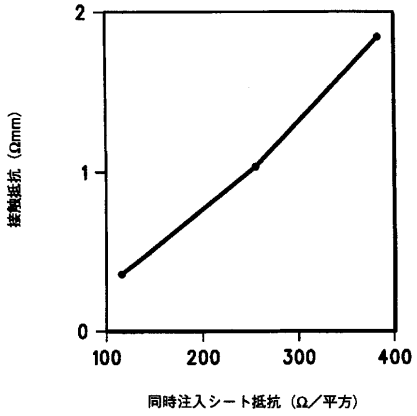
【図９】



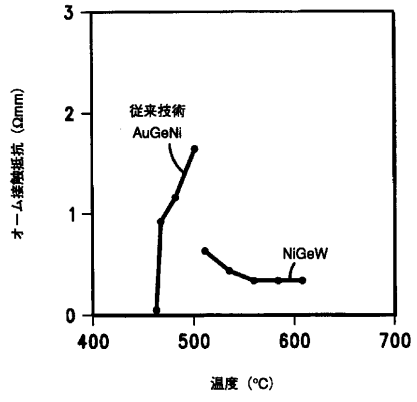
【図１０】



【図１１】



【図１２】



フロントページの続き

(72)発明者　ウィリアム・ジェイ・ウームズ
アメリカ合衆国アリゾナ州チャンドラー、ダブリュー・サン・タン・ストリート１７２５

審査官　萩原　周治

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 27/095
H01L 21/338
H01L 29/43
H01L 29/778
H01L 29/812
Science Direct