



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

268 954

(11)

(13) B1

(51) Int. Cl. 4
G 06 F 13/14

(21) PV 3841-87.S

(22) Přihlášeno 27 05 87

(40) Zveřejněno 12 09 89

(45) Vydáno 04 09 90

(75)

Autor vynálezu

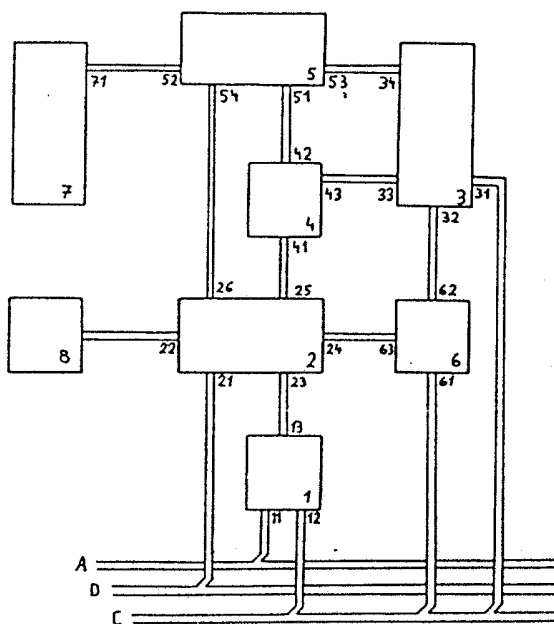
KOCIÁN MILAN ing.,

TESAŘ PETR ing., PRAHA

(54)

Zapojení pro ovládání stínové paměti

(57) Úkolem řešení je umožnit u číslicového zařízení a modulovou strukturou samočinné ovládání stínové paměti s použitím jednoduchých technických prostředků nejen při inicialisaci, ale i během další činnosti systému. Podstata řešení spočívá v definovaném propojení bloku dekodéru přístupové adresy stavového registru, bloku dekodéru instrukce stavového registru, bloku řadiče registrů, bloků stavového registru, bloku ovládacího registru, bloku čítače cyklů, bloku paměti se stínovými moduly a panelu ručního ovládání, jakož i v připojení této skupiny bloků na adresovou sběrnici, datovou sběrnici a řídicí sběrnici.



Vynález se týká zapojení pro ovládání stínové paměti, dočasně zařazované do číslicového zařízení se sběrnicovou strukturou, například mikropočítače.

Stínová paměť zpravidla obsahuje zaváděcí sekvenci instrukcí pro inicializaci zařízení a aktivuje se buď samočinně po zapnutí zařízení, anebo na základě vnějšího signálu, obvykle vyvolaného operátorem. Okolem vynálezu je umožnit u číslicového zařízení s modulovou strukturou samočinné ovládání stínové paměti co možná jednoduchými technickými prostředky nejen při inicializaci, ale i během další činnosti systému. Předpokladem je vybavení číslicového zařízení adresovou sběrnicí, datovou sběrnicí a řídící sběrnicí a dále blokem dekodéru přístupové adresy stavového registru, blokem dekodéru instrukce stavového registru, blokem řadiče registru, blokem stavového registru, blokem ovládacího registru, blokem čítače cyklů, blokem paměti se stínovými moduly a panelem ručního ovládání.

Podstata vynálezu spočívá v následujícím zapojení uvedených bloků. Blok dekodéru přístupové adresy stavového registru je sdruženým adresovým vstupem spojen s adresovou sběrnicí, sdruženým řídícím vstupem je spojen s řídící sběrnicí a vstupem dekodéru je spojen s aktivačním vstupem bloku dekodéru instrukce stavového registru, k jehož dalšímu vstupu je připojen panel ručního ovládání a který má řídící výstup spojen se stavovým vstupem bloku stavového registru, jehož stavový výstup je spojen se stavovým vstupem bloku ovládacího registru, jehož příznakový výstup je spojen s modifikačním vstupem bloku dekodéru instrukce stavového registru, jehož spouštěcí výstup je spojen s nastavovacím vstupem bloku čítače cyklů, který má svůj řídící vstup spojen s řídící sběrnicí a jehož výstup je připojen na zpožďovací vstup bloku řadiče registrů, také svým řídícím vstupem spojeného s řídící sběrnicí, který je jednak svým prvním přepisovacím výstupem spojen s přepisovacím vstupem bloku stavového registru, jednak svým druhým přepisovacím výstupem spojen s přepisovacím vstupem bloku ovládacího registru, který je svým ovládacím výstupem spojen se sdruženým výběrovým vstupem bloku paměti se stínovými moduly.

Výhodou tohoto zapojení je možnost samočinného ovládání přístupu do stínové paměti, přičemž vzájemné propojení uvedených funkčních bloků dovoluje realizaci různých přístupových algoritmů opírajících se zejména o technické vybavení v bloku dekodéru instrukcí stavového registru. Volba vstupních, výstupních a vnitřních stavů bloků tohoto zapojení dovoluje také zabezpečit ovládání přístupu do stínové paměti tehdy, má-li tato stínová paměť obsahovat algoritmy pro testování číslicového zařízení se závadou. Tato vlastnost je zejména vítána u zařízení s modulovou strukturou pro servisní potřebu. Zapojení také umožňuje uplatnit rychlé kopírovací algoritmy s implicitní rotací přístupového vektoru na sdruženém výběrovém vstupu paměti se stínovými moduly.

Zapojení podle vynálezu je schematicky blokově znázorněno na připojeném výkresu.

Blok 1 dekodéru přístupové adresy stavového registru je tvořen hradlovou sítí pro dekódování přístupové adresy na jeho sdruženém adresovém vstupu 11, popřípadě může obsahovat i jiné provedení pevné paměti. Dále obsahuje oddělovací a vzorkovací obvody připojené na sdružený řídící vstup 12 a vnitřní obvody, které vedou k výstupu 13 dekodéru.

Blok 2 dekodéru instrukce stavového registru je sestaven z hradlové sítě nebo pevné paměti spojené s modifikačním vstupem 26 a datovým vstupem 21 pro dekódování instrukce a dále je sestaven z blokové logiky, připojené na spouštěcí výstup 24 a aktivační vstup 23. Vstup 22 od panelu 8 ručního ovládání je také spojen s obvody před dekodérem instrukce.

Blok 3 řadiče registrů je také tvořen hradlovým polem nebo pevnou pamětí. Signály z řídící sběrnice C jsou zavedeny na jeho řídící vstup 31 a z bloku 6 čítače cyklů na jeho zpožďovací vstup 32.

Podle průběhu signálu na zpožďovacím vstupu 32 vůči taktovacím signálům jsou generovány první přepisovací výstupem 33 a druhým přepisovacím výstupem 34 signály pro přepis registrů.

Blok 4 stavového registru je sestaven z paměťových obvodů se vstupy připojenými na stavový výstup 42 bloku 4. Přepis do těchto obvodů je ovládán přepisovacím vstupem 43.

Obdobnou strukturu má i blok 5 ovládacího registru, opatřený stavovým vstupem 51, ovládacím výstupem 52 a přepisovacím vstupem 53. Je však navíc vybaven příznakovým výstupem 54 pro signál popisující výstupní ovládací vektor celého zapojení.

Blok 6 čítače cyklů je tvořen čítačem hodinových impulsů, odvozených ze signálů na řídícím vstupu 61. S výhodou to mohou být cykly jednotlivých instrukcí nadřazeného číslicového zařízení. Dále blok 6 čítače cyklů obsahuje obvody předvolby počtu cyklů připojené na nastavovací vstup 63, jakož i vyhodnocovací obvod čítače pracující do výstupu 62.

Blok 7 paměti se stínovými moduly má pro potřebu tohoto zapojení sdružený výběrový vstup 71, sloužící k přivedení signálu, zajišťujícího výběr zvoleného modulu stínové paměti.

Panel 8 ručního ovládání umožňuje operátorovi nebo technikovi vyslat požadavek na zařazení povolené instrukce, přičemž obvykle se přitom generují i další signály pro restart zařízení. Sdružený adresový vstup 11 bloku 1 dekodéru přístupové adresy stavového registru je spojen s adresovou sběrnicí A nadřazeného číslicového zařízení a sdružený řídící vstup 12 je spojen s řídící sběrnicí C. Výstup 13 dekodéru je připojen na aktivní vstup 23 bloku 2 dekodéru instrukcí stavového registru, který má ke vstupu 22 připojen panel 8 ručního ovládání. Datový vstup 21 dekodéru je připojen k datové sběrnicí D a řídící výstup 25 je spojen se stavovým vstupem 41 bloku 4 stavového registru. Ten má stavový výstup 42 připojen k stavovému vstupu 51 bloku 5 ovládacího registru a ten je dále svým příznakovým výstupem 54 spojen s modifikačním vstupem 26 bloku 2 dekodéru instrukcí stavového registru. Spouštěcí výstup 24 tohoto bloku 2 dekodéru instrukcí stavového registru je připojen k nastavovacímu vstupu 63 bloku 6 čítače cyklů. Ten má svůj řídící vstup 61 spojen s řídící sběrnicí C a výstup 62 má připojen na zpožďovací vstup 32 bloku 3 řadiče registrů. Řídící vstup 31 bloku 3 řadiče registrů je také připojen na řídící sběrnicí C a přepisovací výstup 33 je spojen s přepisovacím vstupem 43 bloku 4 stavového registru. Dále má tento blok 3 řadiče registrů druhý přepisovací výstup 34 spojen s přepisovacím vstupem 53 bloku 5 ovládacího registru, jenž je svým ovládacím výstupem 52 spojen se sdruženým výběrovým vstupem 71 bloku 7 paměti se stínovými moduly.

Zapojení účinkuje tím, způsobem, že blok 1 dekodéru přístupové adresy stavového registru předává z výstupu 13 dekodéru vzorkovací signál instrukce přivedené do bloku 2 dekodéru instrukce na datovém vstupu 21. Požadavek na zařazení další instrukce může být také vyvolán z panelu 8 ručního ovládání, připojeného k tomuto bloku 2 dekodéru instrukce stavového registru nebo může být instrukce cyklicky volána nebo modifikována nebo obojí působením příznakového výstupu 54 ovládacího registru. Tím je umožněno implicitní ovládání bloku paměti se stínovými moduly, například pro jednorázový přístup ke stínové paměti. Řídící vektor na řídícím výstupu 25 je nejprve uložen v bloku 4 stavového registru a po proběhnutí předvolené sekvence taktů odpočítaných blokem 6 čítače cyklů je přepsán do bloku 5 ovládacího registru. Zpětná vazba uvedeného zapojení, tvořená spojením příznakového výstupu 54 s modifikačním vstupem 26 dovoluje metastabilní aktivitu.

Tehdy bude součástí instrukce aktivní příznak pro opakování a přitom lze i postupně měnit řídící vektor na řídícím výstupu 25. To se na ovládacím výstupu 52 zapojení projeví jako rotace přístupového vektoru do paměti se stínovými moduly.

Tím je možno uplatnit rychlý algoritmus blokového kopírování mezi stínovou pamětí

a okolím bez opakování přepínacích instrukcí.

Zapojení podle vynálezu je vhodné uplatnit u číslicových zařízení se sběrnicovou vnitřní strukturou, kde stínová paměť obsahuje zaváděcí, testovací i provozní sekvence instrukcí, jako je tomu u sekvenčních řídících automatů.

P R E D M Ě T V Y N Á L E Z U

Zapojení pro ovládání stínové paměti, dočasně zařazované do číslicového zařízení se sběrnicovou strukturou, tvořenou adresovou sběrnicí, datovou sběrnicí a řídící sběrnicí, sestávající z bloku dekodéru přístupové adresy stavového registru, z bloku dekodéru instrukce stavového registru, z bloku řadiče registrů, z bloku stavového registru, z bloku ovládacího registru, z bloku čítače cyklů, z bloku paměti se stínovými moduly a z panelu ručního ovládání, vyznačující se tím, že blok (1) dekodéru přístupové adresy stavového registru je sdruženým adresovým vstupem (11) spojen s adresovou sběrnicí (A), sdruženým řídícím vstupem (12) je spojen s řídící sběrnicí (C) a výstupem (13) dekodéru je spojen s aktivačním vstupem (23) bloku (2) dekodéru instrukce stavového registru, k jehož dalšímu vstupu (22) je připojen panel (8) ručního ovládání a který má řídící výstup (25) spojen se stavovým vstupem (41) bloku (4) stavového registru, jehož stavový výstup (42) je spojen se stavovým vstupem (51) bloku (5) ovládacího registru, jehož příznakový výstup (54) je spojen s modifikačním vstupem (26) bloku (2) dekodéru instrukce stavového registru, jehož spouštěcí výstup (24) je spojen s nastavovacím vstupem (63) bloku (6) čítače cyklů, který má svůj řídící vstup (61) spojen s řídící sběrnicí (C) a jehož výstup (62) je připojen na zpožďovací vstup (32) bloku (3) řadiče registrů, také svým řídícím vstupem (31) spojeného s řídící sběrnicí (C), který je jednak svým prvním přepisovacím výstupem (33) spojen s přepisovacím vstupem (43) bloku (4) stavového registru, jednak svým druhým přepisovacím výstupem (34) spojen s přepisovacím vstupem (53) bloku (5) ovládacího registru, který je svým ovládacím výstupem (52) spojen se sdruženým výběrovým vstupem (71) bloku (7) paměti se stínovými moduly.

1 výkres

