(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월04일
(11) 등록번호 10-1541648
(24) 등록일자 2015년07월28일

(51) 국제특허분류(Int. Cl.)
H01L 31/04 (2014.01) *H01L 31/0224* (2006.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2014-0052276
(22) 출원일자 2014년04월30일
심사청구일자 2014년04월30일
(56) 선행기술조사문헌
KR1020130088499 A*
KR1020140011462 A*
KR1020130036127 A*
KR1020100128852 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
이수홍
경기도 화성시 봉담읍 수영로 61-14 한울마을 신창비바패밀리아파트 105동 1504호
(74) 대리인
특허법인 무한

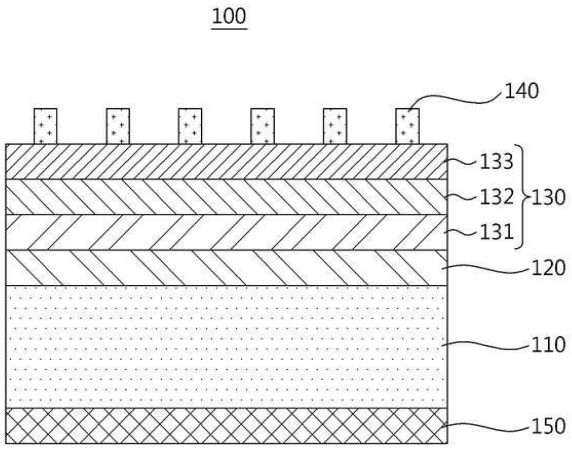
전체 청구항 수 : 총 18 항 심사관 : 천대식

(54) 발명의 명칭 **세라믹 기판과 구리 전면 전극을 포함하는 광전 변환 셀, 구리 전면 전극, 광전 변환 셀 및 구리 전면 전극의 제조 방법**

(57) 요 약

광전 변환 셀이 개시된다. 일 실시예에 따르면, 광전 변환 셀은 전도성이 있는 세라믹을 포함하는 기판; 상기 기판 위에 형성된 중간층; 상기 중간층 위에 형성된 반도체층; 및 상기 반도체층 위에 형성되고, 서로 다른 물질로 구성된 복수 개의 층을 포함하는 전면 전극을 포함한다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

전도성이 있는 세라믹을 포함하는 기판;

상기 기판 위에 형성된 중간층;

상기 중간층 위에 형성된 반도체층; 및

상기 반도체층 위에 형성되고, 서로 다른 물질로 구성된 복수 개의 층을 포함하는 전면 전극

을 포함하고,

상기 중간층은,

상기 기판에 포함된 불순물이 상기 반도체층으로 확산되는 것을 방지하고,

상기 전면 전극은,

상기 반도체층과 연결되는 배리어(barrier);

상기 배리어에 수행된 열처리를 통해 상기 반도체층의 물질과 상기 배리어의 물질이 반응하여 형성된 화합물을 포함하는 금속 화합물층; 및

상기 배리어 위에 형성되는 금속 전극

을 포함하고,

상기 배리어는, 상기 배리어의 시트 저항이 낮도록 소정의 시간 동안 미리 정해진 범위 내의 pH값을 유지하는 용액에 포함된 금속 이온을 기초로 증착되고, 상기 금속 화합물층의 시트 저항이 낮도록 소정의 시간 동안 상기 열처리가 수행되는,

광전 변환 셀.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 배리어는 니켈을 포함하고,

상기 금속 화합물층은 상기 니켈과 상기 반도체층에 포함된 물질이 반응하여 형성된 화합물을 포함하고,

상기 금속 전극은 구리를 포함하는,

광전 변환 셀.

청구항 4

제1항에 있어서,

상기 전면 전극은,

상기 금속 전극을 캡핑(capping)하는 캡핑층(capping layer)

를 더 포함하는 광전 변환 셀.

청구항 5

제4항에 있어서,

상기 캡핑층은, 은 및 주석 중 적어도 하나를 포함하는,

광전 변환 셀.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 반도체층은,

제1 도전형 불순물을 포함하는 시드층;

상기 시드층 상에 형성되는 다결정 실리콘 박막층; 및

상기 다결정 실리콘 박막층 상에 형성되고, 제2 도전형 불순물을 포함하는 에미터층

을 포함하는,

광전 변환 셀.

청구항 8

제7항에 있어서,

상기 제1 도전형 불순물은, p형 불순물이고,

상기 제2 도전형 불순물은, n형 불순물인,

광전 변환 셀.

청구항 9

전면 전극을 포함하는 광전 변환 셀에서 상기 전면 전극에 있어서,

반도체층 위에 형성된 배리어(barrier);

상기 배리어에 수행된 열처리를 통해 상기 배리어와 상기 반도체층 사이에 형성된 금속 화합물층;

상기 배리어 위에 형성된 금속 전극; 및

상기 금속 전극 위에 형성된 캡핑층(capping layer)

을 포함하고,

상기 반도체층은, 전도성이 있는 세라믹 기판에 포함된 불순물의 확산을 방지하는 중간층 위에 형성되고,

상기 배리어는, 상기 배리어의 시트 저항이 낮도록 소정의 시간 동안 미리 정해진 범위 내의 pH값을 유지하는 용액에 포함된 금속 이온을 기초로 증착되고, 상기 금속 화합물층의 시트 저항이 낮도록 소정의 시간 동안 상기 열처리가 수행되는, 전면 전극.

청구항 10

삭제

청구항 11

제9항에 있어서,

상기 미리 정해진 범위는 pH가 8 내지 10인,

전면 전극.

청구항 12

전도성이 있는 세라믹을 포함하는 기판 위에 중간층을 형성하는 단계;

상기 중간층 위에 반도체층을 형성하는 단계; 및

상기 반도체층과 연결되는 전면 전극을 형성하는 단계

를 포함하고,

상기 중간층은, 상기 기판에 포함된 불순물이 상기 반도체층으로 확산되는 것을 방지하고,

상기 전면 전극은, 서로 다른 물질로 구성된 복수 개의 층을 포함하고,

상기 전면 전극을 형성하는 단계,

상기 반도체층 위에 배리어(barrier)를 형성하는 단계;

상기 배리어를 열처리하는 단계;

상기 열처리를 통해 상기 배리어에 포함된 물질과 상기 반도체층에 포함된 물질이 반응하여 형성된 화합물을 포함하는 금속 화합물층을 형성하는 단계; 및

상기 배리어 위에 금속 전극을 형성하는 단계

를 포함하고,

상기 배리어는, 상기 배리어의 시트 저항이 낮도록 소정의 시간 동안 미리 정해진 범위 내의 pH값을 유지하는 용액에 포함된 금속 이온을 기초로 증착되고, 상기 금속 화합물층의 시트 저항이 낮도록 소정의 시간 동안 상기 열처리가 수행되는,

광전 변환 셀의 제조 방법.

청구항 13

삭제

청구항 14

제12항에 있어서,

상기 배리어는 니켈을 포함하고,

상기 금속 화합물층은 상기 니켈과 상기 반도체층에 포함된 물질이 반응하여 형성된 화합물을 포함하고,

상기 금속 전극은 구리를 포함하는

광전 변환 셀의 제조 방법.

청구항 15

제12항에 있어서,

상기 전면 전극을 형성하는 단계는,

상기 금속 전극을 캡핑(capping)하는 캡핑층(capping layer)을 형성하는 단계

를 더 포함하는 광전 변환 셀의 제조 방법.

청구항 16

삭제

청구항 17

제12항에 있어서,

상기 반도체층을 형성하는 단계는,

제1 도전형 불순물을 포함하는 시드층을 형성하는 단계;

상기 시드층 위에 다결정 실리콘 박막층을 형성하는 단계; 및

상기 다결정 실리콘 박막층 위에 제2 도전형 불순물을 포함하는 에미터층을 형성하는 단계

를 포함하는 광전 변환 셀의 제조 방법.

청구항 18

제17항에 있어서,

상기 시드층을 형성하는 단계는,

실리콘의 그레인의 사이즈를 미리 정해진 크기 이상이 되도록 재결정화하는 단계; 및

상기 실리콘에 p형 불순물을 강하게 도핑하여 상기 시드층을 형성하는 단계

를 포함하는 광전 변환 셀의 제조 방법.

청구항 19

전면 전극을 포함하는 광전 변환 셀에서 상기 전면 전극의 제조 방법에 있어서,

반도체층 위에 제1 금속을 증착시켜 배리어(barrier)를 형성하는 단계;

상기 배리어에 열처리를 하여 상기 배리어와 상기 반도체층 사이에 금속 화합물층을 형성하는 단계;

상기 배리어 위에 금속 전극을 형성하는 단계; 및

상기 금속 전극이 외부에 노출되는 것을 방지하도록 상기 금속 전극 위에 캡핑층을 형성하는 단계

를 포함하고,

상기 반도체층은, 전도성이 있는 세라믹 기판에 포함된 불순물의 확산을 방지하기 위한 중간층 위에 형성되고,

상기 배리어는, 상기 배리어의 시트 저항이 낮도록 소정의 시간 동안 미리 정해진 범위 내의 pH값을 유지하는 용액에 포함된 금속 이온을 기초로 증착되고, 상기 금속 화합물층의 시트 저항이 낮도록 소정의 시간 동안 상기

열처리가 수행되는, 전면 전극의 제조 방법.

청구항 20

제19항에 있어서,

상기 배리어를 형성하는 단계는,

미리 정해진 증착 시간 이내에, 용액에 포함된 이온의 산화 환원 반응을 이용하여 상기 배리어를 형성하는,

전면 전극의 제조 방법.

청구항 21

제20항에 있어서,

상기 이온은, 니켈 이온을 포함하고,

상기 미리 정해진 증착 시간은 5분인,

전면 전극의 제조 방법.

청구항 22

제20항에 있어서,

상기 배리어의 두께와 시트 저항은, 상기 용액의 pH에 따라 결정되는,

전면 전극의 제조 방법.

청구항 23

제19항에 있어서,

상기 열처리는, 섭씨 300도 내지 400도 사이에서 수행되는,

전면 전극의 제조 방법.

발명의 설명

기 술 분 야

[0001] 아래 실시예들은 세라믹 기판과 구리 전면 전극을 포함하는 광전 변환 셀, 구리 전면 전극, 상기 광전 변환 셀의 제조 방법 및 상기 구리 전면 전극의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 태양 전지는 태양광을 흡수하여 전기를 생산할 수 있는 반도체 소자이다. 실리콘 태양전지는 실리콘 기판 위에 태양광이 내부로 흡수가 잘 되도록 반사방지막(AR 코팅)을 포함한다. 또한, 태양 전지는 태양전지 내부에서 만들어진 전기를 외부로 보내는 양단의 전극을 포함한다.

[0003] 은 페이스트(Ag paste)는 태양 전지의 전면 전극에 주로 사용된다. 하지만, 은 페이스트는 많은 불순물을 포함할 수 있다. 은 페이스트에 불순물이 많이 포함되어, 은 페이스트의 저항은 순수한 은(pure Ag)의 저항보다 3배 이상 높다. 또한, 은 페이스에는 납과 같은 환경유해 물질을 포함한다. 한편, 태양 전지에 사용되는 실리콘 기판은 태양 전지의 가격의 절반 이상을 차지한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국과학기술연구원이 2010년 01월 19일에 출원하고, 2011년 11월 09일에 등록받은 등록특허 제10-1083798호(발명의 명칭: 금속산화물 나노입자를 이용한 적층형 고분자 태양전지 및 그 제조방법)가 있다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 전도도가 낮고, 가격이 높은 은 페이스트 전면 전극 대신에 가격이 싸고, 전도도가 높은 금속으로 구성된 전면 전극을 제공할 수 있다.

[0006] 실시예들은 기존의 실리콘 기판이 아닌 기판을 사용하여 태양 전지의 가격과 태양 전지의 제조 비용을 절감할 수 있다.

[0007] 실시예들은 저가 고성능 전극과 세라믹 기판을 사용한 반도체소자를 제공할 수 있다.

과제의 해결 수단

[0008] 일 측에 따른 광전 변환 셀은 전도성이 있는 세라믹을 포함하는 기판; 상기 기판 위에 형성된 중간층; 상기 중간층 위에 형성된 반도체층; 및 상기 반도체층 위에 형성되고, 서로 다른 물질로 구성된 복수 개의 층을 포함하는 전면 전극층을 포함하고, 상기 중간층은, 상기 기판에 포함된 불순물이 상기 반도체층으로 확산되는 것을 방지한다.

[0009] 여기서, 상기 전면 전극층은, 상기 반도체층과 연결되는 배리어; 상기 배리어에 수행된 열처리를 통해 상기 반도체층의 물질과 상기 배리어의 물질이 반응하여 형성된 화합물을 포함하는 금속 화합물층; 및 상기 배리어 위에 형성되는 금속 전극을 포함할 수 있다.

[0010] 상기 배리어는 니켈을 포함하고, 상기 금속 화합물층은 상기 니켈과 상기 반도체층에 포함된 물질이 반응하여 형성된 화합물을 포함하고, 상기 금속 전극은 구리를 포함할 수 있다.

[0011] 일 측에 따른 광전 변환 셀의 전면 전극에 있어서, 반도체층 위에 형성된 배리어; 상기 광전 변환 셀에 수행된 열처리를 통해 상기 배리어와 상기 반도체층 사이에 형성된 금속 화합물층; 상기 배리어 위에 형성된 금속 전극; 및 상기 금속 전극 위에 형성된 캡핑층(capping layer)을 포함하고, 상기 반도체층은, 전도성이 있는 세라믹 기판에 포함된 불순물의 확산을 방지하는 중간층 위에 형성된다.

[0012] 상기 배리어는, 미리 정해진 범위 내의 pH값을 유지하는 용액에 포함된 금속 이온을 기초로 증착된다.

[0013] 일 측에 따른 광전 변환 셀의 제조 방법은 전도성이 있는 세라믹을 포함하는 기판 위에 중간층을 형성하는 단계; 상기 중간층 위에 반도체층을 형성하는 단계; 및 상기 반도체층과 연결되는 전면 전극층을 형성하는 단계를 포함하고, 상기 중간층은, 상기 기판에 포함된 불순물이 상기 반도체층으로 확산되는 것을 방지하고, 상기 전면 전극층은, 서로 다른 물질로 구성된 복수 개의 층을 포함한다.

[0014] 상기 반도체층을 형성하는 단계는, 제1 도전형 불순물을 포함하는 시드층을 형성하는 단계; 상기 시드층 위에 다결정 실리콘 박막층을 형성하는 단계; 및 상기 다결정 실리콘 박막층 위에 제2 도전형 불순물을 포함하는 에미터층을 형성하는 단계를 포함할 수 있다.

[0015] 상기 시드층을 형성하는 단계는, 실리콘의 그레인의 사이즈를 미리 정해진 크기 이상이 되도록 재결정화하는 단계; 및 상기 실리콘에 p형 불순물을 강하게 도핑하여 상기 시드층을 형성하는 단계를 포함할 수 있다.

[0016] 일 측에 따른 광전 변환 셀의 전면 전극의 제조 방법에 있어서, 반도체층 위에 제1 금속을 증착시켜 배리어를 형성하는 단계; 상기 배리어에 열처리를 하여 상기 배리어와 상기 반도체층 사이에 금속 화합물층을 형성하는 단계; 상기 배리어 위에 금속 전극을 형성하는 단계; 및 상기 금속 전극이 외부에 노출되는 것을 방지하도록 상기 금속 전극 위에 캡핑층을 형성하는 단계를 포함하고, 상기 반도체층은, 전도성이 있는 세라믹 기판에 포함된 불순물의 확산을 방지하기 위한 중간층 위에 형성된다.

[0017] 상기 배리어를 형성하는 단계는, 미리 정해진 증착 시간 이내에, 용액에 포함된 이온의 산화 환원 반응을 이용

하여 상기 배리어를 형성한다.

[0018] 상기 배리어의 두께와 시트 저항은, 상기 용액의 pH에 따라 결정될 수 있다.

발명의 효과

[0019] 실시예는 전도도가 낮은 은 페이스트로 구성된 전면 전극 대신에 서로 다른 종류의 금속을 포함하는 전면 전극을 제공하여, 태양 전지의 효율을 높일 수 있다.

[0020] 실시예는 전면 전극부터 후면 전극까지의 직렬 저항을 낮추어, 태양 전지의 효율을 높일 수 있다.

[0021] 실시예는 가격이 비싼 은 페이스트 대신에 가격이 100배 저렴한 금속을 포함하는 전면 전극을 사용하여 태양 전지의 가격과 태양 전지의 제조 비용을 줄일 수 있다.

[0022] 실시예는 태양 전지의 실리콘 기판 대신에 저가의 다른 종류의 기판을 제공하여, 태양 전지의 가격과 태양 전지의 제조 비용을 획기적으로 줄일 수 있다.

도면의 간단한 설명

[0023] 도 1은 일 실시예에 따른 광전 변환 셀의 구조를 설명하기 위한 도면이다.

도 2는 일 실시예에 따른 전면 전극을 설명하기 위한 도면이다.

도 3은 일 실시예에 따른 광전 변환 셀의 전면 전극에 포함된 금속층의 두께 및 시트 저항이 증착 시간에 따라 변하는 것을 설명하기 위한 도면이다.

도 4는 일 실시예에 따른 광전 변환 셀을 구성하는 전면 전극에 포함된 금속층의 두께 및 시트 저항이 pH에 따라 변하는 것을 설명하기 위한 도면이다.

도 5는 일 실시예에 따른 광전 변환 셀의 제조 방법을 설명하기 위한 순서도이다.

도 6은 일 실시예에 따른 광전 변환 셀의 전면 전극의 제조 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 일 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0025] 도 1은 일 실시예에 따른 광전 변환 셀(photovoltaic conversion cell)의 구조를 설명하기 위한 도면이다.

[0026] 도 1을 참조하면, 일 실시예에 따른 광전 변환 셀(100)은 기판(110), 중간층(intermediate layer)(120), 반도체층(130), 전면 전극 (front contact)(140), 및 후면 전극(rear contact)(150)을 포함한다.

[0027] 기판(110)은 전도성이 있는 세라믹을 포함할 수 있다. 세라믹에는 불순물이 포함될 수 있다. 즉, 기판(110)은 불순물을 포함할 수 있는데, 불순물은 광전 변환 셀 내에서 확산을 통해 다른 층으로 이동할 수 있다. 일례로, 기판(110)의 두께는 200 마이크로미터(㎛)일 수 있다.

[0028] 불순물의 확산 방지를 위해 기판(110)위에 중간층(120)이 형성될 수 있다. 중간층(120)은 기판에 포함된 불순물이 반도체층(130)으로 확산되는 것을 방지할 수 있다. 즉, 중간층(120)은 확산 방지층(diffusion barrier)일 수 있다. 또한, 중간층(120)은 섭씨 1450도에서 기계적, 화학적으로 안정한 물질을 포함할 수 있다. 중간층(120)의 두께는 1 내지 5 마이크로미터(㎛)일 수 있다.

[0029] 중간층(120)위에는 반도체층(130)이 형성될 수 있다. 반도체층(130)은 시드층(seed layer)(131), 다결정 실리콘 박막층(polycrystalline silicon thin films)(132), 및 에미터층(emitter layer)(133)을 포함할 수 있다.

[0030] 중간층(120)위에는 시드층(seed layer)(131)이 형성될 수 있다. 시드층(131)은 화학 기상 증착(chemical vapor deposition)을 통해 중간층(120)위에 증착(deposition)될 수 있다. 예를 들어, 시드층(131)은 대기압 조건에서 화학 기상 증착을 통해 증착될 수 있다(Atmospheric pressure CVD, APCVD).

[0031] 시드층(131)은 실리콘을 포함할 수 있다. 실리콘의 그레인(grain)의 사이즈가 미리 정해진 크기 이상이 되도록 실리콘이 재결정화(re-crystallization)될 수 있다. 예를 들어, 존 멜팅(zone melting) 기법을 통해, 실리콘

이 재결정화되면서, 실리콘의 그레인의 사이즈가 커질 수 있다. 존 멜팅 기법을 이용함으로써, 실리콘의 그레인의 사이즈가 100 마이크론(micron)이상일 수 있다.

[0032] 시드층(131)은 제1 도전형 불순물을 포함할 수 있다. 제1 도전형 불순물은 3족 원소인 보론(B), 알루미늄(Al), 갈륨(Ga), 또는 인듐(In) 등의 p형 불순물일 수 있다. 또한, 시드층(131)은 제1 도전형 불순물이 강하게 도핑(heavily dopping)될 수 있다. 즉, 시드층(131)은 p^+ 타입의 실리콘일 수 있다. 제1 도전형 불순물이 강하게 도핑됨으로써, 에피 레이어(epi layer)(132)의 후면에서 전자와 정공(hole)의 표면 재결합이 방지될 수 있다. 즉, 시드층(131)은 후면 전계(Back Surface Field, BSF)로서, 도핑된 농도에 의해 시드층(131)내에서 전위차가 생겨 전자의 이동이 어렵다. 전자의 이동이 어려워 에피 레이어(132)의 후면에서 표면 재결합이 방지될 수 있다. 시드층(131)의 두께는 5마이크로 미터일 수 있다.

[0033] 다결정 실리콘 박막층(polycrystalline silicon thin films)(132)은 에피 레이어(epi layer)로서 시드층(131) 위에 증착될 수 있다. 다결정 실리콘 박막층(132)은 APCVD를 통해 증착될 수 있다. 다결정 실리콘 박막층(132)은 시드층(131)에 포함된 불순물과 동일한 전기적, 화학적 성질을 갖는 불순물을 포함할 수 있다. 예를 들어, 다결정 실리콘 박막층(132)은 시드층(131)에 포함된 제1 도전형 불순물을 포함할 수 있다. 즉, 다결정 실리콘 박막층(132)은 p 타입의 실리콘일 수 있다. 다결정 실리콘 박막층(132)의 두께는 20마이크로미터일 수 있다.

[0034] 다결정 실리콘 박막층(132)위에 에미터층(133)이 형성될 수 있다. 에미터층(133)은 APCVD를 통해 다결정 실리콘 박막층(132)위에 증착될 수 있다. 에미터층(133)은 시드층(131)과 다결정 실리콘 박막층(132)에 포함된 불순물과 다른 불순물을 포함할 수 있다. 예를 들어, 에미터층(133)은 제2 도전형 불순물을 포함할 수 있다. 제2 도전형 불순물은 5족 원소 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 n형 불순물일 수 있다. 즉, 에미터층(133)은 n 타입의 실리콘일 수 있다.

[0035] 에미터층(133)위에 전면 전극층(140)이 형성될 수 있다. 전면 전극층(140)은 서로 다른 물질로 구성된 복수 개의 층을 포함할 수 있다. 여기서, 서로 다른 물질은 구성하는 원소, 물질 등이 다른 경우뿐만 아니라 구성하는 원소, 물질 등이 동일하여도 그 조성이 다른 경우를 포함할 수 있다.

[0036] 전면 전극(140)은 배리어(barrier), 금속 화합물층, 및 금속 전극을 포함할 수 있다.

[0037] 배리어는 반도체층(130)과 연결될 수 있다. 즉, 배리어는 에미터층(133)과 전기적으로 연결될 수 있다.

[0038] 배리어는 미리 정해진 범위 내의 pH값을 가지고, 니켈 이온을 포함하는 용액으로부터 형성될 수 있다. 무전해 도금(electroless plating)을 통해, 니켈(Ni)이 에미터층(133)위에 증착될 수 있다. 여기서, 용액은 알칼리성 용액으로서, 8 내지 10 사이의 pH값을 가질 수 있다.

[0039] 금속 화합물층은 배리어에 수행된 열처리를 통해 에미터층(133)의 물질과 배리어에 포함된 물질이 반응하여 형성된 화합물을 포함할 수 있다. 예를 들어, n 타입의 실리콘인 에미터층(133)위에 니켈을 포함하는 배리어가 증착된다고 하자. 배리어에 열을 가하는 경우, 니켈과 실리콘이 반응하여 니켈 화합물(예를 들어, 니켈 실리사이드)이 형성될 수 있다. 니켈 실리사이드(Nikel silicide)가 형성됨으로써, 배리어와 에미터층(133) 사이의 접착력(adhesion)이 향상될 수 있다. 또한, 니켈 실리사이드가 형성됨으로써, 배리어와 에미터층(133)사이의 컨택 저항(contact resistance)이 감소할 수 있다.

[0040] 금속 전극은 배리어위에 형성될 수 있다. 금속 전극은 구리 이온을 포함하는 용액으로부터 형성될 수 있다. 전해도금(electro plating)을 통해, 구리(Cu)가 제1 전극층위에 증착될 수 있다. 구리가 전면 전극에 사용되는 경우, 구리는 반도체층(130)으로 확산될 수 있다. 배리어는 구리가 반도체층(130)으로 확산되는 것을 방지할 수 있다.

[0041] 금속 전극 위에 캡핑층(capping layer)이 형성될 수 있다. 캡핑층은 금속 전극이 외부에 노출되는 것을 방지할 수 있다. 예를 들어, 캡핑층은 금속 전극이 산화되는 것을 방지할 수 있다. 또한, 캡핑층은 금속 전극과 EVA encapsulant 사이에서 발생할 수 있는 반응을 방지할 수 있다. 또한, 캡핑층은 인터커넥팅 탭의 납땜(soldering of interconnecting tabs)을 가능하게 할 수 있다. 캡핑층은 은(Ag), 및 주석(Sn) 중 적어도 하나를 포함할 수 있다. 또는, 캡핑층은 은과 주석의 합금을 포함할 수 있다.

[0042] 전도성이 있는 세라믹 기판(110)의 후면에는 후면 전극(rear contact)(150)이 형성될 수 있다. 예를 들어, 기판(110)의 후면에는 알루미늄을 포함하는 후면 전극이 형성될 수 있다.

[0043] 도 2는 일 실시예에 따른 광전 변환 셀의 전면 전극을 설명하기 위한 도면이다.

[0044] 일 실시예에 따른 전면 전극(200)은 배리어(210), 및 금속 전극(220)을 포함한다. 전면 전극(200)은 서로 다른 물질로 구성된 복수 개의 층을 포함할 수 있다.

[0045] 배리어(210)는 반도체층(230)위에 형성될 수 있다. 예를 들어, 배리어는 n 타입의 실리콘(즉, 에미터층)위에 형성될 수 있다. 배리어(210)는 니켈(Ni)을 포함할 수 있다. 이하, 니켈이 에미터층 위에 증착되는 과정을 설명한다.

[0046] 니켈은 무전해도금을 위한 니켈 용액(Ni solution, plating bath)으로부터 생성될 수 있다. 예를 들어, 니켈 용액은 니켈 클로라이드(Nickel chloride, $NiCl_26H_2O$), 차아인산 나트륨(Sodium hypophosphite, $NaH_2PO_2H_2O$), 트리암모늄 시트르(Triammonium citrate, $(NH_4)_3C_6H_5O_7$), 염화 암모늄(Ammonium chloride, NH_4Cl)을 포함할 수 있다. 여기서, 니켈 클로라이드가 니켈 이온의 주 공급원(main source)이고, 차아인산 나트륨은 환원제(reducing agent)이고, 트리암모늄 시트르는 착화제(complexing agent)이다. 염화 암모늄은 완충제(buffer agent)로서, 니켈 용액의 pH를 유지할 수 있다. 상기 니켈 용액의 구성은 일 실시예에 따른 예시적인 사항일 뿐, 니켈 용액의 구성은 전술한 사항으로 한정되지 않는다.

[0047] 광전 변환 셀은 니켈 용액에 잠겨있다. 여기서, 니켈 용액에 잠겨있는 광전 변환 셀은 니켈층이 증착되지 않은 광전 변환 셀이다. 니켈은 니켈 이온(Ni ion)과 음이온 사이의 산화 환원 반응(oxidation-reduction reaction)을 기초로 증착될 수 있다. 전술한 예에서, 음이온은 차아인산 이온(hypophosphite ion)일 수 있다. 니켈의 증착과정을 아래의 반응식 1로 나타낼 수 있다.

[0048] [반응식 1]

[0049]
$$\text{Step (1): } H_2PO_2^- + H_2O \rightarrow HPO_3^{2-} + 2H^+ + H^-$$

$$\text{Step (2): } 2H^- + Ni^{2+} \rightarrow Ni + H_2$$

$$\text{Sum: } 2H_2PO_2^- + 2H_2O + Ni^{2+} \rightarrow Ni + H_2 + 4H^+ + 2HPO_3^{2-}$$

[0050] 마지막 화학 반응식을 살펴보면, 니켈이 생성되는 것을 알 수 있다. 니켈이 반도체층(230)위에 증착된다.

[0051] 상기 니켈 용액의 pH와 증착 시간(deposition time)에 따라 니켈층의 특징이 다를 수 있다. 즉, 제1 금속을 포함하는 배리어(210)의 특징은 제1 금속 이온이 포함된 용액의 pH 및 증착 시간에 따라 결정될 수 있다. 도 3 내지 도 4를 참조하면서 설명한다.

[0052] 도 3은 일 실시예에 따른 광전 변환 셀을 구성하는 전면 전극에 포함된 금속층의 두께 및 시트 저항이 증착 시간에 따라 변하는 것을 설명하기 위한 도면이다. 여기서, 배리어는 니켈이 증착된 니켈층이다.

[0053] 도 3의 (a)를 참조하면, 증착 시간이 길수록 니켈층의 시트 저항(sheet resistance)이 감소한다.

[0054] 도 3의 (b)를 참조하면, 증착 시간이 길수록 니켈층의 두께가 두꺼워진다. 증착 시간이 1분인 경우, 니켈층의 두께는 264nm이고, 증착 시간이 5분인 경우, 니켈층의 두께는 535nm이다. 도 3의 (a) 및 (b) 모두를 고려할 때, 니켈층의 두께가 두꺼우면, 니켈층의 시트 저항이 감소한다. 니켈층의 두께 및 시트저항을 고려할 때, 니켈층의 바람직한 증착시간은 5분이다.

[0055] 도 4는 일 실시예에 따른 광전 변환 셀을 구성하는 전면 전극에 포함된 금속층의 두께 및 시트 저항이 pH에 따라 변하는 것을 설명하기 위한 도면이다. 여기서, 배리어는 니켈이 증착된 니켈층이다.

[0056] 도 4의 (a) 및 (b)에 나타난 결과는 5분 동안 증착한 니켈층의 시트 저항과 두께이다.

[0057] 도 4의 (a)를 참조하면, 니켈 용액의 pH에 따라 니켈층의 시트 저항이 변한다. 니켈 용액이 염기성일 때, 니켈

층의 시트 저항이 작다. 또한, 니켈 용액의 pH가 8.5인 경우, 니켈층의 시트 저항이 가장 작다. 증착되는 니켈층의 시트 저항을 줄이기 위해, 니켈 용액의 pH가 미리 정해진 범위 이내에 있도록 할 수 있다. 예를 들어, 니켈 용액의 pH가 8 내지 10에 있도록 할 수 있다.

[0058] 도 4의 (b)를 참조하면, 니켈 용액의 pH에 따라 니켈층의 두께가 변한다.

[0059] 니켈 용액의 pH가 미리 정해진 범위 외에 있을 경우와 비교할 때, 니켈 용액의 pH가 미리 정해진 범위에 있는 경우, 니켈층의 시트 저항이 감소할 수 있고, 니켈층의 두께가 두꺼워질 수 있다.

[0060] 다시 도 2로 돌아오면, 니켈의 증착을 위해 빛을 이용한 도금 방법이 사용될 수 있다. 즉, 니켈은 광 유도 도금액(light induced plating bath, LIP bath)으로부터 형성될 수 있다. 광 유도 도금액의 구성은 니켈 이온을 공급하는 물질, 환원제, 착화제, 및 완충제를 포함할 수 있다. 예를 들어, 광 유도 도금액은 전술한 니켈 용액을 구성하는 물질과 동일한 물질을 포함할 수 있다. 광전 변환 셀에 인가된 빛을 기초로 전자가 발생하고, 상기 전자와 광 유도 도금액에 포함된 니켈 이온이 반응하여 니켈이 반도체층(230)위에 증착될 수 있다.

[0061] 또한, 니켈의 증착을 위해 레이저가 사용될 수 있다.

[0062] 전술한 니켈층의 증착 방법은 일 실시예에 따른 예시적인 사항일 뿐, 니켈층의 증착 방법은 전술한 사항으로 한정되지 않는다.

[0063] 배리어(210)가 증착된 후, 열처리 공정이 진행될 수 있다. 상기 열처리 공정을 소결(sintering)이라고 한다. 열처리 공정을 통해 배리어(210)와 반도체층(230) 사이에 화합물이 생성될 수 있다. 보다 구체적으로, 배리어에 포함된 제1 금속과 반도체층(230)에 포함된 물질이 반응하여 배리어(210)와 반도체층(230) 사이에 금속 화합물이 생성될 수 있다. 예를 들어, 제1 금속이 니켈, 반도체층(230)이 n 타입 실리콘이라면, 니켈층과 반도체층(230) 사이에 니켈 실리사이드가 생성될 수 있다.

[0064] 니켈 실리사이드는 온도에 따라 상(phase)이 변할 수 있다. 예를 들어, 섭씨 200도 에서 300도 일 때, 니켈 실리사이드는 Ni_2Si로 나타나고, 섭씨 300도 에서 700도일 때, 니켈 실리사이드는 NiSi로 나타난다. 또한, 섭씨 700도 에서 900도 일 때, 니켈 실리사이드는 $NiSi_2$로 나타난다. 전술한 니켈 실리사이드의 상 중에서, NiSi가 시트 저항이 가장 낮고, Ni_2Si의 시트 저항이 가장 높다.

[0065] 시트 저항을 고려할 때, NiSi 생성을 위해 섭씨 300도 내지 400도에서 열처리 공정이 진행될 수 있다. 즉, 소결은 섭씨 300도 내지 400도에서 이루어지는 것이 바람직하다.

[0066] 금속 화합물층의 생성으로 배리어(210)과 반도체층(230)사이의 접착력이 강해질 수 있다. 또한, 화합물층의 생성으로 컨택 저항이 감소할 수 있다.

[0067] 열처리 공정 후, 금속 전극(220)이 배리어(210)위에 형성될 수 있다. 금속 전극은 제2 금속을 포함할 수 있고, 구리가 제2 금속일 수 있다. 이하, 구리가 배리어위에 증착되는 과정을 설명한다.

[0068] 광전 변환 셀은 전해질 용액에 잠겨있다. 여기서, 광전 변환 셀은 구리가 증착되지 않은 광전 변환 셀이다. 전해질 용액은 구리 이온을 제공하는 물질 및 전해질 용액의 전도성을 높이는 물질을 포함할 수 있다. 예를 들어, 구리 이온을 제공하는 물질은 황산 구리(Cupric sulfate, $CuSO_45H_2O$)일 수 있고, 전해질 용액의 전도성을 높이는 물질은 황산(Sulfuric acid, H_2SO_4)일 수 있다.

[0069] 구리 애노드(Cu anode)는 상기 전해질 용액에 잠겨있다. 구리 애노드는 전해질 용액에 구리 이온을 제공하는 공급원이다. 또한, 구리 애노드는 전원의 양극(positive electrode)과 연결된다. 전원의 음극(negative electrode)은 광전 변환 셀과 연결된다. 광전 변환 셀이 캐소드(cathode)가 된다.

[0070] 구리 애노드에서, $Cu + 2e^+ \rightarrow Cu^{2+}$ 이 발생한다.

[0071] 전해질 용액에서, $CuSO_4 \rightarrow Cu^{2+} + SO_4^{2-}$
$H_2SO_4 \rightarrow 2H^+ + SO_4^{2-}$ 이 발생한다.

[0072] 캐소드에서, $Cu^{2+} + 2e^- \rightarrow Cu$ 이 발생한다. 구리 이온이 전자를 제공 받아 구리가 생성된다. 구리 이온이

포함된 전해질 용액으로부터 구리가 증착될 수 있다.

[0073] 전술한 구리가 증착되는 과정은 일 실시예에 따른 예시적인 사항일 뿐, 구리가 증착되는 과정은 전술한 사항으로 한정되지 않는다.

[0074] 금속 전극위에는 캡핑층(capping layer)이 형성될 수 있다. 캡핑층은 금속 전극이 외부에 노출되는 것을 방지할 수 있다. 예를 들어, 캡핑층은 금속 전극이 산화되는 것을 방지할 수 있다.

[0075] 광전 변환 셀의 전면 전극의 단면(cross section)을 살펴보면, 제1 금속(예를 들어, 니켈)과 반도체(예를 들어, 실리콘)가 반응하여 생성된 금속 화합물(예를 들어, 니켈 실리사이드)이 밑에 있다. 금속 화합물위에 제1 금속이 있고, 제1 금속 위에 제2 금속이 있다. 제2 금속위에 제3 금속이 있다.

[0076] 도 5는 일 실시예에 따른 광전 변환 셀의 제조 방법을 설명하기 위한 순서도이다.

[0077] 도 5를 참조하면, 전도성이 있는 세라믹을 포함하는 기판 위에 중간층이 형성될 수 있다(510). 중간층은 섭씨 1450도에서 기계적, 화학적으로 안정한 물질을 포함할 수 있다.

[0078] 중간층위에 반도체층이 형성될 수 있다(520). 중간층은 기판에 포함된 불순물이 반도체층으로 확산되는 것을 방지할 수 있다. 중간층위에 APCVD를 통해 시드층이 형성될 수 있다. 시드층은 p형 불순물이 강하게 도핑되어 p+ 타입의 실리콘일 수 있다. 또한, 시드층의 실리콘은 재결정화를 통해 그레인의 사이즈가 미리 정해진 크기 이상일 수 있다. 시드층위에 다결정 실리콘 박막층이 APCVD를 통해 형성될 수 있다. 다결정 실리콘 박막층은 시드층에 포함된 불순물과 동일한 불순물을 포함할 수 있다. 다결정 실리콘 박막층위에 에미터층이 형성될 수 있다. 에미터층은 n형 불순물을 포함할 수 있다. 즉, 에미터층은 n 타입의 실리콘일 수 있다.

[0079] 반도체층과 연결되는 전면 전극층이 형성될 수 있다(530). 여기서, 전면 전극층은 서로 다른 물질로 구성된 복수 개의 층을 포함할 수 있다.

[0080] 단계(530)에서, 반도체층 위에 배리어(barrier)가 형성될 수 있다. 즉, 배리어가 에미터층과 연결될 수 있다. 여기서, 배리어는 니켈층일 수 있다. 배리어가 형성된 후, 열처리 공정이 진행될 수 있다. 열처리 공정이 진행되면, 배리어와 반도체층 사이에 금속 화합물층이 형성될 수 있다. 배리어 위에 금속 전극이 형성될 수 있다. 여기서, 금속 전극은 구리일 수 있다. 금속 전극 위에 금속 전극을 캡핑하는 캡핑층(capping layer)이 형성될 수 있다. 캡핑층을 통해 금속 전극이 산화되는 것을 방지할 수 있다.

[0081] 도 1 내지 도 4를 통해 기술된 사항이 도 5에 도시된 방법에 적용될 수 있으므로, 상세한 설명은 생략한다.

[0082] 도 6은 일 실시예에 따른 광전 변환 셀을 구성하는 전면 전극의 제조 방법을 설명하기 위한 순서도이다.

[0083] 도 6을 참조하면, 반도체층 위에 배리어가 형성될 수 있다(610). 반도체층은 전도성이 있는 세라믹 기판에 포함된 불순물의 확산을 방지하기 위한 중간층위에 형성될 수 있다. 배리어는 제1 금속 이온을 포함하는 용액으로부터 증착될 수 있다. 예를 들어, 배리어는 니켈층이고, 니켈층은 무전해도금 방법을 통해 니켈 이온을 포함하는 용액으로부터 증착될 수 있다. 니켈이 증착되는 동안 니켈 이온을 포함하는 용액의 pH는 미리 정해진 범위에서(예를 들어, pH 8 내지 10) 유지될 수 있다.

[0084] 배리어에 열처리 가공이 진행되어 배리어와 반도체층 사이에 금속 화합물층이 형성될 수 있다. 배리어가 니켈층이고, 반도체층이 실리콘층이라면, 니켈 실리사이드가 니켈층과 실리콘층 사이에 형성될 수 있다.

[0085] 배리어위에 금속 전극이 형성될 수 있다. 금속 전극은 제2 금속 이온을 포함하는 용액으로부터 증착될 수 있다. 예를 들어, 금속 전극은 구리이고, 구리는 전해도금 방법을 통해 구리 이온으로부터 증착될 수 있다.

[0086] 금속 전극위에 캡핑층이 형성될 수 있다. 캡핑층은 금속 전극이 외부에 노출되는 것을 방지할 수 있다. 예를 들어, 은 또는 주석이 금속 전극 위에 증착될 수 있다. 또는, 은과 주석의 합금이 금속 전극 위에 증착될 수 있다.

[0087] 도 1 내지 도 5를 통해 기술된 사항이 도 6에 도시된 방법에 그대로 적용될 수 있으므로, 상세한 설명은 생략한다.

[0088] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0089] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0090] 100: 광전 변환 셀 200: 전면 전극

110: 기판 210: 배리어

120: 중간층 220: 금속 전극

130: 반도체층 230: 반도체층

131: 시드층

132: 다결정 실리콘 박막층

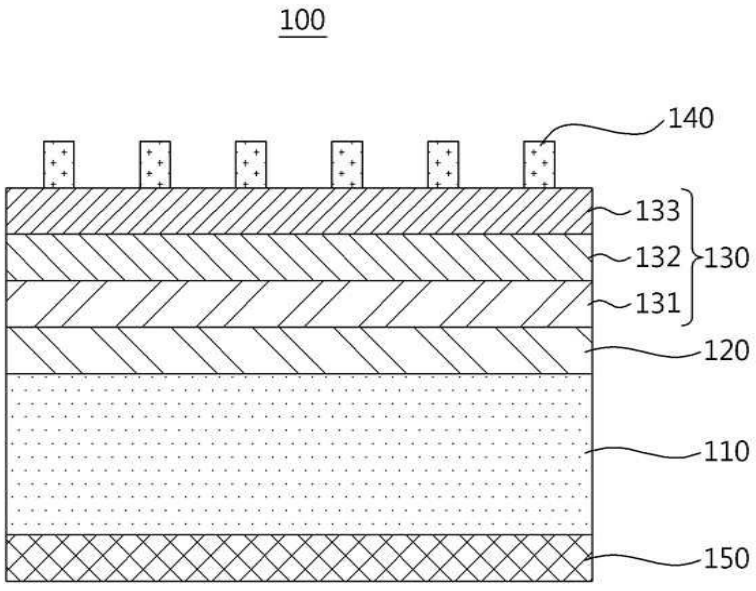
133: 에미터층

140: 전면 전극

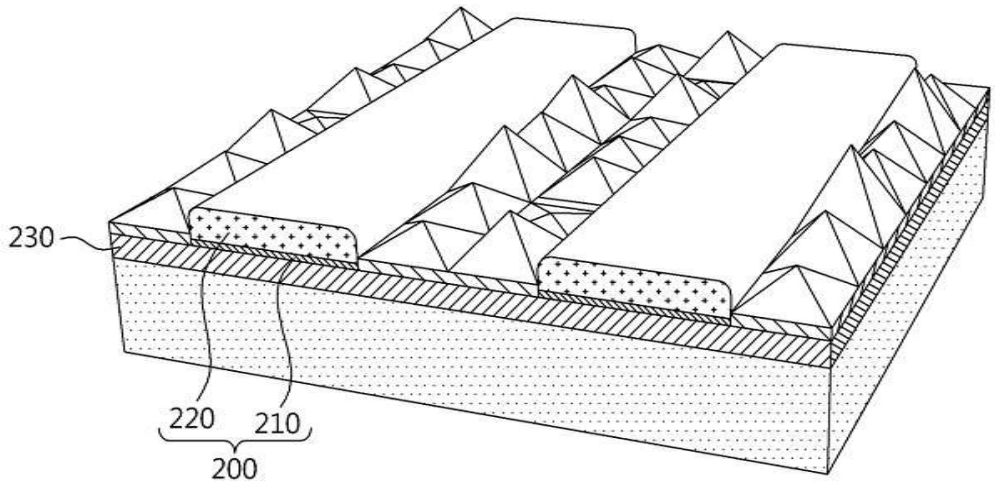
150: 후면 전극

도면

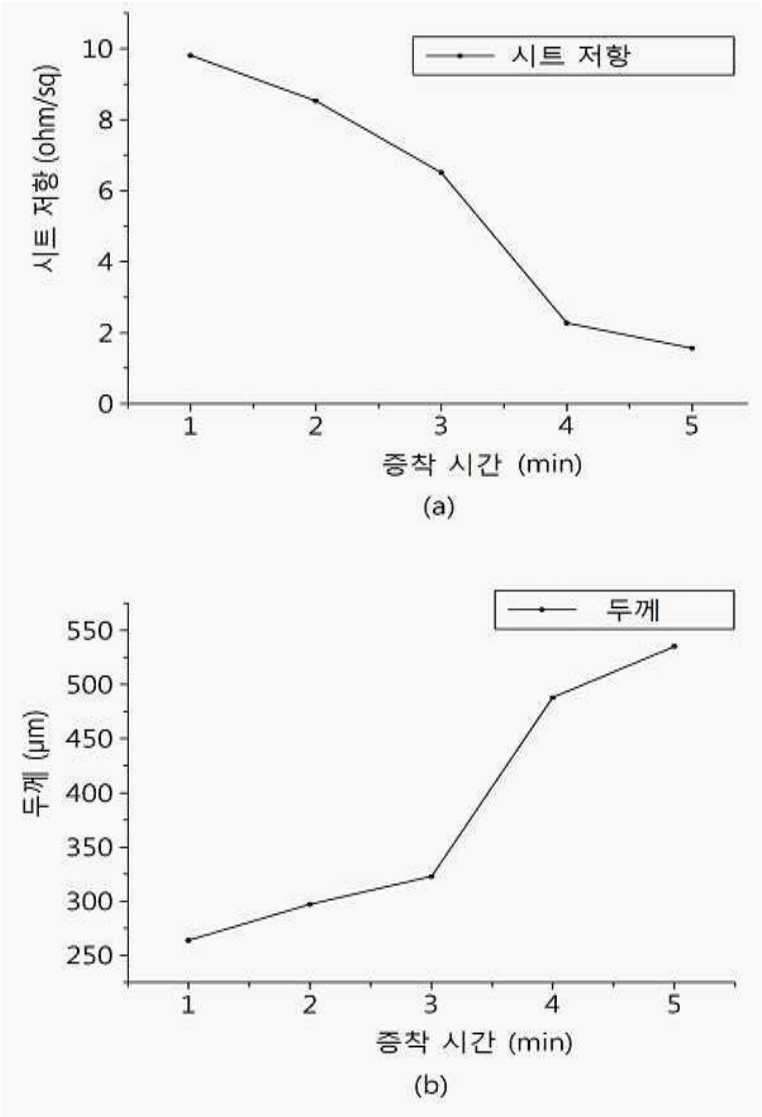
도면1



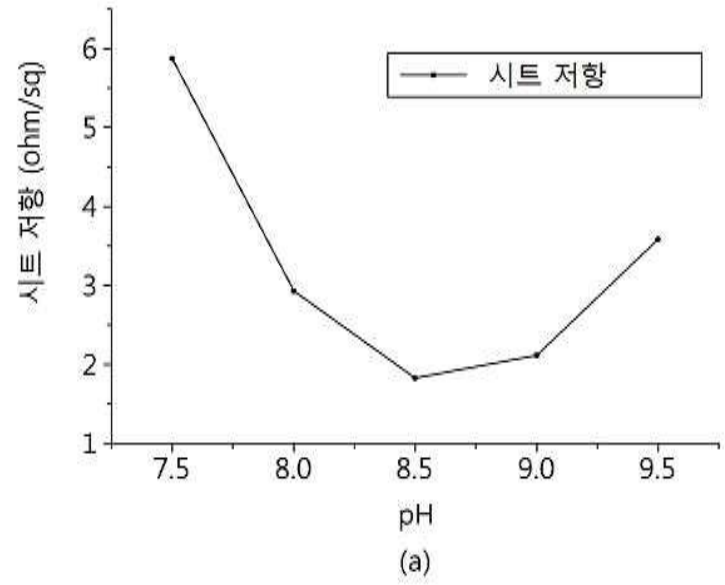
도면2



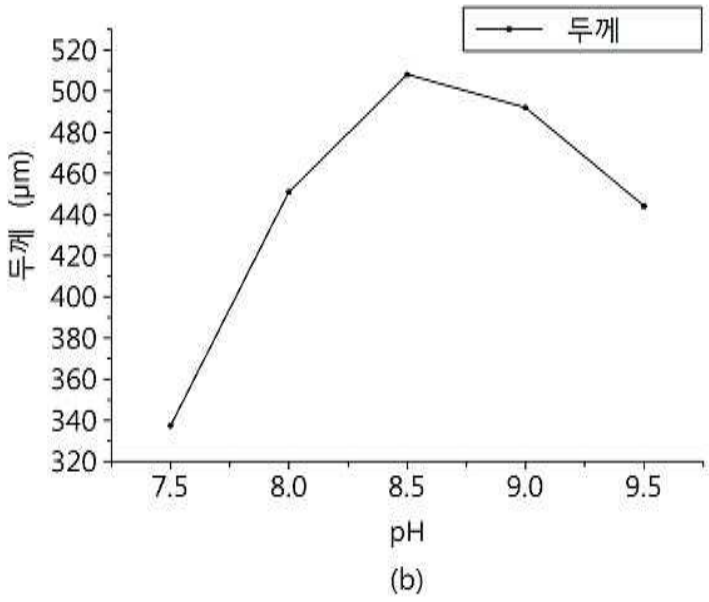
도면3


시트 저항
시트 저항 (ohm/sq)
0
2
4
6
8
10
1
2
3
4
5
증착 시간 (min)
(a)
두께
두께 (μm)
250
300
350
400
450
500
550
1
2
3
4
5
증착 시간 (min)
(b)

도면4

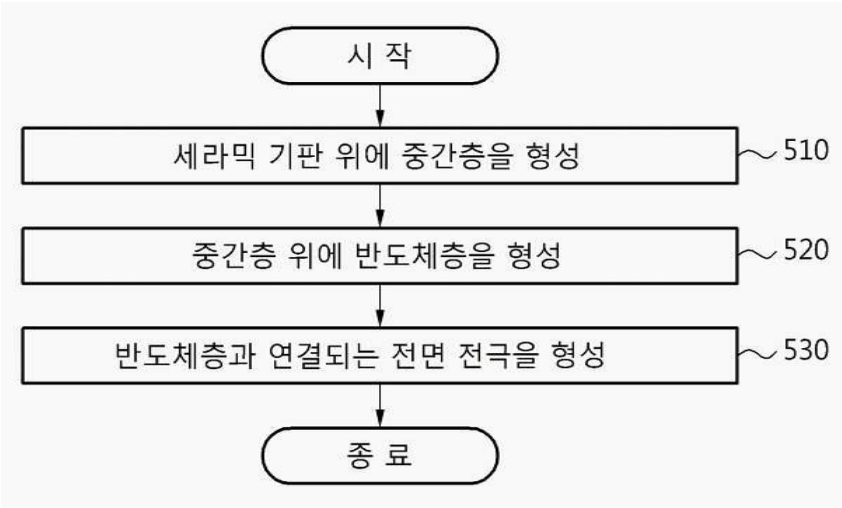

시트 저항
시트 저항 (ohm/sq)
6
5
4
3
2
1
7.5
8.0
8.5
9.0
9.5
pH

(a)

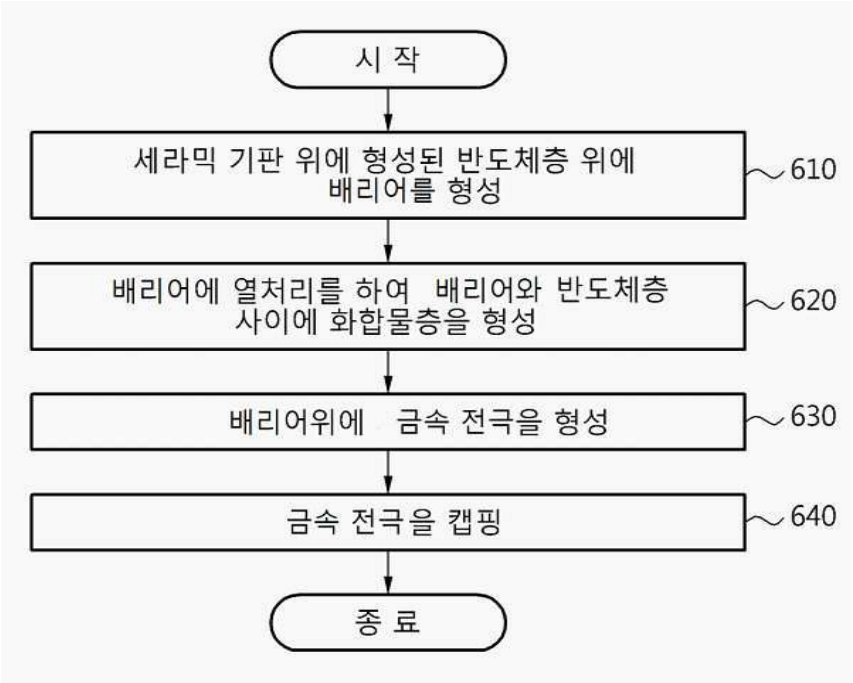

두께
두께 (μm)
520
500
480
460
440
420
400
380
360
340
320
7.5
8.0
8.5
9.0
9.5
pH

(b)

도면5


시 작
세라믹 기판 위에 중간층을 형성
510
중간층 위에 반도체층을 형성
520
반도체층과 연결되는 전면 전극을 형성
530
종 료

도면6


시 작
세라믹 기판 위에 형성된 반도체층 위에
배리어를 형성
610
배리어에 열처리를 하여 배리어와 반도체층
사이에 화합물층을 형성
620
배리어위에 금속 전극을 형성
630
금속 전극을 캡핑
640
종 료