

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3545430号
(P3545430)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int. Cl.⁷

F I

H O 4 L 27/12

H O 4 L 27/12

B

H O 4 B 1/40

H O 4 B 1/40

H O 4 B 7/26

H O 4 B 7/26

M

請求項の数 2 (全 15 頁)

(21) 出願番号	特願平4-305500	(73) 特許権者	590000879
(22) 出願日	平成4年11月16日(1992.11.16)		テキサス インスツルメンツ インコーポ レイテッド
(65) 公開番号	特開平5-236034		アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 00
(43) 公開日	平成5年9月10日(1993.9.10)	(74) 代理人	100059959
審査請求日	平成11年11月16日(1999.11.16)		弁理士 中村 稔
審査番号	不服2002-21355 (P2002-21355/J1)	(74) 代理人	100067013
審査請求日	平成14年11月5日(2002.11.5)		弁理士 大塚 文昭
(31) 優先権主張番号	9113980	(74) 代理人	100065189
(32) 優先日	平成3年11月14日(1991.11.14)		弁理士 穴戸 嘉一
(33) 優先権主張国	フランス (FR)	(74) 代理人	100074228
			弁理士 今城 俊夫

最終頁に続く

(54) 【発明の名称】 デジタルセリユラ電話システム用変調器

(57) 【特許請求の範囲】

【請求項1】

変調機能及びチャンネルコーダ/デコーダ・タスクを実行するプログラム可能な周辺プロセッサ(25)と、

ROM部分に変調器のための基本構成を記憶する表を含んでいる区分化RAM/ROMメモリ(30)とを備え、

前記区分化RAM/ROMメモリは、前記周辺プロセッサと主プロセッサとの間に介在しており、

アドレスバスとデータバスが、前記周辺プロセッサと前記主プロセッサとの間で前記区分化RAM/ROMメモリを相互接続しており、そして

前記周辺プロセッサ(25)は、変調機能を実行するためのカウンタ(55、58、62)、乗算器(60、63、65、66)、および加算器(67、68)を含むとともに、さらに、前記区分化RAM/ROMメモリは、 $\cos\{ (t,) \}$ の値を記憶する第1のROM(56)と、 $\sin\{ (t,) \}$ の値を記憶する第2のROM(57)と、 $\sin\{ +1, 0, -1 \}$ 信号を生成する第1の表(61)と、 $\cos\{ +1, 0, -1 \}$ 信号を生成する第2の表(64)とを含んでいることを特徴とするデジタルセリユラ電話システムの変調器。

【請求項2】

前記周辺プロセッサにリンクしている回路ブロック(37)を含み、当該回路ブロックは、前記周辺プロセッサにおいて変調されたサンプルの出力を受けるレジスタを含んでいる

、請求項 1 に記載のデジタルセルラ電話システムの変調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、例えば GSM 方法のような時分割多重アクセス (TDMA) 方法を使用するデジタルセルラ (cellular) 電話システムに関する。

【0002】

【従来の技術】

これらのシステムにおいては、ベースバンドを処理するために 3 つの主機能を遂行しなければならない。即ち、

1. 音声コーディング/デコーディング、
2. チャンネルコーディング/デコーディング (CRC / パリティコーディング、重畳 (コンボリューション) コーディング、インタレーシング、デインタレーシング、ビタビデコーディング、パリティ検査 / CRC)、
3. 変調器 / 復調器、モデム。

である。

【0003】

現在はこれらの機能を 3 つの分離した機能ユニットで実現している。

時分割多重アクセス (TDMA) 方法の故に、これらのユニットの若干の動作時間比は極めて低い。

例えば、タスクを分割することができない要素である変調器は、一定の時間の間作動せしめられる専用オペレータで実現されている。

【0004】

GSM システムでは、この比の最大値は、変調器に関しては 12.5% であるが、総合では 0.2% 以下である。

現在の実例では、このオペレータに必要な回路資源を、不活動期間中に他のタスクを遂行させるために再使用することはできない。

このデジタル変調器オペレータは、通常は変換器に接近した線形部分内に実現されており、デジタル / 線形混合技術を必要とするが、これがデジタル部分に不利をもたらしている。

【0005】

【発明の概要】

本発明は、組み合わせることができるデジタル回路の動作に妥協を要求しない構造の変調器 / 復調器を提供することによって、上述の欠陥を解消する。

従って本発明の主題はデジタル変調器であって、このデジタル変調器は、同一回路を使用して変調機能とチャンネルコーダ / デコーダタスクを遂行するプログラム可能な周辺プロセッサ (25) を具備することを特徴とする。

【0006】

このような配列を使用することにより回路資源の利用度を最適にすることが可能になり、この事実によって、対応集積回路の構造におけるシリコンフィークチュアリングの効率を改善する。

以下に添付図面に基づいて本発明の実施例を詳細に説明する。

【0007】

【実施例】

図 1 に示す時分割多重アクセス型の端末は、ベコーダ (vecoder) 1 を備えている。ベコーダ 1 は 1 つの入力にオーディオ信号を受け、出力 3 に出力信号としてオーディオ信号を供給する。

ベコーダ 1 は、例えば GSM 型の RPE - LTP 13 KBT / S のものである。

【0008】

ベコーダ 1 は、コーダ / デコーダ 4 に接続されている。コーダ / デコーダ 4 の出力は変調

10

20

30

40

50

器 5 に接続され、変調器 5 はその出力に I 及び Q 信号を供給してこれらの信号を線形回路へ印加する。コーダ / デコーダ 4 の一方の入力は復調器 6 に接続されている。復調器 6 の入力は、線形回路から発した I 及び Q 信号を受けている。

【 0 0 0 9 】

コーダ / デコーダ 4 は、例えば重畳コーディング及びビタビデコーディングを用いるビット操作コーダである。

変調器 5 は R O M をベースにしており、一方復調器 6 は複素型ショートワードプロセッサを具備する。

回路 1、4 及び 6 は制御回路 7 に接続され、制御回路 7 は外部装置への通信出力を備えている。

【 0 0 1 0 】

図 2 に詳細に示されている変調器 5 は 3 段シフトレジスタ 8 を備え、このシフトレジスタ 8 の入力はコーダ / デコーダ 4 (図 1) からの 2 進データを受け、出力は位相 状態カウンタ 9 に接続されている。

4 進カウンタ 1 0 はサンプリングクロックからの入力信号を受ける。シフトレジスタ 8 は第 2 の出力に 3 ビット信号を供給する。

【 0 0 1 1 】

状態カウンタ 9 は、その出力に 2 ビット信号を供給する。

4 進カウンタ 1 0 は、その出力に 2 ビット信号を供給する。上記 3 つの回路の 3 ビット及び 2 ビット出力は、7 ビットデコーダ 1 1 の対応入力に接続されている。

デコーダ 1 1 の出力は符号化された波形メモリ 1 2 に接続されている。波形メモリ 1 2 は I 符号化された 1 2 8 語 R O M 1 3 と、Q I 符号化された 1 2 8 語 R O M 1 4 とに分割されている。

【 0 0 1 2 】

R O M 1 3 及び 1 4 の出力は、バス制御回路 1 5 に接続されている。バス制御回路 1 5 の出力は、4 進カウンタ 1 0 に印加されるサンプリングクロック信号によって制御されている Q 及び I 信号用デジタル・アナログ変換器 1 6 及び 1 7 に接続されている。

変換器 1 6 からの Q 信号のアナログ出力は線形位相フィルタ 1 8 の入力に印加され、一方変換器 1 7 の出力は別の線形位相フィルタ 1 9 の入力に印加される。

【 0 0 1 3 】

フィルタ 1 8、1 9 の出力はそれぞれ乗算器 2 0 及び 2 1 に接続されている。乗算器 2 0 及び 2 1 は、信号 $\sin(\omega t)$ 及び $\cos(\omega t)$ をも受け、それらの出力に Q 及び I 信号を供給する。

本発明による復調器の周辺プロセッサは図 3 にブロック図で示されている。

復調器は周辺プロセッサ 2 5 を備え、周辺プロセッサ 2 5 は、プログラムを記憶している R O M 2 6 にアドレスバス 2 7 及びプログラムバス 2 8 を介して適切に接続されている。

【 0 0 1 4 】

R O M 2 6 内に記憶されているプログラムは、変調コード及びコーダコード (チャネル復調器) を含む。

例えば D S P またはマイクロコントローラ型であるプロセッサ 2 5 は、2 ポート R A M / R O M である区分化メモリ 3 0 を介して主プロセッサ 2 9 に接続されている。

【 0 0 1 5 】

更にプロセッサ 2 5 は、試験及び調整線 3 1 及び割り込み線 3 2 を介して主プロセッサ 2 9 に接続されている。

プロセッサ 2 5 は、本願出願人による 1991 年 6 月 27 日付フランス国特許出願 91 07 985 号「命令の集合を少ない演算数で実行するプロトコルプロセッサ」に記載されている型のプロトコルプロセッサとすると有利である。

【 0 0 1 6 】

メモリ 3 0 によるプロセッサ 2 5 と 2 9 との間の接続は、それぞれアドレスバス 3 3、3 4 及びデータバス 3 5、3 6 によって達成される。

10

20

30

40

50

区分化メモリ30は、変調すべきローカル変数並びに記号を含む。また区分化メモリ30はそのROM部分に、変調器の基本構成を記憶する表をも含む。周辺プロセッサ25は、変調されたサンプル(I、Q)の出力(これらは周辺プロセッサのよって計数される)のためのレジスタを含む回路ブロック37にも接続されている。

【0017】

サンプルは、割り込み線32によって固定される速度で供給される。

組立体のアーキテクチャは、変調器を使用するための割り込み待ち時間(2サイクル)及びシステム時間(2サイクル)をできる限り短縮するために最適化されている。

以下の表Iは擬似コードにおける変調プロセスを示す。

【0018】

表I

変調器用主・副プログラム。

ループ回数 = SAM.N-A-TX; 送信される複数の記号からループ回数開始。

ループ回数 = 0 になるまで繰り返し

新記号を取り出し

SYMBを1瞬間左シフト; 遅延線をシフト(遅延線は3 SYMB)

遅延線 SYMB 内に新線を導入;

もし(新記号 = 0)ならば

状態 = 状態 + 32

そうでなければ

状態 = 状態 + 96

もし終り

状態 = 状態 [96]; 状態をモジュロ96でインクリメントさせる

X = 状態 / SYMB連結; 連結は2回左シフトさせた3有用ビット(2最上位ビットが状態、3最下位ビットが SYMB)である

X = X + #TABCOS; Xは送信されるサンプルバッファ(4サンプル)の表内のアドレスを含む

現ポーが送信されるまで待機: 2最下位ビットBが0まで待機

B = X; 送信されるバッファのアドレスは新ループ回数 = ループ回数 - 1

DOループ終り

変調器のためのサブプログラム割り込み

Bによってアドレスされたサンプルを外部レジスタへ出力

Bレジスタをインクリメント

復帰、割り込みから戻る。

【0019】

10

20

30

```

[ MAIN SUB-PROGRAM FOR THE MODULATOR.
  LOOP COUNT=SAM.N-A-TX ; init. LOOP COUNT
  with a number of symbol to be transmitted.
  REPEAT UNTIL LOOP COUNT = 0
  TAKE NEW SYMBOL
  Left shift the SYMB 1 instant ; shift delay line ( delay
  line is 3 symbols )
  Include new line in delay line SYMB;
  IF ( new symbol = 0 ) THEN
    STATE + 32
  ELSE
    STATE + 96
  ENDIF
  STATE = STATE [96] ; state is incremented with modulo 96
  X = STATE/SYMB concatenation ; concatenation is of
  3 useful bits ( the 2 most significant bits of the state,
  3 least significant bits of the SYMB ) left shifted twice
  X = X + #TABCOS ; X contains the address in the table for
  the sample buffer to be transmitted ( 4 samples )
  WAIT UNTIL THE CURRENT BAUD IS TRANSMITTED :
  wait until the two least significant bits B are zero
  B = X ; the address for the buffer to be transmitted is new
  LOOP COUNT = LOOP COUNT - 1
  END DO LOOP
  INTERRUPT SUB-PROGRAM FOR THE MODULATOR
  OUTPUT SAMPLE ADDRESSED BY B TO EXTERNAL REGISTER ;
  INCREMENT B REGISTER
  RETURN , return from the interrupt. ]

```

表11は周辺プロセッサ内の対応ソフトウェアコードの一部を示す。

【 0 0 2 0 】

表II

SYMB TX MOVE #4, h, NZ	;もし記号が1ならばA. h = 4 (そうでなければA. h = 0) [if symol is 1 then A.h = 4 (else A.h = 0)] ; A. I内の先行記号を入手 [obtain preceding symbol in A. I ;新記号を保管 [save new symbol] ;微分コーディングを遂行 [carry out the differential coding]	10
MOVE SYMBX	;遅延線をシフト [shift delay line]	20
SLL X		
OR A. h, X. L	;遅延線内に新記号を導入 [include new symbol in delay line]	
AND #28, X	;3ビットを保持 [keep 3 bits]	30
MOVE X, SYMB	;記号遅延線を保管 [save symbol delay line]	
MOVE #32, A. H	;省略値は+PI/2である [the default is + PI/2]	
AND #4, X. L	;	
MOVE #96, A. H, NZ	;そうでなければそれは-PI/2 である [else it is - PI/2]	40

```

ADD STATE, A.H          ;
AND #96, A.H           ;新状態の値を計算
                        [calculate the value of
                        the new state]

MOVE A.H., STATE       ;新状態値を保管
                        [save new state value]

ADD A,H, X.L.          ;シフトを表に追加
                        [add shift to the table]
10

ADD #TABCOS, X         ;新sin, cos表アドレスを計算
                        [calculate new sin, cos
                        table address]

WAIT FOR BD PAUSE

AND #3, B.L

BNZ WAIT FOR BD        ;新ボーを待機
                        [wait for new baud ]
20

MOVE X, B              ;Bは (cos, sin) 表のアドレス
                        を含む
                        [B contains the address of
                        the (cos, sin)table]

                        ;第1要素
                        [first element ]
30

RTS ( Redturn To Sub=routine ) ;SYMBTXから
                        [from SYMBTX ]

* * * * *
* 割り込みサブプログラムの送信 [TRANSMISSION INTERRUPT SUB-PROGRAM] *
* この割り込みは複素サンプルを送信
* [This interrupt transmits a complex sanple ]
* それは 1048 kHz = (922.5 ns) で行われる
* [It takes place at 1048 kHz = (922.5 ns)]
40

```

```

* ( 271 kHz のボーレートで4サンプル/ボー *
* [( 4 samples/ baud at baud rate of 271 kHz )] *
* (922.5 ns は 24 サイクルに対応) *
* [(922.5 ns corresponds to 24 cycles) ] *
* B, P00レジスタを使用/変造 *
* [Uses/corrupts the B,P00 register] *
* * * * * * * * * * * * * * * * * * * * * * * *
TX INT (B)+, P00 ;P00は複素 ( I, Q) サンプル値

```

10

RTI

```

[P00 is a complex (I,Q)
sample value }
; 割り込み実行は4サイクル
[interrupt execution is
4 cycles.]

```

図 4 に N 状態重畳回路の変形を示す。

20

【 0 0 2 1 】

この回路は、N 回の畳み込みを巡回的に行う。

重畳回路は、N 多項式 G^i を積み重ねるようになっている N レベルレジスタスタック 4 0 を具備する。

レジスタスタック 4 0 には、コーディングサイクル内の位置と、結果 G^i または I の転送とを制御するスタックポインタ 4 1 が付加されている。

【 0 0 2 2 】

N 結果 G^i または I は、N ビット出力レジスタ 4 2 内へ順次に転送される。

スタック 4 0 の出力は、 $D_n \times d_n$ 回路 4 3 及び XOR 回路 4 4 によって出力レジスタに接続されている。

30

最後に、D レジスタ 4 5 は $D_n \times d_n$ 回路 4 3 に接続されている。

レジスタ 4 5 の一方の入力はデータ入力であり、他方の入力は信号 R_g, C_k を受けている。

【 0 0 2 3 】

G S M K 変調は、位相遷移がガウス形フィルタによって平滑されている M S K 型の定包絡線変調である。

を送信されるシーケンスとする。

$$= \dots n-2, n-1, n, n+1, n+2, \dots$$

送られる信号は次の形状である。

【 0 0 2 4 】

40

$$s(t, \theta) = (2E)^{1/2} / T \cos[2\pi f_0 t + \theta(t, \theta) + \phi_0]$$

$2E / T$ は、送られる記号当たりのエネルギーを表す。

メッセージは位相情報 $\theta(t, \theta)$ 内に含まれる。

ϕ_0 は任意位相である。

G S M の場合、 i は全て同一の出現の確率を有し、2 レベルアルファベットによって記述される。

【 0 0 2 5 】

濾波の場合のように、変調原理の定義によって、シーケンス $g(t)$ は事前変調フィルタに渡される。

$g(t)$ をフィルタのパルス応答とする。

50

(t ,)における最大位相偏位は $\phi_{max} = (M - 1) h$ によって正規化される。
 但し、 $M = 2 (2 \text{値アファベット} + 1 , - 1)$ 、 $h = \text{変調指数}$ である。即ち、

$$\phi (t ,) = 2 \pi h \sum_{i=-L}^{L} \alpha_i q (t - iT)$$

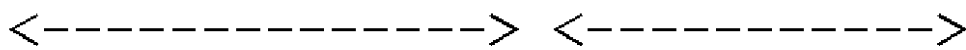
ここに、 $q (t) = \int_{-\infty}^{\infty} g (t) d (r)$

G S M仕様によれば $g (t)$ はガウス関数であり、その典型的な偏差は積 $B T$ によって正規化される。ここに、 B は等価フィルタの幅 (3 d bにおける) であり、 T は記号の持続時間である。

【 0 0 2 6 】

$g (t)$ が時間的に制限されていることから、もし $t < 0$ ならば $g (t) = 0$ であり、 $t > L T$ の場合には定数 (但し、 $L = \text{相関記号の数の制限長}$ である) となるので、

$$\begin{aligned} \phi (t , \alpha) &= 2 \pi h \sum_{i=-\infty}^{\infty} \alpha_i q (t - iT) \\ &= 2 \pi h \sum_{i=n-L+1}^n \alpha_i q (t - iT) + h \pi \sum_{i=-\infty}^{n-L} \alpha_i \\ &\quad \oplus (t , \alpha) \qquad \qquad \qquad \oplus n \end{aligned}$$



但し、 $n T < t < (n + 1) T$

$n T$ における記号の出現 (t ,) は以下のように定義される。

【 0 0 2 7 】

(t ,) : $n T$ における (n - 1) の伝送を提供する相関状態ベクトルであって、可能な限り平滑されている。

2^{L-1} の考え得る相関状態が存在する。

n : 位相状態 n

変調器に関して送られる信号を以下に検討する。

【 0 0 2 8 】

この信号は次の形状で表すことができる。

$$s (t , _) = (2 E / T)^{1/2} \{ I (t) \cos (2 \pi f_0 t) - Q (t) \sin (2 \pi f_0 t) \}$$

ここに、 $I (t) = \cos [\phi (t , _)]$

$Q (t) = \sin [\phi (t , _)]$

但し、

$$\phi (t , _) = \phi (t , _) + \phi_n$$

$$I (t) = \cos [\phi (t , _)] \cdot \cos \phi_n - \sin [\phi (t , _)] \cdot \sin \phi_n$$

$$Q (t) = \cos [\phi (t , _)] \cdot \sin \phi_n - \sin [\phi (t , _)] \cdot \cos \phi_n$$

$$\phi (t , _) = 2 \pi h \sum_{i=n-L+1}^n \alpha_i q (t - iT)$$

$q (t)$ は変調器フィルタのパルス応答であり、この応答は L 係数によってモデル化され、従って (t ,) は、

L のシーケンス

フィルタの L 係数

によって定義される。

【 0 0 2 9 】

このフィルタの等価構造を図 5 に示す。

このフィルタは、フィルタの係数 Q_1 乃至 Q_L を含む列メモリ 46 と、データシーケンス $n \dots n - L + 1$ を含む行メモリ 47 とを具備し、これらのメモリは行線 48 及び列線 49 によって接続されている。

データ及び係数は、線 48、49 の交点に配置されている乗算器 50 における乗算によって組合され、加算器 51 において合計される。加算器 51 はその出力に信号 (t ,) を発生する。

【 0 0 3 0 】

$i = (+ 1 , - 1)$ であることから、これらの乗算は転送、または反転の何れかによっ

10

20

30

40

50

て置換される。

1つの変形によれば、係数の集合 Q_i によって重み付けされた 2^L の異なるシーケンスを有することが可能である。これらの 2^L の重み付けされたシーケンスは、アドレスベクトルが i ベクトルに等価なROMメモリ(図示してない)から入手することができる。

【0031】

サンプリングを遂行するためには、信号 $\cos\{ (t, _) \}$ 及び $\sin\{ (t, _) \}$ を生成する必要がある。

最も簡単な方法は、 \cos 信号及び \sin 信号を記憶しておくことである。

記号当たり8乃至16サンプルが必要であり、各サンプルは8ビットにわたって符号化されることが知られている。

【0032】

GMSK変調器を図6に示す。

変調器は、データ i のための入力シフトレジスタ55を含み、このシフトレジスタはデータクロック信号 Ck によって制御されている。

シフトレジスタ55の出力は、 $\cos\{ (t, _) \}$ の値を記憶しているROM56の入力と、 $\sin\{ (t, _) \}$ の値を記憶しているROM57の入力とに接続されている。各ROMは更に、サンプリングカウント回路58の出力に接続されている。サンプリングカウント回路58はサンプリングクロック信号59によって制御される。

【0033】

ROM56の出力は第1の乗算器60の一方の入力に印加され、乗算器60の他方の入力 20
は $\sin n\{ +1, 0, -1 \}$ 信号発生器回路61に接続されている。発生器回路61は、アップダウンカウンタ62からの入力データによって制御される。

ROM56の出力は第2の乗算器63の一方の入力にも印加され、乗算器63の他方の入力 20
は $\cos n\{ +1, 0, -1 \}$ 信号発生器回路64に接続されている。発生器回路64も、アップダウンカウンタ62によって制御される。

【0034】

ROM57の出力は第3及び第4の乗算器65、66の入力に接続され、これらの乗算器
の他方の入力はそれぞれ $\sin n$ 信号発生器回路61及び $\cos n$ 信号発生器回路64に
接続されている。

第1の乗算器60の出力に現れる $\cos \cdot \sin n$ 信号は第1の加算器67に印加される 30
。加算器67の別の入力は、第4の乗算器66の出力に現れる $\sin \cdot \cos n$ 信号を受けている。

【0035】

第2の乗算器63からの $\cos \cdot \cos n$ 出力信号は第2の加算器68に印加される。加
算器68の別の入力 30
は第3の乗算器65の出力に現れる $\sin \cdot \sin n$ 信号を受けている。

第1及び第2の加算器67、68の出力は、それぞれデジタル・アナログ(D/A)変
換器69、70の入力へ接続されている。これらの変換器は、それぞれのクロック入力7
1、72へ印加されるクロック信号によって制御される。

【0036】

図6の変調器の動作は以下の通りである。

シーケンスを記憶したシフトレジスタ55の出力が復号され、考え得る 2^L の異なるシ
ーケンスに対応する 2^L のページアドレスが生成される。

L はコードの制限長及びシフトレジスタ55内に記憶されているビットの数を表す。

【0037】

各記号は、8ビットにわたって符号化された n サンプルによって符号化されている。語(40
ワード)の合計数は $(2^L \times n) \times 2$ である。

$\cos\{ (t, _) \}$ 記憶用ROM56及び $\sin\{ (t, _) \}$ 記憶用ROM57は、
 $\cos\{ (t, _) \}$ 及び $\sin\{ (t, _) \}$ の考え得る $2^L \times n$ の値を含んでいる(50
ここに、 $(t, _)$ は位相の相関部分を表す)。位相状態は2ビットカウンタ62によ

10

20

30

40

50

って符号化される。

【0038】

2進記号“1”は+1に対応し、“0”は-1に対応する。

カウンタ62はデータクロック信号によってインクリメントまたはデクレメントされる。

もし $i = 1$ であればインクリメントされ、 $i = 0$ であればデクレメントされる。

カウンタ62の出力に発生し得る4つの状態は $n / 2 (2n)$ に対応する。 $\sin n$ 及び $\cos n$ の表は値 $\{ +1, 0, -1 \}$ だけを含んでいる。

【0039】

前述したように、4つの乗算器60、63、65、66は、積、即ち $\cos [(t,)] \cos n$ 、 $\cos [(t,)] \sin n$ 、 $\sin [(t,)] \cos n$ 及び $\sin [(t,)] \sin n$ を発生する。 10

これらの乗算器の4つの出力は、加算器67、68において2つずつ加算されてI及びQ信号が形成され、次いでD/A変換されてアナログI及びQ経路が形成される。

【0040】

以下の表IIIは、アップダウンカウンタ62の状態を示す。

表 III

状態	$\sin n$	$\cos n$
0	0	1
1	+1	0
2	0	-1
3	-1	0

20

D/A変換器を除く図6の変調器は2つの部分、即ち

* カウンタ(シフトレジスタ)55、62、58、乗算器60、63、65、66、加算器67、68からなるオペレータ部分と、

* 表56、57、61、64からなる操作される部分とに分割することができる。

【0041】

周辺プロセッサ25を有する図3の実施例の場合には、オペレータ部分はこの周辺プロセッサ内に実現され、操作される部分は区分化メモリ30内に記憶され、そしてI及びQ信号のサンプルは回路ブロック37内に記憶される。 30

図7に、0にセットされた位相で初期化された格子(trellis)を図式的に示す。

【0042】

図7が示しているように、2進データは変調器によって、位相が若干数の異なる軌線を追従する定包絡線信号に変換される。図7には、送られる最初の4データ項目にわたって位相が追従できる全ての考え得る軌線が示されている。

便宜上、初期位相は0にセットされている。第1のデータ項目から、最初の2つの軌線は、直線軌線の2進“1”、またはアーチ形の軌線の2進“0”の何れかに対応する。爾後は、“1”を送ると位相が増大し、“0”を送ると位相が減少する。

【0043】

図8は、図6のGMSK変調器を用いて得られる位相の配列を示す。 40

変調された信号は複素面内におけるベクトルの回転に似ている。図8は、データ項目の中央におけるベクトルの終りの異なる位置を示す。

図9に、GMSK変調器の位相格子を示す。

図9は、送られる信号の位相にわたる“目の図(diagram of the eye)”を表している。この図では、位相は $- / 2$ と 1.5 との間で計数される。

【図面の簡単な説明】

【図1】時分割多重アクセス型の端末のブロック図である。

【図2】公知のデジタル変調器のブロック図である。

【図3】本発明により図2の変調器に組込まれたプロセッサのブロック図である。

【図4】N状態重畳回路の実施例のブロック図である。 50

【図5】本発明による変調器の構造内のフィルタ機能の概要構造のブロック図である。

【図6】GMSK変調器の詳細図である。

【図7】0にリセットされた位相から始まる格子を表す図である。

【図8】GMSK位相配列を示す図である。

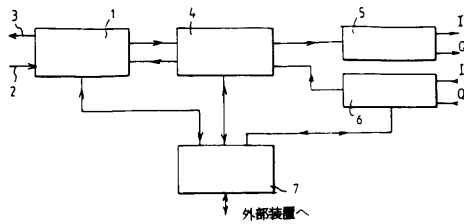
【図9】GMSK位相格子を表す図である。

【符号の説明】

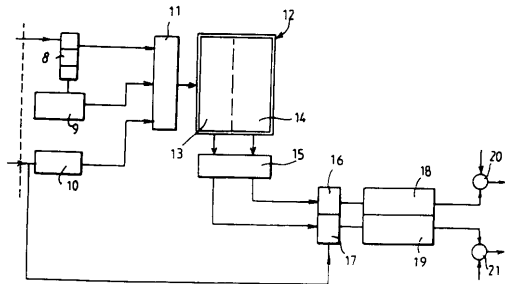
1	ベコーダ	
2	ベコーダの入力	
3	ベコーダの出力	
4	コーダ/デコーダ	10
5	変調器	
6	復調器	
7	制御回路	
8	3段シフトレジスタ	
9	状態カウンタ	
10	4進カウンタ	
11	7ビットデコーダ	
12	符号化された波形メモリ	
13	I符号化された128語ROM	
14	Q符号化された128語ROM	20
15	バス制御回路	
16	Q信号用D/A変換器	
17	I信号用D/A変換器	
18	フィルタ	
19	フィルタ	
25	周辺プロセッサ	
26	ROM	
27	アドレスバス	
28	プログラムバス	
29	主プロセッサ	30
30	区分化メモリ	
31	試験及び調整線	
32	割り込み線	
33	アドレスバス	
34	アドレスバス	
35	データバス	
36	データバス	
37	回路ブロック	
40	レジスタスタック	
41	スタックポインタ	40
42	出力レジスタ	
43	$D_n \times d_n$ 回路	
44	XOR回路	
45	Dレジスタ	
46	列メモリ	
47	行メモリ	
48	行線	
49	列線	
50	乗算器	
51	加算器	50

- 5 5 入力シフトレジスタ
- 5 6 $\cos [(t ,)]$ ROM
- 5 7 $\sin [(t ,)]$ ROM
- 5 8 サンプルカウンタ回路
- 5 9 サンプルクロック信号
- 6 0 乗算器
- 6 1 $\sin n$ 信号発生器回路
- 6 2 アップダウンカウンタ
- 6 3 乗算器
- 6 4 $\cos n$ 信号発生器回路
- 6 5 乗算器
- 6 6 乗算器
- 6 7 加算器
- 6 8 加算器
- 6 9 D/A変換器
- 7 0 D/A変換器
- 7 1 D/A変換器のクロック入力
- 7 2 D/A変換器のクロック入力

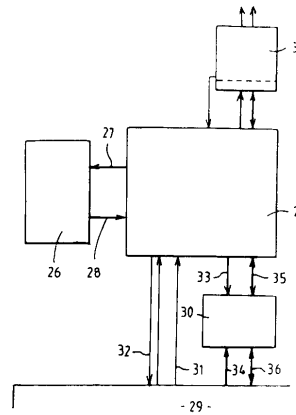
【図1】



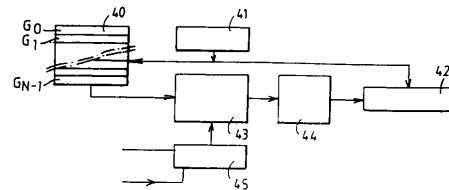
【図2】



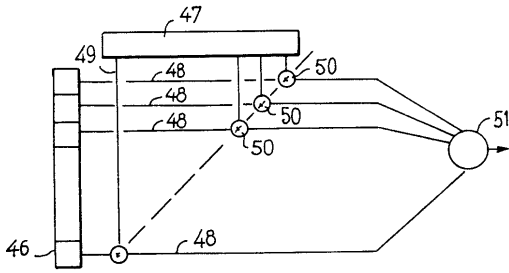
【図3】



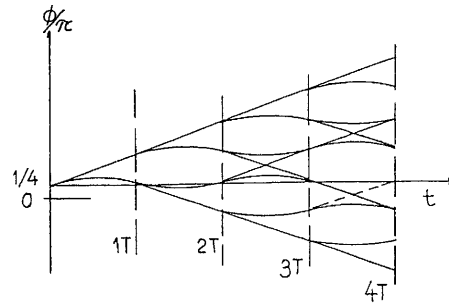
【図4】



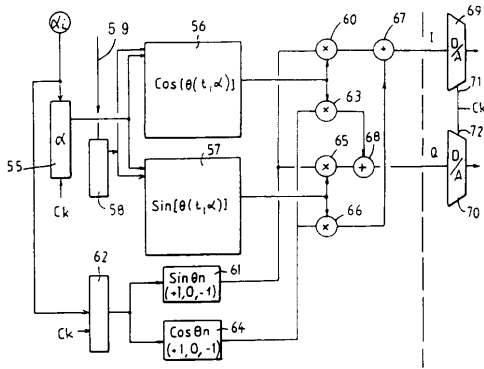
【 図 5 】



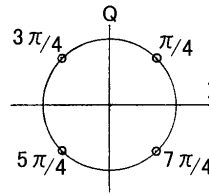
【 図 7 】



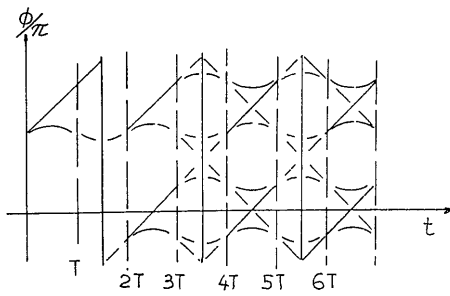
【 図 6 】



【 図 8 】



【 図 9 】



フロントページの続き

- (74)代理人 100084009
弁理士 小川 信夫
- (74)代理人 100082821
弁理士 村社 厚夫
- (72)発明者 ジェラルド ショーヴェル
フランス 06600 アンティーブ シュマン ド ラ スケット ラ ヴェルジェ ド ヴァ
ル コンスタンス (番地なし)
- (72)発明者 ゲール クラーヴェ
フランス 06600 アンティーブ シュマン ド モイアンヌ プレギュイエール レジダン
ス オーレリア (番地なし)
- (72)発明者 マルク クーヴラ
フランス 06700 サン ローラン デュ ヴァール アベニュー ルイ ラヴェ 24

合議体

- 審判長 大日方 和幸
審判官 佐藤 秀一
審判官 吉田 隆之

- (56)参考文献 特開昭63-43430(JP,A)
特開平3-85845(JP,A)
特開昭62-143536(JP,A)
特開昭63-53798(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)

H04L 27/12
H04B 1/40
H04B 7/26