

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 637 412 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
02.10.1996 Bulletin 1996/40

(51) Int Cl.⁶: **H04H 1/00**, H04H 3/00,
H04L 7/04

(21) Numéro de dépôt: **93911809.7**

(86) Numéro de dépôt international:
PCT/FR93/00390

(22) Date de dépôt: **21.04.1993**

(87) Numéro de publication internationale:
WO 93/21701 (28.10.1993 Gazette 1993/26)

**(54) PROCEDURE DE TRANSMISSION ET/OU DE SYNCHRONISATION D'AU MOINS UNE
COMPOSANTE D'UN SIGNAL MULTIPLEX**

VERFAHREN ZUR ÜBERTRAGUNG UND/ODER SYNCHRONISIERUNG MINDESTENS EINER
KOMPONENTE EINES MULTIPLEX-SIGNALS

METHOD FOR TRANSMISSION AND/OR SYNCHRONIZATION OF AT LEAST ONE COMPONENT
OF A MULTIPLEX SIGNAL

(84) Etats contractants désignés:
AT BE CH DE DK ES FR GB GR IE IT LI NL PT SE

• **SEGUIN, Michel**
F-78530 Buc (FR)

(30) Priorité: **22.04.1992 FR 9204914**

(74) Mandataire: **Lepercque, Jean et al**
Cabinet Claude Rodhain SA
3, rue Moncey
75009 Paris (FR)

(43) Date de publication de la demande:
08.02.1995 Bulletin 1995/06

(73) Titulaire: **TELEDIFFUSION DE FRANCE**
75015 Paris (FR)

(56) Documents cités:
EP-A- 0 445 027

(72) Inventeurs:
• **VIALLEVIEILLE, Alain**
F-78000 Versailles (FR)
• **CONCHIS, Joel**
F-92130 Issy-Les-Moulineaux (FR)

• **FUNKSCHAU. no. 16, 31 Juillet 1987, MUNCHEN**
DE pages 27 - 30 J. MAYR 'So kommt RDS zum
Sender'
• **EBU REVIEW- TECHNICAL. no. 241, Juin 1990,**
BRUSSELS BE P. EVANS 'Digital audio in the
broadcast centre'

EP 0 637 412 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

La présente invention a pour objet un procédé de transmission et/ou de synchronisation d'au moins une composante d'un signal multiplex comportant au moins un canal de données numériques.

Certains systèmes de diffusion modernes doivent avoir des relations de phase précises entre les signaux multiplex diffusés à partir de différents points (FM synchrone, radiodiffusion numérique DAB).

Il est déjà connu de reproduire des signaux multiplex analogiques identiques en différents points en transportant ce signal intégralement sous forme analogique sur le réseau de distribution. Cette solution est simple, mais elle demande des systèmes de transport de bonnes performances analogiques et elle exige de repasser sous forme numérique si l'on veut mettre précisément en correspondance les phases des signaux à diffuser, par exemple en diffusion isofréquence (par exemple en FM synchrone).

On connaît également des systèmes de transport numérique présentant des informations de mise en phase des signaux transmis à partir des synchronisations transportées par le système de distribution numérique. Cependant, ces informations de mise en phase ne sont pas suffisantes pour permettre la mise en phase de toutes les composantes analogiques du signal multiplex diffusé.

La présente invention a pour objet un procédé permettant d'éviter ces inconvénients.

La demande de brevet européen EP-A-0 445 027 (TELEDIFFUSION DE FRANCE) divulgue un exemple de procédé de synchronisation d'émetteurs par application d'un retard prédéterminé pour réaliser un réseau d'émetteurs FM synchrones.

Ce procédé est caractérisé en ce que le signal source est converti sous forme numérique par échantillonnage à une fréquence prédéterminée de façon à transmettre un signal source numérisé aux émetteurs. Le traitement du signal source numérisé est synchronisé sur la fréquence d'échantillonnage et on applique un retard prédéterminé dans la diffusion du signal final.

L'invention concerne ainsi un procédé de transmission et/ou de synchronisation d'au moins une composante analogique d'un signal multiplex comportant au moins un canal de données numériques caractérisé en ce qu'il comporte les étapes d'insérer à l'émission un canal supplémentaire susceptible de comporter des informations numériques présentant un débit binaire donné, ledit canal supplémentaire comprenant des motifs dont au moins certains comportent un signal de synchronisation permettant la mise en phase d'au moins une composante analogique ainsi que desdites informations numériques.

Le procédé peut comporter une étape de synchroniser à la réception, à partir dudit signal de synchronisation d'une part, au moins une dite composante analogique, et d'autre part, les informations numériques du

canal supplémentaire.

Les données numériques sont avantageusement celles de voies audio numérisées d'une émission en modulation de fréquence FM, les informations numériques du canal supplémentaire étant celles d'un multiplex FM.

Les informations numériques du canal supplémentaire peuvent être des informations RDS (Radio Data System).

Les informations numériques du canal supplémentaire sont avantageusement transmises en NRZ-M, le précodage étant tel que la phase du signal NRZ est changée chaque fois que la valeur des données RDS à transmettre est égale à 1, ce qui permet de lever l'ambiguïté de phase à la réception.

Les motifs du canal supplémentaire ont avantageusement une durée multiple de la période de plusieurs composantes analogiques ainsi que du débit binaire des informations numériques.

Au moins une dite composante analogique peut être un signal de fréquence caractéristique d'une émission et l'étape de synchronisation à la réception peut comporter une étape de générer ledit signal de fréquence caractéristique à partir d'un générateur de forme d'onde synchronisé à partir dudit signal de synchronisation.

Ledit générateur de formes d'onde peut être numérique et comporter un premier moyen de lecture cyclique d'une mémoire de formes d'onde et ladite synchronisation du générateur de forme d'onde peut consister en la mise à un état donné du premier moyen de lecture cyclique.

Le procédé peut comporter une étape de décodage d'au moins certaines desdites informations numériques pour adresser des secteurs d'une deuxième mémoire de formes d'onde, chaque secteur pouvant être balayé par adressage par un deuxième moyen de lecture cyclique.

Lesdits motifs peuvent avantageusement faire partie de blocs commençant par ledit signal de synchronisation.

Le procédé peut alors comporter une étape de mémoriser les motifs de chaque bloc dans une mémoire à décalage séquentiel, le signal de synchronisation du (N + p)ième bloc (avec p entier supérieur ou égal à 1) étant mis en oeuvre pour commander la mise à un compte spécifié d'un compteur cyclique, ledit compte spécifié produisant un signal de lecture du Nième bloc contenu dans la mémoire à décalage séquentiel.

Lesdits motifs peuvent être disposés dans des trames.

Selon un mode de réalisation préféré, les informations numériques du canal supplémentaire sont insérées sous forme de blocs de données comportant un nombre de bits différent du nombre nominal de bits d'un bloc d'informations du canal supplémentaire et le procédé comporte une étape de mise en oeuvre, à la réception, d'une mémoire à décalage séquentielle dans laquelle les paquets de données reçus sont raccordés

bout à bout de manière à reconstituer la continuité des blocs d'information.

Pour des blocs d'information de par exemple, 104 bits RDS, la durée des blocs de données est égale à $n \times 16$ ms (avec n entier), soit $n \times 19$ bits RDS.

Les informations numériques du canal supplémentaire peuvent être organisées sous forme de blocs de données et le procédé comporte alors un signal d'adresse associé audit signal de synchronisation, le signal d'adresse constituant un pointeur d'adresse de lecture d'un élément de mémorisation d'un bloc d'informations numériques du canal supplémentaire. La durée d'un bloc de données du canal supplémentaire peut alors ne pas être dans un rapport entier avec la durée d'un bloc d'information numérique du canal supplémentaire, le signal d'adresse étant alors tel qu'il permette de rattraper l'écart dû au rapport non entier entre lesdites durées. La durée des blocs du canal supplémentaire peut être variable d'un bloc à l'autre. Le signal d'adresse permet également de rattraper l'écart dû aux variations de la durée des blocs. Le canal supplémentaire peut présenter un débit, par exemple 2 kbit/s permettant le transport de blocs d'informations numériques RDS du canal supplémentaire.

L'invention concerne également une utilisation du procédé tel que défini ci-dessus dans un réseau synchrone comprenant un émetteur de tête de réseau et une pluralité de réémetteurs, caractérisé en ce que ledit canal supplémentaire est généré en tête de réseau de telle sorte qu'au moins une composante analogique est synchronisée de la même façon dans tous les réémetteurs. Les informations numériques du canal supplémentaire peuvent être insérées en aval de l'émetteur de tête du réseau.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre, en liaison avec les dessins qui représentent :

- la figure 1, un synoptique illustrant le procédé selon l'invention mis en oeuvre dans un réseau de radiodiffusion mettant en oeuvre la norme AES/UER ;
- les figures 2a et 2b, respectivement la synchronisation d'un bloc, et la constitution d'un bloc ;
- la figure 3 un exemple d'extraction et de diffusion d'informations du type RDS ;
- la figure 4 des chronogrammes d'un codage NRZ permettant de lever l'ambiguïté de phase ;
- la figure 5 l'organisation générale d'une trame ;
- la figure 6 une transmission mettant en oeuvre un système de compression puis d'expansion de données audio ;
- la figure 7, un exemple de trame comportant un mot de synchronisation constituant un pointeur temporel ;
- les figures 8a et 8b, respectivement un dispositif d'insertion de données RDS en tête de réseau et les chronogrammes correspondants ;

- les figures 9a, 9b, 10a et 10b respectivement un dispositif d'extraction des données RDS à partir d'un signal selon la norme AES/UER, les chronogrammes correspondants, un dispositif de génération de forme d'onde RDS, et le chronogramme correspondant ;
- la figure 11, un dispositif pour la mise en oeuvre du procédé selon l'invention dans la variante a des pointeurs de lectures qui sont incorporés dans une trame ;
- et la figure 12, un exemple de réémetteur comportant un dispositif d'insertion de données.

Un système de transmission numérique dispose de voies pour transmettre des signaux audiofréquences et, associés à ces voies, des canaux supplémentaires qui sont à la disposition des utilisateurs. Un schéma synoptique de la chaîne de transmission selon l'invention est donné à la figure 1. Le schéma est construit autour d'une interface de type AES/UER (document technique 3250 de l'Union Européenne de Radiodiffusion et supplément N° 1 à ce document technique).

Le système de transmission utilisé peut transmettre toutes les informations de l'interface ou une partie seulement de ces informations. Dans un premier temps, on suppose que l'intégralité d'au moins une voie utilisateur et les bits les plus significatifs du signal audiofréquence sont multiplexés dans le réseau de transmission numérique.

Pour l'émission, les informations audionumériques à transmettre sont fournies à la norme AES/UER. Des données supplémentaires, par exemple des données RDS sont multiplexées dans une voie utilisateur de l'interface AES/UER. Cette voie utilisateur est formatée selon la norme AES/UER. Ce formatage est réalisé selon l'invention par un générateur de synchronisation de blocs SYBG et les données sont insérées par paquets par un circuit d'insertion INS connu en soi et correspondant au protocole d'insertion prévu par la norme AES/UER précitée.

Les informations numériques à transmettre INF sont introduites à l'entrée d'un récepteur REC et d'un extracteur d'horloge CLE.

Le récepteur fournit des données D à l'émetteur EM qui transmet en norme AES/UER dans un réseau de diffusion RD. L'extracteur d'horloge CLE fournit un signal d'horloge H à l'émetteur EM et un signal d'horloge SF1 d'une part au générateur de synchronisation de blocs SYBG, d'autre part au générateur de fréquence des données à insérer G et enfin à un inserteur INS.

Un générateur de données, par exemple selon le standard RDS ("Radio Data System") référencé SRDS reçoit du générateur G un signal de fréquence SF2 qui génère pour l'inserteur INS d'une part des signaux de données DRDS et d'autre part des signaux d'horloge CLRDS. L'inserteur INS fournit à l'émetteur EN un signal SHDLC à insérer et qui est selon une trame HDLC (voir la norme précitée). On remarquera que les techniques

d'insertion sont connues en soi et sont prévues par la norme AES/UEP précitée.

A la réception, un signal de synchronisation des blocs est extraite pour permettre d'identifier précisément les instants remarquables du débit binaire et les informations transportées dans les paquets sont décodées pour pouvoir piloter des générateurs de forme d'onde qui sont synchronisés par la synchronisation de blocs. A cet effet, les signaux reçus à partir du réseau RD sont à la norme AES/UEP et sont introduits à une entrée d'un circuit de réception RE dans lequel ils sont démultiplexés et dans lequel est généré un signal d'horloge HREF. Le circuit de réception RE fournit des signaux de données démultiplexées DT à un microcontrôleur MC et à un détecteur de synchronisation SYNDET. Il fournit le signal d'horloge de référence HREF d'une part au circuit détecteur de synchronisation SYNDET et d'autre part au microcontrôleur MC. Un circuit détecteur de synchronisation SYNDET fournit un signal de synchronisation de blocs SYN au microcontrôleur MC. Un générateur de forme d'onde WG reçoit du microcontrôleur MC des signaux WDT correspondant aux formes d'onde à générer. Le générateur de formes d'onde WG produit un signal de lecture RD introduit dans le microcontrôleur MC. Le générateur de formes d'onde WG produit des signaux (fréquence pilote, sons porteurs, signaux RDS) qui, ainsi reconstitués et synchronisés précisément, sont directement utilisables avec le signal de synchronisation de blocs SYN pour réaliser par exemple une émission de radiodiffusion FM grand public à partir des signaux reçus en AES/UEP, et plus particulièrement dans le cadre d'un réseau FM synchrone.

Les voies utilisateurs de l'interface AES/UEP sont indépendantes des autres voies de transmission contenues dans cet interface (voie audionumérique, voie de signalisation). A chaque échantillon audiofréquence est associé un bit utilisateur. Lorsque la fréquence d'échantillonnage est F_e , on aboutit à un débit disponible $F_e \times K$ bit/s. Le découpage en blocs de ce débit binaire est réalisé selon l'invention de manière à restituer toutes les fréquences nécessaires à la synchronisation des sous-porteuses utiles à la reconstruction par exemple d'un multiplex FM.

Pour une diffusion en modulation de fréquence synchrone, le réseau de transport RD doit permettre de synthétiser avec des relations de phase précises la fréquence pilote à 19 kHz, la sous-porteuse à 38 kHz, et le cas échéant la sous-porteuse RDS à 57 kHz ainsi que les transitions des informations RDS qui ont un débit de 19/16 kbit/s.

A l'émission, la voie utilisateur est découpée en blocs qui commencent par une synchronisation bloc (figures 2a, 2b et 3).

Cette synchronisation bloc permet d'identifier de manière simple un instant précis dans le débit binaire qui est utilisé pour piloter les générateurs de forme d'onde WG.

La fréquence pilote à 19 kHz et les deux sous-porteuses précitées (38 et 57 kHz) présentent un nombre entier de périodes tout les 1/19 ms.

Les informations RDS présentent un nombre entier de bits (19) toutes les 16 ms.

La synchronisation sert à identifier un instant précis de chacun des signaux sinusoïdaux de la fréquence pilote et des sous-porteuses, et pour les informations RDS à identifier un bit particulier dans des paquets de $n \times 19$ bits dans le train binaire à 19/16 kbit/s.

La durée des blocs est choisie telle qu'elle soit un multiple commun de 1/19 ms (pilote et sous-porteuses) et de 16 ms (RDS). Une longueur qui convient particulièrement bien aux caractéristiques du système global est 64 ms. Un tel bloc est représenté à la figure 2a. Quand la fréquence d'échantillonnage est de 32 kHz, le bloc contient 2048 bits. Des informations peuvent être multiplexées conformément à la norme. Le début des blocs est identifié (SB) en détectant au moins 7 un successifs suivis d'un zéro. Ce début de bloc permet de synchroniser les générateurs de forme d'onde et constituer des signaux multiplex identiques en tous les points du réseau de transmission. Ce début de bloc permet également de synchroniser les données RDS. La durée choisie ci-dessus de 64 ms correspond à 76 bits RDS, ce qui permet d'introduire dans le premier bloc les 76 premiers bits d'une première trame RDS de 104 bits (26×4), dans le bloc suivant les 28 bits restants de la première trame RDS et les 48 premiers bits de la deuxième trame RDS et ainsi de suite.

Plus généralement, la durée d'un bloc est de $n \times 16$ ms ce qui correspond à $n \times 19$ bits RDS. Dans chaque bloc, on insère un ou plusieurs paquets de données P1, P2 etc qui contiennent $n \times 19$ bits. Dans l'exemple décrit, un seul paquet contenant 76 bits RDS est inséré dans chaque bloc (figure 2b) et ce paquet est multiplexé par insertion avec des paquets déjà présents dans le multiplex et provenant d'autres applications. Les données RDS sont fournies par la source de données SRDS mentionnée ci-dessus. L'extraction des données effectuée dans le circuit de réception RE permet de démultiplexer les données numériques insérées dans chacun des blocs et de les ranger en mémoire du microcontrôleur MC.

Les générateurs de forme d'onde sinusoïdale WG sont asservis en phase sur la synchronisation bloc SB. En outre, le générateur de forme d'onde SRDS doit coder avec la même phase, le même bit, aux différents points de diffusion, la référence temporelle étant constituée par le débit binaire distribué.

Selon la figure 3, les bits RDS reçus dans un bloc N sont diffusés pendant la durée du bloc suivant N + 1. Au début du bloc (N + 1), les bits RDS référencés PNRDS du bloc précédent N sont disponibles dans une mémoire du type premier entré/premier sorti FIFO et rangés dans l'ordre. La mémoire FIFO peut avoir une taille correspondant aux bits RDS de p blocs successifs. Dans ce cas, les bits RDS référencés PNRDS du bloc

N sont disponibles au début du bloc (N + p).

La synchronisation bloc permet d'identifier précisément l'instant de sortie du premier bit reçu dans le bloc précédent N et de le transmettre à un instant précis relativement à la synchronisation bloc, à savoir à la fin du signal de synchronisation bloc. Comme le montre la figure 3, le premier bit du paquet RDS contenu dans le bloc N est exploité par le générateur de forme d'onde WG dès le début du bloc (N + 1). De cette façon, les informations RDS qui sont exploitées par le générateur de bloc RDS sont les mêmes dans tout le réseau relativement à la synchronisation bloc de la voie utilisateur. On remarque également à la figure 3 que le paquet de données PNRDS constituant le premier paquet inséré dans le bloc N, est lu à une cadence telle que les 76 bits qu'il comporte occupent toute la durée (64 ms) du bloc (N + 1), reconstituant ainsi la continuité des trames RDS.

En outre, conformément à la figure 4, le signal de données radiodiffusées selon la norme RDS utilise un code biphase marqué qui comporte une transition au milieu de la cellule bit quand on transmet des "1". Ce système comporte donc une ambiguïté de phase. Un pré-codage est réalisé à l'émission. Il consiste à transmettre les informations RDS en NRZ-M, le pré-codage étant tel que la phase du signal NRZ est changée chaque fois que la valeur de données RDS à transmettre est égale à 1.

Le signal H d'horloge RDS à 19/16 kHz est synchronisé à partir des synchronisations bloc mentionnées ci-dessus, et le signal RDS modulant est le résultat d'un ou exclusif entre le signal NRZ-M et du signal d'horloge H.

De cette manière, l'ambiguïté de phase est levée.

Selon la figure 5, des voies audionumériques sont transportées dans d'autres multiplex qui sont utilisés par exemple pour des systèmes débit réduit. Ceci peut impliquer comme représenté à la figure 6, de manière connue en soi, une compression AUDCOMP des informations audios et UICOMP des voies utilisateurs avant l'envoi, avec d'autres signaux, dans un système de transmission ST, par exemple dans un système de transport 2 Mbit/s tel que le G 704 de l'Administration Française des Postes et Télécommunications.

Ensuite, avant passage de nouveau à la norme AES/UEP, le signal subit, de manière connue en soi, une expansion au AUDEXP, et une expansion des voies utilisatrices UIEXP.

De façon générale, le train de données numériques est divisé en trames qui contiennent des informations audiofréquences INF et des bits utilisateurs UI, le début de la trame étant identifié par un mot de verrouillage de trame VT. Une trame contient un nombre de bits constant n, par exemple, 6400 bits (figure 7). Le champ d'informations INF à l'intérieur de cette trame contient ainsi des informations audio et des informations utilisateurs UI. Cet ensemble d'informations peut être multiplexé avec d'autres données. Le mot de verrouillage trame VT

et l'horloge de bit permettent de démultiplexer simplement les informations contenues dans la trame (figure 5). Les bits utilisateurs UI sont organisés en canal indépendant et gérés de la même façon que les voies utilisateurs de l'interface AES/UEP, mais avec un débit binaire plus réduit (2 kbit/s par exemple). Ceci implique en particulier dans le système audio que le signal RDS contenu dans les trames ne transmette que les modifications du signal RDS diffuser, d'où une diminution importante du débit, les données RDS étant, par nature, très répétitives.

On notera que différents algorithmes sont connus pour réaliser la compression et l'expansion des données audiofréquences (compression quasi instantanée etc). Les données utilisatrices peuvent aussi être comprimées.

La synchronisation des blocs est choisie pour remplir les mêmes conditions que dans le cas précédent lorsque c'est possible. Cette durée est choisie telle que le début des blocs permette d'asservir en phase l'ensemble des signaux de fréquence remarquables à retrouver (fréquence pilote, sous-porteuses, fréquence RDS) de telle sorte que le premier bit de chaque bloc se retrouve toujours à la même place dans les trames du système de transport. Dans l'exemple de la figure 7, il y a 50 bits utilisateurs U0.....U49 par trame de 6400 bits. Le début du mot de synchronisation bit arrive par exemple en U1 et se répète à la même position dans les autres trames s'il y lieu.

Le mot de synchronisation peut ainsi servir de référence pour synchroniser les générateurs de forme d'onde pour les sinusoïdes à 19, 38 et 57 kHz qui sont synthétisées à partir d'une mémoire morte qui contient la valeur des différents échantillons nécessaires pour la création de ces sinusoïdes. Le mot de synchronisation sert de pointeur de lecture de la mémoire morte au début du mot de synchronisation suivant.

En grande partie, les informations RDS sont répétitives. Elles sont organisées en quatre trames de 26 bits qui peuvent se répéter tous les 104 bits. Ces 104 bits sont considérés comme une forme d'onde complexe qui est lue en mémoire avec le rythme approprié. Les mots de synchronisation servent comme précédemment de pointeur de lecture de la mémoire. Le changement des informations RDS peut être réalisé à un débit plus lent et est activé en début des blocs de 104 bits quand le nouveau bloc RDS a été constitué. Ces changements se font par trames de 26 bits. Il y a en effet un signal de contrôle cyclique de redondance CRC par trame de 26 bits. Le débit binaire sur le réseau de distribution est ainsi réduit en ne transmettant que les informations RDS qui changent.

Selon les figures 8a et 8b, l'extracteur d'horloge CLE reçoit le signal INF selon la norme AES/UEP et produit un signal SF1 de fréquence 32 kHz introduit dans le générateur G de fréquence de données ainsi que dans un diviseur de fréquence par 2048 DIV constituant le circuit SYBG précité. Le générateur de fréquence G

génère un signal SF2 à 19 kHz qui est introduit dans le générateur SRDS de données RDS. Le signal SF1 est également introduit dans un microcontrôleur MC1 (par exemple 8044 de la société INTEL) qui constitue l'inserteur INS. Le diviseur de fréquence DIV divise par 2048 le signal SF1 pour produire toutes les 64 ms, un signal de synchronisation SYN récurrent. Le générateur SRDS de données RDS produit des signaux de données DRDS et un signal d'horloge CLRDS à 19 kHz pour permettre au microcontrôleur MC1 de produire le signal SHDLC selon une trame HDLC à insérer dans les signaux de l'émetteur EM selon la norme AES/UEF. On rappelle qu'une trame normalisée HDLC comporte un drapeau du début de trame DR, une adresse AD, un octet de contrôle CO, un champ d'informations INF, des bits de contrôle de redondance cyclique CRC et un drapeau de fin de trame DF. Le signal de synchronisation SYN est présent en tête de bloc sous la forme d'un motif comprenant au moins sept "1" successifs, suivis d'un "0", chaque bloc pouvant comporter une pluralité de trames.

Comme le montre la figure 8b, la cadence du signal SYN permet de transmettre des blocs de 2048 bits à un débit de 32 kbit/s. Le signal CLRDS permet pendant cette même durée l'accumulation de 76 bits RDS. La trame RDS peut être située en début de bloc du signal SHDLC, et elle est insérée selon le protocole AES/UEF.

Selon les figures 9a, 9b, 10a et 10b, la synchronisation de réception est effectuée de la manière suivante. Les signaux formatés AES/UEF fournis par le réseau de distribution à partir des signaux émis en tête de réseau dans l'émetteur EM sont introduits d'une part à l'entrée du circuit récepteur RE. Le circuit récepteur RE fournit un signal de données DT et un signal d'horloge de référence HREF qui sont introduits l'un et l'autre, d'une part à des entrées du circuit de détection de synchronisation SYNDET et d'autre part à des entrées d'un circuit d'interface série SIU associé à une unité centrale CPU d'un microcontrôleur MC2 (par exemple 8044 de la société "INTEL"). L'unité centrale CPU reçoit également le signal de synchronisation SYN généré par le circuit SYNDET.

Le microcontrôleur MC2 génère pour une mémoire du type à décalage séquentiel FIFO1 d'une part un signal de remise à zéro RS et d'autre part un signal d'écriture WR. La mémoire FIFO1 permet d'éviter que le microcontrôleur ait à gérer chaque bit des signaux RDS.

Des signaux correspondant au canal utilisateur RDS sont fournis par le microcontrôleur MC2 à la mémoire FIFO1 par l'intermédiaire d'un bus BUS1. La mémoire FIFO1 reçoit un signal de lecture RD et génère des signaux DRDS de données RDS ainsi qu'un signal EF pour indiquer au microcontrôleur MC2 que la mémoire FIFO1 est vide. Le signal EF indique que l'opération de lecture du bloc précédent par la mémoire est terminée. Le microcontrôleur MC2 génère alors un signal de remise à zéro RS de la mémoire FIFO1, puis un signal d'écriture WR. Le microcontrôleur MC2 vérifie que les

signaux SYN et EF arrivent en même temps, et sinon il force la remise à zéro RS de la mémoire FIFO1. En d'autres termes, la mémoire FIFO1 n'est chargée qu'au moment de sa lecture et le microcontrôleur MC2 garde en mémoire les bits RDS non encore chargés dans la mémoire FIFO 1. Un décodeur DEC des données RDS reçoit du microcontrôleur MC2 un signal DRDS de données RDS. Il génère un signal CLRDS de lecture RD pour la mémoire FIFO1. Le décodeur DEC fournit des données et des adresses à un processeur de signal DSP par l'intermédiaire d'un bus BUS2. Le processeur de signal DSP reçoit du circuit SYNDET le signal de synchronisation SYN et du récepteur RE un signal de fréquence d'échantillonnage FECH (par exemple un multiple de HREF notamment 256 kHz pour HREF à 32 kHz). Le processeur de signal DSP délivre sur un bus BUS3 les signaux numériques correspondant aux données RDS. Le décodeur DEC comporte également une mémoire programmable PROM dans laquelle sont mémorisées des formes d'onde et dont le fonctionnement, va maintenant être décrit en ce qui concerne la génération des ondes RDS.

Le processeur de signal DSP (par exemple un microcontrôleur 56001 de la société MOTOROLA) est programmé pour générer cycliquement des adresses par exemple selon un code à douze bits A0... A11 pour adresser cycliquement les douze bits d'adresse de poids le plus faible de la mémoire programmable PROM. Lors que l'adresse la plus élevée est obtenue, le compte est remis à zéro. Le signal de synchronisation SYN remet également à zéro le compte précité. Tant la synchronisation est correcte, les deux remises à zéro précitées sont concomitantes. Lors de la remise à zéro, le bit A11 change de valeur. Sa détection permet donc de générer un signal de synchronisation SY pertinent même si le signal SYN n'est pas présent à chaque période. Le bit A11 change également de valeur lorsque le compteur atteint la moitié du compte maximal. Le signal SY a donc une fréquence égale à celle du signal RDS (chronogramme de la figure 10b).

Les trois bits d'adresse de poids fort A12, A13, A14 de la mémoire PROM sont adressés (fig. 10a) en utilisant les données RDS de manière à reconstruire complètement et avec la bonne phase les signaux analogiques RDS. Le décodeur DEC est cadencé par des signaux d'horloge CLK à une fréquence qui est un multiple de 19 kHz et qui correspond à la fréquence de cadencement de lecture de la mémoire programmable PROM qui contient des formes d'ondes échantillonnées et préenregistrées sous forme numérique. Une bascule de type D B10 reçoit le bit de poids fort A11 du compteur précité constituant le signal SY et le signal CLRDS est obtenu à partir de la sortie inverseuse de la bascule B10 (porte OU exclusif 30 dont une entrée est à la masse). Ce signal est utilisé pour commander la lecture RD de la mémoire FIFO1. La mémoire FIFO1 délivre les signaux DRDS de données RDS à l'entrée de données D d'une bascule B0 de type D dont la sortie de données

Q (point A) est connectée à l'entrée de données D d'une bascule B1 cascadiée de la même façon par sa sortie Q (point B) avec une bascule B2 dont la sortie Q délivre un signal de phase (ϕ) vers l'entrée d'adresse A14 de la mémoire PROM (bit de poids le plus élevé).

Les signaux présents aux points A et B sont introduits aux entrées d'une porte OU exclusive 10 dont la sortie (point C) attaque l'entrée D d'une bascule B3 cascadiée par sa sortie (point E) avec une bascule B4 dont la sortie Q (point F) est connectée à l'entrée A13 (bit de poids immédiatement inférieur au bit A14). La sortie non inverseuse Q de la bascule D3 (point E) est connectée à l'entrée d'adresse A12 (bit de poids immédiatement inférieur au bit A13 de la mémoire PROM). Le chronogramme des signaux aux points A, B, C, E et F et du signal de phase (ϕ) est représenté à la figure 10b. Le signal de phase (ϕ) permet précisément de discriminer la phase dans le code NRZ-M mentionné à la figure 4 alors que les signaux aux points E et F (bits A12 et A13 de la mémoire PROM) permettent de choisir entre les quatre formes de courbes possibles (à la phase près) correspondant au signal analogique reconstitué de données RDS. Les sorties D0... D7 de la mémoire PROM fournissent ainsi les échantillons correspondants à la courbe reconstituée de données RDS représentée à titre d'exemple en bas de la figure 10b en correspondance avec les chronogrammes des signaux. Pour obtenir la synchronisation de l'ensemble, il suffit tout simplement que le programme du processeur DSP force le compteur donnant les adresses A0... A11 à un compte donné, par exemple un compte 0 lorsque le signal de synchronisation SYN indique le temps de début d'une synchronisation. La détection du bit A11 (signal SY) et la génération subséquente du signal CLRDS initialise si besoin est la lecture de la mémoire FIFO1 et donc synchronise parfaitement dans le temps, sans ambiguïté de phase, le signal RDS.

Bien entendu on a représenté une synchronisation dans le cas sensiblement compliqué d'un signal RDS comportant des données pour lequel un décodage d'adresse est nécessaire pour adresser différentes pages ou différents sous-blocs de la mémoire programmable PROM. Le même principe est applicable sans un tel décodage pour les générations de signaux de fréquences pilotes et de sous-porteuses pour lesquelles il suffit de mettre en oeuvre un compteur cyclique tel que mentionné ci-dessus qui est géré directement par le processeur DSP et qui est remis à zéro (ou à un compte donné) lorsque le signal de synchronisation SYN indique l'instant d'une synchronisation pour ces signaux. En variante, le compteur cyclique peut être remis à un compte variable ce qui permet d'obtenir d'autres fréquences. Dans ce cas, le signal SYN est suivi d'un signal d'adresse indiquant à quel compte le compteur cyclique doit être remis.

Dans le cas d'un réseau FM synchrone présentant une fréquence pilote de 19 kHz, des sous-porteuses à 38 et 57 kHz (RDS), le processeur DSP adresse de ma-

nière cyclique une pluralité de mémoires PROM (ou une mémoire PROM de plus grande capacité) avec synchronisation par le signal SYN de manière à initialiser par exemple au niveau zéro et avec la même phase tous les signaux (fréquence pilote, sous-porteuses, et éventuellement signaux RDS) au moment de la synchronisation.

Selon la figure 11, le circuit SYNDET est un registre à décalage à huit sorties, les sept premières sorties ainsi que la huitième sortie inversée attaquant une porte ET inverseuse multiple 20. La liaison fonctionnelle entre la mémoire FIFO1 et le décodeur DEC est la même que précédemment, par contre les données RDS qui sont décodées pour adresser la mémoire programmable PROM (figure 10a) sont prélevées à partir d'une mémoire MEM (qui peut être la mémoire vive RAM du microcontrôleur MC2) remise à jour chaque fois que les données RDS (104 bits) sont modifiées, et qui est lu par un compteur cyclique généré par le microcontrôleur MC2).

Soit un canal utilisateur à faible débit de $r=2$ kbits/s, comportant des blocs de $n=1024$ bits de durée de 512 ms, ce qui correspond à la durée de 608 bits RDS. Si pour le premier bloc, le signal de synchronisation SYN correspond par exemple à un compte 0 du compteur cyclique, pour le bloc suivant, le compte doit être différent car 608 n'est pas divisible par 104 (correspondant aux 104 bits de l'information RDS stockée dans la mémoire MEM). Le reste de la division de 608 par 104 est 88. Pour le bloc suivant, le signal de synchronisation SYN correspond donc au compte 88 du compteur cyclique pour le bloc qui le suit, 72 et ainsi de suite. Pour ceci, on adjoint au signal SYN un paquet d'adresse ADR pour obtenir un pointeur permettant de gérer le compteur cyclique du microcontrôleur MC2. Comme le paquet ADR vient après le signal SYN, on se décale d'un bloc. Le microcontrôleur MC2, dès qu'il reçoit le signal SYN, décode dans les données DT le paquet d'adresse ADR qui donne directement ou indirectement le compte à inscrire dans le compteur cyclique pour le début du bloc suivant. On remarquera en outre que le signal de synchronisation SYN et son paquet d'adresse ADR associé n'ont pas besoin d'être présents au début de chaque bloc. Il suffit qu'il soit présent de temps en temps car sa fonction est de vérifier que la synchronisation fonctionne correctement. En outre la présence du pointeur permet un fonctionnement avec des blocs dont la longueur peut varier d'un bloc à l'autre.

Il est particulièrement avantageux qu'au pointeur soit adjointe une information de phase, par exemple pour permettre de vérifier directement la parité d'un signal tel qu'un signal RDS.

La figure 12 représente un réémetteur présentant un récepteur REC selon des signaux de la norme AES/ UER et un émetteur REM pour réémettre des signaux à la norme AES/ UER et un inserteur de données commandé par une horloge CLR à 32 kHz pour insérer des signaux RDS.

En effet, selon l'invention il est nécessaire pour un

réseau synchrone que les signaux de synchronisation soient présents dans le multiplex en tête du réseau. L'insertion d'éventuelles données RDS peut être réalisée en tête du réseau ou en aval dans un réémetteur du réseau, comme représenté à la figure 12. Dans ce dernier cas, on notera qu'il n'est pas besoin du circuit DIV (figure 8a) puisque le signal de synchronisation SYN est alors présent dans le multiplex AES/UER.

Revendications

1. Procédé de transmission et/ou de synchronisation d'au moins une composante analogique d'un signal multiplex comportant au moins un canal de données numériques, caractérisé en ce qu'il comporte une étape d'insérer à l'émission un canal supplémentaire susceptible de comporter des informations numériques présentant un débit binaire donné, ledit canal supplémentaire comprenant des motifs dont au moins certains comportent un signal de synchronisation (SYN) permettant la mise en phase d'au moins une composante analogique ainsi que desdites informations numériques.
2. Procédé selon la revendication 1, caractérisé en ce qu'il comporte une étape de synchroniser à la réception, à partir dudit signal de synchronisation (SYN) d'une part, au moins une dite composante analogique, et d'autre part, les informations numériques du canal supplémentaire.
3. Procédé selon une des revendications 1 ou 2, caractérisé en ce que les données numériques sont celles de voies audio numérisées d'une émission en modulation de fréquence FM, les informations numériques du canal supplémentaire étant celles d'un multiplex FM.
4. Procédé selon la revendication 3, caractérisé en ce que les informations numériques du canal supplémentaire sont des informations RDS.
5. Procédé selon une des revendications précédentes, caractérisé en ce que les informations numériques du canal supplémentaire sont transmises en NRZ-M, le précodage étant tel que la phase du signal NRZ est changée chaque fois que la valeur des données RDS à transmettre est égale à 1, ce qui permet de lever l'ambiguïté de phase à la réception.
6. Procédé selon une des revendications précédentes, caractérisé en ce que les motifs du canal supplémentaire ont une durée multiple de la période de plusieurs composantes analogiques ainsi que du débit binaire des informations numériques.
7. Procédé selon une des revendications précédentes,

caractérisé en ce qu'au moins une dite composante analogique est un signal de fréquence caractéristique d'une émission et en ce que l'étape de synchronisation à la réception comporte une étape de générer ledit signal de fréquence caractéristique à partir d'un générateur de forme d'onde (WG) synchronisé à partir dudit signal de synchronisation (SYN).

8. Procédé selon la revendication 7, caractérisé en ce que ledit générateur de formes d'onde (WG) est numérique et comporte un premier moyen de lecture cyclique d'une mémoire (PROM) de formes d'onde et en ce que ladite synchronisation du générateur de forme d'onde (WG) consiste en la mise à un état donné du premier moyen de lecture cyclique.
9. Procédé selon l'une des revendications 1 à 8, caractérisé en ce qu'il comporte une étape de décodage d'au moins certaines desdites informations numériques pour adresser des secteurs d'une deuxième mémoire de formes d'onde (PROM), chaque secteur pouvant être balayé par adressage par un deuxième moyen de lecture cyclique.
10. Procédé selon une des revendications précédentes caractérisé en ce que lesdits motifs font partie de blocs commençant par ledit signal de synchronisation (SYN).
11. Procédé selon la revendication 10, caractérisé en ce qu'il comporte une étape de mémoriser les motifs de chaque bloc dans une mémoire à décalage séquentiel (FIFO), le signal de synchronisation du (N + p)ième bloc (avec p entier supérieur ou égal à 1) étant mis en oeuvre pour commander la mise à un compte spécifié d'un compteur cyclique, ledit compte spécifié produisant un signal de lecture du Nième bloc contenu dans la mémoire à décalage séquentiel (FIFO).
12. Procédé selon une des revendication 1 à 9 caractérisé en ce que lesdits motifs sont des trames.
13. Procédé selon une des revendications précédentes, caractérisé en ce que les informations numériques du canal supplémentaire sont insérées sous forme de blocs de données comportant un nombre de bits différent du nombre nominal de bits d'un bloc d'informations du canal supplémentaire et en ce qu'il comporte une étape de mise en oeuvre, à la réception, d'une mémoire à décalage séquentielle (FIFO) dans laquelle les paquets de données reçus sont raccordés bout à bout de manière à reconstituer la continuité des blocs d'information.
14. Procédé selon la revendication 13, caractérisé en ce que pour des blocs d'information de 104 bits

RDS, la durée des blocs de données est égale à $n \times 16$ ms (avec n entier), soit $n \times 19$ bits RDS.

15. Procédé selon l'une des revendications précédentes caractérisé en ce que les informations numériques du canal supplémentaire sont organisées sous forme de blocs de données et en ce qu'il comporte un signal d'adresse (ADR) associé audit signal de synchronisation (SYN), le signal d'adresse (ADR) constituant un pointeur d'adresse de lecture d'un élément de mémorisation (MEM) d'un bloc d'informations numériques du canal supplémentaire.
16. Procédé selon la revendication 15, caractérisé en ce que la durée d'un bloc de données du canal supplémentaire n'est pas dans un rapport entier avec la durée d'un bloc d'information numérique du canal supplémentaire, le signal d'adresse (ADR) étant tel qu'il permette de rattraper l'écart dû au rapport non entier entre lesdites durées.
17. Procédé selon la revendication 16, caractérisé en ce que la durée des blocs du canal supplémentaire est variable d'un bloc à l'autre.
18. Procédé selon une des revendications 16 ou 17, caractérisé en ce que le canal supplémentaire présente un débit permettant le transport de blocs d'informations numériques RDS du canal supplémentaire.
19. Utilisation du procédé selon une des revendications précédentes dans un réseau synchrone comprenant un émetteur de tête de réseau (EM), et une pluralité de réémetteurs (REM), caractérisé en ce que ledit canal supplémentaire est généré en tête de réseau de telle sorte qu'au moins une composante analogique est synchronisée de la même façon dans tous les réémetteurs (REM).
20. Utilisation selon la revendication 19, caractérisé en ce que les informations numériques du canal supplémentaire sont insérées en aval de l'émetteur de tête de réseau.

Patentansprüche

1. Verfahren zur Übertragung und/oder Synchronisierung von zumindest einer Analogkomponente eines Multiplexsignals mit zumindest einem Digitaldatenkanal, dadurch gekennzeichnet, daß es eine Stufe aufweist, in der bei der Aussendung ein Zusatzkanal eingefügt wird, der digitale Informationen aufweisen kann, die eine gegebene Bitanzahl aufweisen, wobei der Zusatzkanal Muster aufweist, von denen zumindest einige ein Synchronisierungssignal (SYN) aufweisen, das ermöglicht, zumindest eine Analogkomponente sowie die digitalen Infor-

mationen in Phase zu bringen.

2. Verfahren gemäß Anspruch 1, dadurch gekennzeichnet, daß es eine Stufe aufweist, in der am Empfang, ausgehend von dem Synchronisierungssignal (SYN) einerseits zumindest eine Analogkomponente und andererseits die digitalen Informationen des Zusatzkanals synchronisiert werden.
3. Verfahren gemäß einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Digitaldaten diejenigen von digitalisierten Audiokanälen einer Aussendung in Frequenzmodulation mit Frequenzumtastung FM sind, wobei die digitalen Informationen des Zusatzkanals diejenigen einer Multiplex-FM sind.
4. Verfahren gemäß Anspruch 3, dadurch gekennzeichnet, daß die digitalen Informationen des Zusatzkanals RDS-Informationen sind.
5. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die digitalen Informationen des Zusatzkanals im NRZ-M-Verfahren übertragen werden, wobei die Vorcodierung derart ist, daß die Phase des NRZ-Signals jedesmal geändert wird, wenn der Wert der zu übertragenden RDS-Daten gleich 1 ist, was ermöglicht, die Phasenmehrdeutigkeit beim Empfang aufzuheben.
6. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Muster des Zusatzkanals eine mehrfache Dauer des Zeitraums mehrerer Analogkomponenten sowie der Bitanzahl der digitalen Informationen haben.
7. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß zumindest eine Analogkomponente ein charakteristisches Aussendefrequenzsignal ist, und daß die Synchronisierungsstufe beim Empfang eine Stufe aufweist, in der das charakteristische Frequenzsignal ausgehend von einem Wellengenerator (WG) ausgehend von dem Synchronisierungssignal (SYN) erzeugt wird.
8. Verfahren gemäß Anspruch 7, dadurch gekennzeichnet, daß der Wellengenerator (WG) digital ist und eine erste zyklische Leseeinrichtung eines Speichers (PROM) in Wellenform aufweist, und daß die Synchronisierung des Wellengenerators (WG) darin besteht, die erste zyklische Leseeinrichtung in einen gegebenen Zustand zu bringen.
9. Verfahren gemäß einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß es eine Stufe der Decodierung von zumindest gewissen der digitalen Informationen aufweist, um Sektoren eines zweiten Wellenspeichers (PROM) zu adressieren, wobei je-

der Sektor durch Adressierung von einer zweiten zyklischen Leseeinrichtung abgetastet werden kann.

10. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Muster einen Teil der Blöcke bilden, die mit dem Synchronisierungssignal (SYN) beginnen. 5
11. Verfahren gemäß Anspruch 10, dadurch gekennzeichnet, daß es eine Stufe aufweist, in der die Muster jedes Blockes in einem Sequentiell-Schiebespeicher (FIFO) gespeichert werden, wobei das Synchronisierungssignal des (N + p)ten Blockes (mit der Ganzzahl p größer oder gleich 1) eingesetzt wird, um ein spezifiziertes Zählergebnis eines zyklischen Zählers zu steuern, wobei das spezifizierte Zählergebnis ein Lesesignal den Nten Blockes erzeugt, der in dem Sequentiell-Schiebespeicher (FIFO) enthalten ist. 10 15 20
12. Verfahren gemäß einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Muster Raster sind.
13. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die digitalen Informationen des Zusatzkanals in Form von Datenblöcken eingegeben werden, die eine Anzahl von Bits aufweisen, die unterschiedlich zur nominalen Anzahl von Bits eines Informationsblockes des Zusatzkanals ist, und daß es eine Stufe aufweist, in der am Empfang ein Sequentiell-Schiebespeicher (FIFO) eingesetzt wird, in dem die empfangenen Datenpakete endweise derart verbunden werden, daß die Kontinuität der Informationsblöcke wiederhergestellt wird. 25 30 35
14. Verfahren gemäß Anspruch 13, dadurch gekennzeichnet, daß für Informationsblöcke von 104 RDS-Bits, die Dauer der Datenblöcke gleich $n \times 16$ ms (mit n als Ganzzahl), oder $n \times 19$ RDS-Bits ist. 40
15. Verfahren gemäß einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die digitalen Informationen des Zusatzkanals in Form von Datenblöcken organisiert sind, und daß es ein Adressensignal (ADR) aufweist, das dem Synchronisierungssignal (SYN) zugeordnet ist, wobei das Adressensignal (ADR) einen Leseadressenhinweis eines Speicherelementes (MEM) eines Blockes der digitalen Informationen des Zusatzkanals bildet. 45 50
16. Verfahren gemäß Anspruch 15, dadurch gekennzeichnet, daß die Dauer eines Datenblockes des Zusatzkanals nicht in einem ganzzahligen Verhältnis zu der Dauer eines Blockes digitaler Informationen des Zusatzkanals steht, wobei das Adressensignal (ADR) so ist, daß es ermöglicht, den Abstand 55

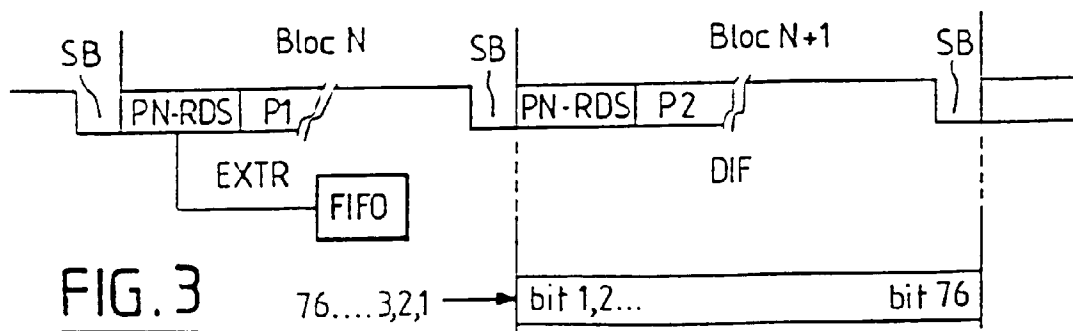
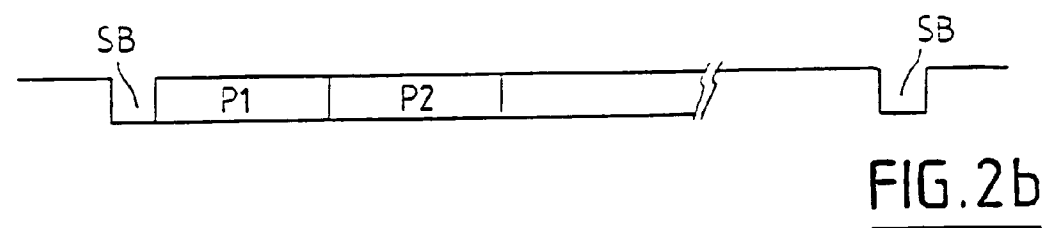
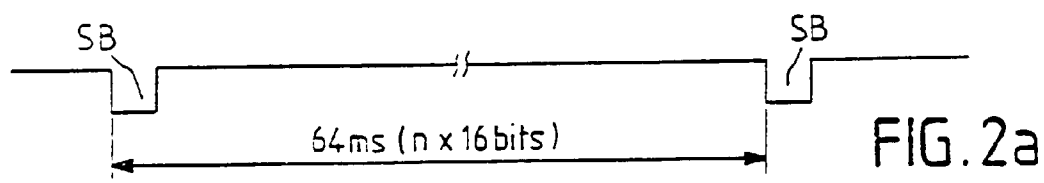
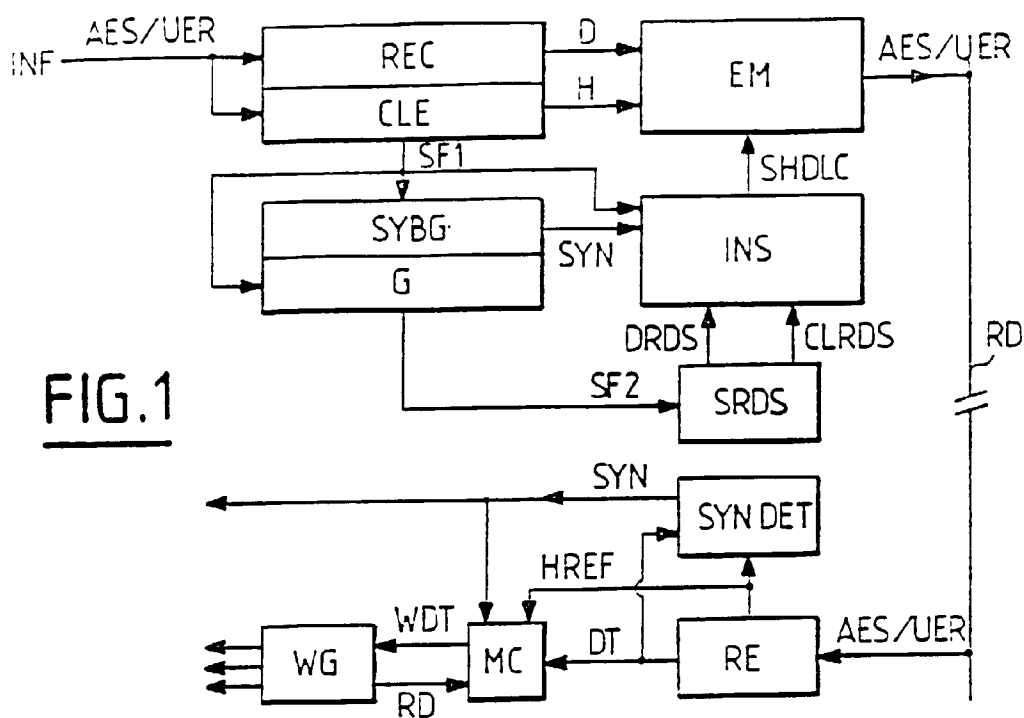
aufgrund des nicht-ganzzahligen Verhältnisses zwischen den Zeiträumen aufzuholen.

17. Verfahren gemäß Anspruch 16, dadurch gekennzeichnet, daß die Dauer der Blöcke des Zusatzkanals variabel von einem Block zum anderen ist.
18. Verfahren gemäß einem der Ansprüche 16 oder 17, dadurch gekennzeichnet, daß der Zusatzkanal eine Bitanzahl aufweist, die den Transport von Blöcken digitaler RDS-Informationen des Zusatzkanals ermöglicht.
19. Verwendung des Verfahrens gemäß einem der vorherigen Ansprüche in einem synchronen Netz mit einem Hauptsender (EM) und einer Vielzahl von Nebensendern (REM), dadurch gekennzeichnet, daß der Zusatzkanal am Anfang im Netz derart erzeugt wird, daß zumindest eine Analogkomponente in allen Nebensendern (REM) in der gleichen Weise synchronisiert wird.
20. Verwendung gemäß Anspruch 19, dadurch gekennzeichnet, daß die digitalen Informationen des Zusatzkanals unterhalb des Hauptsenders eingegeben werden.

Claims

1. A method for the transmission and/or synchronization of at least one analog component of a multiplex signal comprising at least one digital data channel, characterized in that it comprises a step of inserting at the transmission an additional channel capable of comprising digital data having a given bit rate, the said additional channel comprising patterns, at least some of which comprise a synchronization signal (SYN) allowing at least one analog component as well as the said digital data to be brought into phase.
2. A method according to claim 1, characterized in that it comprises a step of synchronizing at the reception, on the one hand, at least one said analog component, and on the other hand, the digital data of the additional channel, on the basis of the said synchronization signal (SYN).
3. A method according to one of claims 1 or 2, characterized in that the digital data are those of digitized audio channels of a frequency-modulated transmission FM, the digital data of the additional channel being those of an FM multiplex.
4. A method according to claim 3, characterized in that the digital data of the additional channel are RDS data.

5. A method according to one of the preceding claims, characterized in that the digital data of the additional channel are transmitted in an NRZ-M mode, the precoding being such that the phase of the NRZ signal is changed each time the value of the RDS data to be transmitted is equal to 1, which allows the phase ambiguity at the reception to be eliminated. 5
6. A method according to one of the preceding claims, characterized in that the patterns of the additional channel have a duration that is a multiple of the period of several analog components, as well as of the bit rate of the digital data. 10
7. A method according to one of the preceding claims, characterized in that at least one of the said analog components is a characteristic frequency signal of a transmission, and in that the step of the synchronization at the reception comprises a step of generating the said characteristic frequency signal by means of a wave-shape generator (WG), synchronized on the basis of the synchronization signal (SYN). 15
8. A method according to claim 7, characterized in that the said wave-shape generator (WG) is digital and comprises a first means for the cyclic reading of a (PROM) memory of wave shapes, and in that the said synchronization of the wave shape generator (WG) lies in setting the first cyclic reading means to a given state. 20
9. A method according to one of claims 1 to 8, characterized in that it comprises a step of decoding at least some of the said digital data for addressing sectors of a second wave shape memory (PROM), it being possible for each sector to be scanned by being addressed by a second cyclic reading means. 25
10. A method according to one of the preceding claims, characterized in that the said patterns form a part of blocks starting with the said synchronization signal (SYN). 30
11. A method according to claim 10, characterized in that it comprises a step of storing the patterns of each block in a sequential displacement memory (FIFO), the synchronization signal of the (N + p)th block (with p being an integer greater than, or equal to 1) being used for actuating the setting of a cyclic counter to a specified count, the said specified count producing a read signal of the Nth block contained in the sequential displacement memory (FIFO). 35
12. A method according to one of claims 1 to 9, characterized in that the said patterns are strings. 40
13. A method according to one of the preceding claims, characterized in that the digital data of the additional channel are inserted in the form of data blocks comprising a number of bits different from the nominal number of bits of an information block of the additional channel, and that it comprises a step of using at the reception, a sequential displacement memory (FIFO) wherein the data packets are joined end to end so as to reconstitute the continuity of the information blocks. 45
14. A method according to claim 13, characterized in that for information blocks of 104 RDS bits, the duration of the data blocks is equal to $n \times 16$ ms (with n being an integer), that is to say, $n \times 19$ RDS bits. 50
15. A method according to one of the preceding claims, characterized in that the digital data of the additional channel are organized in the form of data blocks, and in that it comprises an address signal (ADR) associated with the said synchronization signal (SYN), the address signal (ADR) constituting an address pointer for reading a storage element (MEM) of a digital information block of the additional channel. 55
16. A method according to claim 15, characterized in that the duration of a data block of the additional channel does not entirely correspond to the duration of a digital information block of the additional channel, the address signal (ADR) being such that it makes it possible to make up the difference due to the incomplete correspondence between the said durations.
17. A method according to claim 16, characterized in that the duration of the data blocks of the additional channel is variable from one block to another.
18. A method according to one of claims 16 or 17, characterized in that the additional channel has a flow rate permitting the transmission of digital RDS information blocks of the additional channel.
19. A use of the method according to one of the preceding claims in a synchronous network comprising a network head transmitter (EM) and a plurality of retransmitters (REM), characterized in that the said additional channel is generated in the network head in such a way that at least one analog component is synchronized in the same manner in all the retransmitters (REM).
20. A use according to 19, characterized in that the digital data of the additional channel are inserted down the line from the network head transmitter.



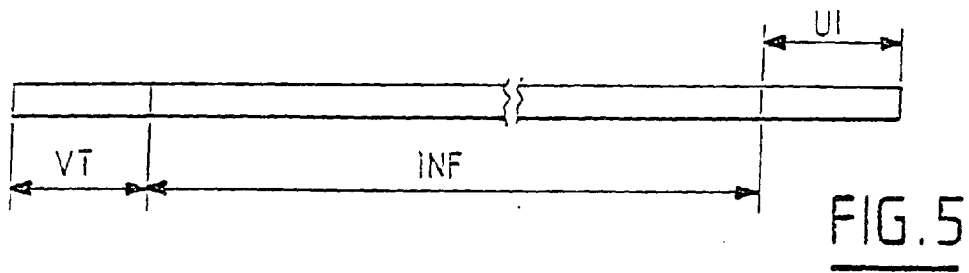
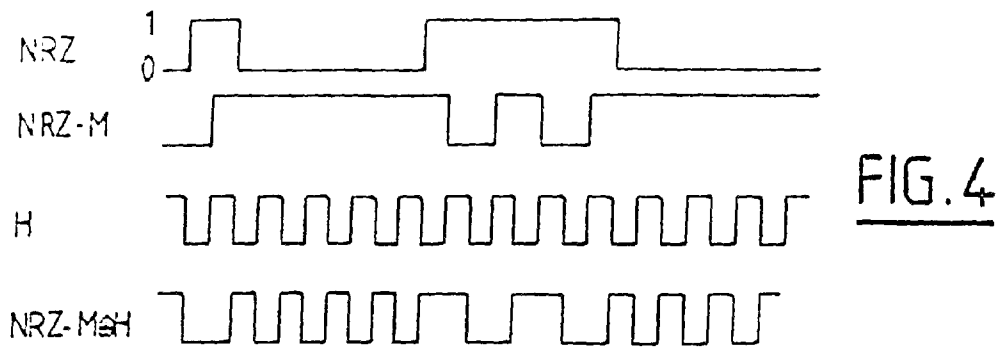


FIG. 6

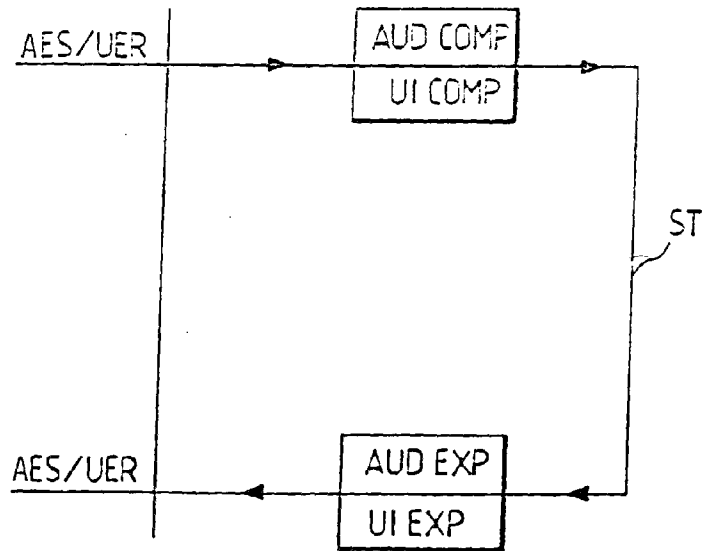
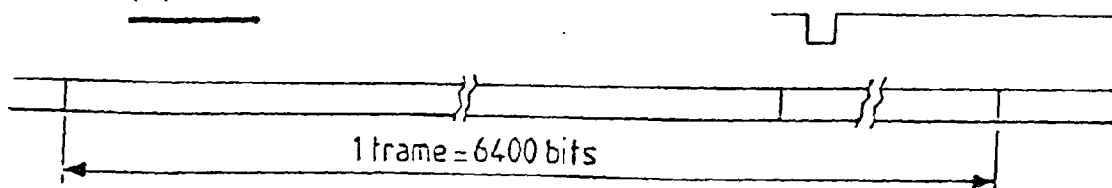


FIG. 7



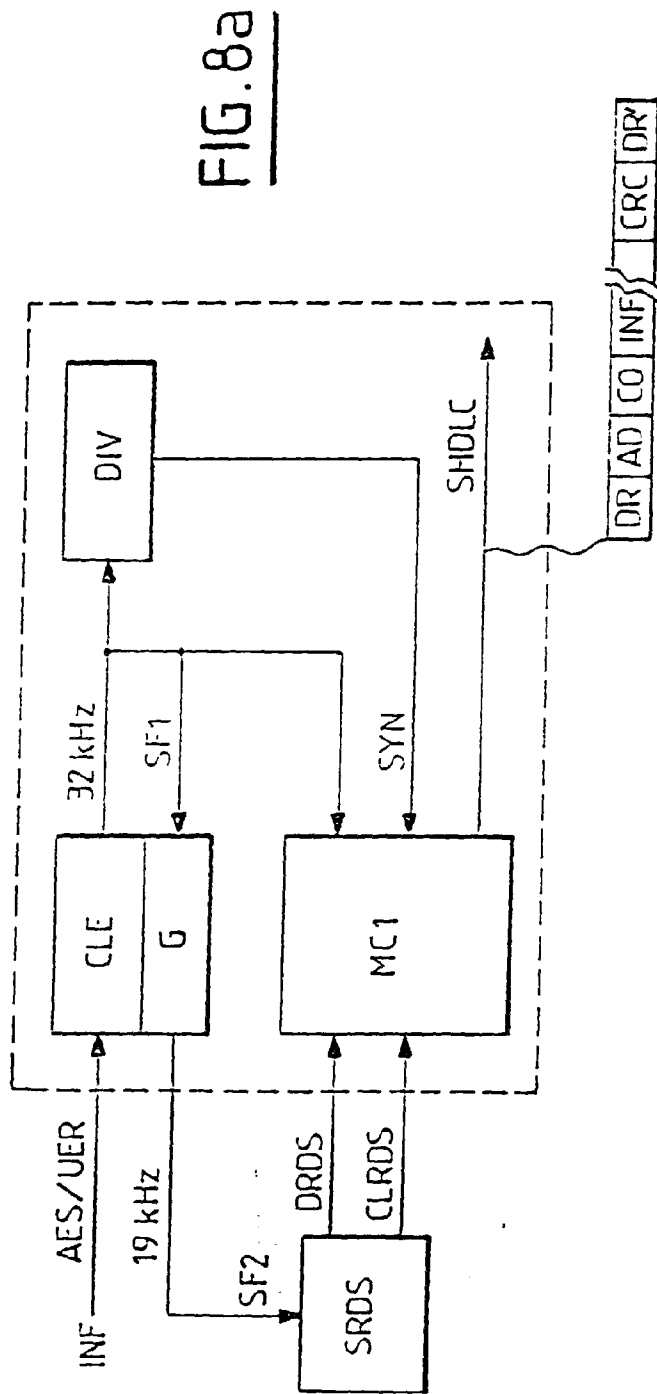
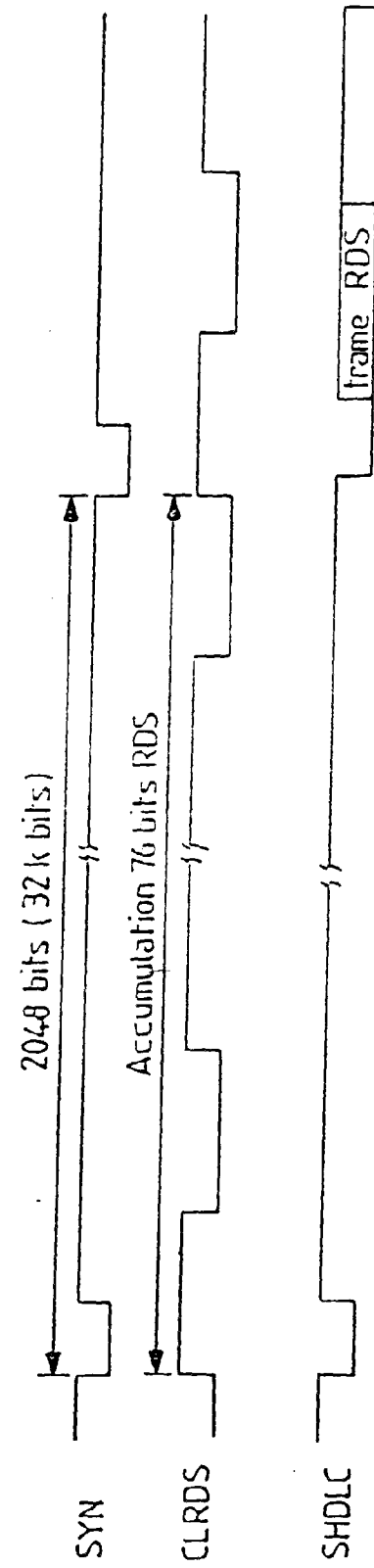


FIG. 8b



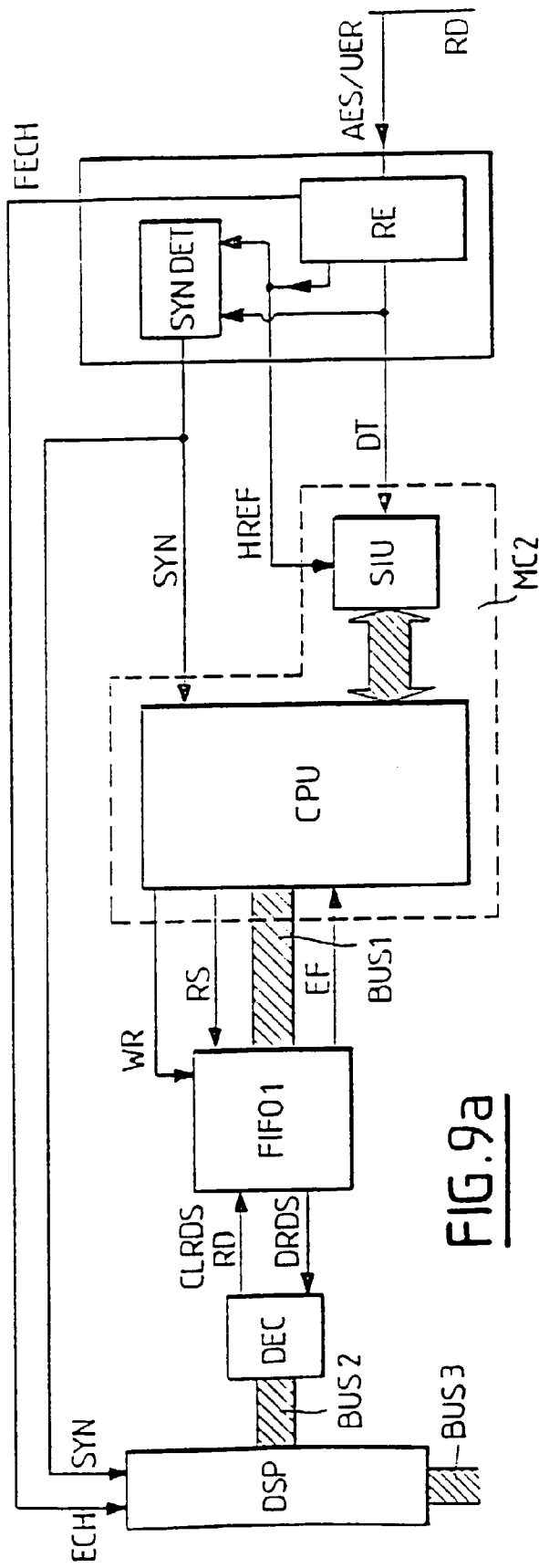


FIG. 9a

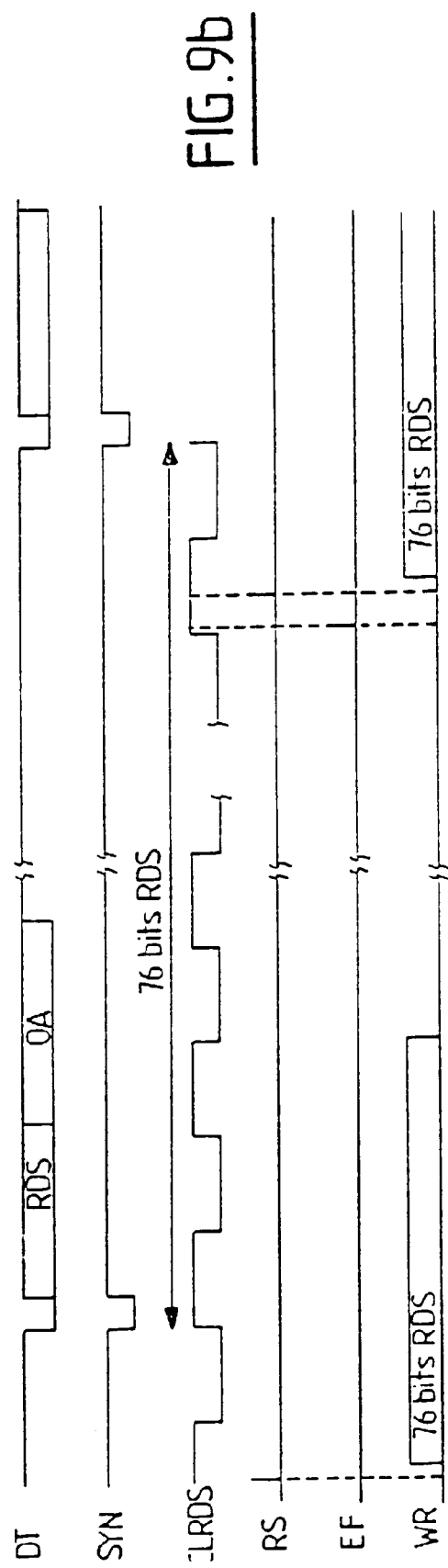
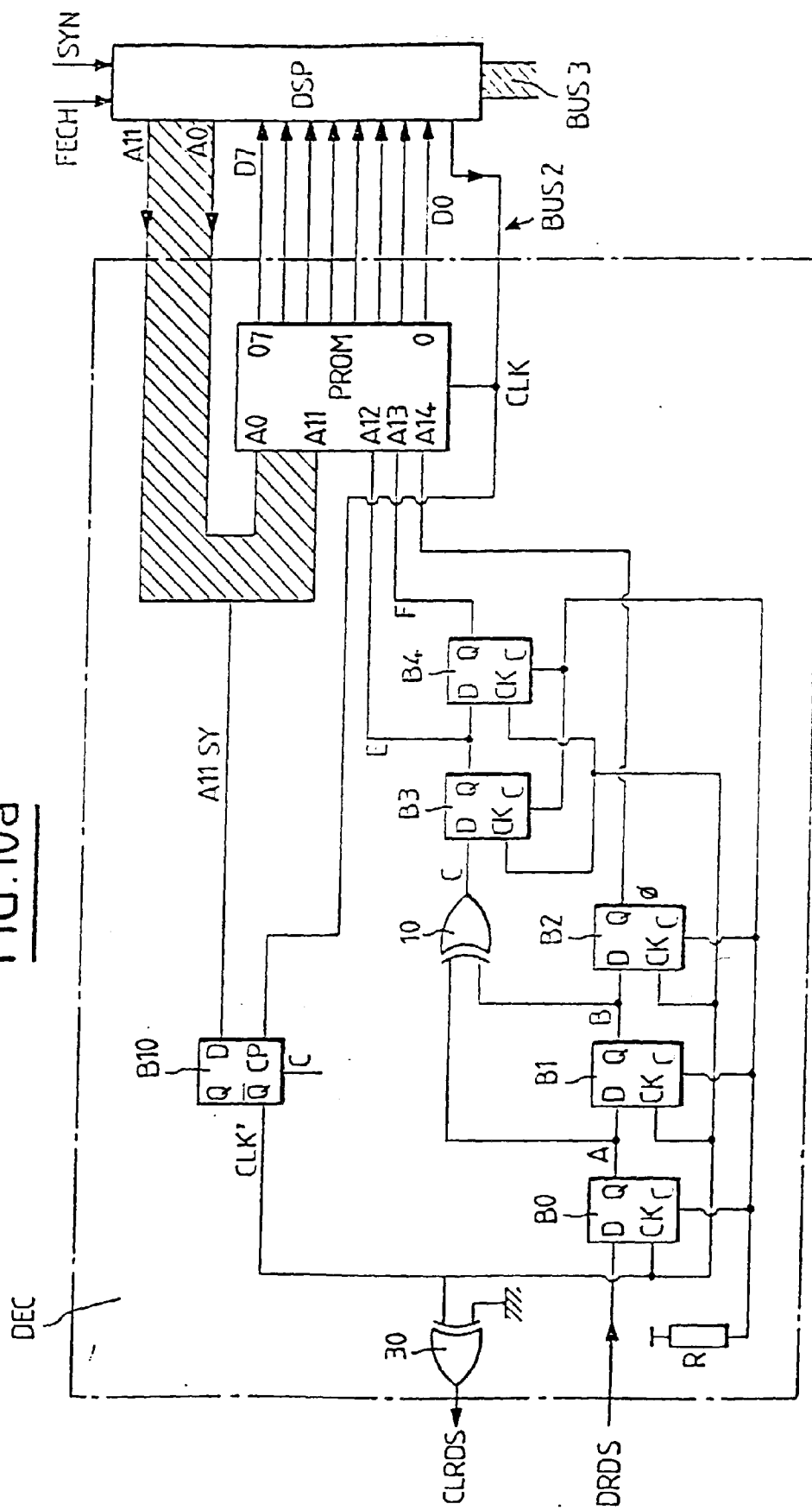


FIG. 9b

FIG. 10a



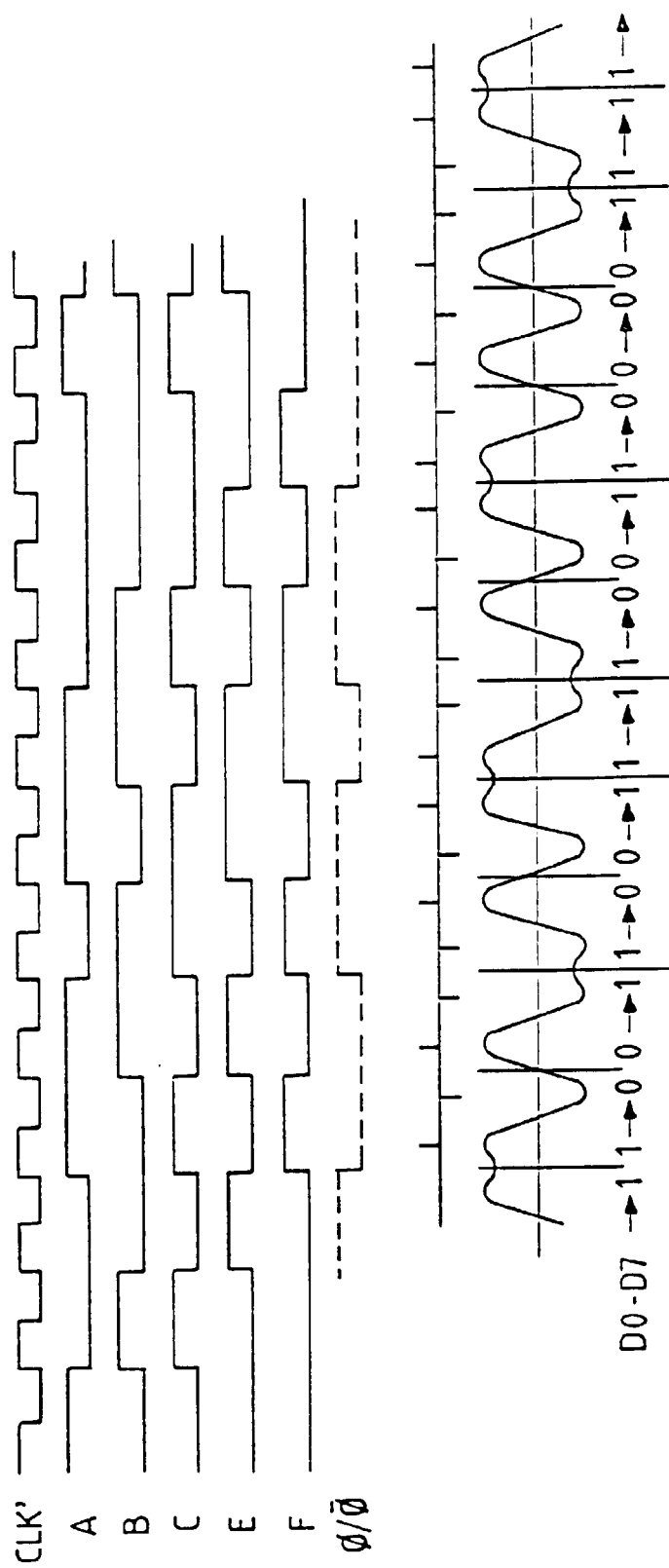


FIG. 10b

