



(12)发明专利

(10)授权公告号 CN 105761663 B

(45)授权公告日 2018.07.31

(21)申请号 201610341470.3

G11C 19/28(2006.01)

(22)申请日 2016.05.19

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 105761663 A

CN 104299583 A, 2015.01.21,

CN 104091572 A, 2014.10.08,

CN 104835476 A, 2015.08.12,

CN 105161060 A, 2015.12.16,

KR 20070104730 A, 2007.10.29,

US 2008266275 A1, 2008.10.30,

(43)申请公布日 2016.07.13

(73)专利权人 上海中航光电子有限公司

地址 201108 上海市闵行区华宁路3388号

专利权人 天马微电子股份有限公司

审查员 刘俊

(72)发明人 金慧俊 朱雪婧

(74)专利代理机构 上海隆天律师事务所 31282

代理人 臧云霄 李峰

(51)Int.Cl.

G09G 3/20(2006.01)

G09G 3/3208(2016.01)

G09G 3/36(2006.01)

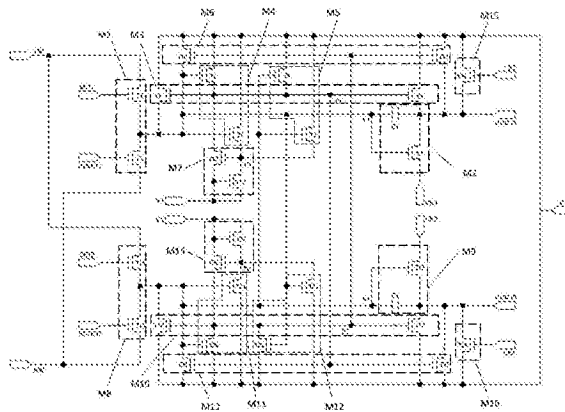
权利要求书4页 说明书13页 附图5页

(54)发明名称

移位寄存器单元、栅极驱动电路及显示装置

(57)摘要

本公开提供一种移位寄存器单元、栅极驱动电路及显示装置。该移位寄存器单元中包括结构类似的第一移位寄存器单元和第二移位寄存器单元,而且第一移位寄存器单元和第二移位寄存器单元相互控制,因此可以更好的实现第一顺序扫描和第二顺序扫描。此外,在第一移位寄存器单元中,对于第一节点和第一输出端的下拉均为双下拉,在第二移位寄存器单元中,对于第四节点和第二输出端的下拉均为双下拉,因此移位寄存器单元输出的栅极扫描信号的波形更加稳定。进而通过本公开的示例实施方式所提供的移位寄存器单元可以进一步的提升显示装置的显示效果。



1. 一种移位寄存器单元,其特征在于,包括:

第一输入模块,用于响应一第一输入信号将一第一顺序扫描信号提供第一节点,以及响应一第一复位信号将一第二顺序扫描信号提供至所述第一节点;

第一输出模块,用于响应所述第一节点的信号将一第一时钟信号提供至第一输出端;

第一下拉模块,用于响应一第二节点的信号将一下拉信号提供至所述第一节点以及所述第一输出端;

第二下拉模块,用于响应所述第一节点的信号将所述下拉信号提供至所述第二节点以及一第三节点;

第三下拉模块,用于响应一第四节点的信号将所述下拉信号提供至所述第二节点以及第三节点;

第四下拉模块,用于响应一第五节点的信号将所述下拉信号提供至所述第一节点以及所述第一输出端;

第一充电模块,用于响应所述第三节点的信号将一第一充电信号提供至所述第二节点;

第二输入模块,用于响应一第二输入信号将所述第一顺序扫描信号提供所述第四节点,以及响应一第二复位信号将所述第二顺序扫描信号提供至所述第四节点;

第二输出模块,用于响应所述第四节点的信号将一第二时钟信号提供至第二输出端;

第五下拉模块,用于响应所述第五节点的信号将所述下拉信号提供至所述第四节点以及所述第二输出端;

第六下拉模块,用于响应所述第四节点的信号将所述下拉信号提供至所述第五节点以及一第六节点;

第七下拉模块,用于响应所述第一节点的信号将所述下拉信号提供至所述第五节点以及第六节点;

第八下拉模块,用于响应所述第二节点的信号将所述下拉信号提供至所述第四节点以及所述第二输出端;

第二充电模块,用于响应所述第六节点的信号将一第二充电信号提供至所述第五节点,所述第二充电信号与所述第一充电信号互补。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括:

第九下拉模块,用于响应一第三时钟信号将所述下拉信号提供至所述第一输出端;所述第三时钟信号与所述第一时钟信号互补;

第十下拉模块,用于响应一第四时钟信号将所述下拉信号提供至所述第二输出端;所述第四时钟信号与所述第二时钟信号互补。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第一输入模块包括:

第一晶体管,所述第一晶体的控制端接收所述第一输入信号,所述第一晶体的第一端接收所述第一顺序扫描信号,所述第一晶体的第二端与所述第一节点连接;

第二晶体管,所述第二晶体的控制端接收所述第一复位信号,所述第二晶体的第一端接收所述第二顺序扫描信号,所述第二晶体的第二端与所述第一节点连接;

所述第二输入模块包括:

第十五晶体管,所述第十五晶体管的控制端接收所述第二输入信号,所述第十五晶体管的第一端接收所述第一顺序扫描信号,所述第十五晶体管的第二端与所述第四节点连接;

第十六晶体管,所述第十六晶体管的控制端接收所述第二复位信号,所述第十六晶体管的第一端接收所述第二顺序扫描信号,所述第十六晶体管的第二端与所述第四节点连接。

4. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第一输出模块包括:

第三晶体管,所述第三晶体管的控制端与所述第一节点连接,所述第三晶体管的第一端接收所述第一时钟信号,所述第三晶体管的第二端与所述第一输出端连接;

第一电容,连接于所述第一节点和所述第一输出端之间;

所述第二输出模块包括:

第十七晶体管,所述第十七晶体管的控制端与所述第四节点连接,所述第十七晶体管的第一端接收所述第二时钟信号,所述第十七晶体管的第二端与所述第二输出端连接;

第二电容,连接于所述第四节点和所述第二输出端之间。

5. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第一下拉模块包括:

第四晶体管,所述第四晶体管的控制端与所述第二节点连接,所述第四晶体管的第一端接收所述下拉信号,所述第四晶体管的第二端与所述第一节点连接;

第五晶体管,所述第五晶体管的控制端与所述第二节点连接,所述第五晶体管的第一端接收所述下拉信号,所述第五晶体管的第二端与所述第一输出端连接;

所述第五下拉模块包括:

第十八晶体管,所述第十八晶体管的控制端与所述第五节点连接,所述第十八晶体管的第一端接收所述下拉信号,所述第十八晶体管的第二端与所述第四节点连接;

第十九晶体管,所述第十九晶体管的控制端与所述第五节点连接,所述第十九晶体管的第一端接收所述下拉信号,所述第十九晶体管的第二端与所述第二输出端连接。

6. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第二下拉模块包括:

第六晶体管,所述第六晶体管的控制端与所述第一节点连接,所述第六晶体管的第一端接收所述下拉信号,所述第六晶体管的第二端与所述第二节点连接;

第七晶体管,所述第七晶体管的控制端与所述第一节点连接,所述第七晶体管的第一端接收所述下拉信号,所述第七晶体管的第二端与所述第三节点连接;

所述第六下拉模块包括:

第二十晶体管,所述第二十晶体管的控制端与所述第四节点连接,所述第二十晶体管的第一端接收所述下拉信号,所述第二十晶体管的第二端与所述第五节点连接;

第二十一晶体管,所述第二十一晶体管的控制端与所述第四节点连接,所述第二十一晶体管的第一端接收所述下拉信号,所述第二十一晶体管的第二端与所述第六节点连接。

7. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第三下拉模块包括:

第八晶体管,所述第八晶体管的控制端与所述第四节点连接,所述第八晶体管的第一端接收所述下拉信号,所述第八晶体管的第二端与所述第二节点连接;

第九晶体管,所述第九晶体管的控制端与所述第四节点连接,所述第九晶体管的第一端接收所述下拉信号,所述第九晶体管的第二端与所述第三节点连接;

所述第七下拉模块包括:

第二十二晶体管,所述第二十二晶体管的控制端与所述第一节点连接,所述第二十二晶体管的第一端接收所述下拉信号,所述第二十二晶体管的第二端与所述第五节点连接;

第二十三晶体管,所述第二十三晶体管的控制端与所述第一节点连接,所述第二十三晶体管的第一端接收所述下拉信号,所述第二十三晶体管的第二端与所述第六节点连接。

8. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第四下拉模块包括:

第十晶体管,所述第十晶体管的控制端与所述第五节点连接,所述第十晶体管的第一端接收所述下拉信号,所述第十晶体管的第二端与所述第一节点连接;

第十一晶体管,所述第十一晶体管的控制端与所述第五节点连接,所述第十一晶体管的第一端接收所述下拉信号,所述第十一晶体管的第二端与所述第一输出端连接;

所述第八下拉模块包括:

第二十四晶体管,所述第二十四晶体管的控制端与所述第二节点连接,所述第二十四晶体管的第一端接收所述下拉信号,所述第二十四晶体管的第二端与所述第四节点连接;

第二十五晶体管,所述第二十五晶体管的控制端与所述第二节点连接,所述第二十五晶体管的第一端接收所述下拉信号,所述第二十五晶体管的第二端与所述第二输出端连接。

9. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第一充电模块包括:

第十二晶体管,所述第十二晶体管的控制端与所述第三节点连接,所述第十二晶体管的第一端接收所述第一充电信号,所述第十二晶体管的第二端与所述第二节点连接;

第十三晶体管,所述第十三晶体管的控制端以及第一端接收所述第一充电信号,所述第十三晶体管的第二端与所述第三节点连接;

所述第二充电模块包括:

第二十六晶体管,所述第二十六晶体管的控制端与所述第六节点连接,所述第二十六晶体管的第一端接收所述第二充电信号,所述第二十六晶体管的第二端与所述第五节点连接;

第二十七晶体管,所述第二十七晶体管的控制端以及第一端接收所述第二充电信号,所述第二十七晶体管的第二端与所述第六节点连接。

10. 根据权利要求2所述的移位寄存器单元,其特征在于,其中:

所述第九下拉模块包括:

第十四晶体管,所述第十四晶体管的控制端接收所述第三时钟信号,所述第十四晶体管的第一端接收所述下拉信号,所述第十四晶体管的第二端与所述第一输出端连接;

所述第十下拉模块包括:

第二十八晶体管,所述第二十八晶体管的控制端接收所述第四时钟信号,所述第二十

八晶体管的第一端接收所述下拉信号,所述第二十八晶体管的第二端与所述第二输出端连接。

11. 根据权利要求1~10任意一项所述的移位寄存器单元,其特征在于,所述第一顺序扫描信号控制所述移位寄存器单元沿着第一顺序扫描,所述第二顺序扫描信号控制所述移位寄存器单元沿着第二顺序扫描,所述第一顺序与所述第二顺序方向相反。

12. 根据权利要求2~10任意一项所述的移位寄存器单元,其特征在于,所述第一时钟信号与所述第二时钟信号部分重叠;所述第三时钟信号与所述第四时钟信号部分重叠。

13. 根据权利要求3~10任意一项所述的移位寄存器单元,其特征在于,所述晶体管为N型沟道晶体管或者均为P型沟道晶体管。

14. 根据权利要求3~10任意一项所述的移位寄存器单元,其特征在于,所述晶体管为非晶硅晶体管、低温多晶硅晶体管或者氧化物半导体晶体管。

15. 一种栅极驱动电路,其特征在于,包括根据权利要求1~14任意一项所述的移位寄存器单元。

16. 根据权利要求15所述栅极驱动电路,其特征在于,所述栅极驱动电路包括级联的N个所述移位寄存器单元;其中:

第m+1级移位寄存器单元中所述第一输入信号为第m级移位寄存器单元中所述第一输出端输出的信号;

第m+1级移位寄存器单元中所述第二输入信号为第m级移位寄存器单元中所述第二输出端输出的信号;

第m级移位寄存器单元中所述第一复位信号为第m+1级移位寄存器单元中所述第一输出端输出的信号;

第m级移位寄存器单元中所述第二复位信号为第m+1级移位寄存器单元中所述第二输出端输出的信号;其中, $0 < m < N$ 。

17. 根据权利要求15所述栅极驱动电路,其特征在于,所述栅极驱动电路包括级联的N个所述移位寄存器单元;其中:

第m+1级移位寄存器单元中所述第一输入信号为第m-1级移位寄存器单元中所述第二输出端输出的信号;

第m+1级移位寄存器单元中所述第二输入信号为第m级移位寄存器单元中所述第一输出端输出的信号;

第m-1级移位寄存器单元中所述第二复位信号为第m+1级移位寄存器单元中所述第一输出端输出的信号;

第m级移位寄存器单元中所述第一复位信号为第m+1级移位寄存器单元中所述第二输出端输出的信号;其中, $1 < m < N$ 。

18. 一种显示装置,其特征在于,包括根据权利要求15~17任意一项所述栅极驱动电路。

## 移位寄存器单元、栅极驱动电路及显示装置

### 技术领域

[0001] 本公开涉及显示技术领域,具体涉及一种移位寄存器单元、应用该移位寄存器单元的栅极驱动电路以及应用该栅极驱动电路的显示装置。

### 背景技术

[0002] 随着光学技术与半导体技术的发展,液晶显示装置(Liquid Crystal Display, LCD)以及有机发光二极管显示装置(Organic Light Emitting Diode, OLED)等平板显示装置由于具有形体更轻薄、成本和能耗更低、反应速度更快、色纯度和亮度更优以及对比度更高等特点,已经被广泛应用于各类电子产品上。

[0003] 上述显示装置中,主要通过像素矩阵实现显示。通常而言,各行像素均耦接至对应的扫描栅线。在显示装置工作过程中,通过栅极驱动电路将输入的时钟信号等信号经过移位寄存器单元等模块转换成控制像素开启/关断的栅极扫描信号,再将栅极扫描信号顺次施加到显示装置的各行像素的扫描栅线,对各行像素进行选通。

[0004] 然而,现有技术中的移位寄存器单元以及栅极驱动电路仍存在有待改进之处。

[0005] 需要说明的是,在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解,因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

### 发明内容

[0006] 本公开的目的在于提供一种移位寄存器单元、应用该移位寄存器单元的栅极驱动电路以及应用该栅极驱动电路的显示装置,用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的一个或多个问题。

[0007] 本公开的其他特性和优点将通过下面的详细描述变得清晰,或部分地通过本公开的实践而习得。

[0008] 根据本公开的第一方面,提供一种移位寄存器单元,包括:

[0009] 第一输入模块,用于响应一第一输入信号将一第一顺序扫描信号提供至第一节点,以及响应一第一复位信号将一第二顺序扫描信号提供至所述第一节点;

[0010] 第一输出模块,用于响应所述第一节点的信号将一第一时钟信号提供至第一输出端;

[0011] 第一下拉模块,用于响应一第二节点的信号将一下拉信号提供至所述第一节点以及所述第一输出端;

[0012] 第二下拉模块,用于响应所述第一节点的信号将所述下拉信号提供至所述第二节点以及一第三节点;

[0013] 第三下拉模块,用于响应一第四节点的信号将所述下拉信号提供至所述第二节点以及第三节点;

[0014] 第四下拉模块,用于响应一第五节点的信号将所述下拉信号提供至所述第一节点以及所述第一输出端;

- [0015] 第一充电模块,用于响应所述第三节点的信号将一第一充电信号提供至所述第二节点;
- [0016] 第二输入模块,用于响应一第二输入信号将所述第一顺序扫描信号提供所述第四节点,以及响应一第二复位信号将所述第二顺序扫描信号提供至所述第四节点;
- [0017] 第二输出模块,用于响应所述第四节点的信号将一第二时钟信号提供至第二输出端;
- [0018] 第五下拉模块,用于响应所述第五节点的信号将所述下拉信号提供至所述第四节点以及所述第二输出端;
- [0019] 第六下拉模块,用于响应所述第四节点的信号将所述下拉信号提供至所述第五节点以及一第六节点;
- [0020] 第七下拉模块,用于响应所述第一节点的信号将所述下拉信号提供至所述第五节点以及第六节点;
- [0021] 第八下拉模块,用于响应所述第二节点的信号将所述下拉信号提供至所述第四节点以及所述第二输出端;
- [0022] 第二充电模块,用于响应所述第六节点的信号将一第二充电信号提供至所述第五节点,所述第二充电信号与所述第一充电信号互补。
- [0023] 在本公开的一种示例性实施例中,所述移位寄存器单元还包括:
- [0024] 第九下拉模块,用于响应一第三时钟信号将所述下拉信号提供至所述第一输出端;所述第三时钟信号与所述第一时钟信号互补;
- [0025] 第十下拉模块,用于响应一第四时钟信号将所述下拉信号提供至所述第二输出端;所述第四时钟信号与所述第二时钟信号互补。
- [0026] 在本公开的一种示例性实施例中,其中:
- [0027] 所述第一输入模块包括:
- [0028] 第一晶体管,所述第一晶体的控制端接收所述第一输入信号,所述第一晶体的第一端接收所述第一顺序扫描信号,所述第一晶体的第二端与所述第一节点连接;
- [0029] 第二晶体管,所述第二晶体的控制端接收所述第一复位信号,所述第二晶体的第一端接收所述第二顺序扫描信号,所述第二晶体的第二端与所述第一节点连接;
- [0030] 所述第二输入模块包括:
- [0031] 第十五晶体管,所述第十五晶体的控制端接收所述第二输入信号,所述第十五晶体的第一端接收所述第一顺序扫描信号,所述第十五晶体的第二端与所述第四节点连接;
- [0032] 第十六晶体管,所述第十六晶体的控制端接收所述第二复位信号,所述第十六晶体的第一端接收所述第二顺序扫描信号,所述第十六晶体的第二端与所述第四节点连接。
- [0033] 在本公开的一种示例性实施例中,其中:
- [0034] 所述第一输出模块包括:
- [0035] 第三晶体管,所述第三晶体的控制端与所述第一节点连接,所述第三晶体的第一端接收所述第一时钟信号,所述第三晶体的第二端与所述第一输出端连接;
- [0036] 第一电容,连接于所述第一节点和所述第一输出端之间;

- [0037] 所述第二输出模块包括：
- [0038] 第十七晶体管，所述第十七晶体管的控制端与所述第四节点连接，所述第十七晶体管的第一端接收所述第二时钟信号，所述第十七晶体管的第二端与所述第二输出端连接；
- [0039] 第二电容，连接于所述第四节点和所述第二输出端之间。
- [0040] 在本公开的一种示例性实施例中，其中：
- [0041] 所述第一下拉模块包括：
- [0042] 第四晶体管，所述第四晶体管的控制端与所述第二节点连接，所述第四晶体管的第一端接收所述下拉信号，所述第四晶体管的第二端与所述第一节点连接；
- [0043] 第五晶体管，所述第五晶体管的控制端与所述第二节点连接，所述第五晶体管的第一端接收所述下拉信号，所述第五晶体管的第二端与所述第一输出端连接；
- [0044] 所述第五下拉模块包括：
- [0045] 第十八晶体管，所述第十八晶体管的控制端与所述第五节点连接，所述第十八晶体管的第一端接收所述下拉信号，所述第十八晶体管的第二端与所述第四节点连接；
- [0046] 第十九晶体管，所述第十九晶体管的控制端与所述第五节点连接，所述第十九晶体管的第一端接收所述下拉信号，所述第十九晶体管的第二端与所述第二输出端连接。
- [0047] 在本公开的一种示例性实施例中，其中：
- [0048] 所述第二下拉模块包括：
- [0049] 第六晶体管，所述第六晶体管的控制端与所述第一节点连接，所述第六晶体管的第一端接收所述下拉信号，所述第六晶体管的第二端与所述第二节点连接；
- [0050] 第七晶体管，所述第七晶体管的控制端与所述第一节点连接，所述第七晶体管的第一端接收所述下拉信号，所述第七晶体管的第二端与所述第三节点连接；
- [0051] 所述第六下拉模块包括：
- [0052] 第二十晶体管，所述第二十晶体管的控制端与所述第四节点连接，所述第二十晶体管的第一端接收所述下拉信号，所述第二十晶体管的第二端与所述第五节点连接；
- [0053] 第二十一晶体管，所述第二十一晶体管的控制端与所述第四节点连接，所述第二十一晶体管的第一端接收所述下拉信号，所述第二十一晶体管的第二端与所述第六节点连接。
- [0054] 在本公开的一种示例性实施例中，其中：
- [0055] 所述第三下拉模块包括：
- [0056] 第八晶体管，所述第八晶体管的控制端与所述第四节点连接，所述第八晶体管的第一端接收所述下拉信号，所述第八晶体管的第二端与所述第二节点连接；
- [0057] 第九晶体管，所述第九晶体管的控制端与所述第四节点连接，所述第九晶体管的第一端接收所述下拉信号，所述第九晶体管的第二端与所述第三节点连接；
- [0058] 所述第七下拉模块包括：
- [0059] 第二十二晶体管，所述第二十二晶体管的控制端与所述第一节点连接，所述第二十二晶体管的第一端接收所述下拉信号，所述第二十二晶体管的第二端与所述第五节点连接；
- [0060] 第二十三晶体管，所述第二十三晶体管的控制端与所述第一节点连接，所述第二

十三晶体管的第一端接收所述下拉信号,所述第二十三晶体管的第二端与所述第六节点连接。

[0061] 在本公开的一种示例性实施例中,其中:

[0062] 所述第四下拉模块包括:

[0063] 第十晶体管,所述第十晶体管的控制端与所述第五节点连接,所述第十晶体管的第一端接收所述下拉信号,所述第十晶体管的第二端与所述第一节点连接;

[0064] 第十一晶体管,所述第十一晶体管的控制端与所述第五节点连接,所述第十一晶体管的第一端接收所述下拉信号,所述第十一晶体管的第二端与所述第一输出端连接;

[0065] 所述第八下拉模块包括:

[0066] 第二十四晶体管,所述第二十四晶体管的控制端与所述第二节点连接,所述第二十四晶体管的第一端接收所述下拉信号,所述第二十四晶体管的第二端与所述第四节点连接;

[0067] 第二十五晶体管,所述第二十五晶体管的控制端与所述第二节点连接,所述第二十五晶体管的第一端接收所述下拉信号,所述第二十五晶体管的第二端与所述第二输出端连接。

[0068] 在本公开的一种示例性实施例中,其中:

[0069] 所述第一充电模块包括:

[0070] 第十二晶体管,所述第十二晶体管的控制端与所述第三节点连接,所述第十二晶体管的第一端接收所述第一充电信号,所述第十二晶体管的第二端与所述第二节点连接;

[0071] 第十三晶体管,所述第十三晶体管的控制端以及第一端接收所述第一充电信号,所述第十三晶体管的第二端与所述第三节点连接;

[0072] 所述第二充电模块包括:

[0073] 第二十六晶体管,所述第二十六晶体管的控制端与所述第六节点连接,所述第二十六晶体管的第一端接收所述第二充电信号,所述第二十六晶体管的第二端与所述第五节点连接;

[0074] 第二十七晶体管,所述第二十七晶体管的控制端以及第一端接收所述第二充电信号,所述第二十七晶体管的第二端与所述第六节点连接。

[0075] 在本公开的一种示例性实施例中,其中:

[0076] 所述第九下拉模块包括:

[0077] 第十四晶体管,所述第十四晶体管的控制端接收所述第三时钟信号,所述第十四晶体管的第一端接收所述下拉信号,所述第十四晶体管的第二端与所述第一输出端连接;

[0078] 所述第十下拉模块包括:

[0079] 第二十八晶体管,所述第二十八晶体管的控制端接收所述第四时钟信号,所述第二十八晶体管的第一端接收所述下拉信号,所述第二十八晶体管的第二端与所述第二输出端连接。

[0080] 在本公开的一种示例性实施例中,所述第一顺序扫描信号控制所述移位寄存器单元沿着第一顺序扫描,所述第二顺序扫描信号控制所述移位寄存器单元沿着第二顺序扫描,所述第一顺序与所述第二顺序方向相反。

[0081] 在本公开的一种示例性实施例中,所述第一时钟信号与所述第二时钟信号部分重

叠;所述第三时钟信号与所述第四时钟信号部分重叠。

[0082] 在本公开的一种示例性实施例中,所述晶体管为N型沟道晶体管或者均为P型沟道晶体管。

[0083] 在本公开的一种示例性实施例中,所述晶体管为非晶硅晶体管、低温多晶硅晶体管或者氧化物半导体晶体管。

[0084] 根据本公开的第二方面,提供一种栅极驱动电路,包括上述任意一种移位寄存器单元。

[0085] 在本公开的一种示例性实施例中,所述栅极驱动电路包括级联的N个所述移位寄存器单元;其中:

[0086] 第m+1级移位寄存器单元中所述第一输入信号为第m级移位寄存器单元中所述第一输出端输出的信号;

[0087] 第m+1级移位寄存器单元中所述第二输入信号为第m级移位寄存器单元中所述第二输出端输出的信号;

[0088] 第m级移位寄存器单元中所述第一复位信号为第m+1级移位寄存器单元中所述第一输出端输出的信号;

[0089] 第m级移位寄存器单元中所述第二复位信号为第m+1级移位寄存器单元中所述第二输出端输出的信号;其中, $0 < m < N$ 。

[0090] 在本公开的一种示例性实施例中,所述栅极驱动电路包括级联的N个所述移位寄存器单元;其中:

[0091] 第m+1级移位寄存器单元中所述第一输入信号为第m-1级移位寄存器单元中所述第二输出端输出的信号;

[0092] 第m+1级移位寄存器单元中所述第二输入信号为第m级移位寄存器单元中所述第一输出端输出的信号;

[0093] 第m-1级移位寄存器单元中所述第二复位信号为第m+1级移位寄存器单元中所述第一输出端输出的信号;

[0094] 第m级移位寄存器单元中所述第一复位信号为第m+1级移位寄存器单元中所述第二输出端输出的信号;其中, $1 < m < N$ 。

[0095] 根据本公开的第三方面,提供一种显示装置,包括上述任意一种栅极驱动电路。

[0096] 本公开的示例实施方式所提供的移位寄存器单元中,包括结构类似的第一移位寄存器单元和第二移位寄存器单元,而且第一移位寄存器单元和第二移位寄存器单元相互控制,因此可以更好的实现第一顺序扫描和第二顺序扫描。此外,在第一移位寄存器单元中,对于第一节点和第一输出端的下拉均为双下拉,在第二移位寄存器单元中,对于第四节点和第二输出端的下拉均为双下拉,因此移位寄存器单元输出的栅极扫描信号的波形更加稳定。进而通过本公开的示例实施方式所提供的移位寄存器单元可以进一步的提升显示装置的显示效果。

## 附图说明

[0097] 通过参照附图详细描述其示例性实施例,本公开的上述和其它特征及优点将变得更加明显。

- [0098] 图1是本发明示例实施方式中一种移位寄存器单元的结构示意图；
- [0099] 图2是本发明示例实施方式中另一种移位寄存器单元的结构示意图；
- [0100] 图3A是图2中移位寄存器单元的驱动时序及信号波形示意图；
- [0101] 图3B是图2中移位寄存器单元中第一充电信号以及第二充电信号的波形示意图；
- [0102] 图4是本发明示例实施方式中栅极驱动电路的一种实现结构示意图；
- [0103] 图5是本发明示例实施方式中栅极驱动电路的另一种实现结构示意图。

### 具体实施方式

[0104] 现在将参考附图更全面地描述示例性实施例。然而，示例性实施例能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本公开将全面和完整，并将示例性实施例的构思全面地传达给本领域的技术人员。在图中，为了清晰，夸大、变形或简化了形状尺寸。在图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

[0105] 此外，所描述的特征、结构或步骤可以以任何合适的方式结合在一个或更多实施例中。在下面的描述中，提供许多具体细节从而给出对本公开的实施例的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而没有所述特定细节中的一个或更多，或者可以采用其它的方法、步骤、结构等。

[0106] 本示例实施方式中首先提供了一种移位寄存器单元。该移位寄存器单元包括第一移位寄存器单元和第二移位寄存器单元，并且第一移位寄存器单元和第二移位寄存器单元具有类似的结构。如图1中所示，第一移位寄存器单元包括第一输入模块M1、第一输出模块M2、第一下拉模块M3、第二下拉模块M4、第三下拉模块M5、第四下拉模块M6以及第一充电模块M7；第二移位寄存器单元包括第二输入模块M8、第二输出模块M9、第五下拉模块M10、第六下拉模块M11、第七下拉模块M12、第八下拉模块M13以及第二充电模块M14。其中：

[0107] 第一输入模块M1可以用于响应一第一输入信号SET1而导通，从而将一第一顺序扫描信号FW提供第一节点P1，以及响应一第一复位信号RESET1而导通，从而将一第二顺序扫描信号BW提供至所述第一节点P1。第一输出模块M2可以用于响应所述第一节点P1的信号而导通，从而将一第一时钟信号CK1提供至第一输出端GOUT1。第一下拉模块M3可以用于响应一第二节点P2的信号而导通，从而将一下拉信号VGL提供至所述第一节点P1以及所述第一输出端GOUT1。第二下拉模块M4可以用于响应所述第一节点P1的信号而导通，从而将所述下拉信号VGL提供至所述第二节点P2以及一第三节点P3。第三下拉模块M5可以用于响应一第四节点P4的信号而导通，从而将所述下拉信号VGL提供至所述第二节点P2以及第三节点P3。第四下拉模块M6可以用于响应一第五节点P5的信号而导通，从而将所述下拉信号VGL提供至所述第一节点P1以及所述第一输出端GOUT1。第一充电模块M7可以用于响应所述第三节点P3的信号而导通，从而将一第一充电信号V1提供至所述第二节点P2。

[0108] 第二输入模块M8可以用于响应一第二输入信号SET2而导通，从而将所述第一顺序扫描信号FW提供所述第四节点P4，以及响应一第二复位信号RESET2而导通，从而将所述第二顺序扫描信号BW提供至所述第四节点P4。第二输出模块M9可以用于响应所述第四节点P4的信号而导通，从而将一第二时钟信号CK2提供至第二输出端GOUT2。第五下拉模块M10可以用于响应所述第五节点P5的信号而导通，从而将所述下拉信号VGL提供至所述第四节点P4

以及所述第二输出端GOUT2。第六下拉模块M11可以用于响应所述第四节点P4的信号而导通,从而将所述下拉信号VGL提供至所述第五节点P5以及一第六节点P6。第七下拉模块M12可以用于响应所述第一节点P1的信号而导通,从而将所述下拉信号VGL提供至所述第五节点P5以及第六节点P6。第八下拉模块M13可以用于响应所述第二节点P2的信号而导通,从而将所述下拉信号VGL提供至所述第四节点P4以及所述第二输出端GOUT2。第二充电模块M14可以用于响应所述第六节点P6的信号而导通,从而将一第二充电信号V2提供至所述第五节点P5;本示例实施方式中,所述第二充电信号V2与所述第一充电信号V1互补,即第二充电信号V2位于高电平时,第一充电信号V1位于低电平;第二充电信号V2位于低电平时,第一充电信号V1位于高电平。

[0109] 在本示例实施方式所提供的移位寄存器单元中,包括结构类似的第一移位寄存器单元和第二移位寄存器单元,而且第一移位寄存器单元和第二移位寄存器单元相互控制,因此可以更好的实现第一顺序扫描和第二顺序扫描。此外,在第一移位寄存器单元中,对于第一节点P1和第一输出端GOUT1的下拉均为双下拉,在第二移位寄存器单元中,对于第四节点P4和第二输出端GOUT2的下拉均为双下拉,因此移位寄存器单元输出的栅极扫描信号的波形更加稳定。进而通过本示例实施方式中的移位寄存器单元可以进一步的提升显示装置的显示效果。

[0110] 继续参考图1中所示,为了进一步提升输出的栅极扫描信号的波形的稳定性,本示例实施方式中,所述第一移位寄存器单元还可以包括第九下拉模块M15,所述第二移位寄存器单元可以包括第十下拉模块M16。其中:第九下拉模块M15可以用于响应一第三时钟信号CK3而导通,从而将所述下拉信号VGL提供至所述第一输出端GOUT1;所述第三时钟信号CK3与所述第一时钟信号CK1互补,例如,所述第三时钟信号CK3为所述第一时钟信号CK1的反相信号等。第十下拉模块M16可以用于响应一第四时钟信号CK4而导通,从而将所述下拉信号VGL提供至所述第二输出端GOUT2;所述第四时钟信号CK4与所述第二时钟信号CK2互补,例如,所述第四时钟信号CK4为所述第二时钟信号CK2的反相信号等。

[0111] 下面,以上述各模块主要由晶体管组成为例对本示例实施方式中的移位寄存器单元进行进一步的说明。本示例实施方式中,各所述晶体管均包括第一端、第二端以及控制端,例如,第一端、第二端以及控制端分别为晶体管的源极、漏极以及栅极;或者,第一端、第二端以及控制端分别为晶体管的漏极、源极以及栅极。所述晶体管可以均为N型沟道晶体管或者均为P型沟道晶体管,本示例性实施例中将以所述晶体管可以均为N型沟道晶体管为例进行说明。所述晶体管可以为非晶硅晶体管、低温多晶硅晶体管、氧化物半导体晶体管或者其他类型的晶体管,本示例性实施例中对此不做特殊限定。

[0112] 请结合图1并参考图2中所示,本示例实施方式中,所述第一输入模块M1可以包括第一晶体管T1以及第二晶体管T2。其中:所述第一晶体管T1的控制端接收所述第一输入信号SET1,所述第一晶体管T1的第一端接收所述第一顺序扫描信号FW,所述第一晶体管T1的第二端与所述第一节点P1连接。第二晶体管T2,所述第二晶体管T2的控制端接收所述第一复位信号RESET1,所述第二晶体管T2的第一端接收所述第二顺序扫描信号BW,所述第二晶体管T2的第二端与所述第一节点P1连接。

[0113] 与第一输入模块M1类似,所述第二输入模块M8可以包括第十五晶体管T15以及第十六晶体管T16。其中:所述第十五晶体管T15的控制端接收所述第二输入信号SET2,所述第

十五晶体管T15的第一端接收所述第一顺序扫描信号FW,所述第十五晶体管T15的第二端与所述第四节点P4连接。所述第十六晶体管T16的控制端接收所述第二复位信号RESET2,所述第十六晶体管T16的第一端接收所述第二顺序扫描信号BW,所述第十六晶体管T16的第二端与所述第四节点P4连接。

[0114] 继续参考图2中所示,本示例性实施例中,所述第一输出模块M2可以包括第三晶体管T3以及第一电容C1。其中:所述第三晶体管T3的控制端与所述第一节点P1连接,所述第三晶体管T3的第一端接收所述第一时钟信号CK1,所述第三晶体管T3的第二端与所述第一输出端GOUT1连接。所述第一电容C1连接于所述第一节点P1和所述第一输出端GOUT1之间。

[0115] 与第一输出模块M2类似,所述第二输出模块M9可以包括第十七晶体管T17以及第二电容C2。其中:所述第十七晶体管T17的控制端与所述第四节点P4连接,所述第十七晶体管T17的第一端接收所述第二时钟信号CK2,所述第十七晶体管T17的第二端与所述第二输出端GOUT2连接。所述第二电容C2连接于所述第四节点P4和所述第二输出端GOUT2之间。

[0116] 继续参考图2中所示,本示例性实施例中,所述第一下拉模块M3可以包括第四晶体管T4以及第五晶体管T5。其中:所述第四晶体管T4的控制端与所述第二节点P2连接,所述第四晶体管T4的第一端接收所述下拉信号VGL,所述第四晶体管T4的第二端与所述第一节点P1连接。所述第五晶体管T5的控制端与所述第二节点P2连接,所述第五晶体管T5的第一端接收所述下拉信号VGL,所述第五晶体管T5的第二端与所述第一输出端GOUT1连接。

[0117] 与第一下拉模块M3类似,所述第五下拉模块M10可以包括第十八晶体管T18以及第十九晶体管T19。其中:所述第十八晶体管T18的控制端与所述第五节点P5连接,所述第十八晶体管T18的第一端接收所述下拉信号VGL,所述第十八晶体管T18的第二端与所述第四节点P4连接。所述第十九晶体管T19的控制端与所述第五节点P5连接,所述第十九晶体管T19的第一端接收所述下拉信号VGL,所述第十九晶体管T19的第二端与所述第二输出端GOUT2连接。

[0118] 请继续结合图1并参考图2中所示,本示例性实施例中,所述第二下拉模块M4可以包括第六晶体管T6以及第七晶体管T7。其中:所述第六晶体管T6的控制端与所述第一节点P1连接,所述第六晶体管T6的第一端接收所述下拉信号VGL,所述第六晶体管T6的第二端与所述第二节点P2连接。所述第七晶体管T7的控制端与所述第一节点P1连接,所述第七晶体管T7的第一端接收所述下拉信号VGL,所述第七晶体管T7的第二端与所述第三节点P3连接。

[0119] 与第二下拉模块M4类似,所述第六下拉模块M11可以包括第二十晶体管T20以及第二十一晶体管T21。其中:所述第二十晶体管T20的控制端与所述第四节点P4连接,所述第二十晶体管T20的第一端接收所述下拉信号VGL,所述第二十晶体管T20的第二端与所述第五节点P5连接。所述第二十一晶体管T21的控制端与所述第四节点P4连接,所述第二十一晶体管T21的第一端接收所述下拉信号VGL,所述第二十一晶体管T21的第二端与所述第六节点P6连接。

[0120] 请继续结合图1并参考图2中所示,本示例性实施例中,所述第三下拉模块M5可以包括第八晶体管T8以及第九晶体管T9。其中:所述第八晶体管T8的控制端与所述第四节点P4连接,所述第八晶体管T8的第一端接收所述下拉信号VGL,所述第八晶体管T8的第二端与所述第二节点P2连接。所述第九晶体管T9的控制端与所述第四节点P4连接,所述第九晶体管T9的第一端接收所述下拉信号VGL,所述第九晶体管T9的第二端与所述第三节点P3连接。

[0121] 与第三下拉模块M5类似,所述第七下拉模块M12可以包括第二十二晶体管T22以及第二十三晶体管T23。其中:所述第二十二晶体管T22的控制端与所述第一节点P1连接,所述第二十二晶体管T22的第一端接收所述下拉信号VGL,所述第二十二晶体管T22的第二端与所述第五节点P5连接。所述第二十三晶体管T23的控制端与所述第一节点P1连接,所述第二十三晶体管T23的第一端接收所述下拉信号VGL,所述第二十三晶体管T23的第二端与所述第六节点P6连接。

[0122] 请继续结合图1并参考图2中所示,本示例性实施例中,所述第四下拉模块M6可以包括第十晶体管T10以及第十一晶体管T11。其中:所述第十晶体管T10的控制端与所述第五节点P5连接,所述第十晶体管T10的第一端接收所述下拉信号VGL,所述第十晶体管T10的第二端与所述第一节点P1连接。所述第十一晶体管T11的控制端与所述第五节点P5连接,所述第十一晶体管T11的第一端接收所述下拉信号VGL,所述第十一晶体管T11的第二端与所述第一输出端GOUT1连接。

[0123] 与第四下拉模块M6类似,所述第八下拉模块M13可以包括第二十四晶体管T24以及第二十五晶体管T25。其中:所述第二十四晶体管T24的控制端与所述第二节点P2连接,所述第二十四晶体管T24的第一端接收所述下拉信号VGL,所述第二十四晶体管T24的第二端与所述第四节点P4连接。所述第二十五晶体管T25的控制端与所述第二节点P2连接,所述第二十五晶体管T25的第一端接收所述下拉信号VGL,所述第二十五晶体管T25的第二端与所述第二输出端GOUT2连接。

[0124] 请继续结合图1并参考图2中所示,本示例性实施例中,所述第一充电模块M7可以包括第十二晶体管T12以及第十三晶体管T13。其中:所述第十二晶体管T12的控制端与所述第三节点P3连接,所述第十二晶体管T12的第一端接收所述第一充电信号V1,所述第十二晶体管T12的第二端与所述第二节点P2连接。所述第十三晶体管T13的控制端以及第一端接收所述第一充电信号V1,所述第十三晶体管T13的第二端与所述第三节点P3连接。

[0125] 与第一充电模块M7类似,所述第二充电模块M14可以包括第二十六晶体管T26以及第二十七晶体管T27。其中:所述第二十六晶体管T26的控制端与所述第六节点P6连接,所述第二十六晶体管T26的第一端接收所述第二充电信号V2,所述第二十六晶体管T26的第二端与所述第五节点P5连接。所述第二十七晶体管T27的控制端以及第一端接收所述第二充电信号V2,所述第二十七晶体管T27的第二端与所述第六节点P6连接。

[0126] 请继续结合图1并参考图2中所示,本示例性实施例中,所述第九下拉模块M15可以包括第十四晶体管T14。其中:所述第十四晶体管T14的控制端接收所述第三时钟信号CK3,所述第十四晶体管T14的第一端接收所述下拉信号VGL,所述第十四晶体管T14的第二端与所述第一输出端GOUT1连接。

[0127] 与第九下拉模块M15类似,所述第十下拉模块M16可以包括第二十八晶体管T28。其中:所述第二十八晶体管T28的控制端接收所述第四时钟信号CK4,所述第二十八晶体管T28的第一端接收所述下拉信号VGL,所述第二十八晶体管T28的第二端与所述第二输出端GOUT2连接。

[0128] 请继续参考图2,并结合图3A中的驱动时序图对本示例实施方式中的移位寄存器单元的工作原理加以更详细的说明。本示例实施方式中,所述第一顺序扫描信号FW可以控制所述移位寄存器单元沿着第一顺序扫描,所述第二顺序扫描信号BW可以控制所述移位寄

寄存器单元沿着第二顺序扫描,所述第一顺序与所述第二顺序方向相反,例如分别为正向扫描和反向扫描。在正向扫描时,第一顺序扫描信号FW为高电平信号,第二顺序扫描信号BW为低电平信号,在反向扫描时,第一顺序扫描信号FW为低电平信号,第二顺序扫描信号BW为高电平信号;以下将以正向扫描为例进行说明。参考图3A中所示,在本示例实施方式中,第一时钟信号CK1的相位领先第三时钟信号CK3  $1/2$ 个信号周期,第一时钟信号CK1以及第三时钟信号CK3的占空比均为 $1/2$ ,第一时钟信号CK1与第三时钟信号CK3互补。第二时钟信号CK2的相位领先第四时钟信号CK4  $1/2$ 个信号周期,第二时钟信号CK2以及第四时钟信号CK4的占空比均为 $1/2$ ,第二时钟信号CK2与第四时钟信号CK4互补。所述第一时钟信号CK1与所述第二时钟信号CK2部分重叠,例如第一时钟信号CK1的相位领先第二时钟信号CK2  $1/4$ 个信号周期。所述第三时钟信号CK3与所述第四时钟信号CK4部分重叠,例如第三时钟信号CK3的相位领先第四时钟信号CK4  $1/4$ 个信号周期。本示例实施方式中,在图示中的第一阶段 $t_1 \sim$ 第五阶段 $t_5$ ,第一充电信号V1例如为低电平,第二充电信号V2例如为高电平。参考图3B中所示,本示例实施方式中,第一充电信号V1的相位领先第二充电信号V2  $1/2$ 个信号周期,第一充电信号V1以及第二充电信号V2的占空比均为 $1/2$ ,第一充电信号V1以及第二充电信号V2的信号周期例如可以均为2秒。以移位寄存器单元中的第一移位寄存器单元为例,其工作过程可以包括以下阶段:

[0129] 请继续结合参考图2和图3A,在第一阶段 $t_1$ ,第一输入信号SET1为高电平(本示例实施方式中,以所述第一输入信号SET1以及第二输入信号SET2均为起始信号STV为例),第一时钟信号CK1、第三时钟信号CK3以及第一复位信号RESET1均为低电平;第一晶体管T1导通。高电平的第一顺序扫描信号FW通过第一晶体管T1输入至第一节点P1,向第一电容C1充电。由于第一节点P1的电压为高电平,从而使第三晶体管T3、第六晶体管T6、第七晶体管T7、第二十二晶体管T22以及第二十三晶体管T23导通。下拉信号VGL通过第六晶体管T6输入至第二节点P2,使第二节点P2为低电平。下拉信号VGL通过第七晶体管T7输入至第三节点P3,使第三节点P3为低电平。下拉信号VGL通过第二十二晶体管T22输入至第五节点P5,使第五节点P5为低电平。下拉信号VGL通过第二十三晶体管T23输入至第六节点P6,使第六节点P6为低电平(本示例实施方式中,所述下拉信号VGL的电压的绝对值大于所述第二充电信号V2的绝对值)。此外,在 $t_1$ 阶段,第四节点P4的电压为高电平,从而使第八晶体管T8以及第九晶体管T9导通。下拉信号VGL通过第八晶体管T8输入至第二节点P2,使第二节点P2的电平被进一步下拉。下拉信号VGL通过第九晶体管T9输入至第三节点P3,使第九节点的电平被进一步下拉。第一时钟信号CK1通过第三晶体管T3自第一输出端GOUT1输出,由于第一时钟信号CK1在 $t_1$ 阶段为低电平,因此移位寄存器单元中的第一移位寄存器单元输出的为低电平信号。

[0130] 参考图3A中所示,在第二阶段 $t_2$ ,第一时钟信号CK1为高电平,第一输入信号SET1、第三时钟信号CK3以及第一复位信号RESET1均为低电平,第一晶体管T1关断。在第一电容C1存储的高电平电压信号作用下,第一节点P1的电压仍为高电平,从而使第三晶体管T3、第六晶体管T6、第七晶体管T7、第二十二晶体管T22以及第二十三晶体管T23保持导通。下拉信号VGL通过第六晶体管T6输入至第二节点P2,使第二节点P2为低电平。下拉信号VGL通过第七晶体管T7输入至第三节点P3,使第三节点P3为低电平。下拉信号VGL通过第二十二晶体管T22输入至第五节点P5,使第五节点P5为低电平。下拉信号VGL通过第二十三晶体管T23输入至第六节点P6,使第六节点P6为低电平。此外,在 $t_2$ 阶段,第四节点P4的电压为高电平,从而

使第八晶体管T8以及第九晶体管T9导通。下拉信号VGL通过第八晶体管T8输入至第二节点P2,使第二节点P2的电平被进一步下拉。下拉信号VGL通过第九晶体管T9输入至第三节点P3,使第九节点的电平被进一步下拉。第一时钟信号CK1通过第三晶体管T3自第一输出端GOUT1输出,由于第一时钟信号CK1在t2阶段为高电平,因此移位寄存器单元输出的为高电平信号。

[0131] 参考图3A中所示,在第三阶段t3,第三时钟信号CK3以及第一复位信号RESET1均为高电平,第一输入信号SET1以及第一时钟信号CK1均为低电平,第二晶体管T2以及第十四晶体管T14导通。低电平的第一复位信号RESET1通过第二晶体管T2输入至第一节点P1,对第一电容C1进行复位。由于第一节点P1的电压为低电平,从而使第三晶体管T3、第六晶体管T6、第七晶体管T7、第二十二晶体管T22以及第二十三晶体管T23关断。此外,在t3阶段的后半段,第四节点P4的电压为低电平,从而使第八晶体管T8、第九晶体管T9以及第二十一晶体管T21关断。由于第二充电信号V2为高电平,第二十七晶体管T27导通,第二充电信号V2输入至第六节点P6;在第二十一晶体管T21以及第二十三晶体管T23关断后,所述第六节点P6的电压即为所述第二充电信号V2,因此所述第六节点P6为高电平,所述第二十六晶体管T26导通。高电平的所述第二充电信号V2通过所述第二十六晶体管T26输入至所述第五节点P5,使所述第五节点P5为高电平。由于第五节点P5的电压为高电平,从而使第十晶体管T10以及第十一晶体管T11导通。下拉信号VGL通过第十晶体管T10输入至第一节点P1,使第一节点P1的电平被进一步下拉。下拉信号VGL通过第十四晶体管T14输入至信号输出端,因此移位寄存器单元输出的为低电平信号。下拉信号VGL通过第十一晶体管T11输入至第一输出端GOUT1,使第一输出端GOUT1的电平被进一步下拉,进而使得移位寄存器单元的输出更加稳定。

[0132] 上述示例性实施例中,第二充电信号V2为高电平,第一充电信号V1为低电平,但第二充电信号V2为低电平、第一充电信号V1为高电平时的情形与此类似。例如,由于第一充电信号V1为高电平,第十三晶体管T13导通,第一充电信号V1输入至第三节点P3;在第七晶体管T7以及第九晶体管T9关断后,所述第三节点P3的电压即为所述第一充电信号V1,因此所述第三节点P3为高电平,所述第十二晶体管T12导通。高电平的所述第一充电信号V1通过所述第十二晶体管T12输入至所述第二节点P2,使所述第二节点P2为高电平。由于第二节点P2的电压为高电平,从而使第四晶体管T4、第五晶体管T5、第二十四晶体管T24以及第二十五晶体管T25导通。下拉信号VGL通过第四晶体管T4输入至第一节点P1,使第一节点P1的电平被进一步下拉。下拉信号VGL通过第五晶体管T5输入至第一输出端GOUT1,使第一输出端GOUT1的电平被进一步下拉,进而使得移位寄存器单元的输出更加稳定。

[0133] 参考图3A中所示,在第三阶段t3之后的t4至t5阶段,在第二充电信号V2的作用下,所述第五节点P5保持为高电平。由于第五节点P5的电压为高电平,从而使第十晶体管T10以及第十一晶体管T11保持导通。下拉信号VGL通过第十晶体管T10输入至第一节点P1,使第一节点P1的电平保持为低电平。下拉信号VGL通过第十一晶体管T11输入至信号输出端,因此移位寄存器单元输出的为低电平信号。并且,当第三时钟信号CK3为高电平时,所述第十四晶体管T14导通,下拉信号VGL通过第十四晶体管T14输入至第一输出端GOUT1,使第一输出端GOUT1的电平被进一步下拉,进而使得移位寄存器单元的输出更加稳定。

[0134] 移位寄存器单元中第二移位寄存器单元的工作时序与第一移位寄存器单元类似,因此此处不再赘述。此外,在上述示例性实施例中,是以正向扫描为例进行说明,但在反向

扫描时,移位寄存器单元的工作时序与正向扫描类似,因此此处同样不再赘述。

[0135] 上述移位寄存器单元的另外优势就是采用了单一沟道类型的晶体管即全为N型薄膜晶体管,采用统一类型的薄膜晶体管可以降低制备工艺的复杂程度和生产成本,而且有助于提升产品质量。当然,本领域所属技术人员很容易得出本发明所提供的移位寄存器单元可以轻易改成全为P型晶体管;其中,在各所述晶体管均为P型晶体管时,上述各信号的电平进行适应性调整即可,因此并不局限于本示例实施方式中的所提供的实现方式。

[0136] 进一步的,本示例实施方式还提供了一种栅极驱动电路,该栅极驱动电路包括上述的任意一种移位寄存器单元。举例而言:

[0137] 参考图4中所示,本示例实施方式中栅极驱动电路可以包括第一移位寄存器单元SR1、第二移位寄存器单元SR2、第三移位寄存器单元SR3以及第四移位寄存器单元SR4等N个移位寄存器单元(其余更多移位寄存器单元未示出),其中,G1~G8表示与各移位寄存器单元电连接的栅极线。本示例实施方式中,第m+1级移位寄存器单元中所述第一输入信号SET1为第m级移位寄存器单元中所述第一输出端GOUT1输出的信号(第1级移位寄存器单元中所述第一输入信号SET1为起始信号STV);第m+1级移位寄存器单元中所述第二输入信号SET2为第m级移位寄存器单元中所述第二输出端GOUT2输出的信号(第1级移位寄存器单元中所述第二输入信号SET2为起始信号STV);第m级移位寄存器单元中所述第一复位信号RESET1为第m+1级移位寄存器单元中所述第一输出端GOUT1输出的信号(最末级移位寄存器单元中所述第一复位信号RESET1为复位信号RST);第m级移位寄存器单元中所述第二复位信号RESET2为第m+1级移位寄存器单元中所述第二输出端GOUT2输出的信号(最末级移位寄存器单元中所述第二复位信号RESET2为复位信号RST2);其中, $0 < m < N$ 。即如图中所示,第3级移位寄存器单元中所述第一输入信号SET1为第2级移位寄存器单元中所述第一输出端GOUT1输出的信号;第3级移位寄存器单元中所述第二输入信号SET2为第2级移位寄存器单元中所述第二输出端GOUT2输出的信号;第2级移位寄存器单元中所述第一复位信号RESET1为第3级移位寄存器单元中所述第一输出端GOUT1输出的信号;第2级移位寄存器单元中所述第二复位信号RESET2为第3级移位寄存器单元中所述第二输出端GOUT2输出的信号等等。

[0138] 参考图5中所示,本示例实施方式中栅极驱动电路可以包括第一移位寄存器单元SR1、第二移位寄存器单元SR2、第三移位寄存器单元SR3、第四移位寄存器单元SR4、第五移位寄存器单元SR5以及第六移位寄存器单元SR6等N个移位寄存器单元(其余更多移位寄存器单元未示出),其中,G1~G12表示与各移位寄存器单元电连接的栅极线。本示例实施方式中,第m+1级移位寄存器单元中所述第一输入信号SET1为第m-1级移位寄存器单元中所述第二输出端GOUT2输出的信号(第1级以及第2级移位寄存器单元中所述第一输入信号SET1均为起始信号STV);第m+1级移位寄存器单元中所述第二输入信号SET2为第m级移位寄存器单元中所述第一输出端GOUT1输出的信号(第1级移位寄存器单元中所述第二输入信号SET2为起始信号STV);第m-1级移位寄存器单元中所述第二复位信号RESET2为第m+1级移位寄存器单元中所述第一输出端GOUT1输出的信号(倒数第2级以及最末级移位寄存器单元中所述第二复位信号RESET2均为复位信号RST);第m级移位寄存器单元中所述第一复位信号RESET1为第m+1级移位寄存器单元中所述第二输出端GOUT2输出的信号(最末级移位寄存器单元中所述第一复位信号RESET1为复位信号RST);其中, $1 < m < N$ 。即如图中所示,第4级移位寄存器单元中所述第一输入信号SET1为第2级移位寄存器单元中所述第二输出端GOUT2输出的信

号;第4级移位寄存器单元中所述第二输入信号SET2为第3级移位寄存器单元中所述第一输出端GOUT1输出的信号;第2级移位寄存器单元中所述第二复位信号RESET2为第4级移位寄存器单元中所述第一输出端GOUT1输出的信号;第3级移位寄存器单元中所述第一复位信号RESET1为第4级移位寄存器单元中所述第二输出端GOUT2输出的信号等等。

[0139] 本领域技术人员容易理解的是,图4以及图5中的栅极驱动电路仅仅起示例作用;在本公开的其他示例性实施例中,包含本示例实施方式中上述任意一种移位寄存器单元的栅极驱动电路也可以为其他连接方式,本示例性实施例中对此不做特殊限定。

[0140] 进一步的,本示例实施方式还提供了一种显示装置,该显示装置包括上述的任意一种栅极驱动电路。本示例性实施例中,该显示装置可以为液晶显示装置或者OLED显示装置,在本公开的其他示例性实施例中,该显示装置也可能是PLED(Polymer Light-Emitting Diode,高分子发光二极管)显示装置、PDP(Plasma Display Panel,等离子显示)显示装置等其他平板显示装置,即本示例实施方式中并不特别局限适用范围。

[0141] 综上所述,在本示例实施方式所提供的移位寄存器单元中,包括结构类似的第一移位寄存器单元和第二移位寄存器单元,而且第一移位寄存器单元和第二移位寄存器单元相互控制,因此可以更好的实现第一顺序扫描和第二顺序扫描。此外,在第一移位寄存器单元中,对于第一节点和第一输出端的下拉均为双下拉,在第二移位寄存器单元中,对于第四节点和第二输出端的下拉均为双下拉,因此移位寄存器单元输出的栅极扫描信号的波形更加稳定。进而通过本示例实施方式中的移位寄存器单元可以进一步的提升显示装置的显示效果。

[0142] 本公开已由上述相关实施例加以描述,然而上述实施例仅为实施本公开的范例。必需指出的是,已揭露的实施例并未限制本公开的范围。相反地,在不脱离本公开的精神和范围内所作的更动与润饰,均属本公开的专利保护范围。

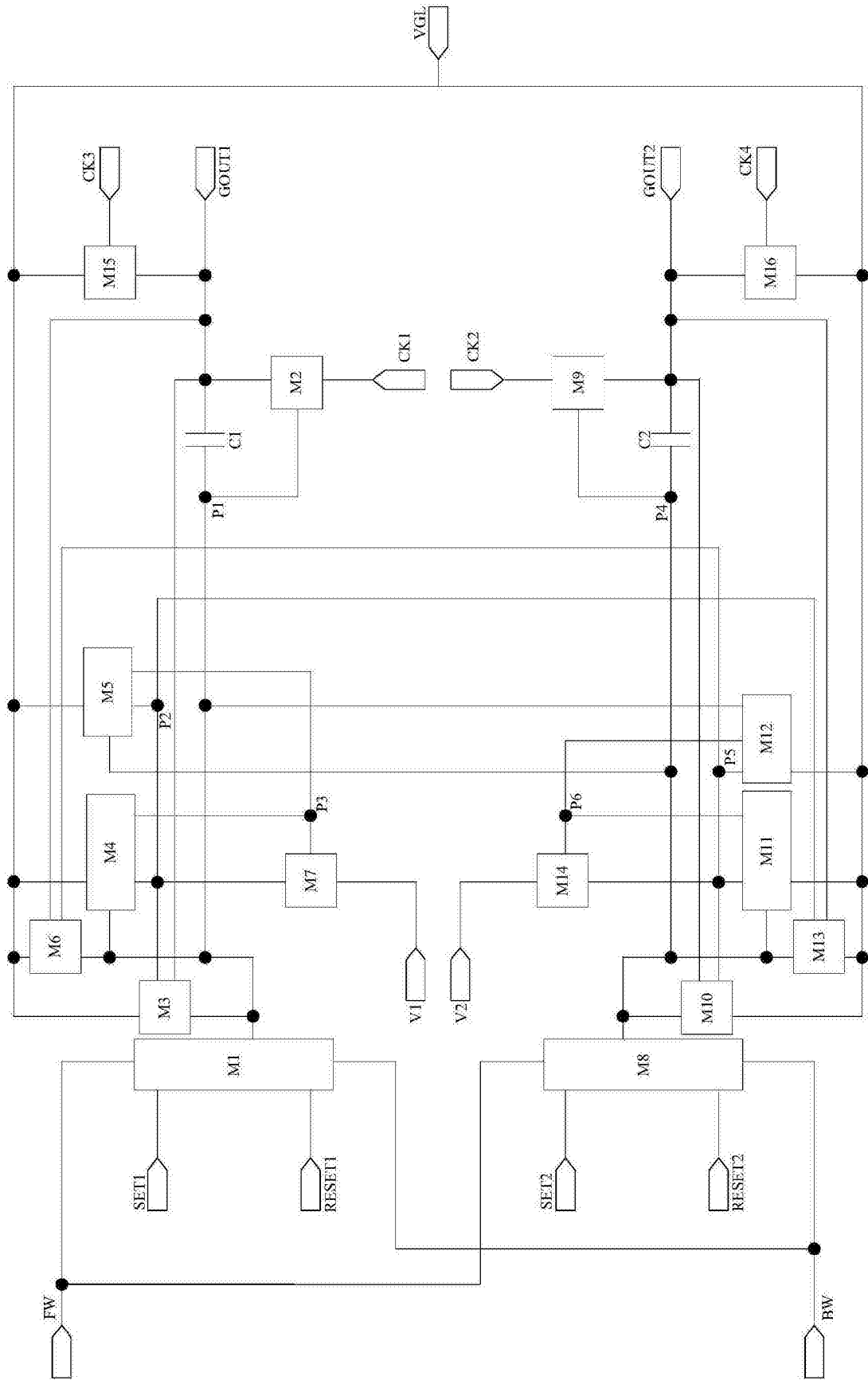


图1

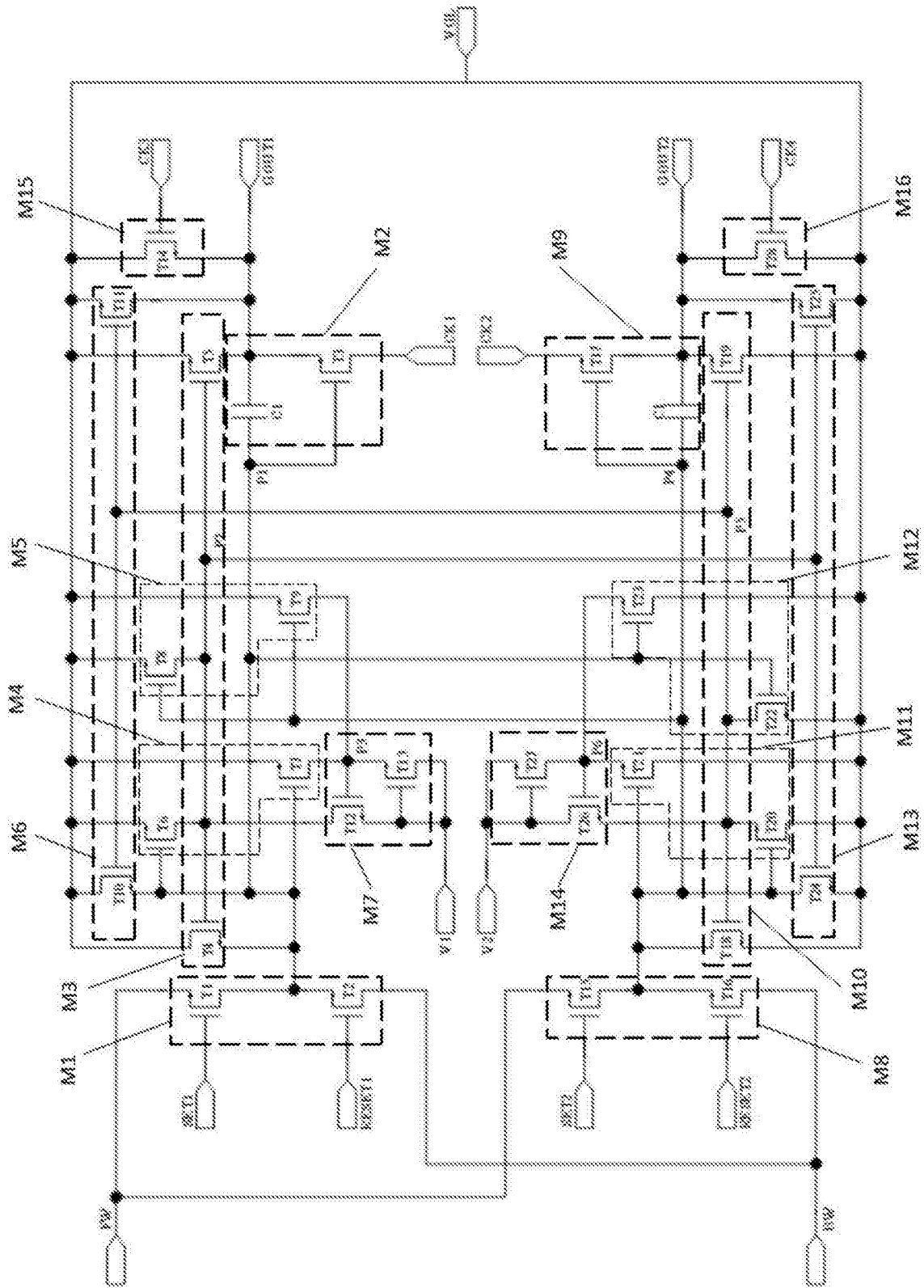


图2

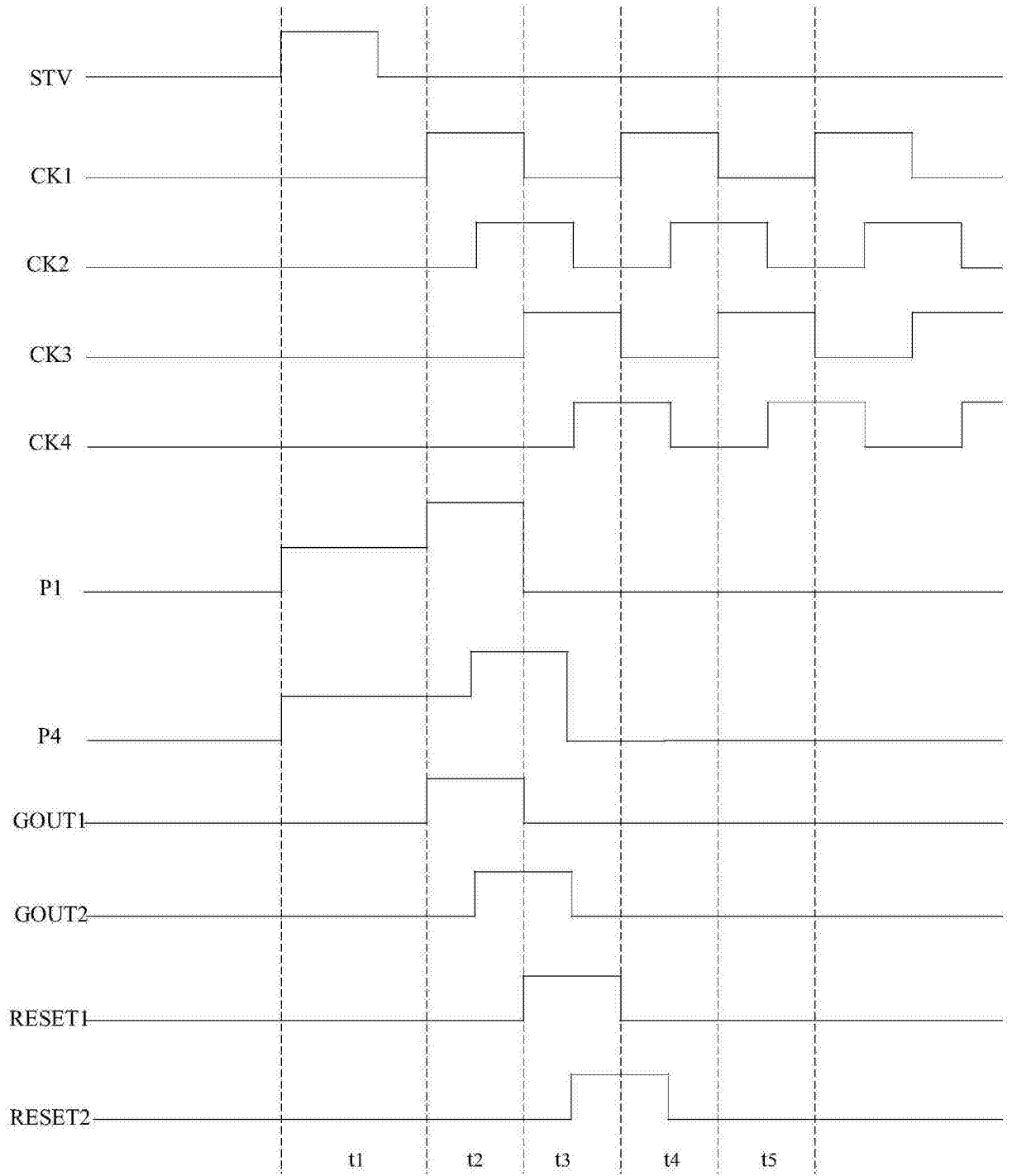


图3A

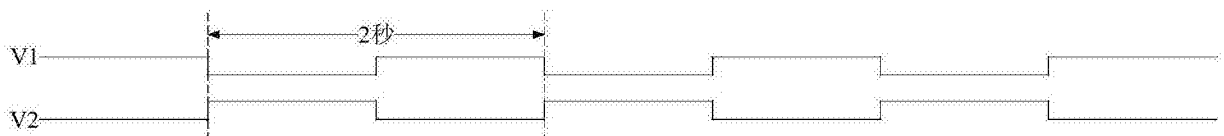


图3B

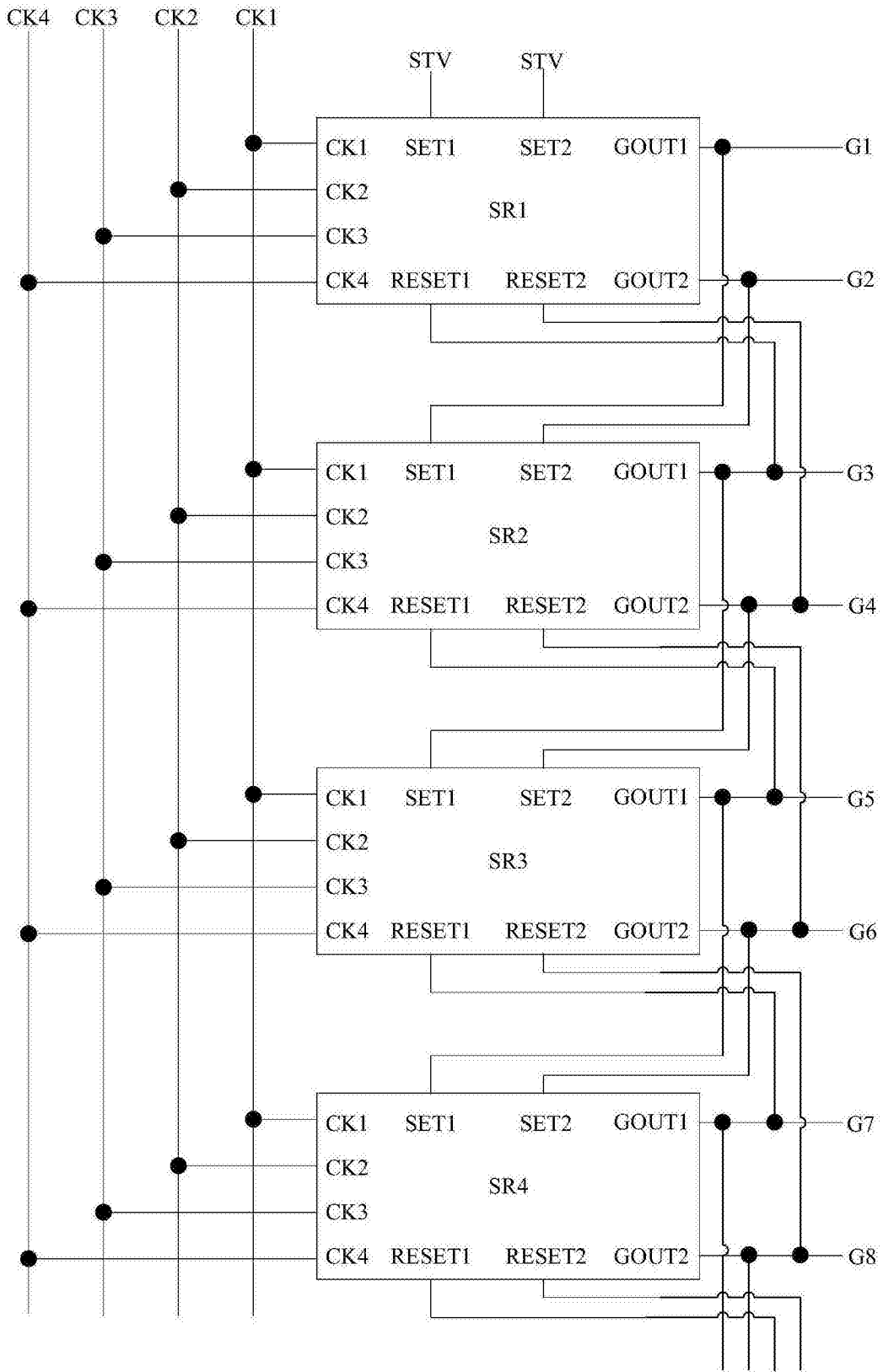


图4

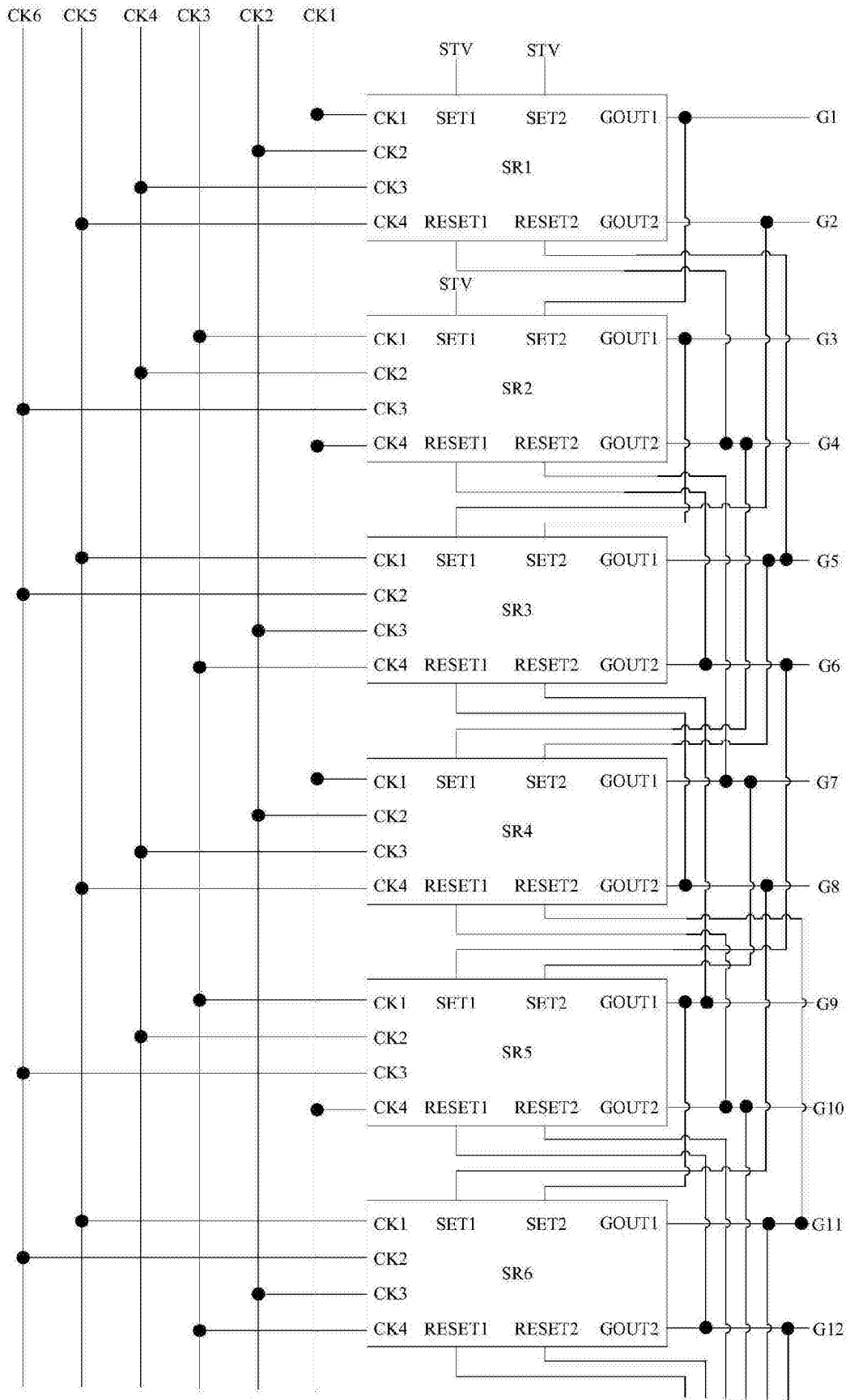


图5