(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/117111 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H05K 3/28* (2006.01)
H05K 1/11 (2006.01)

(21) 国際出願番号： PCT/JP2017/045575

(22) 国際出願日： 2017年12月19日(19.12.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-248415 2016年12月21日(21.12.2016) JP
特願 2017-038412 2017年3月1日(01.03.2017) JP
特願 2017-100924 2017年5月22日(22.05.2017) JP

(71) 出願人: 大日本印刷株式会社 (**DAI NIPPON PRINTING CO., LTD.**) [JP/JP]; 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 Tokyo (JP).

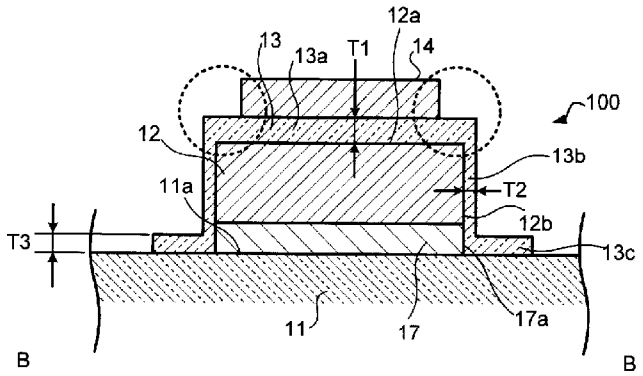
(72) 発明者: 高野 貴正 (**TAKANO Takamasa**); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP). 倉持 悟 (**KURAMOCHI Satoru**); 〒1628001 東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人高橋・林アンドパートナーズ (**TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.**); 〒1440052 東京都大田区蒲田５－２４－２ 損保ジャパン日本興亜蒲田ビル９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** THROUGH ELECTRODE SUBSTRATE, SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THROUGH ELECTRODE SUBSTRATE

(54) 発明の名称： 貫通電極基板、半導体装置及び貫通電極基板の製造方法



(57) **Abstract:** This through electrode substrate comprises: a substrate which has a first surface and a second surface that is on the reverse side of the first surface; a plurality of through electrodes which penetrate the substrate; and a first capacitor which is arranged on the first surface of the substrate, and which is electrically connected to at least one of the plurality of through electrodes. The first capacitor comprises: a first conductive layer which is arranged on the first surface of the substrate, and which is electrically connected to the through electrode; an insulating layer which is arranged on the first conductive layer; and a second conductive layer which is arranged on the insulating layer. The insulating layer has: a first portion which is arranged between the first conductive layer and the second conductive layer; and a second portion which covers at least a part of the lateral surface of the first conductive layer.

(57) 要約：【解決手段】貫通電極基板は、第１面と第１面に対向する第２面とを有する基板と、基板を貫通する複数の貫通電極と、基板の第１面側に配置され、複数の貫通電極の少なくとも１つと電気的に接続された第１キャパシタとを有し、第１キャパシタは、基板の第１面側に配置され、貫通電極と電気的に接続された第１導電層と、第１導電層の上に配置された絶縁層と、絶縁層の上に配置された第２導電層と、を含み、絶縁層は、第１導電層と第２導電層の間に配置された第１部分と、第１導電層の側面の少なくとも一部を覆う第２部分と、を有する。

WO 2018/117111 A1

[続葉有]

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ：

貫通電極基板、半導体装置及び貫通電極基板の製造方法

技術分野

[0001] 本開示は、貫通電極基板、半導体装置及び貫通電極基板の製造方法に関する。

背景技術

[0002] 近年の電子デバイスでは、基板の両面に配線を用いた形態が用いられている。特許文献１には、ガラス基板を貫通する電極により基板両面の配線を接続する基板が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：ＷＯ２００５／０３４５９４号

発明の概要

発明が解決しようとする課題

[0004] 上述の配線基板において多機能化を進める場合には、様々な機能を有する素子を形成することが求められている。しかしながら、貫通電極を有する基板において、このような素子を形成する場合には、予期せぬ問題が生じる場合がある。この基板上において、導電層が上下に位置する関係に配置される構成、例えば、キャパシタを形成する場合には、２つの導電層の構造によっては導電層間のショートを生じさせることがあった。

[0005] 本開示の目的の一つは、貫通電極を含む基板において、上下に位置する導電層間におけるショートを防ぐことにある。

課題を解決するための手段

[0006] 本開示によれば、第１面と前記第１面に対向する第２面とを有する基板と、前記基板を貫通する複数の貫通電極と、前記基板の前記第１面側に配置さ

れ、複数の前記貫通電極の少なくとも１つと電気的に接続された第１キャパシタとを有し、前記第１キャパシタは、前記基板の前記第１面側に配置され、前記貫通電極と電気的に接続された第１導電層と、前記第１導電層の上に配置された絶縁層と、前記絶縁層の上に配置された第２導電層と、を含み、前記絶縁層は、前記第１導電層と前記第２導電層の間に配置された第１部分と、前記第１導電層の側面の少なくとも一部を覆う第２部分と、を有する、貫通電極基板が提供される。

[0007] また、本開示の他の例によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、前記第１導電層の上面に第１絶縁層を形成する工程と、前記第１導電層の側面の少なくとも一部及び前記第１絶縁層を覆うように第２絶縁層を形成する工程と、前記第１導電層の上方に位置する前記第２絶縁層の一部を除去する工程と、前記第２絶縁層の除去された部分に第２導電層を形成する工程と、を含む貫通電極基板の製造方法が提供される。

[0008] また、本開示の他の例によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記第１面に第１レジストを形成する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、前記第１導電層上に中間層を形成する工程と、リフトオフによって前記第１レジストを除去する工程と、前記第１導電層の周囲に第２レジストを形成する工程と、前記中間層の上面及び側面と、前記第１導電層の側面と、前記第１面と、前記第２レジストの上面及び側面とに、第１絶縁層を形成する工程と、前記第２レジストの前記側面に形成された前記第１絶縁層の少なくとも一部を残すように、リフトオフによって前記第２レジストを除去する工程と、前記中間層の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程

と、を含む貫通電極基板の製造方法が提供される。

[0009] また、他の例によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記第１面に第１レジストを形成する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、前記第１導電層の上面及び側面と、前記第１面とに第１絶縁層を形成する工程と、前記第１導電層の前記上面の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程と、前記第２導電層を覆い、かつ、前記第１面上の前記第１絶縁層の一部を覆うように第２レジスト層を形成する工程と、前記第２レジスト層に覆われていない前記第１絶縁層の部分を除去する工程と、前記第２レジスト層を除去する工程と、を含む貫通電極基板の製造方法が提供される。

[0010] 上記貫通電極基板は、インターポーザーとして用いることも可能である。

発明の効果

[0011] 本開示によれば、貫通電極を含む基板おいて、上下に位置する導電層間のショートを防ぐことができる。本開示に関連する更なる特徴は、本明細書の記述、添付図面から明らかになるものである。また、上記した以外の、課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0012] [図1]本開示の第１実施形態に係るインターポーザーを示す概略平面図である。

[図2]本開示の第１実施形態におけるインターポーザーを示す概略断面図（図１のＡ－Ａ線断面図）である。

[図3]本開示の第１実施形態に係るインターポーザーに含まれるキャパシタ１００を示す概略断面図（図１のＢ－Ｂ線断面図）である。

[図4A]本開示の第１実施形態に係るインターポーザーを製造する方法を説明する図である。

[図4B]本開示の第１実施形態に係るインターポーザーを製造する方法を説明

する図である。

[図4C]本開示の第１実施形態に係るインターポーザーを製造する方法を説明する図である。

[図4D]本開示の第１実施形態に係るインターポーザーを製造する方法を説明する図である。

[図4E]本開示の第１実施形態に係るインターポーザーを製造する方法を説明する図である。

[図4F]本開示の第１実施形態に係るインターポーザーを製造する方法の別の例を説明する図である。

[図5]本開示の第２実施形態に係るキャパシタを示す概略断面図である。

[図6]本開示の第３実施形態に係るキャパシタを示す概略断面図である。

[図7]本開示の第４実施形態に係るキャパシタを示す概略断面図である。

[図8]本開示の第５実施形態に係るキャパシタを示す概略断面図である。

[図9]本開示の第６実施形態に係るキャパシタを示す概略断面図である。

[図10]本開示の第７実施形態に係るキャパシタを示す概略断面図である。

[図11]本開示の第８実施形態に係るキャパシタを示す概略断面図である。

[図12]本開示の第９実施形態に係るキャパシタを示す概略断面図である。

[図13]本開示の第１０実施形態に係るキャパシタを示す概略断面図である。

[図14]本開示の第１１実施形態に係るキャパシタを示す概略断面図である。

[図15A]本開示の第１１実施形態に係るキャパシタを製造する方法を説明する図である。

[図15B]本開示の第１１実施形態に係るキャパシタを製造する方法を説明する図である。

[図15C]本開示の第１１実施形態に係るキャパシタを製造する方法を説明する図である。

[図16]本開示の第１２実施形態に係るキャパシタを示す概略断面図である。

[図17]本開示の第１３実施形態に係るキャパシタを示す概略断面図である。

[図18A]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する

図である。

[図18B]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する図である。

[図18C]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する図である。

[図18D]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する図である。

[図18E]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する図である。

[図18F]本開示の第１３実施形態に係るキャパシタを製造する方法を説明する図である。

[図19]本開示の第１３実施形態に係るキャパシタの位置関係を説明する図である。

[図20A]本開示の第１実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図20B]本開示の第１実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図20C]本開示の第１実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図20D]本開示の第１実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図20E]本開示の第１実施形態に係るキャパシタを製造する別の方法を説明する図である。

[図21A]本開示の第１４実施形態に係るインターポーザーを示す概略平面図である。

[図21B]本開示の第１４実施形態におけるインターポーザーに含まれる環状の導電層２９を示す概略断面図（図２１ＡのＣ－Ｃ線断面図）である。

[図22A]本開示の第１５実施形態に係るキャパシタを示す概略平面図である。

[図22B]本開示の第１６実施形態に係るキャパシタを示す概略平面図である。

[図23]本開示の第１７実施形態に係るキャパシタを示す概略平面図である。

[図24A]本開示の第１８実施形態に係るキャパシタを示す概略平面図である。

[図24B]本開示の第１９実施形態に係るキャパシタを示す概略平面図である。

[図25A]本開示の第２０実施形態に係るキャパシタの第１導電層と第１絶縁層との位置関係を示す概略平面図である。

[図25B]本開示の第２１実施形態に係るキャパシタの第１導電層と第１絶縁層との位置関係を示す概略平面図である。

[図25C]本開示の第２２実施形態に係るキャパシタの第１導電層と第１絶縁層との位置関係を示す概略平面図である。

[図26A]本開示の第１実施形態に係るキャパシタが隣接配置された場合の概略断面図である。

[図26B]本開示の第２０実施形態に係るキャパシタの第２導電層の配置例を説明する概略断面図である。

[図26C]本開示の第２０実施形態に係るキャパシタの第２導電層の別の配置例を説明する概略断面図である。

[図27]本開示の第２３実施形態に係るキャパシタの概略断面図である。

[図28]本開示の第２４実施形態に係るインターポーザーに含まれるキャパシタ及びインダクタを示す概略平面図である。

[図29]本開示の第２４実施形態に係るインターポーザーを示す概略断面図（図２８のＤ－Ｄ線断面図）である。

[図30]本開示の第２５実施形態に係るキャパシタを示す概略平面図である。

[図31]本開示の第２６実施形態における半導体装置を示す図である。

[図32]本開示の第２６実施形態における半導体装置の別の例を示す図である。

[図33]本開示の第２６実施形態における半導体装置のさらに別の例を示す図である。

[図34]本開示の第２６実施形態における半導体装置を用いた電子機器の一例

を説明する図である。

発明を実施するための形態

[0013] 以下、図面を参照して本開示の一実施形態について説明する。なお、以下に示す各実施形態は本発明の実施形態の一例であって、本発明はこれらの実施形態に限定して解釈されるものではない。本実施形態で参照する図面において、同一部分又は同様な機能を有する部分には同一の符号又は類似の符号（数字の後にＡ、Ｂ等を付しただけの符号）を付し、その繰り返しの説明は省略する場合がある。また、図面の寸法比率は説明の都合上実際の比率とは異なったり、構成の一部が図面から省略されたりする場合がある。本件明細書に添付する図面においては、図示と理解のしやすさの便宜上、適宜縮尺及び縦横の寸法比等を、実物のそれらから変更し誇張したり、構成の一部が図面から省略されたりする場合がある。

[0014] 本明細書等において「～」を用いて表される数値範囲は、「～」の前後に記載される数値のそれぞれを下限値及び上限値として含む範囲であることを意味する。例えば、１０～３０であれば、１０以上３０以下であることを意味する。

[0015] ＜第１実施形態＞

本開示の一実施形態に係るインターポーザーは、絶縁層を、金属等を含む導電層で挟み込んだ構造を有する。図１は、本開示の第１実施形態に係るインターポーザー１０を示す概略平面図である。図２は、本開示の第１実施形態におけるインターポーザー１０を示す概略断面図（図１のＡ－Ａ線断面図）である。図３は、本開示の第１実施形態に係るインターポーザー１０に含まれるキャパシタ１００を示す概略断面図（図１のＢ－Ｂ線断面図）である。なお、図１及び図３においては、基板１１、第１導電層１２、第１絶縁層１３及び第２導電層１４の位置関係がわかりやすくなるように、一部の構成が省略されている。インターポーザー１０は、例えば、絶縁層を金属で挟み込んだ構造であるＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）構造を有する。以下、ＭＩＭ構造は、誘電体層である絶縁層を上部電極と下

部電極とで挟んだキャパシタ１００であるものとして説明する。この場合、第１導電層１２が下部電極、第１絶縁層１３が誘電体層、第２導電層１４が上部電極として用いられる。

[0016] インターポーザー１０は、第１面１１ａと第１面１１ａに対して対向する第２面１１ｂとを有する基板１１と、基板１１の第１面１１ａに配置された第１導電層１２と、第１導電層１２の上に配置された第１絶縁層１３と、第１絶縁層１３の上に配置された第２導電層１４とを備える。この例では、第１導電層１２と基板１１との間には、さらに下地層１７が配置されている。なお、下地層１７は、基板１１の第１面１１ａに直接配置されていてもよいし、導電性又は絶縁性の層を少なくとも１層を介して基板１１の第１面１１ａに配置されていてもよい。例えば、基板１１の第１面１１ａにエポキシ、ポリイミド、ポリベンゾオキサゾール、ポリアミドなどから選択される絶縁性樹脂を配置することにより、第１導電層１２と基板１１の熱膨張率の差により発生する応力を緩和することができるため、後の加熱を含む工程において、基板にクラックが生じるのを抑制することができる。

[0017] 基板１１は、第１面１１ａと第２面１１ｂとを貫通する貫通孔１５を有する。第１導電層１２は、貫通孔１５に形成された貫通電極２０を介して第２面１１ｂに配置された第３導電層２１に電気的に接続されている。貫通電極２０と基板１１との間及び第３導電層２１と基板１１との間においても、下地層１７が配置されている。貫通孔１５の形態は、図示に限らず、貫通孔１５は、基板１１の第１面１１ａ及び第２面１１ｂから基板１１の厚み方向の中央部に向かうにつれて幅が小さくなる形状であってもよいし、貫通孔１５の側壁は、基板１１の第１面１１ａの法線方向に沿って広がっていてもよいし、基板１１の第１面１１ａの法線方向に沿って狭まっていてもよいし、また、側壁の一部が湾曲した形状を有してもよい。基板１１に、エッチング加工、レーザ加工、レーザ加工とエッチング加工の組合せによる加工、サンドブラスト加工、放電加工、ドリル加工などを行うことにより、貫通孔１５が形成される。貫通電極２０は、図２に示すように貫通孔１５の側面に沿って

導電材料が配置された形態に限らず、貫通孔１５内に導電材料が充填された形態であってもよい。また、第１導電層１２、貫通電極２０及び第３導電層は一体となっている構造でもよい。図２のインターポーザー１０は、第１導電層１２、貫通電極２０及び第３導電層２１は同じ構成である。同じ構成としては、例えば、同じ材料で形成された構成が挙げられる。また、基板１１の第１面１１ａ上の第１導電層１２と基板１１の第２面１１ｂ上の第３導電層２１は、同じ材料で形成され、実質的に同じ厚さであってもよい。このような場合には、電気的に接続された際、接続部において抵抗値に差が生じにくく、信号の伝送損失を軽減することができる。

[0018] なお、貫通孔１５の開口幅は、４０μｍ～１１０μｍであることが好ましい。ここで、貫通孔１５の開口幅とは、基板１１の第１面１１ａないし第２面１１ｂを平面視した際の貫通孔１５の外縁が形成する図形において、当該図形外縁の任意の２点間の最大距離をいう。なお、外縁が形成する図形が円形である場合、上述の幅とは、円の直径をいう。

[0019] 基板１１の第１面１１ａ側と第２面１１ｂ側には、絶縁性を有する樹脂層２２が形成されている。樹脂層２２において、第１導電層１２、第２導電層１４及び第３導電層２１に対応する位置には、ビアホール２３が形成されている。ビアホール２３のそれぞれには、導電性の材料で形成された接続部２４が配置されている。接続部２４は、ビアホール２３の底部に配置された導電層と電気的に接続されている。

[0020] インターポーザー１０は、接続部２４を介して、半導体チップ５０に電気的に接続されている。また、インターポーザー１０は、接続部２４及びはんだボール２５を介して、配線基板４０に接続されている。半導体チップ５０についてもはんだボール２５を介して接続部２４に接続されてもよい。この構成によれば、インターポーザー１０と、基板１１の第１面１１ａ側に配置され、貫通電極２０と電気的に接続された半導体チップ５０と、基板１１の第２面１１ｂ側に配置され、貫通電極２０と電気的に接続された配線基板４０と、を有する半導体装置が提供される。本実施形態のインターポーザー１

０によれば、狭端子ピッチの半導体チップ５０の、大型の配線基板４０への実装が簡便化される。配線基板４０は、例えば、マザーボードなどが挙げられる。また半導体チップ５０との接続は、接続部４２を介するのでなく、大型の配線基板４０を介して実施してもよい。この場合に本発明の貫通電極基板はインターポーザーでなく受動素子と位置づけられる。

[0021] 基板１１として、ガラス基板、ガラスセラミックス基板、石英基板、サファイア基板、樹脂基板、ガラスエポキシ基板、シリコン基板、ＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）基板、ＳＯＳ（Ｓｉｌｉｃｏｎ ｏｎ Ｓａｐｐｈｉｒｅ）基板、炭化シリコン（ＳｉＣ）基板、ガリウムヒ素（ＧａＡｓ）基板、リン化インジウム（ＩｎＰ）基板、アルミナ（Al_2O_3）基板、窒化アルミニウム（ＡＩＮ）基板、酸化ジルコニウム（ZrO_2）基板など、又は、これらが積層された基板を用いることができる。なお、基板１１は絶縁性を有することが好ましく、少なくとも表面に絶縁性を有している。

[0022] 好ましくは、基板１１は、ガラス基板である。一般にインターポーザーは、その縁に近い領域ほど熱変形による変位が大きくなる。ガラス基板を用いたインターポーザーの場合、この領域に対して、インターポーザー上に配置されるシリコン基板を用いた半導体チップ等との熱膨張率の差を小さくするように対処できるという利点がある。また基板１１にガラスを使用することにより、絶縁性が高いことから基板１１の表面に形成される導電層間のリーク電流を懸念しなくてもよい。

[0023] より好ましくは、基板１１として無アルカリガラスが用いられる。無アルカリガラスは、ソーダガラスとは異なりＮａ、Ｋなどのアルカリ成分を含まないので、ガラス表面にアルカリ成分が析出することがない。したがって、この態様では、インターポーザーに接続されるべき半導体チップの端子を腐食させる信頼性劣化要因が原理的に生じない利点がある。また、無アルカリガラスは、熱膨張率がシリコンのそれと同程度の大きさであり、接続される半導体チップとの関係で熱膨張率の点で整合性がよい。

[0024] 基板１１の厚さは、例えば、５０μｍ～７００μｍであることが好ましい

。また、基板１１の第１面１１ａの表面粗さ（算術平均粗さＲａ）は、基板１１の第１面１１ａ上に形成する第１導電層１２及び第２面１１ｂ上に形成する第３導電層２１にて、高周波信号に対し伝送損失が生じるのを防ぐ観点から小さいことが好ましく、０．１ｎｍ～１０ｎｍであることが好ましい。なお、ここでの算術平均粗さＲａは、ＪＩＳ規格ＪＩＳ　Ｂ　０６０１：２００１による定義に従う。

[0025] 第１導電層１２及び第２導電層１４の材料として、金（Ａｕ）、銀（Ａｇ）、銅（Ｃｕ）、鉄（Ｆｅ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、パラジウム（Ｐｄ）、ルテニウム（Ｒｕ）、タングステン（Ｗ）等の導電性を有する材料が用いられる。なかでも導電性が高く、かつ材料コストの低いＣｕを用いることが好ましい。また、第１導電層１２の厚みは０．５μｍ～２０μｍが好ましく、第２導電層１４の厚みは０．５μｍ～５μｍが好ましい。配線パターンについては、金属箔のエッチングによるサブトラクティブな形成のほか、導電性ペーストの塗布や、めっきによる形成等のアディティブな形成を採用することもできる。ここで、金属箔は、例えば、Ｃｕ等が挙げられる。また、導電性ペーストは、金属ナノペースト等が挙げられる。

[0026] 下地層１７は、１つ以上の層を含んでよい。例えば、下地層１７は、密着層及びシード層の少なくとも１つを含む。この例では、下地層１７が密着層及びシード層で構成される例で説明する。なお密着層とは基板１１と第１導電層１２及び第２導電層１４、あるいは基板１１とシード層とを剥がれにくくするための層である。またシード層とは第１導電層１２及び第２導電層１４を電解めっきで形成する際に通電を行い、めっき膜を形成するための層である。よって機能が重複するのであれば、密着層とシード層は同一であってもよい。密着層は、例えば、酸化亜鉛（ＺｎＯ）などを含む密着層である。酸化亜鉛を含む密着層は、例えば、ゾルゲル法によって形成することができる。また、シード層は、Ｔｉ、Ｃｒ、Ｃｕ等が挙げられる。Ｔｉ、Ｃｒ、Ｃｕを含むシード層は、例えば、スパッタにより形成できる。また、第１導電層１２と貫通電極２０とを同時に形成する際には、基板１１の表面に対して

厚み方向へ奥行きのある貫通孔１５の表面全体へ下地層１７を被覆させることが密着性の観点から好ましい。したがって、下地層１７を形成する際の厚みは、基板１１の表面において２０ｎｍ～３００ｎｍであることが好ましい。また下地層１７は、形成する際の厚みのまま使用してもよいが、貫通孔１５の表面に下地層１７を十分に被覆させた結果、基板１１に形成された下地層１７の厚みが過剰となる場合がある。その結果、後の工程で薬液やプラズマ等により選択的にダメージを受けやすくなったり、あるいは下地層１７自身の脆性が原因で下地層上に形成された導電層の剥離が生じたりする場合がある。これを防ぐために下地層の形成後に予めエッチングを行い、下地層の厚みを減じてもよい。例えば、基板表面において、およそ１～１０ｎｍの層が残るまで下地層の厚みを減じてもよい。

[0027] 第１絶縁層１３として、例えば、無機材料を用いることができ、より具体的には窒化ケイ素（Si_xN_y）、二酸化ケイ素（SiO_2）、酸窒化ケイ素（SiO_xN_y）、五酸化タンタル（Ta_2O_5）、酸化アルミニウム（Al_2O_3）、又は、窒化アルミニウム（ＡｌＮ）、酸化ハフニウム（HfO_2）、アルミニウムを添加した酸化ハフニウムを用いることができる。第１絶縁層１３は、キャパシタ１００の周囲に存在する絶縁層（例えば、樹脂層２２）よりも高い比誘電率を有することが望ましい。第１絶縁層１３の比誘電率は、例えば２．０～９．０、より好ましくは５．０～８．０の範囲である。なかでも比誘電率と絶縁破壊電圧の観点から窒化ケイ素（Si_xN_y）、酸窒化ケイ素（SiO_xN_y）を好適に用いることができる。第１絶縁層１３の厚み（後述するＴ１）は、５０ｎｍ～８００ｎｍであってもよい。

[0028] 本開示の実施形態では、上述の第１導電層１２、第２導電層１４及び第１絶縁層１３の成膜プロセスとして、化学蒸着（ＣＶＤ）、物理蒸着（ＰＶＤ）、又は電気めっきなどを使用することができる。化学蒸着としては、例えば、プラズマＣＶＤ、原子層堆積（ＡＬＤ）が挙げられる。物理蒸着としては、例えば、スパッタリング又は蒸着が挙げられる。また、導電層及び絶縁層のパターンを形成するために、フォトリソグラフィを使用することができ

る。また、導電層及び絶縁層の平坦化プロセスとして、エッチバック、化学的機械的研磨（ＣＭＰ）などを使用することができる。

[0029] 次に、本実施形態のキャパシタ１００の構造を説明する。図１に示すように、第１絶縁層１３は、第１導電層１２の上面１２ａのうち、第２導電層１４が配置される位置に形成されている。図３に示すように、第１絶縁層１３は、第１部分１３ａ、第２部分１３ｂ及び第３部分１３ｃを有する。第１部分１３ａは、第１導電層１２と第２導電層１４の間に配置されている。第２部分１３ｂは、第１部分１３ａから連続的に延びて、第１導電層１２の側面１２ｂの少なくとも一部及び下地層１７の側面１７ａの少なくとも一部を覆う。第３部分１３ｃは、第２部分１３ｂから連続的に延びて基板１１の第１面１１ａの少なくとも一部を覆う。本実施形態では、第１部分１３ａ、第２部分１３ｂ、及び、第３部分１３ｃが同じ材料で形成されている。

[0030] 本実施形態では、第１絶縁層１３の第２部分１３ｂが、第１導電層１２の側面１２ｂ及び下地層１７の側面１７ａを覆い、さらに、第１絶縁層１３の第３部分１３ｃが、基板１１の第１面１１ａの一部を覆うことになる。例えば、第１絶縁層１３が第１部分１３ａのみで構成される場合、図３中の点線の丸で示す位置で、第１導電層１２と第２導電層１４との間におけるショートが発生しやすくなる。また、第１絶縁層１３の端部が第２導電層１４の端部よりも内側に位置する場合、第１導電層１２と第２導電層１４と間に第１絶縁層１３が存在しない領域が生じる。この領域に空間が形成されると、圧力等により第１導電層１２と第２導電層１４とが接触し、ショートが発生する要因となる。また、この空間に樹脂層２２が流入すると、第１絶縁層１３とよりも低い比誘電率の樹脂層２２がキャパシタ１００の容量を低下させる要因となってしまう。

[0031] これに対して、本実施形態では、第１絶縁層１３の第２部分１３ｂが、第１部分１３ａから連続して延びて第１導電層１２の側面１２ｂを覆っているため、第１導電層１２と第２導電層１４との間でのショートを防ぐことができる。また、パターニングの精度によって第２導電層１４の位置が図３上の

左右にずれる場合があり得るが、第１絶縁層１３が、第２部分１３ｂによって第１導電層１２の側面１２ｂ及び下地層１７の側面１７ａを覆うとともに、第３部分１３ｃによって基板１１の第１面１１ａまで覆っている。したがって、第２導電層１４の位置がずれた場合でも、第１導電層１２及び下地層１７が、第２導電層１４とショートすることを防ぐことができる。また、第１絶縁層１３の第３部分１３ｃが、基板１１の第１面１１ａと接触していることにより、第１絶縁層１３の剥がれに対する耐性が高くなる。

[0032] なお、第１絶縁層１３の第２部分１３ｂを絶縁膜として効果的に機能させるために、第１絶縁層１３の第２部分１３ｂの厚みＴ２は、第１絶縁層１３の第１部分１３ａの厚みＴ１の１／４以上であることが好ましい。第１絶縁層１３の第２部分１３ｂの厚みＴ２の上限は特に制限されないが、例えば、第１絶縁層１３の第１部分１３ａの厚みＴ１以下であってもよく、厚みＴ１の１／２以下であってもよい。また、第１絶縁層１３の第２部分１３ｂの厚みＴ２は、２５ｎｍ以上であることが好ましい。上述の内容を考慮すると、第１絶縁層１３の第１部分１３ａの厚みＴ１は、５０ｎｍ～４００ｎｍが好ましく、第１絶縁層１３の第２部分１３ｂの厚みＴ２は、２５ｎｍ～２００ｎｍが好ましい。また、第１絶縁層１３の第３部分１３ｃの長さ（第１導電層１２から第３部分１３ｃの端部までの距離）Ｌ１は、１０μｍ～２００μｍが好ましく、第１絶縁層１３の第３部分１３ｃの厚みＴ３は、５０ｎｍ～２００ｎｍが好ましい。

[0033] また、第１導電層１２の上面１２ａの表面粗さ（算術平均粗さＲａ）は、キャパシタ１００の歩留まりの観点から小さいことが好ましく、０．５ｎｍ～１００ｎｍであることが好ましい。また、第１導電層１２の側面１２ｂはキャパシタ１００として機能しない部分であれば、ある程度粗度を持つ粗面であってもよく、例えば、第１導電層１２の側面１２ｂの表面粗さ（算術平均粗さＲａ）は、２０ｎｍ～２００ｎｍであってもよい。このような表面粗さによって、第１導電層１２（側面１２ｂ）と第１絶縁層１３との密着性が高まる。

[0034] 次に、インターポーザー１０を製造する方法、特に、キャパシタ１００（第１導電層１２、第１絶縁層１３、及び第２導電層１４）を形成する例について説明する。図４Ａから図４Ｆは、本開示の第１実施形態に係るインターポーザー１０を製造する方法を説明する図である。以下では、第１導電層１２と同時に、第１導電層１２に電気的に接続された貫通電極２０、及び、貫通電極２０を介して第１導電層１２に電気的に接続された第３導電層２１を形成する例について説明する。

[0035] 第１面１１ａと第２面１１ｂとを有し、第１面１１ａと第２面１１ｂを貫通する貫通孔１５を有する基板１１を準備する。そして、図４Ａに示すように、基板１１の第１面１１ａ、第２面１１ｂ、及び、貫通孔１５の側壁１５ａ上に、下地層１７を形成する。以下では、下地層１７が密着層及びシード層で構成される例で説明する。まず、蒸着法やスパッタリング法などの物理成膜法によって密着層を形成する。続いて、同じく物理成膜法により密着層上にシード層を形成する。その後、密着層及びシード層をアニールする工程を実施してもよい。

[0036] なお、密着層及びシード層を形成する方法が、上述の方法に限られることはない。例えば、酸化亜鉛（ＺｎＯ）などを含む密着層を形成し、続いて、密着層上に無電解めっき法によってシード層を形成してもよい。酸化亜鉛を含む密着層は、例えば、ゾルゲル法により形成することができる。また上記のように、密着層及びシード層の両方を、蒸着法やスパッタリング法などの物理成膜法によって形成してもよいし、ゾルゲル法や無電解めっき法、物理成膜法などを組み合わせてもよい。

[0037] 次に、図４Ｂに示すように、下地層１７上に部分的に第１レジスト層３１を形成する。続いて、電解めっきによって、第１レジスト層３１によって覆われていない下地層１７上にめっき層を形成する。当該めっき層によって、基板１１の第１面１１ａ上の第１導電層１２、貫通孔１５の貫通電極２０、及び、基板１１の第２面１１ｂ上の第３導電層２１を形成することができる。上述したように、基板１１（第１面１１ａ）と第１導電層１２との間、基

板１１（貫通孔１５の側壁１５ａ）と貫通電極２０との間、基板１１（第２面１１ｂ）と第３導電層２１との間のそれぞれには、下地層１７が配置されている。

[0038] その後、図４Ｃに示すように、第１レジスト層３１を除去する。さらに、下地層１７のうち第１レジスト層３１によって覆われていた部分（第１導電層１２が形成されていない部分）を、例えばウェットエッチングにより除去する。これにより、基板１１の第１面１１ａ上の第１導電層１２と、貫通孔１５の貫通電極２０と、基板１１の第２面１１ｂ上の第３導電層２１とを備えるインダクタを構成することもできる。インダクタについては、第２４実施形態において、詳述する。なお、導電層をアニールする工程を実施してもよい。また、導電材料が充填された貫通電極を形成する場合、さらに電解めっきを行って貫通孔１５内に導電材料を充填してもよい。

[0039] 次に、第１導電層１２の表面をNH_3プラズマなどのプラズマに曝す表面処理工程を実施してもよい。これにより、第１導電層１２の表面の酸化物を除去することができる。これにより、第１導電層１２と第１絶縁層１３との間の密着性を高めることができる。

[0040] 次に、第１絶縁層１３を形成する。まず、第１導電層１２及び基板１１の第１面１１ａ上に部分的にレジスト層（図示省略）を形成する。続いて、第１導電層１２及び基板１１の第１面１１ａのうちレジスト層によって覆われていない部分とレジスト層によって覆われている部分とに、第１絶縁層１３を形成する。このとき、第１導電層１２の上面１２ａ、第１導電層１２の側面１２ｂ、下地層１７の側面１７ａ、及び基板１１の第１面１１ａを覆うように第１絶縁層１３を形成する。これにより、上述の第１部分１３ａ、第２部分１３ｂ、及び第３部分１３ｃを有する第１絶縁層１３が形成される。

[0041] 第１絶縁層１３を形成する方法としては、例えば、プラズマＣＶＤ、スパッタリングなどを採用することができる。なお、スパッタリングは方向依存性が高いので、第１導電層１２の側面１２ｂに第１絶縁層１３を形成するのが難しい場合があるため、プラズマＣＶＤを採用するのが好ましい。第１絶

縁層１３を形成した後、例えばウェットエッチングによりレジスト層を除去する。このとき、レジスト層上に形成された第１絶縁層１３は、リフトオフにより除去される。図４Ｄは、レジスト層を除去した後の状態を示す。なお、レジスト層を形成する前に、第１絶縁層１３を形成し、第１絶縁層１３を残す部分にのみレジスト層を形成して、第１絶縁層１３がエッチングされるようにしてもよい。すなわち、フォトリソグラフィによって、図４Ｄに示すように第１絶縁層１３が形成されてもよい。

[0042] 次に、図４Ｅに示すように、第１絶縁層１３上に第２導電層１４を形成する。これにより、第１導電層１２と、第１導電層１２上の第１絶縁層１３と、第１絶縁層１３上の第２導電層１４とを備えるキャパシタを構成することができる。第２導電層１４を形成する工程は、第１導電層１２、例えば、めっき層を形成する工程と同様であるので、説明を省略する。ここで、第２導電層１４がめっき層で形成される場合には、第２導電層１４と第１絶縁層１３との間に、シード層等が形成されていてもよい。なお、第２導電層１４は、上述したように、金属箔のエッチングによる形成であってもよいし、導電性ペーストの塗布による形成であってもよい。

[0043] この後に、樹脂層２２が形成され、ビアホール２３が形成されて、接続部２４が形成されることによって、図２に示す構成が実現される。なお、樹脂層２２の厚さ（図２の例では基板１１の第１面１１ａから樹脂層２２の表面までの距離）は、表面においてキャパシタ１００等の凹凸が平坦化するために、下地層１７、第１導電層１２、第１絶縁層１３及び第２導電層１４の合計の厚さ以上、当該厚さの２倍以下の範囲であることが望ましい。また、キャパシタ１００の近傍では、第１導電層１２と接続部２４との間での容量成分が生じるが、設計上できるだけ少なくしたい。そのため、第１導電層１２と接続部２４との間において、第１絶縁層１３よりも低い比誘電率を有する樹脂層２２を厚く形成することが望ましい。樹脂層２２の厚さを第１絶縁層１３の表面から樹脂層２２の表面までの距離とした場合、例えば、第１絶縁層１３の厚さの１０倍以上であることが望ましい。

[0044] 図４Ｆは、本開示の第１実施形態に係るインターポーザー１０を製造する方法の別の例を示す図である。図４Ｅでは、第１絶縁層１３が貫通孔１５の周囲には形成されていない例を示したが、第１絶縁層１３が貫通孔１５の貫通電極２０まで延びるように形成されてもよい。図４Ｆに示すように、第１絶縁層１３が、基板１１の第１面１１ａ側から延びて貫通電極２０の少なくとも一部を覆うように形成されてもよい。図４Ｆの例では、第１絶縁層１３が、第１部分１３ａから連続的に延びて、貫通電極２０の少なくとも一部を覆う部分１３ｈを有する。この構成によれば、例えば、第１絶縁層１３を形成した後にエッチングによりシード層を除去する際に、貫通電極２０の一部や、貫通孔１５の角部にある導電層（第１導電層１２と貫通電極２０との境目の部分）が第１絶縁層１３によって保護され、貫通電極２０及びその周囲の導電層がエッチングにより薄くなる等の影響を防ぐことができる。なお、第１絶縁層１３を形成した後にエッチングにより除去されるシード層は、例えば、めっき層で第２導電層１４を形成したときに用いられたシード層である。

[0045] ＜第２実施形態＞

図５は、本開示の第２実施形態に係るキャパシタ１００Ａを示す概略断面図である。本実施形態では、第１絶縁層１３Ａの第３部分１３Ａｃが、基板１１の第１面１１ａ上に広がるように延びずに、下地層１７の側面１７ａを覆うようになっている。この構成によれば、第１絶縁層１３Ａの第２部分１３ｂが第１導電層１２の側面１２ｂ及び下地層１７の側面１７ａを覆い、かつ、第２部分１３ｂから基板１１と接触するまで第１絶縁層１３Ａの第３部分１３Ａｃまで延びている。したがって、第１導電層１２及び下地層１７が、第２導電層１４とショートすることを防ぐことができる。

[0046] ＜第３実施形態＞

図６は、本開示の第３実施形態に係るキャパシタ１００Ｂを示す概略断面図である。本実施形態では、第１絶縁層１３Ｂの第２部分１３Ｂｂが、第１部分１３ａから、第１導電層１２の側面１２ｂの上端１２ｃと下端１２ｄの

間の位置まで延びている。このように、第１絶縁層１３Ｂの第２部分１３ｂは、第１導電層１２の側面１２ｂの全面を覆う必要はなく、第１導電層１２の側面１２ｂの少なくとも一部を覆っている構成であればよい。この構成によれば、第１絶縁層１３Ｂの第２部分１３Ｂｂが、第１部分１３ａから連続して延びて第１導電層１２の側面１２ｂの一部を覆っている。したがって、第１導電層１２が、第２導電層１４とショートすることを防ぐことができる。

[0047] なお、図６に示す第１絶縁層１３Ｂは、例えば、レジスト層を用いたリフトオフにより形成することができる。例えば、第１導電層１２よりも薄いレジスト層を第１導電層１２以外の部分に形成し、第１導電層１２及びレジスト層上に第１絶縁層１３Ｂを形成する。その後、レジスト層を除去すると、側面１２ｂの一部を覆う第１絶縁層１３Ｂの第２部分１３Ｂｂが形成される。

[0048] ＜第４実施形態＞

図７は、本開示の第４実施形態に係るキャパシタ１００Ｃを示す概略断面図である。本実施形態では、下地層１７Ｃの平面サイズが、第１導電層１２の平面サイズより大きい。すなわち、下地層１７Ｃが、第１導電層１２の側面１２ｂよりも距離Ｄ１だけ外側に拡がり、第１導電層１２の側面１２ｂよりも下地層１７Ｃの側面１７Ｃａが外側に存在する。すなわち、下地層１７Ｃの端部において第１導電層１２に覆われていない上面１７Ｃｆが現れる。第１絶縁層１３Ｃの第２部分１３Ｃｂが第１導電層１２の側面１２ｂ、下地層１７の一部（端部）の上面１７Ｃｆ及び側面１７Ｃａを覆い、かつ、第２部分１２Ｃｂから基板１１と接触するまで第１絶縁層１３Ｃの第３部分１３Ｃｃまで延びている。したがって、第１導電層１２及び下地層１７Ｃが、第２導電層１４とショートすることを防ぐことができる。なお、距離Ｄ１は、２０ｎｍ～１０００ｎｍであることが好ましい。

[0049] ＜第５実施形態＞

図８は、本開示の第５実施形態に係るキャパシタ１００Ｄを示す概略断面

図である。本実施形態では、下地層１７Ｄの平面サイズが、第１導電層１２の平面サイズより小さい。すなわち、下地層１７Ｄが、第１導電層１２の側面１２ｂよりも距離Ｄ２だけ内側に入り込んだ側面１７Ｄａを有する。これによって、第１導電層１２、基板１１及び下地層１７Ｄによってリセス部１７Ｄｂが形成される。このリセス部１７Ｄｂと第１絶縁層１３とによって、第１導電層１２の下方に空間１８が形成されている。第１絶縁層１３の第２部分１３ｂ及び第３部分１３ｃは、空間１８の少なくとも一部を残すように配置されている。このように、空間１８の少なくとも一部が空隙として残った状態でも、第１絶縁層１３の第３部分１３ｃの絶縁効果により、第１導電層１２及び下地層１７が、第２導電層１４とショートすることを防ぐことができる。

[0050] ＜第６実施形態＞

図９は、本開示の第６実施形態に係るキャパシタ１００Ｅを示す概略断面図である。本実施形態では、第１絶縁層１３Ｅの第２部分１３Ｅｂ及び第３部分１３Ｅｃが、リセス部１７Ｄｂ（図８参照）を充填するように配置されている。この構成によれば、第１絶縁層１３Ｅの第２部分１３Ｅｂ及び第３部分１３Ｅｃが、第１導電層１２の下方のリセス部１７Ｄｂを埋めている。したがって、図８の構成に比べて、第１導電層１２及び下地層１７Ｄが、第２導電層１４とショートすることをより効果的に防ぐことができる。また、第１絶縁層１３Ｅがリセス部１７Ｄｂに入り込むため、第１導電層１２と下地層１７Ｄとの密着性も向上する。このようなショートの防止及び密着性の向上の観点から、下地層１７Ｄのリセス部１７Ｄｂのサイズ、すなわち、第１絶縁層１３から下地層１７の側面１７Ｄａまでの距離Ｄ２は、２０ｎｍ～１０００ｎｍであることが好ましい。

[0051] ＜第７実施形態＞

図１０は、本開示の第７実施形態に係るキャパシタ１００Ｆを示す概略断面図である。本実施形態では、図９の構成において、第２導電層１４Ｆが、第１絶縁層１３Ｅの第１部分１３ａ、第２部分１３Ｅｂ及び第３部分１３Ｅ

ｃにわたって配置されている。この構成によれば、第２導電層１４Ｆと第１絶縁層１３Ｅとの密着面積が大きいので、接着性がよい。また、この構成では、第２導電層１４Ｆと第１導電層１２及び下地層１７Ｄとの間の距離が近くなるが、第１絶縁層１３Ｅの第２部分１３Ｅｂ及び第３部分１３Ｅｃが第１導電層１２の下方のリセス部１７Ｄｂを埋めているため、第１導電層１２及び下地層１７Ｄが、第２導電層１４Ｆとショートすることを防ぐことができる。

[0052] ＜第８実施形態＞

図１１は、本開示の第８実施形態に係るキャパシタ１００Ｇを示す概略断面図である。本実施形態では、図３に示す第１実施形態のキャパシタ１００において、下地層１７を用いずに第１導電層１２Ｇが形成された場合に対応する。この構成によれば、第１絶縁層１３が、第２部分１３ｂによって第１導電層１２Ｇの側面１２Ｇｂを覆うとともに、第３部分１３ｃによって基板１１の第１面１１ａまで覆っている。したがって、第２導電層１４の位置がずれた場合でも、第１導電層１２Ｇが、第２導電層１４とショートすることを防ぐことができる。また、第１絶縁層１３の第３部分１３ｃが、基板１１の第１面１１ａと接触していることにより、第１絶縁層１３の剥がれに対する耐性が高くなる。

[0053] ＜第９実施形態＞

図１２は、本開示の第９実施形態に係るキャパシタ１００Ｈを示す概略断面図である。本実施形態では、図５に示す第２実施形態のキャパシタ１００Ａにおいて、下地層１７を用いずに第１導電層１２Ｇが形成された場合に対応する。すなわち、第１絶縁層１３Ａの第２部分１３ｂが、第１導電層１２Ｇの側面１２Ｇｂの上端１２Ｇｃと下端１２Ｇｄとの間の全体を覆っている。この構成によれば、第１絶縁層１３Ａの第２部分１３ｂが、第１部分１３ａから連続して延びて第１導電層１２Ｇの側面１２Ｇｂを全体的に覆っている。したがって、第１導電層１２Ｇが、第２導電層１４とショートすることを防ぐことができる。

[0054] ＜第１０実施形態＞

図１３は、本開示の第１０実施形態に係るキャパシタ１００Ｉを示す概略断面図である。本実施形態では、図６に示す第３実施形態のキャパシタ１００Ｂにおいて、下地層１７を用いずに第１導電層１２Ｇが形成された場合に対応する。すなわち、第１絶縁層１３Ｂの第２部分１３Ｂｂが、第１導電層１２Ｇの側面１２Ｇｂの上端１２Ｇｃと下端１２Ｇｄとの間の位置まで覆っている。この構成によれば、第１絶縁層１３Ｂの第２部分１３Ｂｂが、第１部分１３ａから連続して延びて第１導電層１２Ｇの側面１２Ｇｂの一部を覆っている。したがって、第１導電層１２Ｇが、第２導電層１４とショートすることを防ぐことができる。

[0055] ＜第１１実施形態＞

図１４は、本開示の第１１実施形態に係るキャパシタ１００Ｊを示す概略断面図である。キャパシタ１００Ｊのように、第１導電層１２の側面１２ｂ及び下地層１７の側面１７ａを覆う絶縁層は、第１絶縁層１３と異なる材料の第２絶縁層１９で形成されてもよい。本実施形態では、第１絶縁層１３Ｊは、第１導電層１２と第２導電層１４の間に配置された第１部分１３ａで構成されている。すなわち、第１絶縁層１３Ｊは、第１導電層１２の上面１２ａのみに配置されている。第２絶縁層１９は、第１部分１９ａ、第２部分１９ｂ及び第３部分１９ｃを有する。第１部分１９ａは、第１絶縁層１３Ｊの上に配置されている。第２部分１９ｂは、第１部分１９ａから連続的に延びて第１導電層１２の側面１２ｂ及び下地層１７の側面１７ａを覆う。第３部分１９ｃは、第２部分１９ｂから連続的に延びて基板１１の第１面１１ａの少なくとも一部を覆う。

[0056] 第２絶縁層１９として、有機材料又は無機材料を用いることができる。図９に示す第６実施形態のようにリセス部１７Ｄｂが存在する場合、第２絶縁層１９を樹脂で構成することにより、樹脂の変形を利用して第１導電層１２の下方のリセス部１７Ｄｂを埋めることができる。さらに好ましくは、第２絶縁層１９は、光によりパターニングできる感光性樹脂であり、例えば、感

光性ポリイミドである。また、第２絶縁層１９は、レーザにより開口を形成できる樹脂であってもよく、例えば、エポキシ樹脂である。この構成によれば、第２絶縁層１９が第１導電層１２の側面１２ｂ、下地層１７の側面１７ａ及び基板１１の第１面１１ａを覆っているため、第１導電層１２及び下地層１７が、第２導電層１４とショートすることを防ぐことができる。なお、この実施形態において第２絶縁層１９の第２部分１９ｂの厚みをＴ２、第３部分１９ｃの厚みをＴ３として、上述した厚みに関する実施形態の内容を適用できる。

[0057] 図１５Ａ～図１５Ｃは、本開示の第１１実施形態に係るキャパシタを製造する方法を説明する図である。当該方法は、第１実施形態における図４Ｄの工程に対応して実施することができる。まず、図１５Ａに示すように、第１導電層１２の上面１２ａに第１絶縁層１３Ｊを形成する。次に、図１５Ｂに示すように、ドライフィルム状の感光性樹脂を、真空ラミネート成形により、第１絶縁層１３Ｊの上、第１導電層１２の側面１２ｂ、及び、基板１１の第１面１１ａの一部を覆うように形成する。ここで、感光性樹脂は、例えば、感光性ポリイミドを用いることができる。これにより、第１絶縁層１３の上に配置された第１部分１９ａと、第１導電層１２の側面１２ｂを覆う第２部分１９ｂと、基板１１の第１面１１ａの少なくとも一部を覆う第３部分１９ｃとを有する第２絶縁層１９が形成される。その後、ラミネートした感光性樹脂を大気圧下に置く。これにより、図８のように空間１８が形成されるような第５実施形態では、空間１８の内圧がラミネート成型をしたときの圧力になっている。そのため、大気圧下に置くことで、差圧の影響で空間１８が潰れ、その結果、図９に示す第６実施形態のように、感光性樹脂が第１導電層１２の下方のリセス部１７Ｄｂに入り込む。次に、図１５Ｃに示すように、フォトリソグラフィにより、第２絶縁層１９の第１部分１９ａの一部及び第３部分１９ｃの一部を除去する。第１部分１９ａの一部とは、第１絶縁層１３Ｊ上に第２導電層１４が形成される部分である。この部分が除去されることによって、第１絶縁層１３Ｊの第１部分１３ａが露出される。第３部

分１９ｃの一部とは、第２部分１９ｂから所定の距離より離れている部分である。また、ドライフィルム状の非感光性の樹脂を、真空ラミネート成形により、第１絶縁層１３の上、第１導電層１２の側面１２ｂ、及び、基板１１の第１面１１ａの一部を覆うように形成した後、ＵＶレーザ、炭酸ガスレーザ、又はエキシマレーザを照射することにより、上述した第２絶縁層１９の第１部分１９ａの一部及び第３部分１９ｃの一部を除去してもよい。ドライフィルム状の非感光性の樹脂は、例えば、エポキシ樹脂を用いることができる。次に、図１４に示すように、第２絶縁層１９が除去された部分のうち第１絶縁層１３Ｊが露出した部分に第２導電層１４を形成する。このとき、第２絶縁層１９上の一部にも第２導電層１４が形成される。

[0058] 図１５Ａ～図１５Ｃに示す方法は、上述した図９に示す第６実施形態のように、第１導電層１２の下方に形成されたリセス部１７Ｄｂに絶縁層が配置されるような構成の場合に有利である。第１の圧力下で感光性又は非感光性の樹脂をラミネートした後、ラミネート時の第１の圧力よりも高い第２の圧力下に置くため、第１導電層１２の下方のリセス部１７Ｄｂに感光性又は非感光性の樹脂が入り込み易く、結果として、リセス部１７Ｄｂを樹脂で埋めることが容易になる。なお、上述した例では、第１の圧力は真空であり、第２の圧力は大気圧であるが、これに限られない。すなわち、第２の圧力が第１の圧力より高ければよい。また、リセス部１７Ｄｂが存在しない構成、又はリセス部１７Ｄｂにおいて空間１８が残ってもよい構成であれば、第２の圧力は、第１の圧力より低くてもよいし、第１の圧力と同じであってもよい。

[0059] ＜第１２実施形態＞

図１６は、本開示の第１２実施形態に係るキャパシタ１００Ｋを示す概略断面図である。キャパシタ１００Ｋのように、複数の領域に区分されていてもよい。例えば、図１６では、基板１１上に、キャパシタ１００Ｋ－１、１００Ｋ－２、１００Ｋ－３が配置されている。図１６では、複数の領域が３つの場合を示しているが、複数の領域は３つに限定されない。キャパシタ１

００Ｋ－１とキャパシタ１００Ｋ－２との間には、空間ＳＰ１が配置されている。キャパシタ１００Ｋ－２とキャパシタ１００Ｋ－３との間には、空間ＳＰ２が配置されている。すなわち、キャパシタ１００Ｋ－２は、キャパシタ１００Ｋ－１とキャパシタ１００Ｋ－３との間に配置されている。

[0060] キャパシタ１００Ｋ－１は、下地層１７Ｋ－１、第１導電層１２Ｋ－１、第１絶縁層１３Ｋ－１及び第２導電層１４Ｋ－１を有する。キャパシタ１００Ｋ－２は、下地層１７Ｋ－２、第１導電層１２Ｋ－２、第１絶縁層１３Ｋ－２及び第２導電層１４Ｋ－２を有する。キャパシタ１００Ｋ－３は、下地層１７Ｋ－３、第１導電層１２Ｋ－３、第１絶縁層１３Ｋ－３及び第２導電層１４Ｋ－３を有する。なお、下地層１７Ｋ－１、１７Ｋ－２、１７Ｋ－３は、形成されていなくてもよい。

[0061] 第１導電層１２Ｋ－１と第１導電層１２Ｋ－２との間の間隙ＳＰ１が狭い場合、すなわち、第１導電層１２Ｋ－１と第１導電層１２Ｋ－２とが近い場合には、絶縁層を形成するときに間隙ＳＰ１に面した領域において堆積されにくい。その結果、第１導電層１２Ｋ－１及び第１導電層１２Ｋ－２の側面のうち間隙ＳＰ１に面する側面の一部には、第１絶縁層１３Ｋ－１、１３Ｋ－２が形成されていない。同様に、第１導電層１２Ｋ－２及び第１導電層１２Ｋ－３の側面のうち間隙ＳＰ２に面する側面の一部には、第１絶縁層１３Ｋ－２、１３Ｋ－３が形成されていない。このような構成であっても、間隙ＳＰ１、ＳＰ２には、第２導電層が形成されにくく、第１導電層１２Ｋ－１、１２Ｋ－２、１２Ｋ－３及び下地層１７Ｋ－１、１７Ｋ－２、１７Ｋ－３が、第２導電層１４Ｋ－１、１４Ｋ－２、１４Ｋ－３とショートすることを防ぐことができる。

[0062] ＜第１３実施形態＞

図１７は、本開示の第１３実施形態に係るキャパシタ１００Ｌを示す概略断面図である。本実施形態のキャパシタ１００Ｌは、第１導電層１２Ｌと第１絶縁層１３Ｌとの間に中間層２６をさらに備える。中間層２６は、第１導電層１２Ｌと第１絶縁層１３Ｌとの間の密着性を高めるための導電材料が好

ましく、例えば、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、ニッケル（Ｎｉ）、ニッケル－金合金（Ｎｉ－Ａｕ）などを使用することができる。中間層２６の厚みは、好ましくは、２０ｎｍ～２００ｎｍである。なお、中間層２６は省略されてもよい。中間層２６として密着性を高める導電材料を採用することで、以下で説明するリフトオフによって第２レジスト層３２（図１８Ｅ参照）を除去するときに、第１絶縁層１３Ｌが剥がれにくくなる。

[0063] 本実施形態では、第１絶縁層１３Ｌの第１部分１３ａが、中間層２６と第１導電層１２Ｌとの間に配置される。第１絶縁層１３Ｌの第１部分１３ａが中間層２６の上面２６ａを覆い、また、第１絶縁層１３Ｌの第２部分１３ｂが中間層２６の側面２６ｂ及び第１導電層１２Ｌの側面１２ｂを覆い、さらに、第１絶縁層１３Ｌの第３部分１３ｃが、基板１１の第１面１１ａを覆っている。本実施形態において、第３部分１３ｃの厚みＴ４は、５０ｎｍ～２００ｎｍであることが好ましい。

[0064] また、第１絶縁層１３Ｌは、第３部分１３ｃに接続され、基板１１の第１面１１ａに交差する方向に延びる第４部分１３ｄを有する。言い換えると、第４部分１３ｄは、基板１１に対して外方に延びているともいえる。図１７の例では、第４部分１３ｄは、第３部分１３ｃから連続的に延びて、かつ、基板１１の第１面１１ａから立ち上がるように形成されている。第４部分１３ｄは、その底部の幅よりもその先端の幅が小さくなるような先細形状（先薄形状）を有する。なお、第４部分１３ｄの高さＨ１は、２５μｍ以上であることが好ましい。本実施形態は以下の利点を有する。例えば、図１０に示す第７実施形態の第２導電層１４Ｆのような構造では、第４部分１３ｄによって第２導電層１４Ｆがせき止められるような形となるので、隣接するＭＩＭ構造、例えば、キャパシタに対する絶縁性をより高めることができる。

[0065] また、本実施形態において、第３部分１３ｃの長さ（第１導電層１２Ｌから第３部分１３ｃの端部までの距離）Ｌ２は、２０μｍ以上であることが好ましい。第３部分１３ｃの長さＬ２を上述の範囲に設定することで、以下で説明するリフトオフによって第２レジスト層３２（図１８Ｅ参照）を除去す

るときに、第１絶縁層１３が剥がれにくくなる。

[0066] 図１８Ａ～図１８Ｆは、本開示の第１３実施形態に係るキャパシタ１００Ｌを製造する方法を説明する図である。図１８Ａ～図１８Ｆでは、第１導電層１２Ｌが基板１１の第１面１１ａ上に形成された後の工程が示されている。図１８Ａは、図４Ｂの状態の第１面１１ａ側の拡大図である。

[0067] 図１８Ａに示すように、基板１１の第１面１１ａに第１導電層１２Ｌが形成されている。次に、図１８Ｂに示すように、物理蒸着（ＰＶＤ）などにより、第１導電層１２Ｌの上面１２ａ及び第１レジスト層３１の上面３１ａを覆うように、例えばチタンなどの導電材料の層（中間層２６に対応）を形成する。ここで、物理蒸着は、例えば、スパッタリング又は蒸着が挙げられる。次に、図１８Ｃに示すように、リフトオフによって第１レジスト層３１を除去する。リフトオフとは、レジストを剥離し、目的のパターンだけを残す方法である。このリフトオフの際に、第１レジスト層３１の上面に形成された導電材料の層は、第１レジスト層３１と共に除去される。これにより、第１導電層１２Ｌの上面１２ａに中間層２６が形成された状態となる。そして、下地層１７のうち第１レジスト層３１によって覆われていた部分（第１導電層１２Ｌが形成されていない部分）を、例えばウェットエッチングにより除去する。なお、第１レジスト層３１を除去した後に、ドライ表面処理によるレジスト残渣を除去する処理が行われてもよい。これにより、次の工程で生成される第１絶縁層１３Ｌの密着性を高めることができる。

[0068] 次に、図１８Ｄに示すように、第１導電層１２Ｌの周囲に、第１導電層１２Ｌから所定の間隔（上述した距離Ｌ２に対応）をあけて第２レジスト層３２を形成する。次に、図１８Ｅに示すように、中間層２６の上面２６ａ及び側面２６ｂ、第１導電層１２Ｌの側面１２ｂ、基板１１の第１面１１ａ、及び、第２レジスト層３２の上面３２ａ及び側面３２ｂを覆うように、第１絶縁層１３Ｌを形成する。次に、図１８Ｆに示すように、リフトオフによって第２レジスト層３２を除去する。本実施形態では、第２レジスト層３２の側面３２ｂに形成された第１絶縁層１３Ｌの少なくとも一部を残すように、リ

フトオフによって第２レジスト層３２を除去する。このリフトオフの際に、第２レジスト層３２の上面３２ａに形成された第１絶縁層１３Ｌは、第２レジスト層３２と共に除去される。リストオフの際に第２レジスト層３２が上方へ向かって引っ張られるように除去されるため、先細形状（先薄形状）となる第４部分１３ｄが形成される。これにより、中間層２６の上に配置された第１部分１３ａと、中間層２６の側面２６ｂ及び第１導電層１２Ｌの側面１２ｂを覆う第２部分１３ｂと、基板１１の第１面１１ａの少なくとも一部を覆う第３部分１３ｃと、基板１１の第１面１１ａから立ち上がるように形成された第４部分１３ｄとを有する第１絶縁層１３Ｌが形成される。その後、図１７に示すように、中間層２６の位置に対応する第１絶縁層１３Ｌの上に第２導電層１４を形成する。

[0069] 上述の図１８Ａ～図１８Ｆの製造方法のように、エッチングをできるだけ使わずに、導電層の形成工程とレジストの剥離（すなわち、リフトオフ）を実施することにより工程数を少なくすることができる。また、ガラス基板などの透明基板を基板１１として採用した場合、エッチングを多く用いた場合よりもガラス基板の透明性が保たれるため、ガラス基板の透明性が影響する光学的要素がキャパシタ等のＭＩＭ構造の近くに配置されている場合に有利になる。

[0070] 図１９は、本開示の第１３実施形態に係るキャパシタ１００Ｌの位置関係を説明する図である。リフトオフを用いて製造されるキャパシタ等のＭＩＭ構造において、隣接するＭＩＭ構造間の距離（あるＭＩＭ構造の第１絶縁層１３Ｌの端部から、隣接するＭＩＭ構造の第１絶縁層１３Ｌの端部までの距離）Ｌ３は、１０μｍ～１ｍｍであることが好ましい。上述のＬ３の範囲は、図１８Ｄにおける第２レジスト層３２の幅を調整することにより設定できる。上述のＬ３の範囲に設定することで、リフトオフの工程にかかる時間を短縮でき、リフトオフに適した構造となる。

[0071] ＜第１４実施形態＞

図２０Ａ～図２０Ｅは、第１実施形態に係るキャパシタ１００を製造する

別の方法を説明する図である。製造方法が異なるため、第１４実施形態として示した。図２０Ａは、図４Ｃの状態の第１面１１ａ側の拡大図である。図２０Ａに示すように、基板１１の第１面１１ａに第１導電層１２が形成されている。次に、図２０Ｂに示すように、第１導電層１２の上面１２ａ及び側面１２ｂと、基板１１の第１面１１ａとに第１絶縁層１３を形成する。次に、図２０Ｃに示すように、第１導電層１２の上面１２ａに対応する第１絶縁層１３の部分に第２導電層１４を形成する。次に、図２０Ｄに示すように、第２導電層１４を覆い、かつ、第１絶縁層１３の第２部分１３ｂから基板１１の第１面１１ａ上に延びる第３部分１３ｃの一部（すなわち、第１絶縁層１３の裾野部分）を覆うように、レジスト層３３を形成する。次に、図２０Ｅに示すように、レジスト層３３に覆われていない第１絶縁層１３をエッチング又はミリング処理）等により除去する。その後、レジスト層３３を除去する。これにより、図３に示すキャパシタ１００を製造することができる。ここで、エッチングは、例えば、反応性イオンエッチング（ＲＩＥ）が挙げられる。また、ミリング処理は、例えば、Ａｒミリング処理が挙げられる。

[0072] 図２１Ａは、本開示の第１４実施形態に係るインターポーザー１０を示す概略平面図である。より具体的には、図２１Ａは、上述の図２０Ａ～図２０Ｅの方法で製造されたキャパシタ１００を含むインターポーザー１０の概略平面図である。図２１Ａでは、説明を簡単にするために多くの構成要素は省略されており、キャパシタ１００については、基板１１の第１面１１ａ側に形成された第１絶縁層１３及び第２導電層１４の一部のみを示している。基板１１の第１面１１ａには、キャパシタ１００（ＭＩＭ構造）を覆うように樹脂層２２が形成されている。キャパシタ１００が配置された領域の周囲には、樹脂層２２の端部に沿って環状の導電層２９及び第１絶縁層１３が形成されている。

[0073] 図２１Ｂは、本開示の第１４実施形態におけるインターポーザーに含まれる環状の導電層２９を示す概略断面図（図２１ＡのＣ－Ｃ線断面図）である。導電層２９は、同じように環状に形成された第１絶縁層１３の上に配置さ

れている。好ましくは、第１絶縁層１３の幅は、導電層２９の幅よりも大きい。導電層２９は、図２０Ｃの製造方法の際に形成することができる。例えば、導電層２９は、第２導電層１４を形成する工程と同時に形成される。図２０Ｃの工程において第２導電層１４を形成する際に、樹脂層２２の端部が形成される予定の位置に沿って、第１絶縁層１３上に環状の導電層２９も形成する。その後、図２０Ｄの工程において、図２１Ｂの二点鎖線で示すように導電層２９の幅よりも広い幅でレジスト層３３を形成する。これにより、第１絶縁層１３を除去する工程を行った場合でも、導電層２９よりも幅が広い第１絶縁層１３が残ることになる。この構成によれば、樹脂層２２の端部の位置において、導電層２９と基板１１との間に導電層２９よりも幅が広い第１絶縁層１３が配置されているため、当該第１絶縁層１３によって樹脂層２２の端部における密着性が向上する。

[0074] ＜第１５実施形態～第１９実施形態＞

次に、図２２～図２４を用いて、第１５実施形態～第１９実施形態に係るキャパシタ（第１導電層、第１絶縁層及び第２導電層）の構成について説明する。これらの図面で説明する構成は、上述した全ての実施形態におけるキャパシタの構成として適用可能である。

[0075] 図２２Ａは、本開示の第１５実施形態に係るキャパシタ１００Ｍ１を示す概略平面図である。図２２Ｂは、本開示の第１６実施形態に係るキャパシタ１００Ｍ２を示す概略平面図である。これらの概略平面図は、基板１１の第１面１１ａを上から見たときの平面図である。第１絶縁層１３Ｍの複数のコーナー部１３ｅのうち少なくとも１つがラウンド形状を有してもよい。図２２Ａに示すように、好ましくは、第１絶縁層１３Ｍの４つのコーナー部１３ｅの全てがラウンド形状を有する。好ましくは、コーナー部１３ｅの曲率半径は、５μｍ以上である。この構成によれば、コーナー部１３ｅへの応力の集中を緩和することにより、第１絶縁層１３Ｍの剥がれを防止することができる。

[0076] 図２２Ｂに示すように、第１導電層１２Ｍの複数のコーナー部１２ｅのう

ち少なくとも１つがラウンド形状を有してもよい。好ましくは、第１導電層１２Ｍの４つのコーナー部１２ｅの全てがラウンド形状を有する。また、第２導電層１４Ｍの複数のコーナー部１４ｅのうち少なくとも１つがラウンド形状を有してもよい。好ましくは、第２導電層１４Ｍの４つのコーナー部１４ｅの全てがラウンド形状を有する。この構成によれば、第１導電層１２Ｍ及び第２導電層１４Ｍのそれぞれにおいてもコーナー部への応力を緩和することができ、キャパシタ（ＭＩＭ構造）全体で剥がれに対する耐性を向上させることができる。なお、第１導電層１２Ｍと第２導電層１４Ｍの少なくとも一方のコーナー部をラウンド形状にすれば、上述の剥がれに対する耐性の効果を得ることができる。第１導電層１２Ｍと第２導電層１４Ｍのコーナー部の曲率半径は、好ましくは、５μｍ以上である。

[0077] 図２３は、本開示の第１７実施形態に係るキャパシタ１００Ｎを示す概略平面図である。この概略平面図は、基板１１の第１面１１ａを上から見たときの平面図である。剥がれを防止する構成は、ラウンド形状に限定されない。例えば、第１絶縁層１３Ｎの複数のコーナー部１３ｅが、補強部１３ｆを有してもよい。図２３の例では、コーナー部１３ｅは、平面視で四角形状の補強部１３ｆを有する。通常尖った形状となるコーナー部１３ｅを幅広の補強部１３ｆで補強することで、コーナー部１３ｅからの剥がれを防止することができる。なお、補強部１３ｆの形状は、四角に限定されず、剥がれの防止に寄与する構造であれば他の形状でもよい。例えば、他の形状としては、コーナー部１３ｅから周囲に拡がった形状であって、本実施形態に例示される直線で囲まれた形状であってもよいし、円等のように曲線で囲まれた形状であってもよいし、直線と曲線と組み合わせによって囲まれた形状であってもよい。

[0078] 図２４Ａは、本開示の第１８実施形態に係るキャパシタ１００Ｐを示す概略平面図である。図２４Ｂは、本開示の第１９実施形態に係るキャパシタ１００Ｑを示す概略平面図である。これらの概略平面図は、基板１１の第１面１１ａを上から見たときの平面図である。第１絶縁層１３Ｐ上において複数

の第２導電層１４Ｐが互いに独立して形成（パターニング）されてもよい。図２４Ａの例では、第１絶縁層１３Ｐ上の第２導電層１４Ｐが、４つの導電部分から構成されている。図示したように、４つの導電部分のそれぞれのコーナー部がラウンド形状を有してもよい。

[0079] また、図２４Ｂに示すように、第２導電層１４Ｑが、コーナー部１４ｅから内側に延びるように形成されたスリット部１４ｇを有してもよい。図２４Ａ及び図２４Ｂの構成に例示されるように、第２導電層１４のパターンを適宜変更することで、設計の自由度を向上させることができる。例えば、第２導電層１４を隣接するキャパシタ（ＭＩＭ構造）の導電層と接続する場合、及び第２導電層１４を半導体チップ５０や配線基板４０に接続する場合における設計の自由度が向上する。

[0080] ＜第２０実施形態～第２２実施形態＞

次に、複数のキャパシタ（ＭＩＭ構造）が隣接して配置された構成について説明する。以下で説明する構成は、上述した全ての実施形態に適用可能である。図２５Ａは、本開示の第２０実施形態に係るキャパシタ１００Ｒの第１導電層１２－１、１２－２と第１絶縁層１３Ｒとの位置関係を示す概略平面図である。図２５Ｂは、本開示の第２１実施形態に係るキャパシタ１００Ｓの第１導電層１２－１、１２－２と第１絶縁層１３Ｓとの位置関係を示す概略平面図である。図２５Ｃは、本開示の第２２実施形態に係るキャパシタ１００Ｔの第１導電層１２－１、１２－２と第１絶縁層１３Ｔとの位置関係を示す概略平面図である。これらの概略平面図は、基板１１の第１面１１ａを上から見たときの平面図である。図２５Ａ～図２５Ｃにおいて第２導電層１４の図示は省略されている。

[0081] 図２５Ａに示すキャパシタ１００Ｒのように、第１絶縁層１３Ｒは、隣接する第１導電層１２－１、１２－２にわたって配置されてもよい。すなわち、第１絶縁層１３Ｒは、隣接する第１導電層１２－１、１２－２のそれぞれの一部を覆う部分、及び基板１１の第１面１１ａ上において、これらの部分を接続する第３部分１３Ｒｃを有する。このように、第３部分１３Ｒｃは、

隣接する第１導電層１２－１、１２－２間で接続するように形成されている。この例では、第１絶縁層１３Ｒは、平面視で長方形である。インターポーザー１０の製造工程では、隣接するキャパシタ（ＭＩＭ構造）間の距離（より詳細には、第１導電層１２－１、１２－２間の距離Ｄ３）が小さくなると、レジストの解像限界に達し、膜の形状が不安定になったり、異物が発生したりするおそれがある。これらは、膜剥がれの発生源となり得る。特に、第１導電層１２－１、１２－２は、貫通電極２０とともに形成する場合、キャパシタとしての機能を実現するために必要な厚さに比べて、非常に厚く形成されている。そのため、距離Ｄ３が小さくなると、第１導電層１２－１、１２－２間に形成されるスリットのアスペクト比が大きくなり、スリット内のレジストの厚さの制御が難しくなる。その結果、第１絶縁層１３Ｒの形状の制御が難しくなる。

[0082] 隣接する第１導電層１２－１、１２－２間で第１絶縁層１３Ｒをキャパシタ毎に分離せずにつなげることで、レジストの解像限界を気にすることなく、設計の自由度が向上する。また、膜の形状が安定し、異物の発生も防止することができる。また、上述した製造工程での課題が解消できることから、隣接する第１導電層１２－１、１２－２をそれぞれ別個の第１絶縁層１３で覆う場合に比べて、隣接する第１導電層１２－１、１２－２間の距離を小さくすることができる。したがって、配線の高密度化が可能となる。

[0083] なお、上述の構成において、距離Ｄ３は、好ましくは、１０μｍ～１００μｍである。

[0084] 第１絶縁層１３Ｒの形状として、他の形状が採用されてもよい。図２５Ｂに示すキャパシタ１００Ｓのように、隣接する第１導電層１２－１、１２－２上の第１絶縁層１３Ｓが、一部分で接続するように形成されてもよい。すなわち、基板１１の第１面１１ａ上の第１絶縁層１３Ｓの第３部分１３Ｓｃが、隣接する第１導電層１２－１、１２－２間でその幅が狭くなるように形成され、隣接する第１導電層１２－１、１２－２間で接続するように形成されてもよい。また、図２５Ｃに示すキャパシタ１００Ｔのように、基板１１

の第１面１１ａ上の第１絶縁層１３の第３部分１３Ｔｃが、スリット部１３ｇを有してもよい。

[0085] なお、図２５Ａ～図２５Ｃでは、隣接する２つの第１導電層１２－１、１２－２にわたって第１絶縁層１３Ｒ、１３Ｓ、１３Ｔを形成する例を示したが、第１絶縁層１３Ｒ、１３Ｓ、１３Ｔが、それぞれ図２５Ａ～図２５Ｃと同様な形状（各第１導電層間の第３部分１３Ｒｃ、１３Ｓｃ、１３Ｔｃ）で３つ以上の第１導電層１２にわたって配置されてもよい。また第１絶縁層１３Ｒ、１３Ｓ、１３Ｔの形状は、平面視の外周が直線で構成されているが、設計の自由度やレジストの解像性、第１面１１ａとの密着性を考慮し曲線で外周を構成してもよい。

[0086] 図２６Ａは、本開示の第１実施形態に係るキャパシタ１００が隣接配置された場合の概略断面図である。図２６Ｂは、本開示の第２０実施形態に係るキャパシタ１００Ｒの第２導電層１４の配置例を説明する概略断面図である。図２６Ｃは、本開示の第２０実施形態に係るキャパシタ１００Ｒの第２導電層１４Ｒの別の配置例を説明する概略断面図である。これらの概略断面図は、隣接するキャパシタ（ＭＩＭ構造）の概略断面図である。図２６Ａは、図３で示した第１実施形態に係るキャパシタ１００が隣接して配置されている構成を示す。すなわち、第１導電層１２－１の一部と基板１１の第１面１１ａの一部が第１絶縁層１３－１で覆われており、第１絶縁層１３－１上に第２導電層１４－１が形成されている。また、第１導電層１２－２の一部と基板１１の第１面１１ａの一部が第１絶縁層１３－２で覆われており、第１絶縁層１３－２上に第２導電層１４－２が形成されている。

[0087] 図２６Ｂは、図２５Ａ～図２５Ｃで示した構成の一例である。ここでは、図２６Ｂが、図２５Ａの例に当てはまる場合について説明する。第１絶縁層１３Ｒは、上述したように、隣接する第１導電層１２－１、１２－２にわたって形成されている。第１絶縁層１３Ｒは、隣接する第１導電層１２－１、１２－２間で基板１１の第１面１１ａ上に第３部分１３Ｒｃが配置され、第１導電層１２－１上の第１絶縁層１３Ｒと、第１導電層１２－２上の第１絶

縁層１３Ｒとを接続するように形成されている。第２導電層１４－１は、第１絶縁層１３Ｒにおける第１導電層１２－１に対応する部分の上に形成されており、第２導電層１４－２は、第１絶縁層１３Ｒにおける第１導電層１２－２に対応する部分の上に形成されている。

[0088] 図２６Ｃは、図２５Ａ～図２５Ｃで示した構成の別の例である。ここでは、図２６Ｃが、図２５Ａの例に当てはまる場合について説明する。第１絶縁層１３Ｒは、隣接する第１導電層１２－１、１２－２にわたって形成されている。第２導電層１４Ｒも同様に形成されている。具体的には、第２導電層１４Ｒは、第１絶縁層１３Ｒにおける第１導電層１２－１に対応する部分、隣接する第１導電層１２－１、１２－２の間の第１絶縁層１３Ｒの第３部分１３Ｒｃ、及び、第１絶縁層１３Ｒにおける第１導電層１２－２に対応する部分にわたって形成されている。

[0089] ＜第２３実施形態＞

図２７は、本開示の第２３実施形態に係るキャパシタ１００Ｐが隣接配置された場合の概略断面図である。この例は、図２４Ａの構成の変形例を示す。第１絶縁層１３Ｐ－１上の第２導電層１４Ｐ－１が、互いに分離した複数の導電部分（第１導電部分１４Ｐ－１ａ及び第２導電部分１４Ｐ－１ｂ）から構成されてもよい。また、第１絶縁層１３Ｐ－２上の第２導電層１４Ｐ－２が、複数の導電部分（第１導電部分１４Ｐ－２ａ及び第２導電部分１４Ｐ－２ｂ）から構成されてもよい。このような構成において、第２導電層１４Ｐ－１の一部と第２導電層１４Ｐ－２の一部とが電気的に接続されてもよい。図２７の例では、第２導電層１４Ｐ－１の第２導電部分１４Ｐ－１ｂと第２導電層１４Ｐ－２の第１導電部分１４Ｐ－２ａとが接続部２４を介して接続されている。

[0090] ＜第２４実施形態＞

図２８は、本開示の第２４実施形態に係るインターポーザー１０Ｕに含まれるキャパシタ１００Ｕ及びインダクタ２７を示す概略平面図である。この概略平面図は、基板１１の第１面１１ａ側の第１導電層１２Ｕを示す平面図

である。図２８において、接続部２４等の一部の構成要素は省略されている。図２９は、本開示の第２４実施形態に係るインターポーザーを示す概略断面図（図２８のＤ－Ｄ線断面図）である。

[0091] 図２８に示すように、インターポーザー１０Ｕは、少なくともインダクタ２７とキャパシタ１００Ｕを備えていてもよい。インターポーザー１０Ｕは、第１導電層１２Ｕに電気的に接続する貫通電極２０ａと、インダクタ２７を構成する複数の貫通電極２０ｂとを少なくとも有してもよい。貫通電極２０ａは、インダクタ２７とキャパシタ１００Ｕ（第１導電層１２Ｕ、第１絶縁層１３Ｕ及び第２導電層１４Ｕ）との間の貫通孔１５－１に形成されている。また、複数の貫通電極２０ｂは、インダクタ２７の点線で囲まれる範囲内の複数の貫通孔１５－２のそれぞれに形成されている。

[0092] 図２９に示すように、基板１１の第１面１１ａ側の第１導電層１２Ｕの一部はインダクタ２７を構成し、第１導電層１２Ｕの他の一部はキャパシタ１００Ｕの下部電極を構成している。基板１１の第１面１１ａ側において、インダクタ２７を構成する第１導電層１２Ｕの厚さＴｈ１は、キャパシタ１００Ｕの下部電極を構成する第１導電層１２Ｕの厚さＴｈ２と実質的に同一であってもよい。なお、両者の厚さが以下の関係を満たす場合であれば実質同一とみなすことができる。

－１０％ ≦ （Ｔｈ１－Ｔｈ２）／Ｔｈ１≦ ＋１０％

[0093] 第１導電層１２Ｕの厚さは、前述のように０．５μｍ～２０μｍであってもよいが、さらに好ましくは、５μｍ～２０μｍであってもよい。インダクタ２７の性能が向上するからである。貫通電極２０ａ、２０ｂの厚さは、基板１１の第１面１１ａにおける第１導電層１２Ｕの厚さの５０％～１００％であってもよい。

[0094] ＜第２５実施形態＞

図３０は、本開示の第２５実施形態に係るキャパシタ１００Ｖを示す概略平面図である。本実施形態では、第１実施形態におけるキャパシタ１００の第２導電層１４が、接続部２４と共用された例を示している。樹脂層２２に

形成されたビアホール２３Ｖは、第１導電層１２等の導電層を露出するためのビアホール２３、例えば、図２のビアホール２３とは別に設けられ、第１絶縁層１３の第１部分１３ａを露出するように形成されている。この例では、ビアホール２３が形成されるときに、ビアホール２３Ｖについても形成される。また、ビアホール２３に対応して接続部２４が形成されるときに、ビアホール２３Ｖにおいても接続部２４Ｖが形成される。なお、ビアホール２３とビアホール２３Ｖは別々に形成されてもよい。また、接続部２４とも接続部２４Ｖも別々に形成されてもよい。この構造によっても、接続部２４Ｖの下部１４Ｖは、第１実施形態における第２導電層１４と同等に機能する。なお、下部１４Ｖは、第１絶縁層１３に接する部分を含んでいる。

[0095] ＜第２６実施形態＞

第２６実施形態では、第１実施形態におけるインターポーザー１０を用いて製造される半導体装置について説明する。

[0096] 図３１は、本開示の第２６実施形態における半導体装置を示す図である。半導体装置１０００は、積層された３つのインターポーザー１０（１０－１、１０－２、１０－３）を有し、ＬＳＩ基板７０に接続されている。インターポーザー１０－１は、例えば、ＤＲＡＭ等の半導体素子を有し、また、接続部２４等で形成された接続端子８１－１、８２－１を有している。これらのインターポーザー１０（１０－１、１０－２、１０－３）がガラス基板を用いたものでなくてもよく、一部のインターポーザー１０は、他のインターポーザー１０とは異なる材料の基板を用いたものであってもよい。接続端子８１－１は、ＬＳＩ基板７０の接続端子８０に対して、バンプ９０－１を介して接続されている。接続端子８２－１は、インターポーザー１０－２の接続端子８１－２に対して、バンプ９０－２を介して接続されている。インターポーザー１０－２の接続端子８２－２と、インターポーザー１０－３の接続端子８３－１とについても、バンプ９０－３を介して接続されている。バンプ９０（９０－１、９０－２、９０－３）は、例えば、インジウム、銅、金等の金属を用いる。

[0097] なお、インターポーザー１０を積層する場合には、３層に限らず、２層であってもよいし、さらに４層以上であってもよい。また、インターポーザー１０と他の基板との接続は、バンプによるものに限らず、共晶接合など、他の接合技術を用いてもよい。また、ポリイミド、エポキシ樹脂等を塗布、焼成して、インターポーザー１０と他の基板とが接着されてもよい。

[0098] 図３２は、本開示の第２６実施形態における半導体装置の別の例を示す図である。図３２に示す半導体装置１０００は、ＭＥＭＳデバイス、ＣＰＵ、メモリ等の半導体回路基板（半導体チップ）７１－１、７１－２、及びインターポーザー１０を積層した積層構造体を有し、ＬＳＩ基板７０に接続されている。

[0099] インターポーザー１０は、半導体回路基板７１－１と半導体回路基板７１－２との間に配置され、バンプ９０－１、９０－２を介して、それぞれに接続されている。ＬＳＩ基板７０上に半導体回路基板７１－１が載置されている。ＬＳＩ基板７０と半導体回路基板７１－２とはワイヤ９５により接続されている。この例では、インターポーザー１０は、複数の半導体回路基板を積層して３次元実装するためのインターポーザーとして用いられる。インターポーザー１０がそれぞれ機能の異なる複数の半導体回路基板と接続することで、多機能の半導体装置を実現することができる。例えば、半導体回路基板７１－１を３軸加速度センサとし、半導体回路基板７１－２を２軸磁気センサとすることによって、５軸モーションセンサを１つのモジュールで実現した半導体装置を実現することができる。

[0100] 半導体回路基板がＭＥＭＳデバイスにより形成されたセンサなどである場合には、センシング結果がアナログ信号により出力される場合がある。この場合には、ローパスフィルタ、アンプ等についても半導体回路基板又はインターポーザー１０に形成してもよい。

[0101] 図３３は、本開示の第２６実施形態における半導体装置のさらに別の例を示す図である。上記２つの例（図３１、図３２）は、３次元実装であったが、この例では、２．５次元実装に適用した例である。図３３に示す例では、

ＬＳＩ基板７０には、６つのインターポーザー１０（１０－１～１０－６）が積層されて接続されている。ただし、全てのインターポーザー１０が積層して配置されているだけでなく、基板面内方向にも並んで配置されている。

[0102] 図３３の例では、ＬＳＩ基板７０上にインターポーザー１０－１、１０－５が接続され、インターポーザー１０－１上にインターポーザー１０－２、１０－４が接続され、インターポーザー１０－２上にインターポーザー１０－３が接続され、インターポーザー１０－５上にインターポーザー１０－６が接続されている。なお、図３３に示す例のように、インターポーザー１０を複数の半導体回路基板を接続するためのインターポーザーとして用いても、このような２．５次元実装が可能である。例えば、インターポーザー１０－３、１０－４、１０－６などが半導体回路基板に置き換えられてもよい。

[0103] 上述のように製造された半導体装置１０００は、例えば、携帯端末、情報処理装置、家電等、様々な電子機器に搭載される。携帯端末は、より具体的には、携帯電話、スマートフォン及びノート型パーソナルコンピュータ等が挙げられる。情報処理装置は、より具体的には、デスクトップ型パーソナルコンピュータ、サーバ、カーナビゲーション等が挙げられる。なお、電子機器の例としては、例えば、ワイヤレスローカルエリアネットワーク（ＬＡＮ）デバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（ＰＤＡ）、固定位置データユニットであってもよい。

[0104] 図３４は、本開示の第２６実施形態における半導体装置を用いた電子機器の一例を説明する図である。

[0105] 半導体装置１０００が搭載された電子機器の例として、スマートフォン５００及びノート型パーソナルコンピュータ６００を示した。これらの電子機器は、アプリケーションプログラムを実行して各種機能を実現するＣＰＵ等で構成される制御部１１００を有する。各種機能には、半導体装置１０００からの出力信号を用いる機能が含まれる。なお、半導体装置１０００が制御部１１００の機能を有していてもよい。

[0106] ＜変形例＞

本開示は上述した実施形態に限定されるものではなく、他の様々な変形例が含まれる。例えば、上述した実施形態は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることがあり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。以下、一部の変形例について説明する。

[0107] （１）上述した貫通電極２０が形成された基板１１は、配線基板と半導体チップ等の間に配置されるインターポーザーとして用いられる場合を例として説明したが、これに限定されない。すなわち、上述した貫通電極２０が形成された基板１１は、貫通電極基板として用いることができる。ここで、貫通電極基板とは、配線基板と半導体チップ等の間に配置されるインターポーザーだけでなく、半導体チップ等を設置しないＩＰＤ（Ｉｎｔｅｇｒａｔｅｄ Ｐａｓｓｉｖｅ Ｄｅｖｉｃｅ）等も含んでいる。この場合、上側及び下側の配線基板の一方が貫通電極と電気的に接続するように存在する態様となる。一方、半導体チップ等は、配線基板上において、貫通電極基板と異なる位置に配置されて、配線基板と電気的に接続されてもよい。

[0108] （２）上述した各実施形態におけるキャパシタにおいて、例えば、キャパシタ１００では、第１絶縁層１３が第１導電層１２の側面１２ｂにおいて図上の左右対称に配置されている態様が図示されているが、これに限定されない。例えば、第１導電層１２の左側の側面１２ｂ及び基板１１の第１面１１ａが図３に示す第１実施形態のキャパシタ１００のように第１絶縁層１３の第２部分１３ｂ及び第３部分１３ｃで覆われる。一方、第１導電層１２の右側の側面１２ｂが、図５に示す第２実施形態のように第１絶縁層１３Ａに覆われていてもよいし、図６に示す第３実施形態のように第１絶縁層１３Ｂに覆われていてもよい。

[0109] （３）上述した各実施形態におけるキャパシタにおいて、基板１１と第１導電層１２との間、第１導電層１２と第１絶縁層１３との間、第１絶縁層１３と第２導電層１４との間に、図示しない層が形成されていてもよい。

[0110] （４）本開示によれば、以下のような貫通電極基板を提供することもできる。

[0111] 本開示によれば、第１面と前記第１面に対して対向する第２面とを有する基板と、前記基板を貫通する貫通電極と、前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、前記第１導電層の上に配置された絶縁層と、前記絶縁層の上に配置された第２導電層とを備え、前記絶縁層は、前記第１導電層と前記第２導電層の間に配置された第１部分と、前記第１導電層の側面の少なくとも一部を覆う第２部分と、を有する、貫通電極基板が提供される。

[0112] 本開示によれば、前記絶縁層の前記第１部分の厚みは、２００ｎｍ～４００ｎｍであり、前記絶縁層の前記第２部分の厚みは、５０ｎｍ～１００ｎｍである、貫通電極基板が提供される。

[0113] 本開示によれば、前記絶縁層は、前記第２部分から延びて前記基板の前記第１面の少なくとも一部を覆う第３部分をさらに有する、貫通電極基板が提供される。

[0114] 本開示によれば、前記絶縁層の前記第３部分の厚みは、５０ｎｍ～２００ｎｍである、貫通電極基板が提供される。

[0115] 本開示によれば、前記基板と前記第１導電層との間に配置された下地層をさらに備え、前記下地層が、前記第１導電層の前記側面よりも内側に入り込んだリセス部を有する、貫通電極基板が提供される。

[0116] 本開示によれば、前記絶縁層の前記第３部分は、前記リセス部を充填するように配置されている、貫通電極基板が提供される。

[0117] 本開示によれば、前記絶縁層の前記第３部分は、前記リセス部に空間を残すように配置されている、貫通電極基板が提供される。

[0118] 本開示によれば、前記絶縁層は、前記第３部分に接続され、前記基板の前

記第１面に交差する方向に延びる第４部分をさらに有する、貫通電極基板が提供される。

[0119] 本開示によれば、前記第１導電層と前記絶縁層との間に中間層をさらに備える、貫通電極基板が提供される。

[0120] 本開示によれば、前記第３部分の長さは、２０μｍ以上である、貫通電極基板が提供される。

[0121] 本開示によれば、前記第４部分の高さは２５μｍ以上である、貫通電極基板が提供される。

[0122] 本開示によれば、前記第１導電層、前記絶縁層、及び前記第２導電層の少なくとも１つは、平面視においてラウンド形状のコーナー部を有する、貫通電極基板が提供される。

[0123] 本開示によれば、前記絶縁層の前記第２部分は、前記第１部分とは異なる材料で形成されている、貫通電極基板が提供される。

[0124] 本開示によれば、前記第２部分の材料は、絶縁性樹脂である、貫通電極基板が提供される。

[0125] 本開示によれば、前記第１面に配置された樹脂層と、前記樹脂層の端部に沿って形成された環状の導電層と、前記環状の導電層と前記第１面との間に配置され、前記環状の導電層より幅が広い環状の絶縁層と、をさらに有する、貫通電極基板が提供される。

[0126] 本開示によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、前記第１導電層の上面に第１絶縁層を形成する工程と、前記第１導電層の側面の少なくとも一部及び前記第１絶縁層を覆うように第２絶縁層を形成する工程と、前記第１導電層の上方に位置する前記第２絶縁層の一部を除去する工程と、前記第２絶縁層の除去された部分に第２導電層を形成する工程と、を含む貫通電極基板の製造方法が提供される。

[0127] 本開示によれば、前記第２絶縁層は感光性樹脂であり、前記除去する工程がフォトリソグラフィにより実施される、貫通電極基板の製造方法が提供される。

[0128] 本開示によれば、前記第２絶縁層を形成する工程において、 第１の圧力下で前記第２絶縁層を塗布した後、前記第１の圧力よりも高い第２の圧力下に前記基板を配置することを含む、貫通電極基板の製造方法が提供される。

[0129] 本開示によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記第１面に第１レジストを形成する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、 前記第１導電層上に中間層を形成する工程と、リフトオフによって前記第１レジストを除去する工程と、前記第１導電層の周囲に第２レジストを形成する工程と、前記中間層の上面及び側面と、前記第１導電層の側面と、前記第１面と、前記第２レジストの上面及び側面とに、第１絶縁層を形成する工程と、前記第２レジストの前記側面に形成された前記第１絶縁層の少なくとも一部を残すように、リフトオフによって前記第２レジストを除去する工程と、前記中間層の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程と、を含む貫通電極基板の製造方法が提供される。

[0130] 本開示によれば、第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、前記第１面に第１レジストを形成する工程と、前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、前記第１導電層の上面及び側面と、前記第１面とに第１絶縁層を形成する工程と、前記第１導電層の前記上面の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程と、前記第２導電層を覆い、かつ、前記第１面上の前記第１絶縁層の一部を覆うように第２レジスト層を形成する工程と、前記第２レジスト層に覆

われていない前記第１絶縁層の部分を除去する工程と、前記第２レジスト層を除去する工程と、を含む貫通電極基板の製造方法が提供される。

[0131] 本開示によれば、前記第１面に樹脂層を形成する工程をさらに含み、前記第２導電層を形成する工程は、前記樹脂層の端部が形成される位置に沿って前記第１絶縁層上に環状の導電層を形成することを含み、前記第２レジスト層を形成する工程は、前記環状の導電層の幅よりも広い幅で前記第２レジスト層を形成することを含む、貫通電極基板の製造方法が提供される。

[0132] なお、上記貫通電極基板は、インターポーザーとして用いることも可能である。

符号の説明

[0133] １０，１０Ｕ…インターポーザー、１１…基板、１２，１２Ｇ，１２Ｋ，１２Ｌ，１２Ｍ，１２Ｕ…第１導電層、１３，１３Ａ，１３Ｂ，１３Ｃ，１３Ｅ，１３Ｊ，１３Ｋ，１３Ｌ，１３Ｍ，１３Ｎ，１３Ｐ，１３Ｒ，１３Ｓ，１３Ｔ，１３Ｕ…第１絶縁層、１４，１４Ｆ，１４Ｋ，１４Ｍ，１４Ｐ，１４Ｑ，１４Ｒ，１４Ｕ…第２導電層、１５…貫通孔、１７…下地層、１８…空間、１９…第２絶縁層、２０…貫通電極、２１…第３導電層、２２…樹脂層、２３，２３Ｖ…ビアホール、２４，２４Ｖ…接続部、２５…ボールはんだ、２６…中間層、２７…インダクタ、２９…導電層、３１…第１レジスト層、３２…第２レジスト層、３３…レジスト層、４０…配線基板、５０…半導体チップ、７０…基板、７１…半導体回路基板、８０，８１，８２，８３…接続端子、９０…バンプ、９５…ワイヤ、１００，１００Ａ，１００Ｂ，１００Ｃ，１００Ｄ，１００Ｅ，１００Ｆ，１００Ｇ，１００Ｈ，１００Ｉ，１００Ｊ，１００Ｋ，１００Ｌ，１００Ｍ１，１００Ｍ２，１００Ｎ，１００Ｐ，１００Ｑ，１００Ｒ，１００Ｓ，１００Ｔ，１００Ｕ…キャパシタ、１００Ｖ…キャパシタ、５００…スマートフォン、６００…ノート型パーソナルコンピュータ、１０００…半導体装置、１１００…制御部

請求の範囲

[請求項1] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する複数の貫通電極と、

前記基板の前記第１面側に配置され、複数の前記貫通電極の少なくとも１つと電気的に接続された第１キャパシタとを有し、

前記第１キャパシタは、

前記基板の前記第１面側に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層と、を含み、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有する、貫通電極基板。

[請求項2] 前記絶縁層の前記第２部分の厚みは、前記絶縁層の前記第１部分の厚みの１／４以上１／２以下である、請求項１に記載の貫通電極基板。

[請求項3] 前記絶縁層の前記第２部分の厚みは、５０ｎｍ以上１００ｎｍ以下である、請求項１に記載の貫通電極基板。

[請求項4] 前記絶縁層は、前記第２部分から延びて前記基板の前記第１面の少なくとも一部を覆う第３部分をさらに有する、請求項１に記載の貫通電極基板。

[請求項5] 前記第２導電層は、前記絶縁層の前記第１部分、前記第２部分、及び前記第３部分にわたって配置されている、請求項４に記載の貫通電極基板。

[請求項6] 前記絶縁層は、前記第３部分に接続され、前記基板の外方に延びる第４部分をさらに有する、請求項４に記載の貫通電極基板。

[請求項7] 前記絶縁層の前記第２部分は、前記第１部分と同じ材料で形成され

、前記第１部分から連続的に延びている、請求項１に記載の貫通電極基板。

[請求項8] 前記基板は、ガラス基板である、請求項１に記載の貫通電極基板。

[請求項9] 前記絶縁層は、前記第２部分に接続し、前記貫通電極の少なくとも一部を覆う部分を有する、請求項１に記載の貫通電極基板。

[請求項10] 前記第２導電層は、互いに分離した複数の導電部分から構成される、請求項１に記載の貫通電極基板。

[請求項11] 前記第１導電層は、前記第１面上に複数形成されており、

前記絶縁層は、前記第１導電層の一部と、当該第１導電層に隣接する他の第１導電層の一部とを覆い、かつ、前記第１導電層と前記他の第１導電層との間で接続するように形成されている、請求項１に記載の貫通電極基板。

[請求項12] 前記第２導電層は、前記絶縁層上において、前記第１導電層から前記他の第１導電層にわたって形成されている、請求項１１に記載の貫通電極基板。

[請求項13] 前記貫通電極基板は、前記第１キャパシタと電気的に接続されたインダクタをさらに有し、

前記インダクタは、複数の前記貫通電極のうち１つ以上を含んで構成されている、請求項１に記載の貫通電極基板。

[請求項14] 前記第１導電層の厚さは、５μｍ～２０μｍであり、前記インダクタを構成する前記貫通電極の厚さは、５μｍ～２０μｍである、請求項１３に記載の貫通電極基板。

[請求項15] 前記第１キャパシタを覆う樹脂層をさらに有し、

前記絶縁層は、前記樹脂層よりも比誘電率が高い、請求項１に記載の貫通電極基板。

[請求項16] 前記第１キャパシタに隣接する第２キャパシタを有し、

前記第２キャパシタは、前記第１導電層、前記絶縁層及び前記第２導電層を含み、

前記第１キャパシタの前記絶縁層と前記第２キャパシタの前記絶縁層とは分離されている、請求項１に記載の貫通電極基板。

[請求項17] 前記第１キャパシタに隣接する第２キャパシタを有し、

前記第２キャパシタは、前記第１導電層、前記絶縁層及び前記第２導電層を含み、

前記第１キャパシタの前記第１導電層と前記第２キャパシタの前記第１導電層とは分離され、

前記第１キャパシタの前記絶縁層と前記第２キャパシタの前記絶縁層とが接続されている、請求項１に記載の貫通電極基板。

[請求項18] 前記第１キャパシタの前記第２導電層と前記第２キャパシタの前記第２導電層とは分離されている、請求項１７に記載の貫通電極基板。

[請求項19] 前記第１キャパシタの前記第２導電層と前記第２キャパシタの前記第２導電層とは接続されている、請求項１７に記載の貫通電極基板。

[請求項20] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記絶縁層の前記第１部分の厚みは、２００ｎｍ～４００ｎｍであり、前記絶縁層の前記第２部分の厚みは、５０ｎｍ～１００ｎｍである、貫通電極基板。

[請求項21] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記絶縁層は、前記第２部分から延びて前記基板の前記第１面の少なくとも一部を覆う第３部分をさらに有し、

前記絶縁層の前記第３部分の厚みは、５０ｎｍ～２００ｎｍである、貫通電極基板。

[請求項22] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記絶縁層は、前記第２部分から延びて前記基板の前記第１面の少なくとも一部を覆う第３部分をさらに有し、

前記基板と前記第１導電層との間に配置された下地層をさらに備え、

前記下地層が、前記第１導電層の前記側面よりも内側に入り込んだリセス部を有する、

貫通電極基板。

[請求項23] 前記絶縁層の前記第３部分は、前記リセス部を充填するように配置されている、請求項２２に記載の貫通電極基板。

[請求項24] 前記絶縁層の前記第３部分は、前記リセス部に空間を残すように配置されている、請求項２２に記載の貫通電極基板。

[請求項25] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記絶縁層は、前記第２部分から延びて前記基板の前記第１面の少なくとも一部を覆う第３部分をさらに有し、

前記絶縁層は、前記第３部分に接続され、前記基板の前記第１面に交差する方向に延びる第４部分をさらに有する、貫通電極基板。

[請求項26] 前記第１導電層と前記絶縁層との間に中間層をさらに備える、請求項２５に記載の貫通電極基板。

[請求項27] 前記第３部分の長さは、２０μｍ以上である、請求項２５に記載の貫通電極基板。

[請求項28] 前記第４部分の高さは２５μｍ以上である、請求項２５に記載の貫通電極基板。

[請求項29] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続さ

れた第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記第１導電層、前記絶縁層、及び前記第２導電層の少なくとも１つは、平面視においてラウンド形状のコーナー部を有する、貫通電極基板。

[請求項30] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記絶縁層の前記第２部分は、前記第１部分とは異なる材料で形成されている、貫通電極基板。

[請求項31] 前記第２部分の材料は、絶縁性樹脂である、請求項３０に記載の貫通電極基板。

[請求項32] 第１面と前記第１面に対向する第２面とを有する基板と、

前記基板を貫通する貫通電極と、

前記基板の前記第１面に配置され、前記貫通電極と電気的に接続された第１導電層と、

前記第１導電層の上に配置された絶縁層と、

前記絶縁層の上に配置された第２導電層とを備え、

前記絶縁層は、

前記第１導電層と前記第２導電層の間に配置された第１部分と、

前記第１導電層の側面の少なくとも一部を覆う第２部分と、

を有し、

前記第１面に配置された樹脂層と、

前記樹脂層の端部に沿って形成された環状の導電層と、

前記環状の導電層と前記第１面との間に配置され、前記環状の導電層より幅が広い環状の絶縁層と、

をさらに有する、貫通電極基板。

[請求項33] 請求項１～３２のいずれか一項に記載の貫通電極基板と、

前記貫通電極基板の前記基板の前記第１面側に配置され、前記貫通電極と電気的に接続された半導体チップと、

前記基板の前記第２面側に配置され、前記貫通電極と電気的に接続された配線基板と、を有する、半導体装置。

[請求項34] 請求項１～３２のいずれか一項に記載の貫通電極基板と、

前記貫通電極基板の前記基板の前記第２面側に配置され、前記貫通電極と電気的に接続された配線基板と、

前記配線基板上において前記貫通電極基板と異なる位置に配置され、前記配線基板と電気的に接続された半導体チップと、を有する、半導体装置。

[請求項35] 第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、

前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、

前記第１導電層の上面に第１絶縁層を形成する工程と、

前記第１導電層の側面の少なくとも一部及び前記第１絶縁層を覆うように第２絶縁層を形成する工程と、

前記第１導電層の上方に位置する前記第２絶縁層の一部を除去する工程と、

前記第２絶縁層の除去された部分に第２導電層を形成する工程と、を含む貫通電極基板の製造方法。

[請求項36] 前記第２絶縁層は感光性樹脂であり、前記除去する工程がフォトリソグラフィにより実施される、請求項３５に記載の貫通電極基板の製造方法。

[請求項37] 前記第２絶縁層を形成する工程において、

第１の圧力下で前記第２絶縁層を塗布した後、前記第１の圧力よりも高い第２の圧力下に前記基板を配置することを含む、請求項３５又は３６に記載の貫通電極基板の製造方法。

[請求項38] 第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、

前記第１面に第１レジストを形成する工程と、

前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、

前記第１導電層上に中間層を形成する工程と、

リフトオフによって前記第１レジストを除去する工程と、

前記第１導電層の周囲に第２レジストを形成する工程と、

前記中間層の上面及び側面と、前記第１導電層の側面と、前記第１面と、前記第２レジストの上面及び側面とに、第１絶縁層を形成する工程と、

前記第２レジストの前記側面に形成された前記第１絶縁層の少なくとも一部を残すように、リフトオフによって前記第２レジストを除去する工程と、

前記中間層の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程と、

を含む貫通電極基板の製造方法。

[請求項39] 第１面と前記第１面に対向する第２面とを有し、前記第１面と前記第２面を貫通する貫通孔を有する基板を提供する工程と、

前記第１面に第１レジストを形成する工程と、

前記基板の前記貫通孔に前記第１面と前記第２面とを導通する貫通電極と、前記基板の前記第１面に前記貫通電極と電気的に接続された第１導電層を形成する工程と、

前記第１導電層の上面及び側面と、前記第１面とに第１絶縁層を形成する工程と、

前記第１導電層の前記上面の位置に対応する前記第１絶縁層の上に第２導電層を形成する工程と、

前記第２導電層を覆い、かつ、前記第１面上の前記第１絶縁層の一部を覆うように第２レジスト層を形成する工程と、

前記第２レジスト層に覆われていない前記第１絶縁層の部分を除去する工程と、

前記第２レジスト層を除去する工程と、

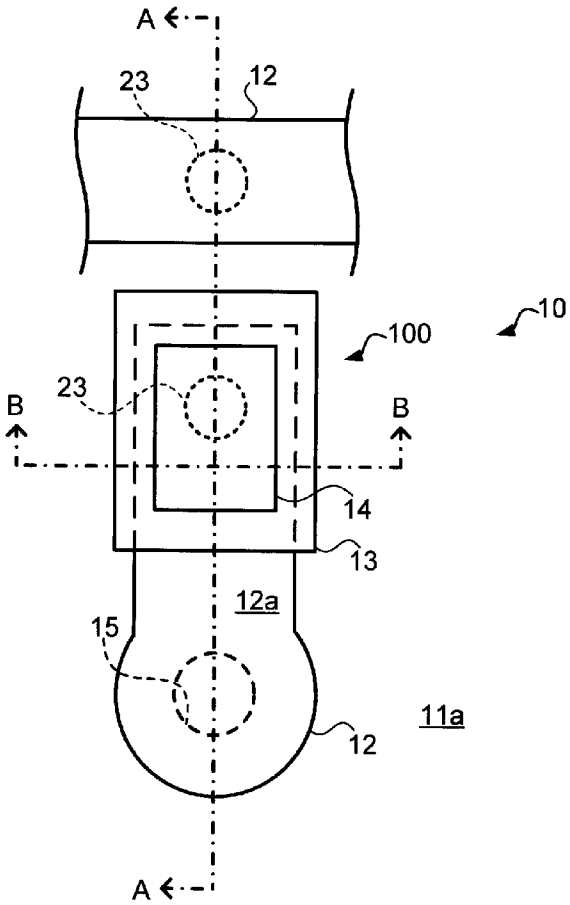
を含む貫通電極基板の製造方法。

[請求項40] 前記第１面に樹脂層を形成する工程をさらに含み、

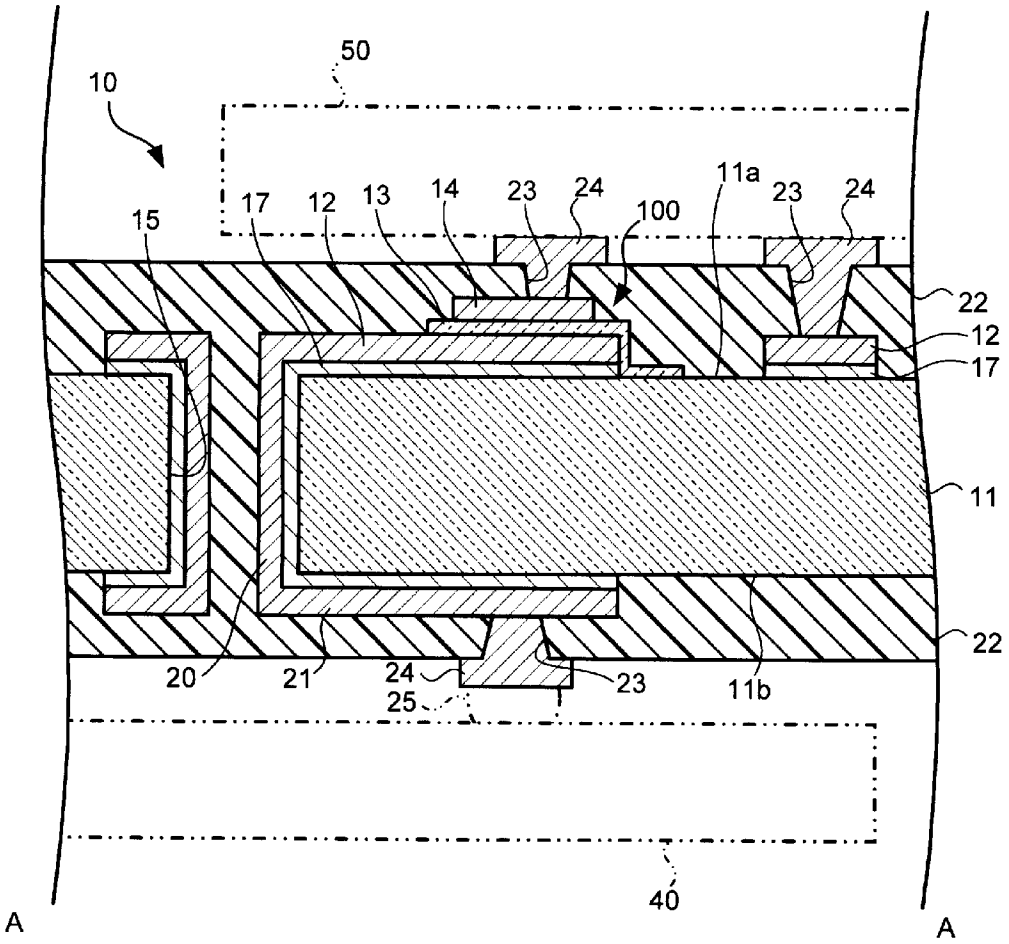
前記第２導電層を形成する工程は、前記樹脂層の端部が形成される位置に沿って前記第１絶縁層上に環状の導電層を形成することを含み、

前記第２レジスト層を形成する工程は、前記環状の導電層の幅よりも広い幅で前記第２レジスト層を形成することを含む、請求項３９に記載の貫通電極基板の製造方法。

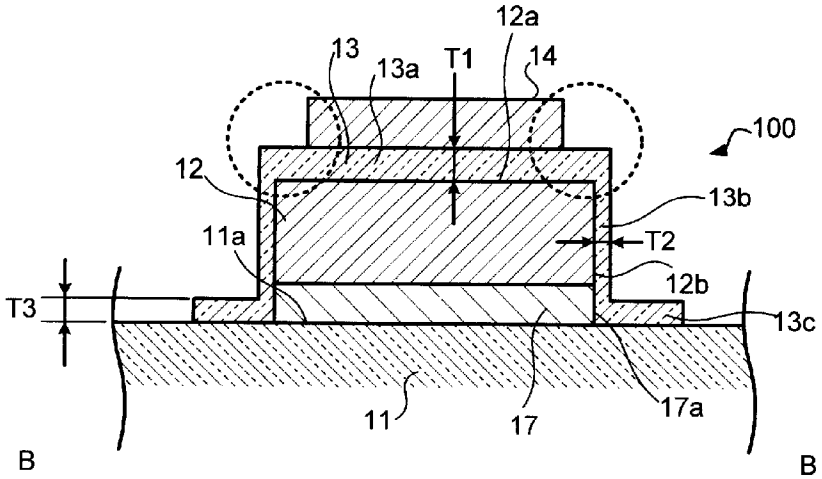
[図1]



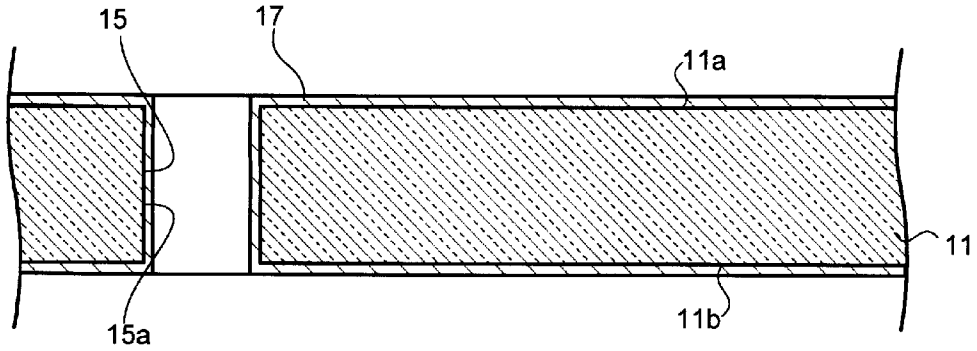
[図2]


50
10
17
12
13
14
23
24
100
11a
23
24
15
22
12
17
11
22
20
21
24
25
23
11b
40
A
A

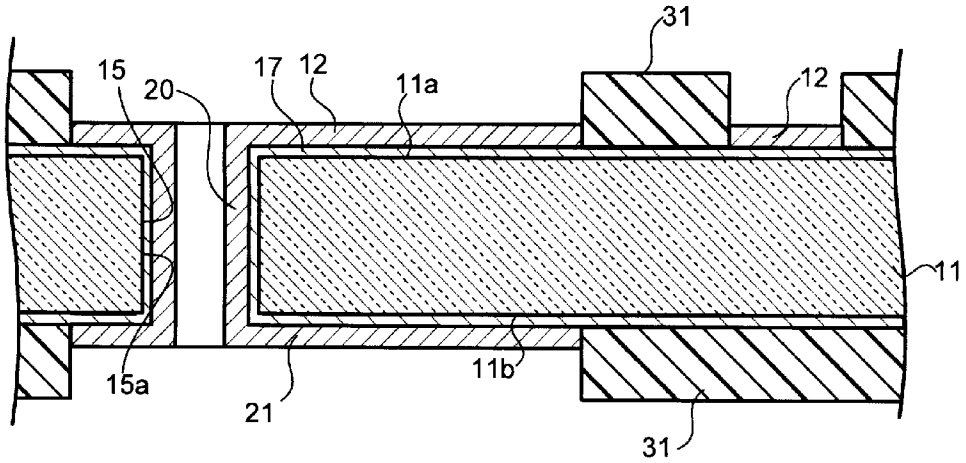
[図3]


12a
13
13a
T1
14
100
12
13b
11a
T2
12b
T3
13c
11
17
17a
B
B

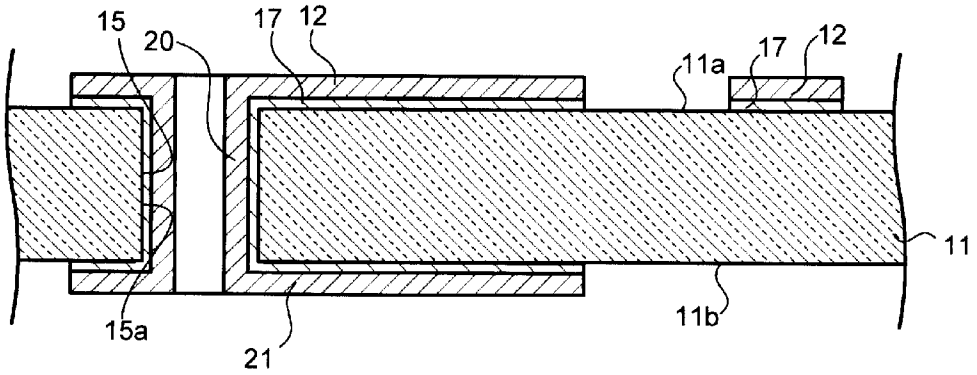
[図4A]


15
17
11a
11
15a
11b

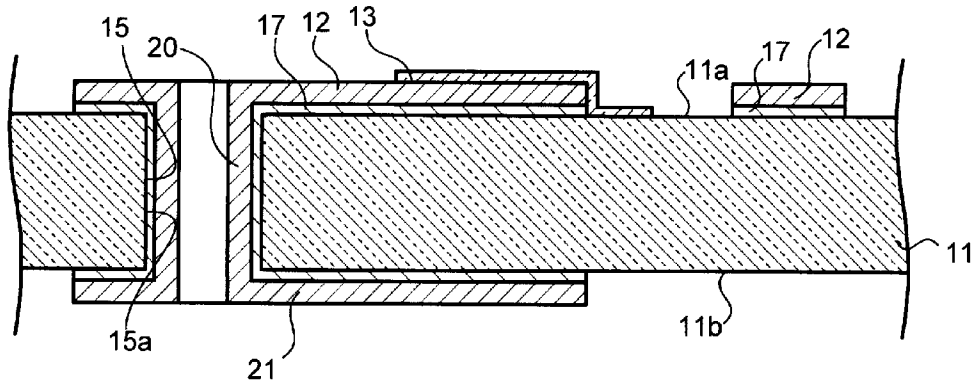
[図4B]


31
15
20
17
12
11a
12
11
15a
21
11b
31

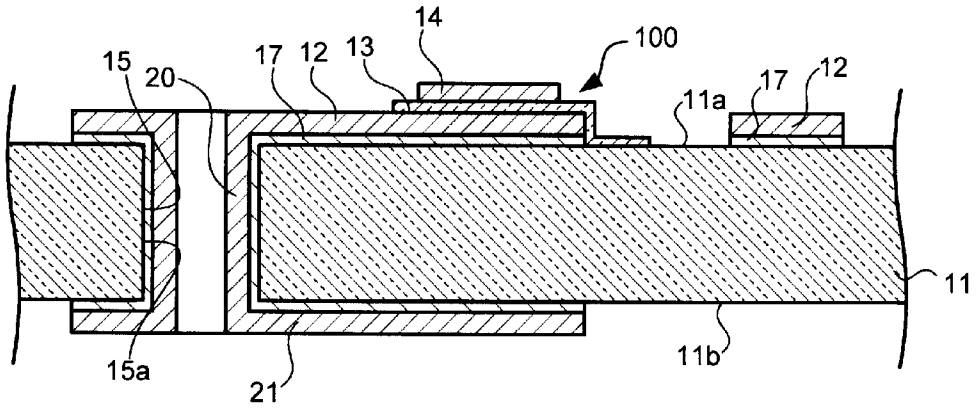
[図4C]


15
20
17
12
11a
17
12
11
15a
21
11b

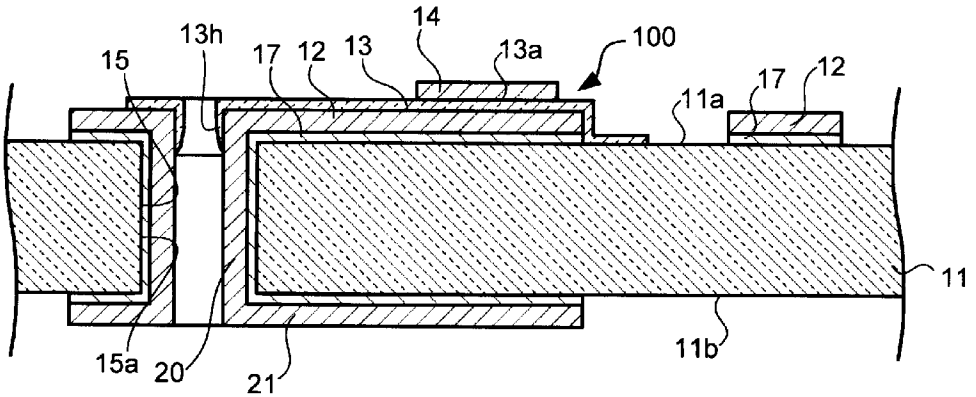
[図4D]


15
20
17
12
13
11a
17
12
11
15a
21
11b

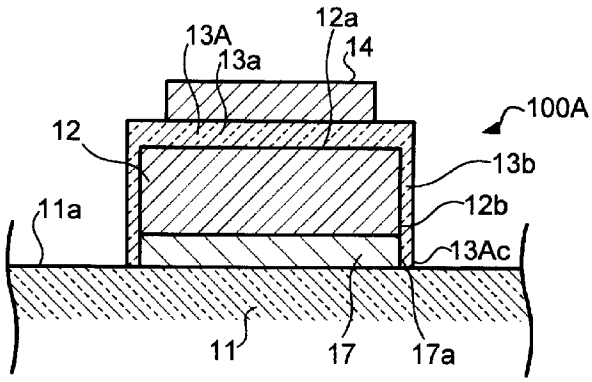
[図4E]


14
100
15
20
17
12
13
11a
17
12
11
15a
21
11b

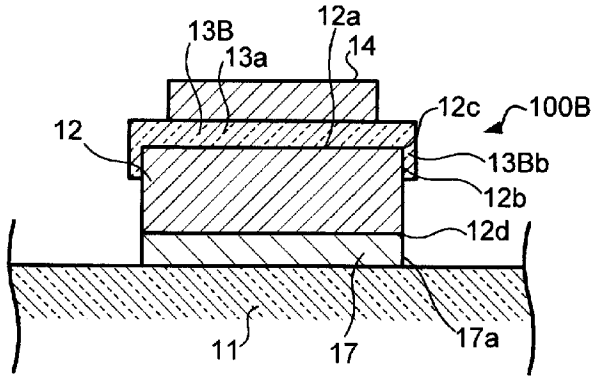
[図4F]


13h
14
15
17
12
13
13a
100
11a
17
12
11
15a
20
21
11b

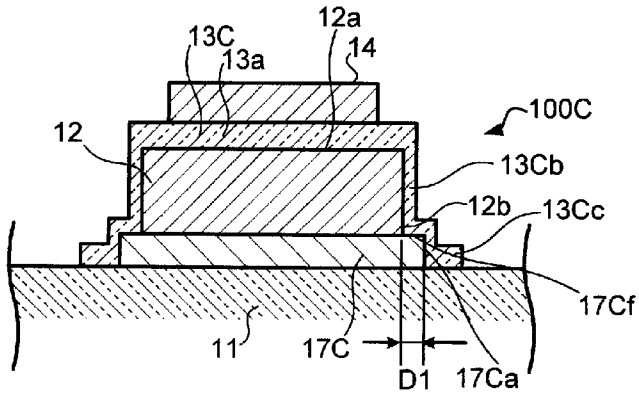
[図5]


13A
13a
12a
14
100A
12
13b
11a
12b
13Ac
11
17
17a

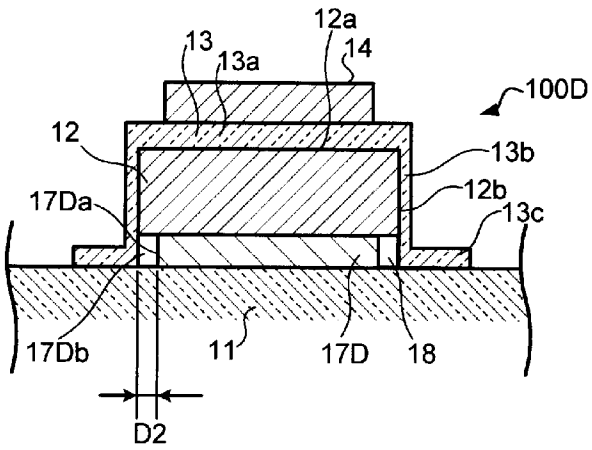
[図6]


13B
13a
12a
14
12c
100B
12
13Bb
12b
12d
11
17
17a

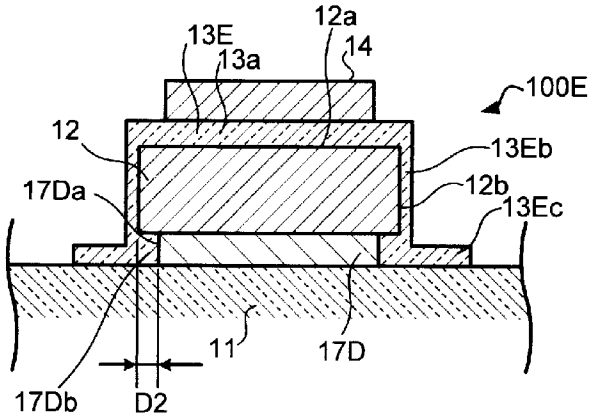
[図7]


13C
13a
12a
14
100C
12
13Cb
12b
13Cc
17Cf
11
17C
D1
17Ca

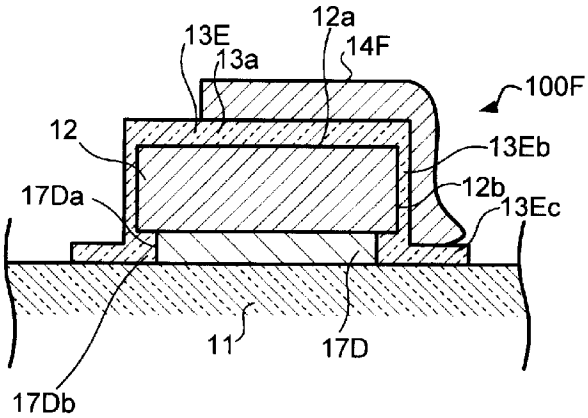
[図8]


12a
13
13a
14
100D
12
13b
12b
17Da
13c
17Db
11
17D
18
D2

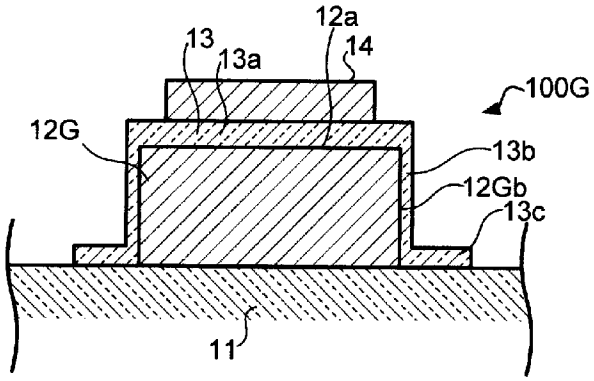
[図9]


12a
13E
13a
14
100E
12
13Eb
12b
17Da
13Ec
11
17D
17Db
D2

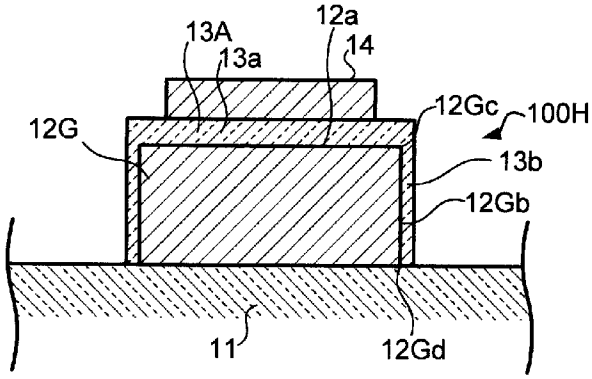
[図10]


12a
13E
14F
13a
100F
12
13Eb
12b
17Da
13Ec
11
17D
17Db

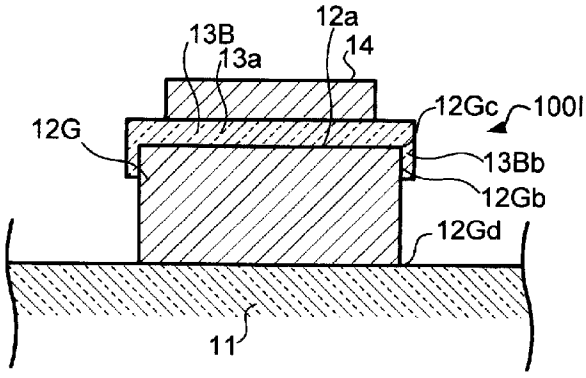
[図11]


12a
13
13a
14
100G
12G
13b
12Gb
13c
11

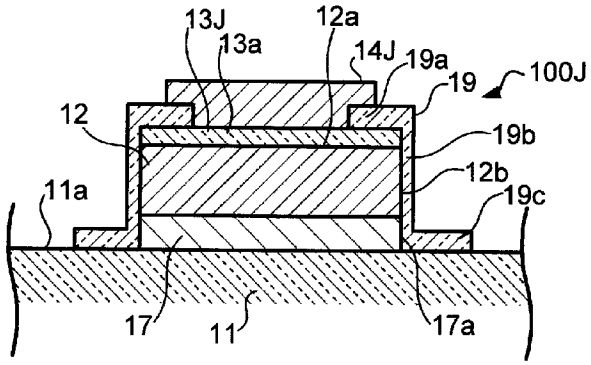
[図12]


13A
12a
13a
14
12Gc
100H
12G
13b
12Gb
11
12Gd

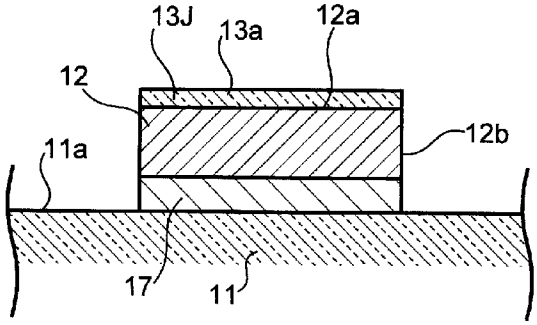
[図13]


13B
12a
13a
14
12Gc
100I
12G
13Bb
12Gb
12Gd
11

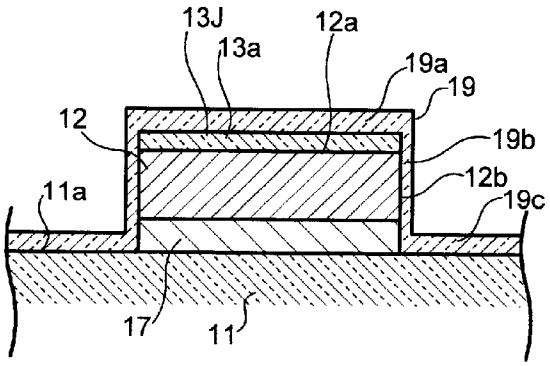
[図14]



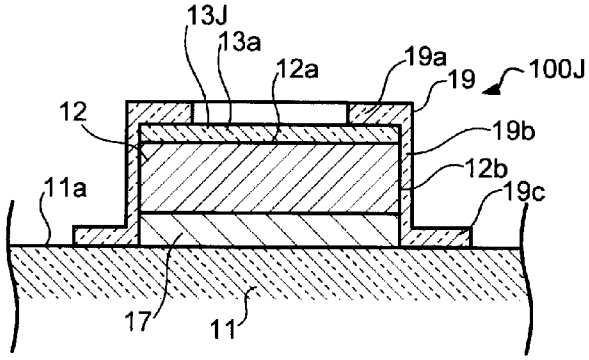
[図15A]



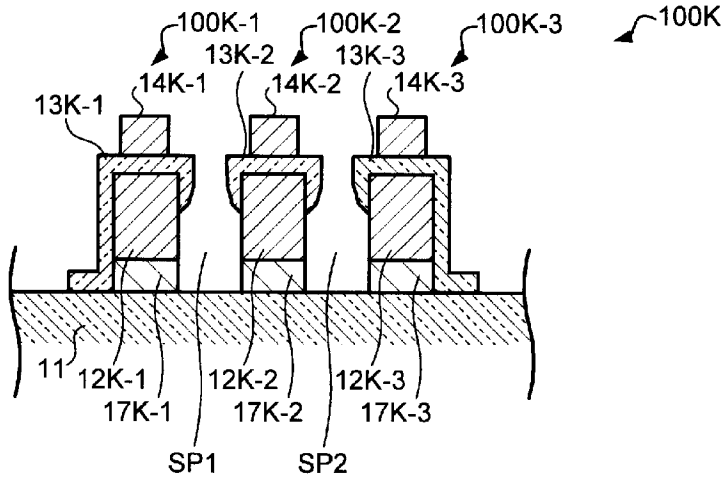
[図15B]



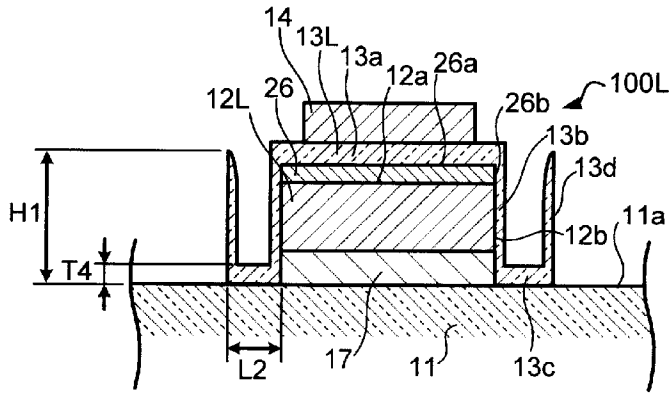
[図15C]


13J
13a
12a
19a
19
100J
12
19b
12b
19c
11a
17
11

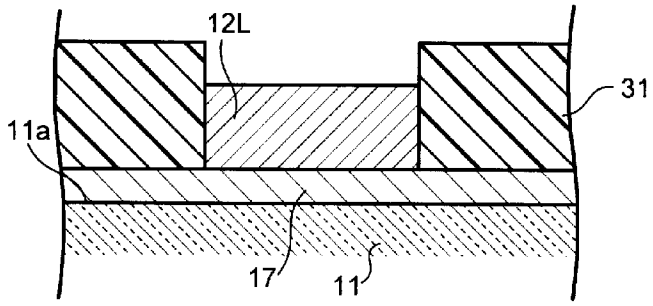
[図16]


100K-1
100K-2
100K-3
100K
13K-2
13K-3
14K-1
14K-2
14K-3
13K-1
11
12K-1
12K-2
12K-3
17K-1
17K-2
17K-3
SP1
SP2

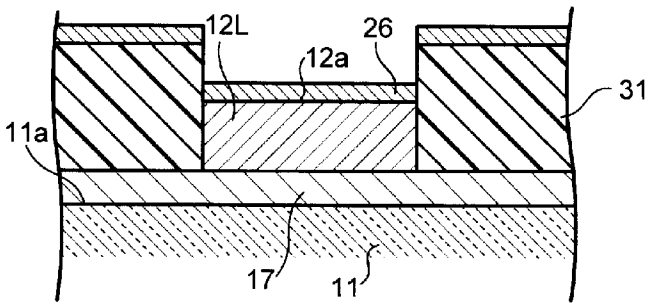
[図17]


14
13L
13a
12a
26a
12L
26
26b
100L
13b
13d
H1
12b
11a
T4
L2
17
11
13c

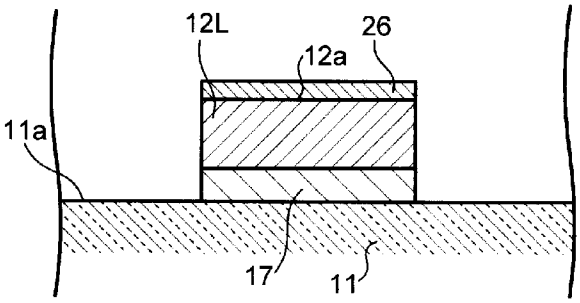
[図18A]



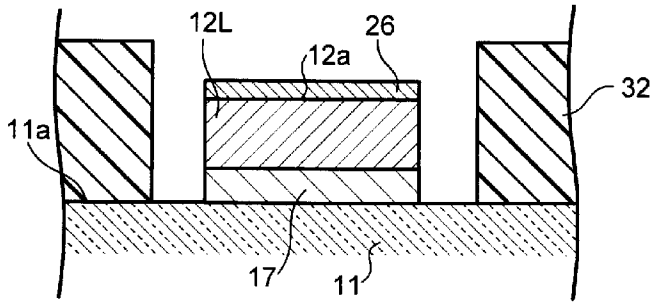
[図18B]



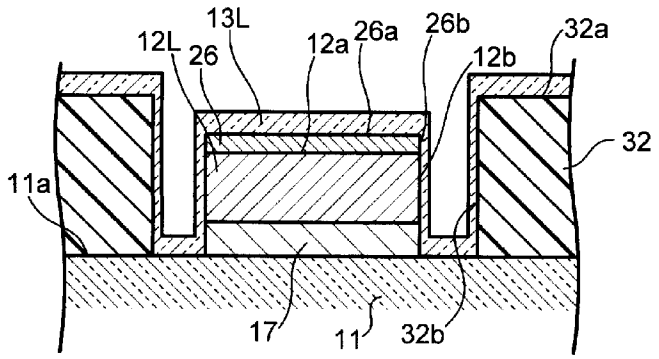
[図18C]



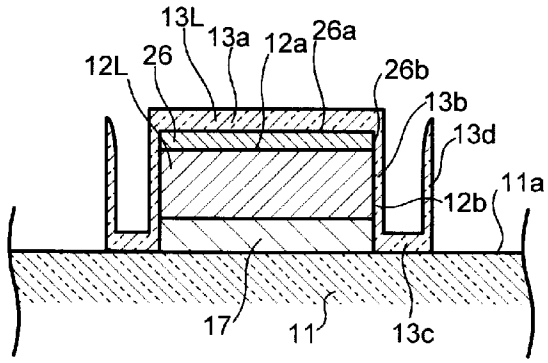
[図18D]



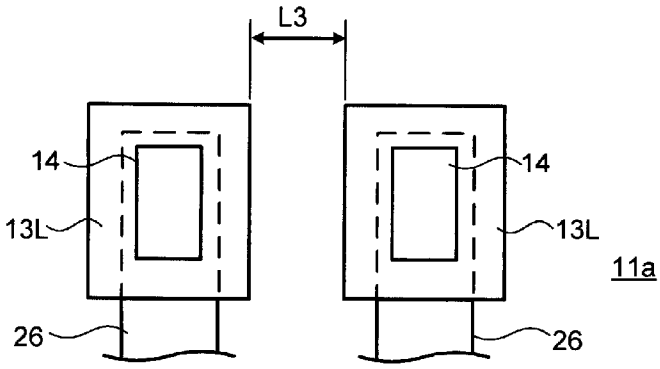
[図18E]



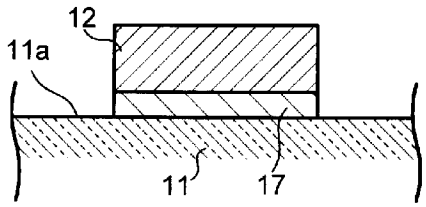
[図18F]



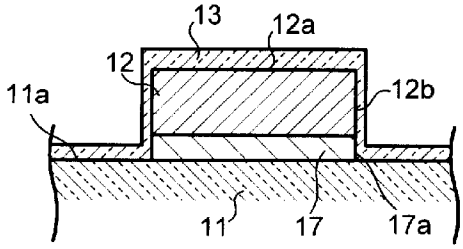
[図19]



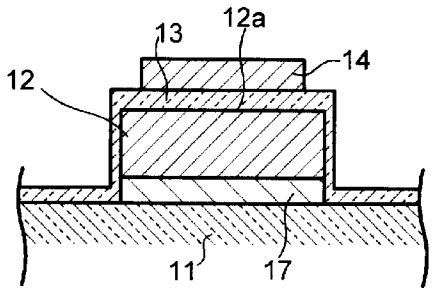
[図20A]



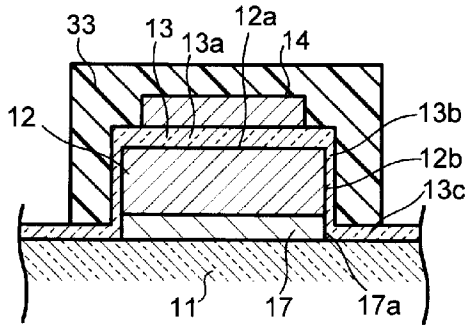
[図20B]



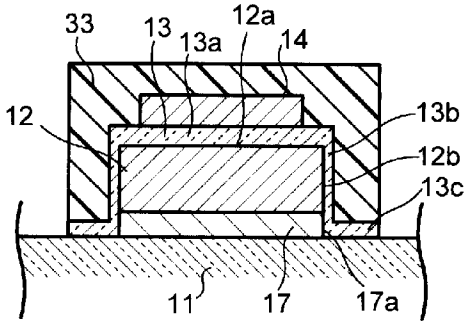
[図20C]



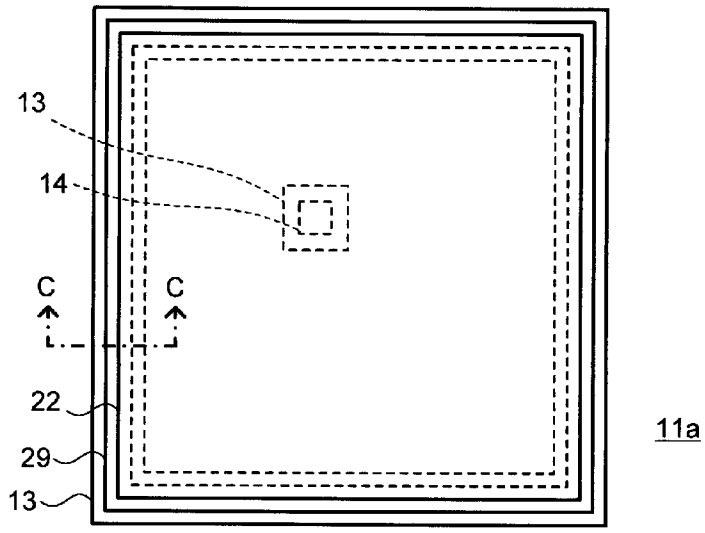
[図20D]



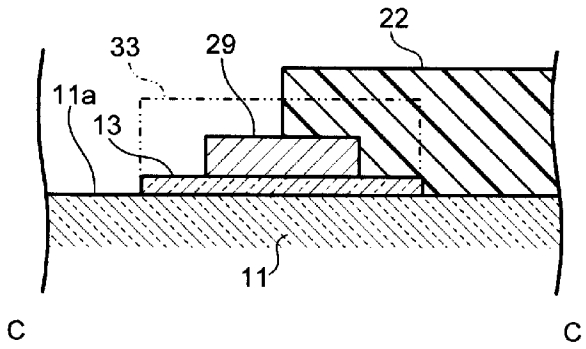
[図20E]



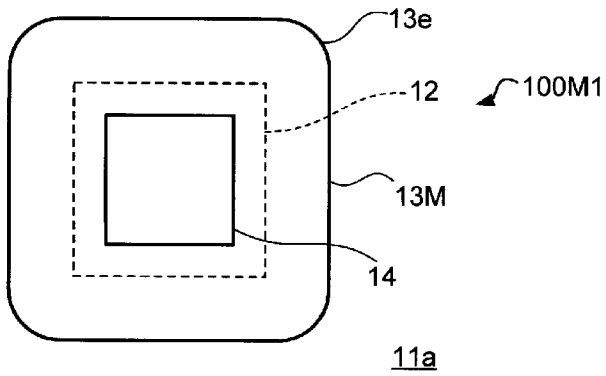
[図21A]



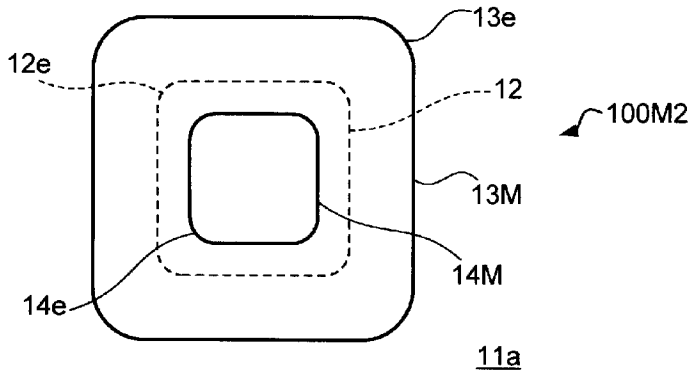
[図21B]



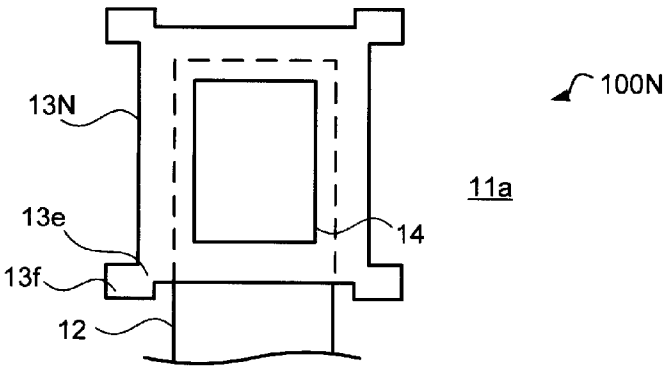
[図22A]



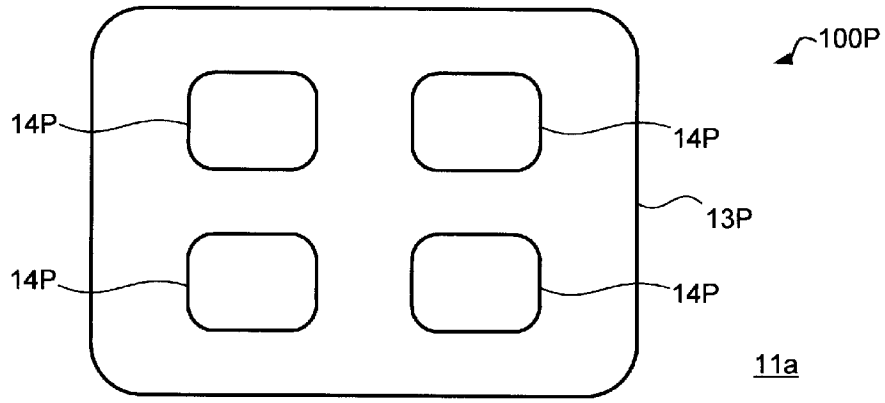
[図22B]



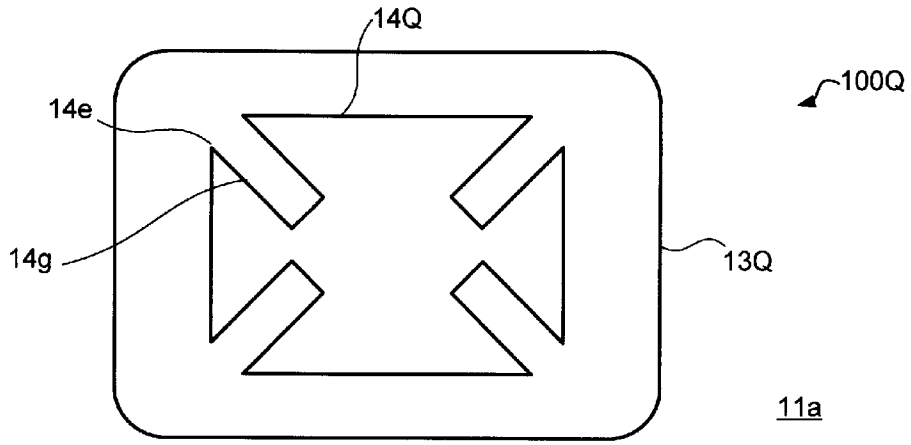
[図23]



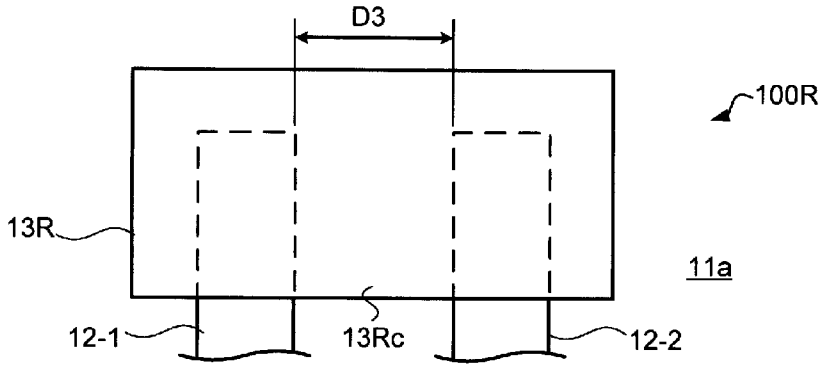
[図24A]



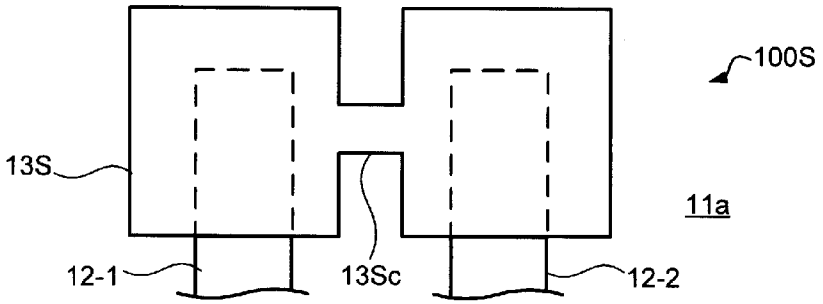
[図24B]



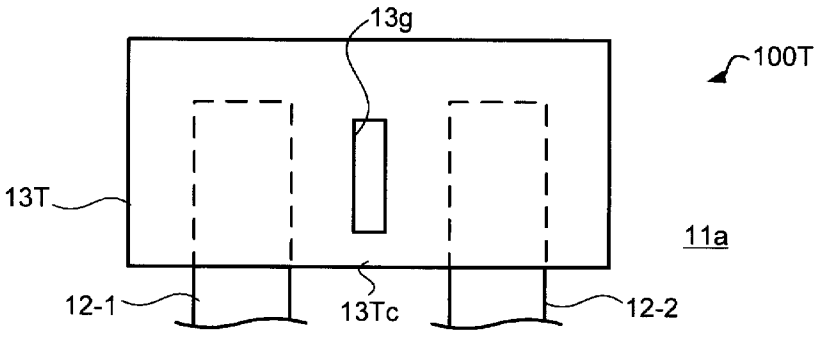
[図25A]



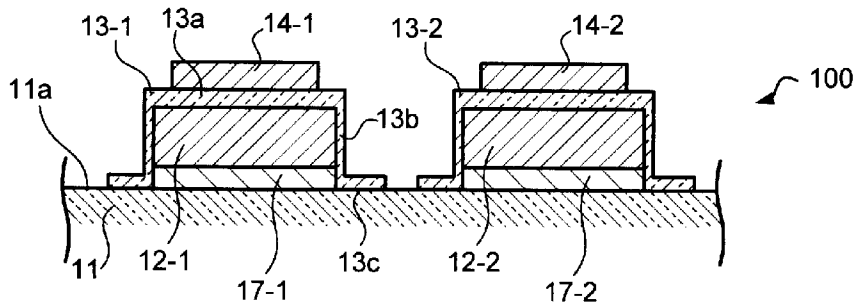
[図25B]



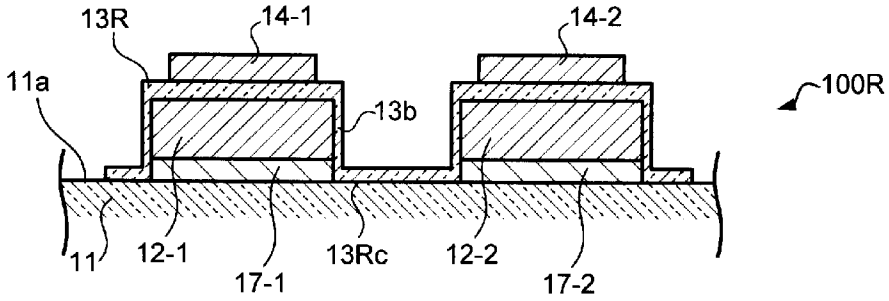
[図25C]



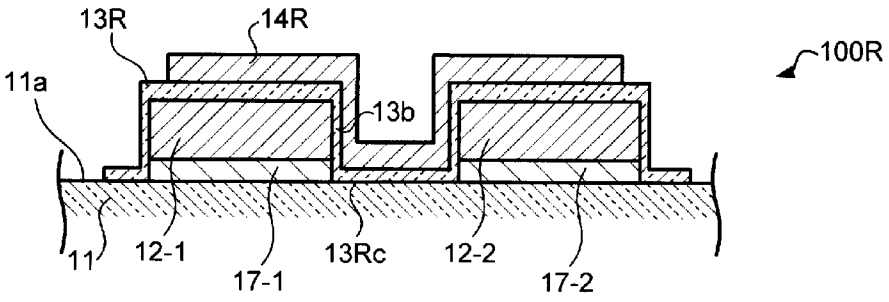
[図26A]



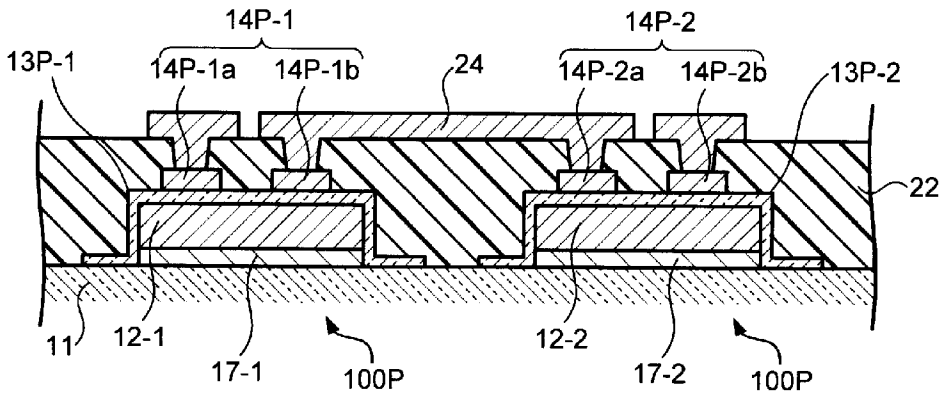
[図26B]



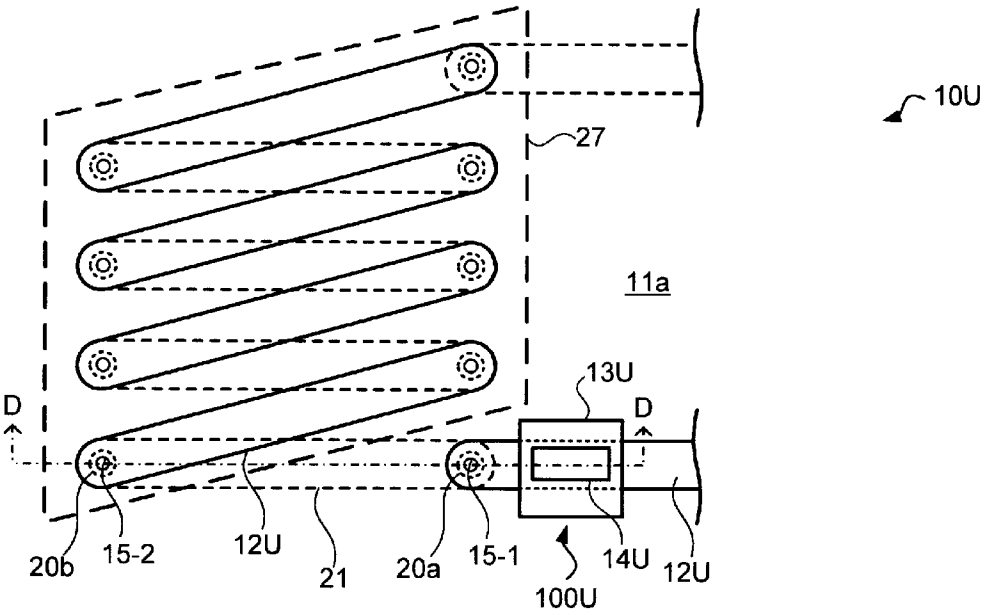
[図26C]



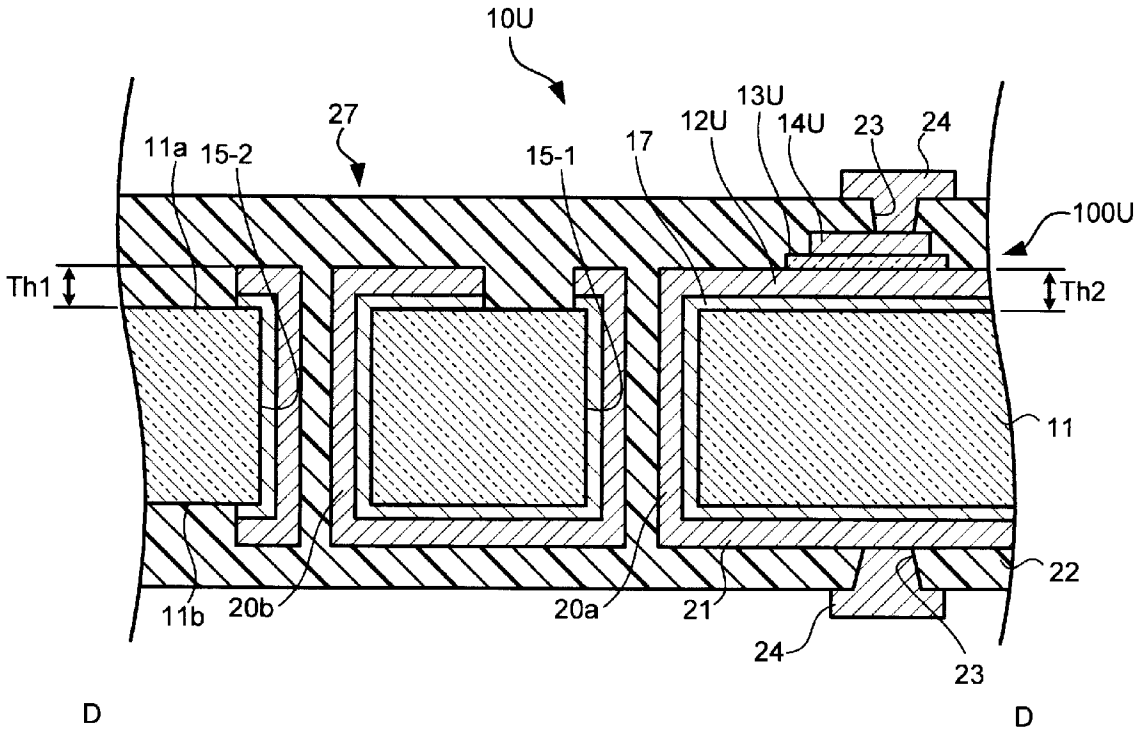
[図27]


14P-1
14P-2
13P-1
14P-1a
14P-1b
24
14P-2a
14P-2b
13P-2
22
11
12-1
17-1
100P
12-2
17-2
100P

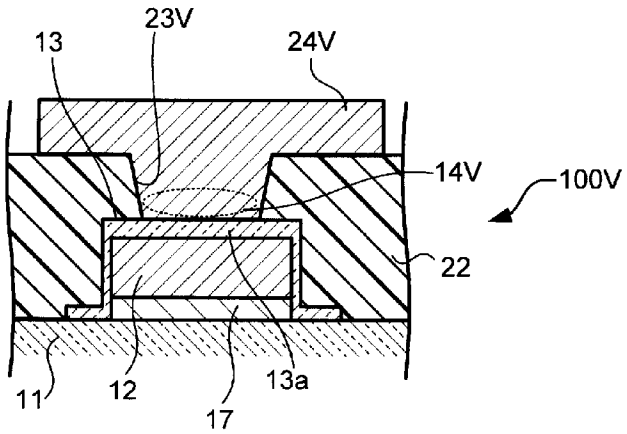
[図28]


10U
27
11a
13U
D
D
20b
15-2
12U
21
20a
15-1
14U
12U
100U

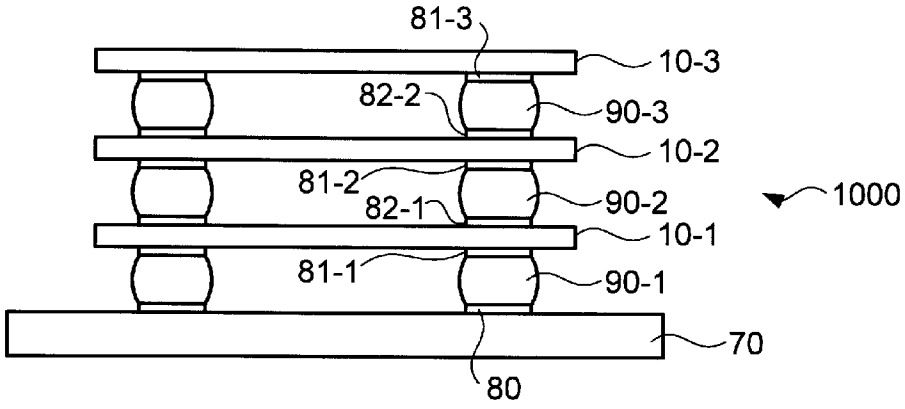
[図29]


10U
27
11a
15-2
15-1
17
12U
13U
14U
23
24
100U
Th1
Th2
11
22
11b
20b
20a
21
24
23
D
D

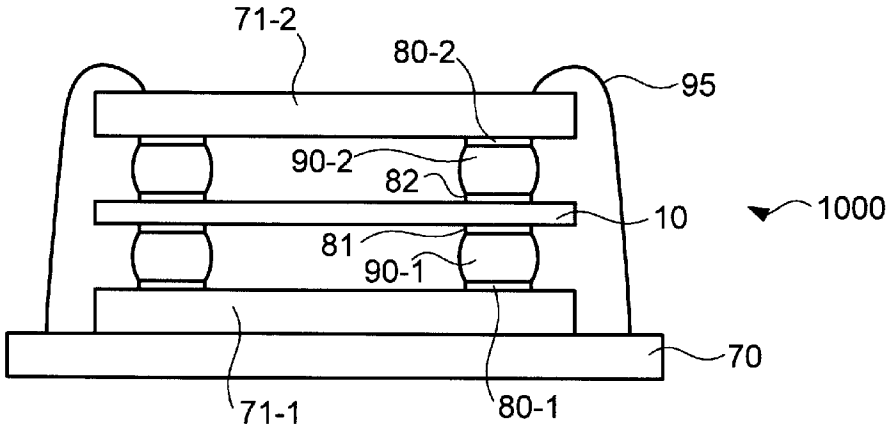
[図30]


13
23V
24V
14V
100V
22
11
12
17
13a

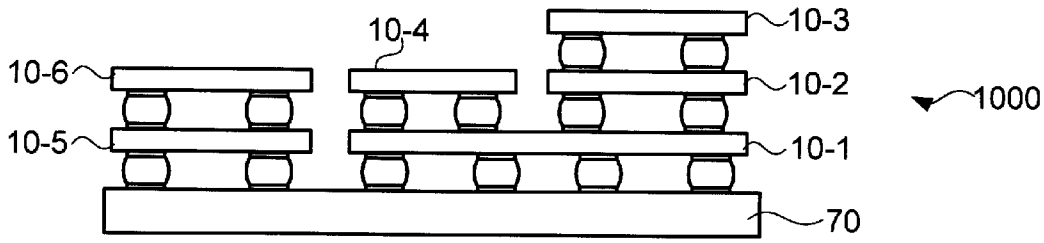
[図31]


81-3
10-3
82-2
90-3
10-2
81-2
82-1
90-2
1000
10-1
81-1
90-1
70
80

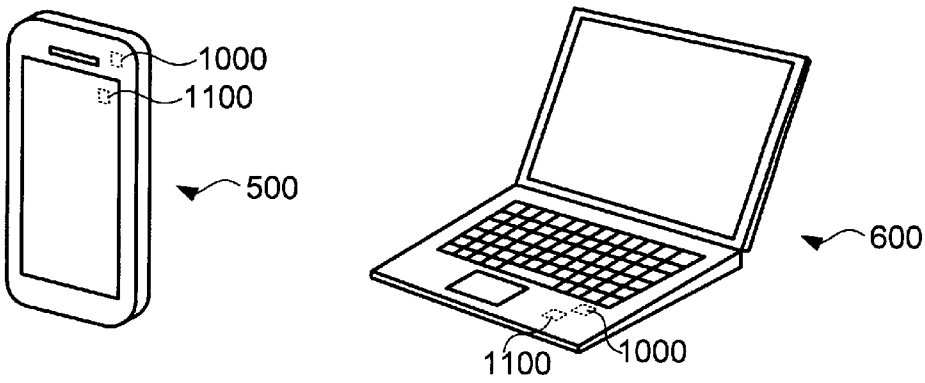
[図32]


71-2
80-2
95
90-2
82
10
1000
81
90-1
70
71-1
80-1

[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/045575

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L23/12(2006.01)i, H05K1/11(2006.01)i, H05K3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L23/12-23/15, H05K1/11, H05K3/28, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-155043 A (KYOCERA CORP.) 11 August 2011, paragraphs [0016]-[0050], fig. 1-3 (Family: none)	1, 4, 8, 10, 17, 18, 22, 23, 30, 31
A		2, 16, 20, 24, 28, 32, 35-40
Y	JP 2008-227177 A (NEC CORP.) 25 September 2008, paragraphs [0044]-[0084], fig. 1-5 (Family: none)	1, 3-15, 17-19, 21, 25-27, 29, 33, 34
A		2, 16, 20, 24, 28, 32, 35-40

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 February 2018 (20.02.2018)	06 March 2018 (06.03.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/045575

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-300002 A (TDK CORPORATION) 15 November 2007, paragraphs [0055]-[0116], fig. 1-7 & US 2007/0253144 A1, paragraphs [0099]-[0161], fig. 1A-7 & CN 101067985 A & TW 200802443 A	1, 3-15, 17-19, 21, 25-27, 29, 33, 34 2, 16, 20, 24, 28, 32, 35-40
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 177720/1986 (Laid-open No. 82953/1988) (SANYO ELECTRIC CO., LTD.) 31 May 1988, specification, p. 4, last line to p. 7, line 16, fig. 1, 2 (Family: none)	1, 3-15, 17-19, 21, 25-27, 29, 33, 34 2, 16, 20, 24, 28, 32, 35-40
Y A	JP 8-32018 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 02 February 1996, paragraphs [0116]-[0123], fig. 8 & US 5752182 A, specification, column 11, line 46 to column 12, line 52, fig. 8A, 8B & EP 683519 A2	1, 3-15, 17-19, 21, 25-27, 29, 33, 34 2, 16, 20, 24, 28, 32, 25-40
Y A	JP 7-272932 A (CANON INC.) 20 October 1995, paragraphs [0012], [0014], fig. 1, 3 (Family: none)	13, 14, 33, 34 2, 16, 20, 24, 28, 32, 35-40
Y A	JP 2005-159259 A (WASEDA UNIVERSITY) 16 June 2005, paragraph [0055] & US 2005/0111162 A1, paragraph [0072] & KR 10-2007-0006642 A & CN 1612273 A & TW 200519989 A	29, 33, 34 2, 16, 20, 24, 28, 32, 35-40
Y A	JP 2015-95590 A (DAINIPPON PRINTING CO., LTD.) 18 May 2015, paragraphs [0079]-[0080], fig. 23 (Family: none)	34 2, 16, 20, 24, 28, 32, 35-40
A	JP 2003-152340 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 23 May 2003, paragraph [0014], fig. 1 & US 2003/0088978 A1, paragraph [0045], fig. 1(b), 1(c) & KR 10-2003-0040083 A & CN 1419273 A & TW 200300288 A	1-40
A	JP 10-51141 A (DAINIPPON PRINTING CO., LTD.) 20 February 1998, paragraphs [0018]-[0063], fig. 1-4 (Family: none)	1-40

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０４５５７５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H05K1/11(2006.01)i, H05K3/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12-23/15, H05K1/11, H05K3/28, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-155043 A (京セラ株式会社) 2011.08.11, 段落 0016-0050, 図 1-3 (ファミリーなし)	1, 4, 8, 10, 17, 18, 22, 23, 30, 31
A		2, 16, 20, 24, 28, 32, 35-40

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０２．２０１８	０６．０３．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　３８５８
木下　直哉
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-227177 A（日本電気株式会社）2008.09.25, 段落 0044-0084，図 1-5（ファミリーなし）	1,3-15,17-19 ,21,25-27,29 ,33,34
A		2,16,20,24,2 8,32,35-40
Y	JP 2007-300002 A（ＴＤＫ株式会社）2007.11.15, 段落 0055-0116，図 1-7 & US 2007/0253144 A1，段落 0099-0161，図 1A-7	1,3-15,17-19 ,21,25-27,29 ,33,34
A	& CN 101067985 A & TW 200802443 A	2,16,20,24,2 8,32,35-40
Y	日本国実用新案登録出願61-177720号(日本国実用新案登録出願公開63-82953号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（三洋電機株式会社）1988.05.31，明細書第4頁最	1,3-15,17-19 ,21,25-27,29 ,33,34
A	終行-第7頁第16行，第1,2図（ファミリーなし）	2,16,20,24,2 8,32,35-40
Y	JP 8-32018 A（松下電器産業株式会社）1996.02.02, 段落 0116-0123，図 8 & US 5752182 A，明細書第 11 欄第 46 行-第 12 欄第 52 行，図 8A,8B	1,3-15,17-19 ,21,25-27,29 ,33,34
A	& EP 683519 A2	2,16,20,24,2 8,32,35-40
Y	JP 7-272932 A（キヤノン株式会社）1995.10.20,	13,14,33,34
A	段落 0012,0014，図 1,3（ファミリーなし）	2,16,20,24,2 8,32,35-40
Y	JP 2005-159259 A（学校法人早稲田大学）2005.06.16，段落 0055	29,33,34
A	& US 2005/0111162 A1，段落 0072 & KR 10-2007-0006642 A & CN 1612273 A & TW 200519989 A	2,16,20,24,2 8,32,35-40
Y	JP 2015-95590 A（大日本印刷株式会社）2015.05.18,	34
A	段落 0079-0080，図 23（ファミリーなし）	2,16,20,24,2 8,32,35-40
A	JP 2003-152340 A（新光電気工業株式会社）2003.05.23, 段落 0014，図 1　& US 2003/0088978 A1，段落 0045，図 1(b),1(c) & KR 10-2003-0040083 A & CN 1419273 A & TW 200300288 A	1-40

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 10-51141 A（大日本印刷株式会社）1998.02.20, 段落 0018-0063, 図 1-4（ファミリーなし）	1-40