(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115244666 A
(43)申请公布日 2022.10.25

(21)申请号 202180019410.9
(22)申请日 2021.03.02
(30)优先权数据
62/986,485 2020.03.06 US
(85)PCT国际申请进入国家阶段日
2022.09.06
(86)PCT国际申请的申请数据
PCT/US2021/020454 2021.03.02
(87)PCT国际申请的公布数据
WO2021/178399 EN 2021.09.10
(71)申请人 朗姆研究公司
地址 美国加利福尼亚州
(72)发明人 安德烈亚斯·费希尔
亚伦·林恩·鲁查恩
索斯藤·贝恩德·莱尔
塞沙萨耶·瓦拉达拉简
(74)专利代理机构 上海胜康律师事务所 31263
专利代理师 李献忠 张华
(51)Int.Cl.
H01L 21/3213(2006.01)
H01L 21/3205(2006.01)
H01L 21/67(2006.01)
H01L 27/11551(2006.01)
H01L 27/11578(2006.01)

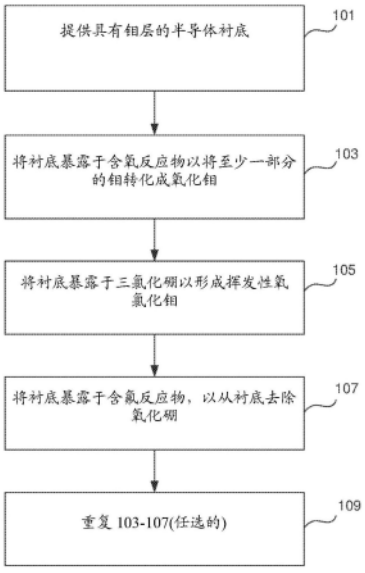
权利要求书2页 说明书10页 附图6页

(54)发明名称

钼的原子层蚀刻

(57)摘要

通过执行一或多个蚀刻循环而以高度可控方式来蚀刻钼,其中每一循环涉及将具有钼层的半导体衬底暴露于含氧反应物,以形成氧化钼,接着以三氯化硼进行处理,以将氧化钼转化成挥发性的氧氯化钼,接着以含氟反应物来处理衬底,以将在前一个反应中形成的氧化硼从衬底表面去除。在一些实施方案中,本方法是在无等离子体情况下执行且导致基本各向同性蚀刻。本方法可用在半导体处理的各种应用中,例如用于3D NAND制造中的字线隔离。



CN 115244666 A

1.一种蚀刻半导体衬底上的钼层的方法,所述方法包含:

(a)将所述半导体衬底暴露于含氧反应物,以将所述钼层的至少一部分氧化成氧化钼;

在所述氧化钼形成之后,将所述半导体衬底暴露于三氯化硼,以将所述氧化钼转化成挥发性的氧氯化钼,同时在所述半导体衬底上形成氧化硼;以及

将所述半导体衬底暴露于含氟反应物,以将所述氧化硼从所述半导体衬底去除。

2.根据权利要求1所述的方法,其还包含重复步骤(a)-(c)。

3.根据权利要求1所述的方法,其中步骤(a)-(c)是在没有等离子体的情况下执行的。

4.根据权利要求1所述的方法,其中通过步骤(a)-(c)执行的钼层蚀刻是各向同性的。

5.根据权利要求1所述的方法,其中单一蚀刻循环包含步骤(a)-(c),且其中所述单一蚀刻循环可控地去除约8-15 Å之间的所述钼层。

6.根据权利要求1所述的方法,其中所述含氧反应物选自由O_2、O_3及其混合物组成的群组,其中当使用O_2时,O_2选自由在远程等离子体中活化以形成氧自由基的O_2、在直接等离子体中活化以形成氧离子的O_2、以及在无等离子体环境中的O_2所组成的群组。

7.根据权利要求1所述的方法,其中所述含氟反应物为HF。

8.根据权利要求1所述的方法,其中步骤(a)-(c)在约100-400℃之间的温度下执行。

9.根据权利要求1所述的方法,其中步骤(a)-(c)在约150-250℃之间的温度下执行。

10.根据权利要求1所述的方法,其中所述含氧反应物是在等离子体中活化的O_2。

11.根据权利要求1所述的方法,其中从所述半导体衬底上的凹陷特征的侧壁蚀刻所述钼层。

12.根据权利要求1所述的方法,其中在制造3D NAND结构中的字线隔离期间蚀刻所述钼层。

13.根据权利要求1所述的方法,其中所述方法包含执行介于约2-50个之间的蚀刻循环,且其中每一蚀刻循环包含步骤(a)-(c)。

14.根据权利要求1所述的方法,其中步骤(a)-(c)是在处理室中执行。

15.根据权利要求1所述的方法,其中步骤(a)-(c)是在一个处理室中执行,且所述方法还包含在步骤(a)、(b)和(c)中的每一个执行之后清扫所述处理室。

16.一种用于处理衬底的装置,其包含:

(a)被配置成容纳所述衬底的处理室,其中所述处理室包含被配置成保持所述衬底的衬底保持器以及被配置成引入一或多个反应物至所述处理室的入口;以及

(b)包含程序指令的控制器,所述程序指令被配置成通过引起以下操作而实现对所述衬底上的钼层的蚀刻:

(i)将具有所述钼层的所述衬底暴露于含氧反应物,以将所述钼层的至少一部分氧化成氧化钼;

(ii)将所述半导体衬底暴露于三氯化硼,以将所述氧化钼转化成挥发性的氧氯化钼,同时在所述衬底上形成氧化硼;以及

(iii)将所述半导体衬底暴露于含氟反应物,以将所述氧化硼从所述衬底去除。

17.根据权利要求16所述的装置,其中所述装置还包含加热器,且其中所述程序指令包含被配置成在蚀刻所述钼层期间维持在介于约100-400℃之间的温度的指令。

18.根据权利要求16所述的装置,其中所述装置还被配置成实现在所述衬底上的材料沉积。

19.根据权利要求16所述的装置,其中所述程序指令包含被配置成重复步骤(i)-(iii)的指令。

20.根据权利要求16所述的装置,其中所述装置被配置成激活在等离子体中的所述含氧反应物。

21.一种包含用于控制被配置用于处理衬底的装置的程序指令的非瞬时计算机机器可读介质,其中所述程序指令包含配置用以实现以下操作的代码:

(i)将具有所述钼层的所述衬底暴露于含氧反应物,以将所述钼层的至少一部分氧化成氧化钼;

(ii)将所述半导体衬底暴露于三氯化硼,以将所述氧化钼转化成挥发性的氧氯化钼,同时在所述半导体衬底上形成氧化硼;以及

(iii)将所述半导体衬底暴露于含氟反应物,以将所述氧化硼从所述半导体衬底去除。

22.根据权利要求1所述的方法,其还包含以下步骤:

施加光致抗蚀剂至所述半导体衬底;

将所述光致抗蚀剂暴露于光;

图案化所述光致抗蚀剂并将所述图案传送至所述半导体衬底;

以及选择性从所述半导体衬底去除所述光致抗蚀剂。

钼的原子层蚀刻

通过引用并入

[0001] PCT申请表作为本申请的一部分与本说明书同时提交。如在同时提交的PCT申请表中所标识的本申请要求享有其权益或优先权的每个申请均通过引用全文并入本文且用于所有目的。

技术领域

[0002] 本发明涉及用于半导体设备制造的方法和装置。具体而言，本发明的实施方案涉及在半导体处理中用于受控钼蚀刻的方法和装置。

背景技术

[0003] 在半导体设备制造中，沉积和蚀刻技术用于形成材料图案，例如用于形成嵌入介电层中的金属线。沉积技术包含原子层沉积(ALD)、化学气相沉积(CVD)和物理气相沉积(PVD)。蚀刻技术包含湿式蚀刻方法和干式蚀刻方法，例如反应性离子蚀刻(RIE)。

[0004] 蚀刻方法可以是各向同性和各向异性的。各向同性蚀刻的特征是在衬底的多个方向(竖直和水平两者)上蚀刻，其中在不同方向上的蚀刻速率大致相同。例如需要各向同性蚀刻来进行水平蚀刻。各向异性蚀刻的特征在于主要在一个方向上蚀刻，例如在竖直方向上，并且常用于在衬底上形成凹陷特征(例如通孔)。各向异性蚀刻也称为“定向蚀刻”。

[0005] 这里提供的背景描述是为了总体呈现本公开的背景的目的。当前指定的发明人的工作在其在此背景技术部分以及在提交申请时不能确定为现有技术的说明书的各方面中描述的范围内既不明确也不暗示地承认是针对本公开的现有技术。

发明内容

[0006] 本文提供了可控钼蚀刻的方法和装置。在一些实施方案中，该方法允许在每个蚀刻循环仅受控地去除数个钼原子层(例如约10 Å)。通过重复蚀刻循环数次，就可以以原子级精度去除大量钼(例如2-2000nm)。此处提供的方法可用于钼的各向同性蚀刻，包含但不限于3D NAND节点分离中的钼蚀刻。如果调整工艺条件(例如等离子体条件)以有利于定向蚀刻，则所提供的方法也可用于定向蚀刻。

[0007] 在一方面中提供了一种蚀刻半导体衬底上的钼层的方法。该方法包含：(a)将半导体衬底暴露于含氧反应物，以将钼层的至少一部分氧化成氧化钼；(b)在氧化钼形成之后，将半导体衬底暴露于三氯化硼，以将氧化钼转化成挥发性的氧氯化钼，同时在半导体衬底上形成氧化硼；以及(c)将半导体衬底暴露于含氟反应物，以将氧化硼从半导体衬底去除。步骤(a)-(c)构成一个蚀刻循环，且可以根据需要重复多次以蚀刻所需的钼量。例如可以执行大约2-50个蚀刻循环。在一些实施方案中，一个蚀刻循环包含步骤(a)-(c)，且单一蚀刻循环可控地去除约8-15 Å之间的钼层。在一些实施方案中，这些步骤在没有等离子体的情况下进行。在一些实施方案中，钼层的蚀刻是各向同性的。步骤(a)-(c)可以在一个处理室中执行，而在一些实施方案中，在蚀刻循环的每个步骤之后会进行清扫。

[0008] 在一些实施方案中，含氧反应物是O_2、O_3或它们的混合物，其中含氧反应物(例如O_2)可选地在等离子体中活化。例如利用远程等离子体源形成的氧自由基或来自原位(直接)氧等离子体的氧离子。在一些实施方案中，用于去除氧化硼的含氟反应物为HF。

[0009] 在一些实施方案中，蚀刻循环在约100-400℃之间的温度下执行，例如在约150-250℃之间的温度下执行。

[0010] 在一种应用中，所提供的方法用于从半导体衬底上的凹陷特征部的侧壁来蚀刻钼层。例如可以在3D NAND结构的制造中，于字线隔离期间蚀刻(优选各向同性)钼层。

[0011] 在另一方面，提供了一种用于处理衬底的装置，其中该装置包含具有配置用于实现本文所述任一方法的程序指令的控制器。在一实施方案中，该装置包含配置用于容纳衬底的处理室，其中该处理室包含被配置成保持衬底的衬底保持器、被配置成引入一或多种反应物至处理室的入口、以及具有程序指令的控制器，其被配置成引起下列操作而实现对半导体衬底上的钼层的蚀刻：(i)将具有钼层的衬底暴露于含氧反应物，以将钼层的至少一部分氧化成氧化钼；(ii)将半导体衬底暴露于三氯化硼，以将氧化钼转化成挥发性的氧氯化钼，同时在半导体衬底上形成氧化硼；以及(iii)将半导体衬底暴露于含氟反应物，以将氧化硼从衬底去除。

[0012] 在一些实施方案中，该装置还包含加热器，且程序指令包含被配置成在钼层的蚀刻期间保持介于约100-400℃之间的温度的程序指令。

[0013] 在一些实施方案中，该装置还被配置成在半导体衬底上沉积材料(例如用于在钼蚀刻之前沉积钼)。

[0014] 在一些实施方案中，该装置被配置成激活等离子体中的含氧反应物。

[0015] 在另一方面中，提供了非瞬时计算机可读介质，其包含用于控制装置的程序指令，该装置被配置成进行半导体衬底处理，其中该程序指令包含被配置成通过引起以下操作而实现钼层蚀刻的代码：(i)将具有钼层的衬底暴露于含氧反应物，以将钼层的至少一部分氧化成氧化钼；(ii)将半导体衬底暴露于三氯化硼，以将氧化钼转化成挥发性的氧氯化钼，同时在半导体衬底上形成氧化硼；以及(iii)将半导体衬底暴露于含氟反应物，以将氧化硼从半导体衬底去除。

[0016] 本文所提供的方法和装置可以与用于光刻图案化的方法和系统结合使用。在一方面，提供了包含本文的装置和步进曝光机(stepper)的一种系统。在一些实施方案中，所提供的方法还进一步涉及：施加光致抗蚀剂至半导体衬底；将光致抗蚀剂暴露于光；图案化光致抗蚀剂并将图案传送至半导体衬底；以及选择性从半导体衬底去除光致抗蚀剂。

[0017] 在本说明书中描述的主题的实现方案的这些和其他方面是在附图和以下描述中阐述。

附图说明

[0018] 图1是根据本文提供的实施方案的钼蚀刻方法的工艺流程图。

[0019] 图2是根据本文提供的实施方案而在3D NAND结构制造中使用钼蚀刻方法的工艺流程图。

[0020] 图3A和3B是根据本文提供的实施方案，提供在3D NAND结构制造中的钼蚀刻之前和之后的半导体设备的示意性横截面视图。

[0021] 图3C和3D是根据本文提供的实施方案，提供在3D NAND结构制造中的钼蚀刻之前和之后的半导体设备的不同视图。

[0022] 图4是根据本文提供的实施方案适合于蚀刻钼的装置的示意图。

[0023] 图5描绘了根据本文提供的实施方案的半导体工艺的集群架构。

[0024] 图6为一实验曲线图，其说明每一循环蚀刻的钼量与工艺温度的函数关系。

具体实施方式

[0025] 此处提供了用于钼蚀刻的方法和装置。所提供的方法可用于在各种应用中，但在半导体设备制造中的钼各向同性或弱定向蚀刻尤其有用。在一些实施方案中，所提供的方法用于从半导体衬底上的凹陷特征的侧壁大致各向同性蚀刻钼。例如可以在3D NAND设备制造中的节点分离(字符分离)期间使用所提供的方法。所描述的方法可以提供对蚀刻材料量的原子级控制，因为每一蚀刻循环都可以用于可控地去除少至1-3个原子层的钼。这种受控蚀刻被称为原子层蚀刻(ALE)且适用于蚀刻各种厚度的钼层。

[0026] 如本文所使用的术语“钼”是指金属钼(零氧化态的钼)。在一些实施方案中，钼按重量计具有至少约90％的纯度(钼含量)，例如至少约95％的纯度。此处所提供的方法可以用于例如蚀刻CVD沉积的钼、ALD沉积的钼和PVD沉积的钼。

[0027] 如本文所用的术语“半导体衬底”是指在半导体设备制造的任何阶段的衬底，在其结构内的任何地方包含半导体材料。可以理解的是，半导体衬底中的半导体材料不需要暴露出来。具有覆盖半导体材料的多层其他材料(例如介电质)的半导体晶片是半导体衬底的示例。以下详细的说明是假设所公开的实现方案是在例如200mm、300mm或450mm的半导体晶片上实现。然而，所公开的实现方案不限于此。半导体晶片可以是各种形状、尺寸、和材料。除了半导体晶片，其他类型的工件可以利用所公开的实现方案，其包含例如印刷电路板等不同物件。

[0028] 当用于指称数值时，术语“约”包含与所述数值相差±10％的范围，除非另有说明。

[0029] 图1显示根据本文提供的一实施方案中的钼蚀刻方法的工艺流程图。该工艺始于步骤101，提供具有钼层的半导体衬底。通常，该方法可用于在多种衬底上蚀刻一或多个钼层。例如，钼层可以位于衬底上的凹陷特征的侧壁上。在另一示例中，钼层可以是位于介电层上方的水平钼覆盖层。在又一示例中，钼层可以填充衬底上的凹陷特征的至少一部分。所提供的衬底上的钼层被暴露，使得其可触及气态反应物。衬底可以在任何合适的装置中进行处理，该装置具有配备有衬底保持器(例如基座)和用于引入反应物的入口的处理室，其中该装置可以可选地配置为直接在处理室中或远程产生等离子体。

[0030] 在步骤103中，将衬底暴露于含氧反应物以经历钼氧化(也就是将至少一部分的钼层转化成氧化钼)。如本文所使用的，“氧化钼”是指含有钼和氧的Mo_xO_y化合物，其中x和y表示化学计量可能会有所不同。用于钼氧化的合适含氧反应物的示例包含臭氧(O_3)和氧气(O_2)。在一些实施方案中，氧化反应是在不存在等离子体的情况下(热)进行。在一实现方案中，在不存在等离子体的情况下使用臭氧处理衬底来将钼转化为氧化钼。在另一实现方案中，通过用等离子体激活的O_2处理衬底来形成氧化钼。在一些实施方案中，等离子体直接在容纳衬底的处理室中产生。在其他实施方案中，等离子体是在远离衬底处(例如在容纳衬底的处理室外)远程产生，且被供给到容纳衬底的处理室。在较高温度下也可以使用O_2进行热

氧化。

[0031] 对于期望各向同性蚀刻的应用，热(无等离子体)氧化是优选的。如果在氧化期间，于衬底基座处使用远程等离子体和/或低偏压或没有偏压，则也可使用等离子体辅助氧化来实现各向同性或弱各向异性蚀刻。例如在一些实施方案中，使用远程等离子体(例如远离衬底形成的氧自由基)或热氧化来实现钼的各向同性蚀刻。

[0032] 氧化钼形成步骤103用于控制将在一蚀刻循环中蚀刻的钼量。衬底暴露于含氧反应物的时间可用来作为要转化为氧化钼的钼量的控制因素。在一些实施方案中，暴露时间经控制以将约1-5个钼原子层(例如约3个钼原子层)转化为氧化钼。需要注意的是，一个蚀刻循环的后续反应将受到在第一次反应中形成的氧化钼量的限制。在一些实现方案中，暴露于含氧反应物的时间经选择为介于约10秒和3分钟之间。

[0033] 在氧化钼形成完成之后，可以任选地通过清扫和/或抽排将含氧反应物从处理室中去除。在一些实施方案中，处理室是以例如氦气、氩气或N_2之类的惰性气体进行清扫。

[0034] 接下来，在步骤105中，将衬底暴露于三氯化硼(BCl_3)以将氧化钼转化为挥发性氧氯化钼。氧氯化钼是指MoO_xCl_y化合物，其中x和y表示化学计量可能会有所不同。氧氯化钼通常在形成时会从衬底表面去除，而在衬底表面留下非挥发性氧化硼层。三氯化硼和氧化钼之间的反应使得在先前反应中形成的所有氧化钼都转化成氧氯化钼。接下来，可选地通过清扫和/或抽排而从处理室中去除氧氯化钼，随后进行蚀刻循环的下一步骤。

[0035] 在下一步骤107中，将衬底暴露于含氟反应物，以去除先前遗留在衬底表面的氧化硼。含氟反应物与氧化硼反应并将其转化为挥发性三氟化硼而从衬底表面去除(例如在反应过程中)。在一些实施方案中，含氟反应物为气态氟化氢(HF)。在反应之后，可以任选地清扫和/或抽排处理室以去除氟化氢和三氟化硼。

[0036] 接下来在步骤109中，如果需要，可选地重复包含步骤103-107的蚀刻循环以蚀刻更多的钼。虽然在一些实施方案中只需要执行一个循环(步骤103-107)，但在许多其它实施方案中执行约2-100个之间的蚀刻循环，例如约5-50个之间的蚀刻循环，其中每一循环包含钼氧化103、氧氯化钼形成105、以及氧化硼去除107。在一实施方案中，每一蚀刻循环去除约5-15 Å之间的钼，例如约1nm的钼。所描述的方法可以用于以高精度来去除各种量的钼。例如以原子级精确度且如果需要的话可以以各向同性蚀刻约1-2,000nm之间的钼，例如约1-20nm之间的钼。

[0037] 蚀刻循环的所有步骤优选地是在一处理室中并在单一温度下执行，虽然可能根据需要改变步骤之间的温度。温度和压力经选择以确保反应物和挥发性产物(例如氧氯化钼)保持气态形式，并实现高反应速率。例如可以使用约100-400℃之间的温度。当在氧化步骤中使用氧等离子体时，便可以在例如约150-250℃之间的温度下进行蚀刻循环。当在没有等离子体的情况下使用氧气时，在一些实施方案中使用例如介于约400-600℃(例如约400℃)的较高温度。在一些实现方案中，压力介于在约30毫托和5托之间的范围内，例如在约20-500毫托之间。反应物以气态形式引入处理室。在一些实施方案中，反应物可与例如氦气或氩气之类的载气一起引入。然而，在一些实施方案中，优选是在不添加载气的情况下引入反应物以使反应速率最大化。因此，在一些实施方案中，在蚀刻循环的每个步骤期间引入至处理室中的工艺气体基本上由反应物组成(例如第一步骤的O_2和/或O_3、第二步骤的BCl_3以及第三步骤的HF)。在一些实现方案中，处理室在蚀刻循环之前已预先涂覆四氯化硅($SiCl_4$)，

以防止室壁被BCl_3和HF腐蚀。

[0038] 所描述的蚀刻方法可用于半导体工艺中的多种应用，但特别适用于需要在高度控制去除层厚度的情况下基本各向同性去除钼的应用。所提供的方法特别适用于在衬底上蚀刻所需量的钼而不完全去除整个暴露的钼层。此类应用的一示例是3D NAND结构制造中的节点分离。

[0039] 图2说明了在3D NAND制造中使用提供的钼蚀刻方法的工艺流程图。该工艺开始于步骤201，提供具有凹陷特征及暴露在凹陷特征侧壁上的钼层的衬底，其中钼层电连接3D NAND结构中的导电层。这种部分制造的3D NAND结构的一个示例在图3A中示出，其图示了该结构的示意性横截面图。衬底包含可以是硅的底层301、形成在底层301上方的层堆叠件、以及形成在层堆叠件中的凹陷特征303。应当理解，通常3D NAND结构在堆叠件中具有比简化图3A中所示的显著更多层。例如典型的3D NAND结构在堆叠件中具有约5-100个导电层和介电层(组合)。钼层305覆盖凹陷特征303的侧壁和底部、以及堆叠件的顶部(场域)。层堆叠件由交替的介电材料层307(例如氧化硅)和导电材料层309(例如钨)形成，其中导电材料层309为3D NAND结构的字线。可以看出图3A所示结构中的钼层305通过凹陷特征303的侧壁上的部分311而电连接导电层309。为了将导电层309彼此电隔离，需要将钼层305从凹陷特征303的侧壁去除，但是以受控方式进行而不在字线的钼部分305中形成大的凹陷。该步骤称为3D NAND节点分离。

[0040] 参考图2的工艺图，该工艺在步骤203中通过使用提供的方法从侧壁可控地蚀刻期望量的钼来进行。如步骤205所示，蚀刻继续进行直到实现节点分离，且在3D NAND结构中的导电层309被隔离。所得结构如图3B所示。在该情况下的钼蚀刻是从侧壁去除足够量的钼，以隔离导电层309而没有在导电层309的末端部分完全去除钼305。典型地在本应用中，所提供的蚀刻方法可以用于去除约1-20nm的钼。在这种情况下的蚀刻也去除了在堆叠件顶部上的场域的钼、以及在凹陷特征303底部的钼。另一部分制造的3DNAND结构在蚀刻前后的示意图分别在图3C和3D中所示，其显示出结构的不同视图以及比图3A和3B中的更大的层堆叠件。

[0041] 所提供的ALE方法与湿式蚀刻方法相比具有优势，因为ALE方法具有明显更好的工艺控制。通过控制钼氧化步骤中暴露于含氧反应物的时间以及通过控制蚀刻循环的次数，可以可靠地控制蚀刻的钼量。此外，热ALE方法具有出色的均匀性，且不会表现出在RIE中会遇到的明显深宽比相关蚀刻(ARDE)。当在衬底上的凹陷特征的顶部和底部的蚀刻物质浓度不同时，就会发生深宽比相关蚀刻，这会导致顶部和底部的蚀刻不均匀。因此，提供的ALE方法特别适用于蚀刻高深宽比特征中的钼，例如深宽比为至少约20:1、至少约50:1和至少约100:1的特征。由于在3D NAND结构中的凹陷特征常具有深宽比大于约5:1、深度大于约5nm，所提供的ALE方法对于本应用特别有用。

装置

[0042] 在此描述的蚀刻方法可以在多种装置中进行。合适的装置包含处理室、被配置成在蚀刻期间将衬底保持在适当位置的处理室中的衬底保持器、用于引入一或多种反应物的处理室入口、以及可选地被配置成在工艺气体中(直接在衬底附近或远程)产生等离子体的等离子体产生机构。在一些实施方案中，该装置不包含用于产生等离子体的任何机制，因为所提供的方法可以在没有等离子体的情况下以热方式执行。

[0043] 合适装置的示例包含但不限于感应耦合等离子体(ICP)反应器,其在某些实施方案中,也可以适合于循环沉积和活化工艺,包含原子层沉积(ALD)的操作。在一些实施方案中,该装置具有处理室,该处理室用于使用本文提供的方法来沉积材料和蚀刻。例如在一些实施方案中,该装置被配置成在同一处理室中沉积钼(例如通过ALD)和蚀刻钼。在一些实施方案中,蚀刻是在Lam Research Corp(Fremont,CA)生产的Striker®反应器中进行。尽管本文详细描述了ICP反应器,但应当理解,也可以使用电容耦合等离子体反应器以及无等离子体产生设施的反应物。

[0044] 图4示意性地示出了适于实施本文所述的蚀刻方法的感应耦合等离子体集成蚀刻和沉积装置400的横截面图,其示例是Kiyo®反应器,由Lam Research Corp(Fremont,CA)生产。所述感应耦合等离子体装置400包括由室壁401和窗411在结构上限定的总处理室424。室壁401可以由不锈钢或铝制成。窗411可以由石英或其他介电材料制成。任选的内部等离子体栅格450将总处理室401分为上副室402和下副室403。在多数实施方案中,等离子体栅格450可以被去除,从而利用由副室402和403构成的室空间。卡盘417定位在下副室403中在底部内表面附近。卡盘417被配置成接收和保持在其上执行蚀刻和沉积工艺的半导体晶片419。卡盘417可以是当晶片419存在时用于支撑晶片419的静电卡盘。在一些实施方案中,边缘环(未示出)围绕卡盘417,并具有大致与晶片419(当晶片存在于卡盘417上方时)的顶面在同一平面的上表面。卡盘417还包括用于夹紧和松开晶片419的静电电极。可设置过滤器和DC夹持功率源(未图示出)用于此目的。也可以提供其他的控制系统用于提升晶片419使其离开卡盘417。卡盘417可以用RF电源423充电。RF电源423通过连接件427被连接到匹配电路421。匹配电路421通过连接件425连接到卡盘417。以这种方式,RF电源423被连接到卡盘417上。在诸多实施方案中,静电卡盘的偏压可设定在约50Vb或可根据所公开的实施方案执行的工艺而将其设定在不同的偏压。例如,偏压可以介于约20Vb跟100Vb之间,或介于约30Vb跟150Vb之间。

[0045] 用于等离子体产生的元件包括位于窗411上方的线圈433。在一些实施方案中,所公开的实施方案中未使用线圈。线圈433由导电材料制成,并包括至少一整匝。在图4中所示的线圈433的示例包括三匝。线圈433的横截面用符号示出,具有“X”符号的线圈表示线圈旋转地延伸到页面内,相反,具有“●”符号的线圈表示线圈旋转地延伸出页面。用于等离子体产生的元件还包括被配置为提供RF功率至线圈433的RF电源441。一般地,RF电源441通过连接件445被连接到匹配电路439。匹配电路439通过连接件443连接到线圈433。以这种方式,RF电源441被连接到线圈433。任选的法拉第屏蔽件449a被定位在线圈433和窗411之间。法拉第屏蔽件449a可以以相对于线圈433成隔开的关系被保持。在一些实施方案中,法拉第屏蔽件449a被设置在窗411的正上方。在一些实施方案中,法拉第屏蔽件449b位于窗411与卡盘417之间。在一些实施方案中,法拉第屏蔽件449b相对于线圈433并未保持在相隔开的关系。例如,法拉第屏蔽449b可以无间隙的直接位于窗411正下方。线圈433、法拉第屏蔽件449a以及窗411各自被配置为基本上彼此平行。法拉第屏蔽件449a可以防止金属或其它物质沉积在处理室424的窗411上。

[0046] 工艺气体(例如O_2)可以通过位于上副室402中的一个或多个主气体流入口460和/或通过一个或多个侧气体流入口470流入处理室。同样,虽然未明确示出,但是类似的气体

流入口可用于向电容耦合等离子体处理室供应工艺气体。真空泵，例如，一级或两级干式机械泵和/或涡轮分子泵440，可用于将工艺气体从处理室424抽出并且维持处理室424内的压强。例如，在清扫操作期间可以使用真空泵来抽排下副室403。阀控制的导管可用于使真空泵流体连接在处理室424上，以便选择性地控制由真空泵提供的真空环境的应用，从而控制402及403内的处理压力。在操作等离子体处理过程中，这可以使用封闭环控制的流量限制装置例如节流阀(未示出)或钟摆阀(未示出)进行。同样，也可以使用受控地流体连接在电容耦合等离子体处理室上的真空泵和阀。

[0047] 在所述装置400的操作过程中，一种或多种工艺气体(例如含0_2气体)可通过气体流入口460和/或470供给。在某些实施方案中，工艺气体可以仅通过主气体流入口460供给，或者仅通过侧气体流入口470供给。在一些情况下，在图中所示的气体流入口可以由较复杂的气体流入口替代，例如由一个或多个喷头替代。法拉第屏蔽件449a和/或任选的栅格450可以包括使工艺气体能输送至处理室424的内部通道和孔。法拉第屏蔽件449a和任选的栅格450中的一者或两者可以作为用于输送工艺气体的喷头。在一些实施方案中，液体蒸发和输送系统可位于处理室424的上游，使得一旦液体反应物或前体被蒸发，那么蒸发的反应物或前体就通过气体流入口460和/或470引入到处理室424中。

[0048] 射频功率从RF电源441供给到线圈433以使RF电流流过线圈433。流过线圈433的RF电流产生围绕线圈433的电磁场。该电磁场产生在上副室402内的感应电流。所生成的各离子和自由基与晶片419的物理和化学相互作用蚀刻晶片419的特征并选择性地在晶片419上沉积层。

[0049] 如果使用等离子体栅格450使得存在上副室402和下副室403二者，则感应电流作用于存在于上副室402中的气体上以在上副室402中产生电子-离子等离子体。任选的内部等离子体栅格450限制下副室403中的热电子的量。在一些实施方案中，设计和操作所述装置400使得存在于下副室403中的等离子体是离子-离子等离子体。

[0050] 上部的电子-离子等离子体和下部的离子-离子等离子体二者可包含阳离子和阴离子，但是离子-离子等离子体将具有更大的阴离子与阳离子的比率。挥发性的蚀刻和/或沉积的副产物可通过端口422从下副室403去除。例如在使用BCl_3蚀刻氧化钼期间所产生的氧氯化钼可以在清扫和/或抽排期间通过端口422去除。本文所公开的卡盘417可在约10℃和约400℃之间的温度范围内操作。该温度将取决于工艺操作和具体配方。在一些实施方案中，装置被控制以在约100-400℃之间的温度下进行蚀刻。

[0051] 装置400当安装在清洁室或制造厂中时可耦合到设施(未示出)。设施包括管道，管道提供工艺气体、真空、温度控制和环境微粒控制。这些设施当安装在目标制造厂时耦合到装置400。此外，装置400可耦合到传送室，从而允许使用典型的自动化由机械手传送半导体晶片进出装置400。

[0052] 在一些实施方案中，系统控制器430(其可以包括一个或多个物理或逻辑控制器)控制处理室424的操作中的一些或全部。系统控制器430可以包括一个或多个存储器设备和一个或多个处理器。在一些实施方案中，装置400包含控制工艺气体的流速的切换系统。在一些实施方案中，控制器包含实现本文提供的任一方法步骤的程序指令。

[0053] 在一些实现方案中，系统控制器430是系统的一部分，该系统可以是上述示例的一部分。这种系统可以包括半导体处理设备，半导体处理设备包括一个或多个处理工具、一个

或多个室、用于处理的一个或多个平台、和/或特定处理部件(晶片基座、气体流系统等)。这些系统可以与用于在半导体晶片或衬底的处理之前、期间和之后控制它们的操作的电子器件集成。电子器件可以集成到系统控制器430,其可以控制一个或多个系统的各种部件或子部件。根据处理参数和/或系统类型,系统控制器可以被编程以控制本文公开的任何工艺,包括控制工艺气体的输送、温度设置(例如加热和/或冷却)、压力设置、真空设置、功率设置、射频(RF)发生器设置、RF匹配电路设置、频率设置、流率设置、流体输送设置、位置和操作设置、进出工具和其他输送工具和/或连接到特定系统或与特定系统接口的装载锁的晶片输送。

[0054] 广义而言,控制器430可以定义为电子器件,电子器件具有接收指令、发出指令、控制操作、启用清洁操作、启用终点测量等的各种集成电路、逻辑、存储器和/或软件。集成电路可以包括存储程序指令的固件形式的芯片、数字信号处理器(DSP)、定义为专用集成电路(ASIC)的芯片、和/或一个或多个微处理器、或执行程序指令(例如,软件)的微控制器。程序指令可以是以各种单独设置(或程序文件)的形式输送到控制器的指令,单独设置(或程序文件)定义用于在半导体晶片上或针对半导体晶片或系统执行特定工艺的操作参数。在一些实施方案中,操作参数可以是由工艺工程师定义的配方的一部分,以在一或多个(种)层、材料、金属、氧化物、硅、二氧化硅、表面、电路和/或晶片的管芯的制造或者去除期间完成一个或多个处理步骤。

[0055] 在一些实现方案中,系统控制器430可以是与系统集成、耦合、以其它方式联网到系统或其组合的计算机的一部分或耦合到该计算机。例如,控制器可以在“云”中或在晶片厂(fab)主机系统的全部或一部分中,其可以允许对晶片处理的远程访问。计算机可以实现对系统的远程访问以监视制造操作的当前进展、检查过去制造操作的历史、从多个制造操作研究趋势或性能标准,以改变当前处理的参数、设置要跟随当前处理的处理步骤、或者开始新的处理。在一些示例中,远程计算机(例如服务器)可以通过网络(其可以包括本地网络或因特网)向系统提供工艺配方。远程计算机可以包括使得能够输入或编程参数和/或设置的用户接口,然后将该参数和/或设置从远程计算机输送到系统。在一些示例中,系统控制器430接收数据形式的指令,其指定在一个或多个操作期间要执行的每个处理步骤的参数。应当理解,参数可以特定于要执行的工艺的类型和工具的类型,控制器被配置为与该工具接口或控制该工具。因此,如上所述,系统控制器430可以是例如通过包括联网在一起并朝着共同目的(例如本文所述的工艺和控制)工作的一个或多个离散控制器而呈分布式。用于这种目的的分布式控制器的示例是在与远程(例如在平台级或作为远程计算机的一部分)定位的一个或多个集成电路通信的室上的一个或多个集成电路,其组合以控制在室上的工艺。

[0056] 示例性的系统可以包括但不限于等离子体蚀刻室或模块、沉积室或模块、旋转漂洗室或模块、金属电镀室或模块、清洁室或模块、倒角边缘蚀刻室或模块、物理气相沉积(PVD)室或模块、化学气相沉积(CVD)室或模块、ALD室或模块、ALE室或模块、离子注入室或模块、轨道室或模块、以及可以与半导体晶片的制造和/或制备相关联或用于半导体晶片的制造和/或制备的任何其它半导体处理系统。

[0057] 如上所述,根据将由工具执行的一个或多个处理步骤,控制器可以与一个或多个其他工具电路或模块、其它工具部件、群集工具、其他工具接口、相邻工具、邻近工具、位于

整个工厂中的工具、主计算机、另一控制器、或在将晶片容器往返半导体制造工厂中的工具位置和/或装载口运输的材料运输中使用的工具通信。

[0058] 图5描绘了具有与真空传输模块538(VTM)对接的各种模块的半导体工艺集群架构。用于在多个储存设施和处理模块之间“传送”晶片的各个模块的配置可以称为“集群工具架构”系统。与VTM538(轮流与四个处理模块520a-520d对接)对接的气锁锁530(也称为装载锁或传送模块)可以被单个优化以执行各种制造处理。举例来说,处理模块520a-520d可以安装用于执行衬底蚀刻、沉积、离子注入、晶片清洁、溅射和/或其他半导体工艺。在一些实施方案中,在同一模块中执行氧化锡沉积及氧化锡蚀刻。在一些实施方案中,在同一工具的不同模块中执行氧化锡沉积及氧化锡蚀刻。一或多个衬底蚀刻处理模块(520a-520d中的任一个)可以如本文所公开的方式实现,例如根据所公开的实施方案中的用于沉积保形膜、选择性蚀刻氧化锡、形成空气间隙、以及其他合适的功能。气锁530和处理模块520a-520d可被称为“站”。每个站都有一个刻面536而使该站对接VTM538。在每一刻面内,传感器1-18被用于当晶片526在各站之间移动时检测其通过。

[0059] 机械手522在站之间传送晶片526。在一个实施方案中,机械手522具有一个臂,并且在另一个实施方案中,机械手522具有两个臂,其中每个臂具有末端执行器524以拾取晶片(例如晶片526)用于运输。在大气传送模块(ATM)540中,前端机械手532用于将晶片526从装载端口模块(LPM)542中的盒或前开式标准晶舟(FOUP)534传送到气锁530。处理模块520a-520d内的模块中心528是用于放置晶片526的合适位置。ATM 540中的对准器544用于对准晶片。

[0060] 在示例性处理方法中,晶片被放置在LPM 542中的FOUP 534中的一个内。前端机械手532将晶片从FOUP 534传送到对准器544,这使得晶片526能够在被蚀刻或处理之前适当地居中。在对准之后,晶片526被前端机械手532移动到气锁530中。由于气锁530具有匹配ATM和VTM之间的环境的能力,所以晶片526能够在两个压力环境之间移动而不被损坏。从气锁530,晶片526由机械手522经由VTM 538移动并且进入处理模块520a-520d中的一个内。为了实现该晶片移动,机械手522使用位于其每个臂上的端部执行器524。一旦晶片526已经被处理,其就被机械手522从处理模块520a-520d移动到气锁530。从这里,晶片526可以由前端机械手532移动到FOUP 534中的一个或移动到对准器544。

[0061] 应当注意,控制晶片移动的计算机可以在集群架构本地,或者可以位于制造车间中的集群架构外部或者位于远程位置,并且经由网络连接到集群架构。上面关于图11描述的控制器可以利用图12中的工具来实现。包含用于根据本发明而控制工艺操作的指令的机器可读介质可以耦合到系统控制器。

[0062] 在一些实施方案中提供了一种装置,其中该装置包含处理室,该处理室具有配置用于在蚀刻期间支撑半导体衬底的衬底保持器,以及用于将一或多种反应物引入处理室的入口;可选地,配置用于在工艺气体中产生等离子体的等离子体产生器;以及控制器。该控制器包含用于实施本文描述的任何方法的程序指令。

[0063] 在另一方面中提供了一种非瞬时计算机机器可读媒体,其包含用于引起执行本文所述的任何方法的代码。

实验结果

[0064] 实验研究了工艺温度对蚀刻速率的影响。在不同温度下于衬底上蚀刻钼,并且针

对每个温度测量每一蚀刻循环的蚀刻材料量。每一循环包含以下步骤：

(1)将衬底暴露于O_2等离子体；

(2)用氦气清扫处理室；

(3)在没有等离子体的情况下将衬底暴露于BCl_3；

(4)用氦气清扫处理室；

(5)将衬底暴露于气态HF中；以及

(6)用氦气清扫处理室。

[0065] 执行二十个ALE循环。所有循环均在60毫托的压强下进行，且每个测试温度均在恒定温度下进行。使用O_2等离子体进行处理，该等离子体使用600W功率和13.56MHz频率产生的直接(原位)等离子体。使氧气以500sccm的流速流入处理室。没有使用外部偏压。

[0066] 图6是说明使用上述工艺条件所获得的在150-250℃范围内的不同温度下每个循环的蚀刻数据的曲线图。可以看出在此温度范围内获得了8-12 Å/循环的蚀刻速率。

[0067] 在其他实验中显示出可以在氧化步骤期间使用远程产生的等离子体。当使用远程等离子体时，使用3,000W的功率、1,000sccm的O_2流速以及500毫托的压力来产生等离子体。

[0068] 进一步的实现方案

[0069] 本文描述的装置和工艺可以与光刻图案化工具或工艺结合使用，例如，用于制备或制造半导体器件、显示器、LED、光伏电池板等。通常，虽然不是必要地，这些装置和工艺将在共同的制造设施中一起使用或操作。膜的光刻图案化通常包括以下步骤中的一些或所有，每个步骤启用多个可行的工具：(1)使用旋涂或喷涂工具在工件(即衬底)上涂覆光致抗蚀剂；(2)使用热板或加热炉或其他UV固化工具固化光致抗蚀剂；(3)使用例如晶片步进曝光机之类的工具使光致抗蚀剂暴露于可见光或紫外线或X射线；(4)使用例如湿法清洗台之类的工具使抗蚀剂显影以便选择性地去除抗蚀剂并且从而将其图案化；(5)通过使用干法或等离子体辅助蚀刻工具将抗蚀剂图案转移到下方的膜或工件上；并且(6)使用例如射频或微波等离子体抗蚀剂剥离器之类的工具去除抗蚀剂。

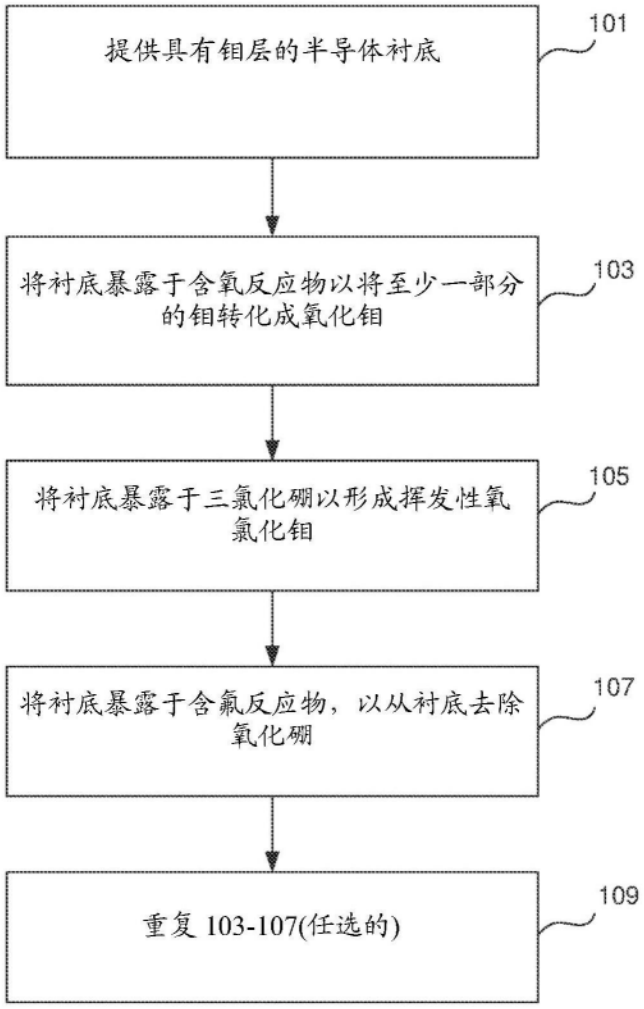

提供具有钼层的半导体衬底
101
将衬底暴露于含氧反应物以将至少一部分的钼转化成氧化钼
103
将衬底暴露于三氯化硼以形成挥发性氧氯化钼
105
将衬底暴露于含氟反应物，以从衬底去除氧化硼
107
重复 103-107(任选的)
109

图1

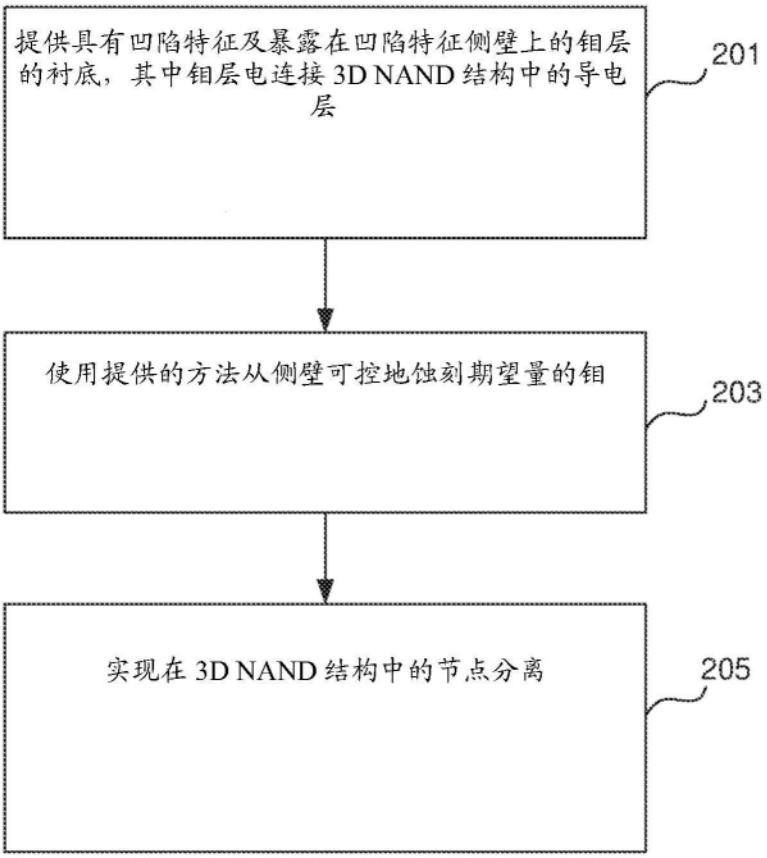

提供具有凹陷特征及暴露在凹陷特征侧壁上的钼层的衬底，其中钼层电连接 3D NAND 结构中的导电层
201
使用提供的方法从侧壁可控地蚀刻期望量的钼
203
实现在 3D NAND 结构中的节点分离
205

图2

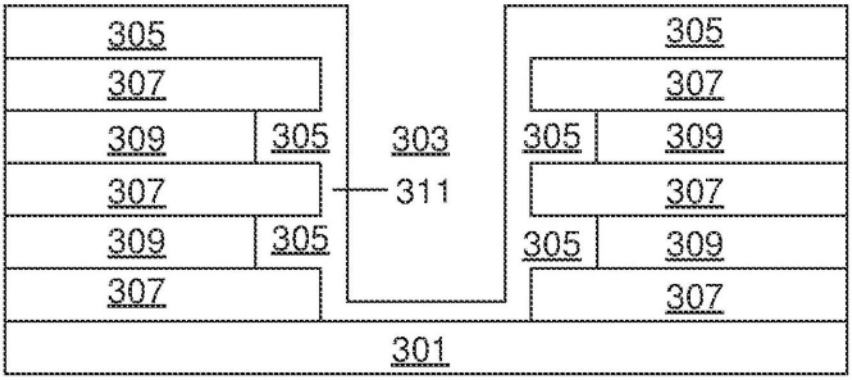

305
307
309
305
307
309
305
307
303
311
305
307
305
309
307
305
309
307
301

图3A

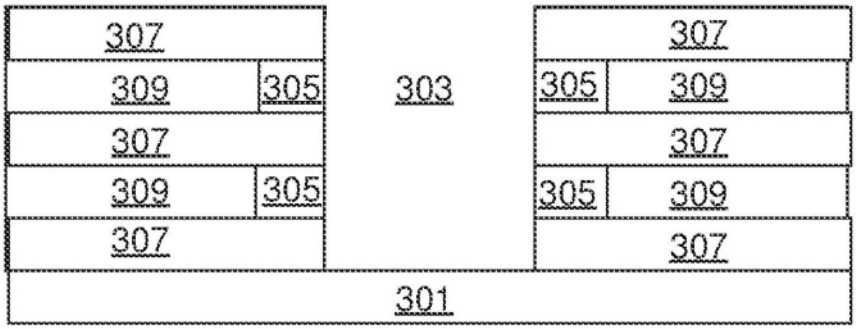

307
309
305
307
309
305
307
303
307
305
309
307
305
309
307
301

图3B

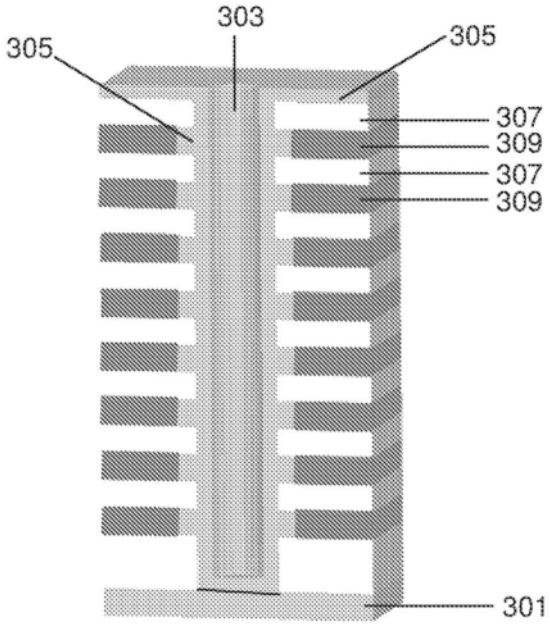

303
305
305
307
309
307
309
301

图3C

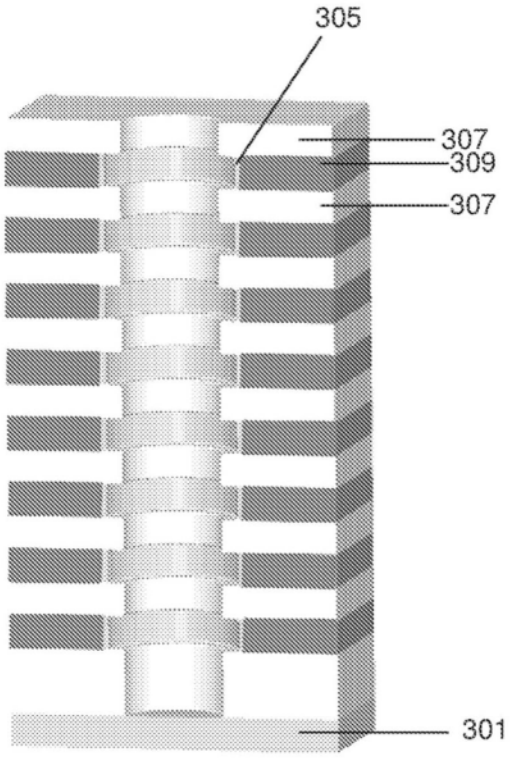


图3D

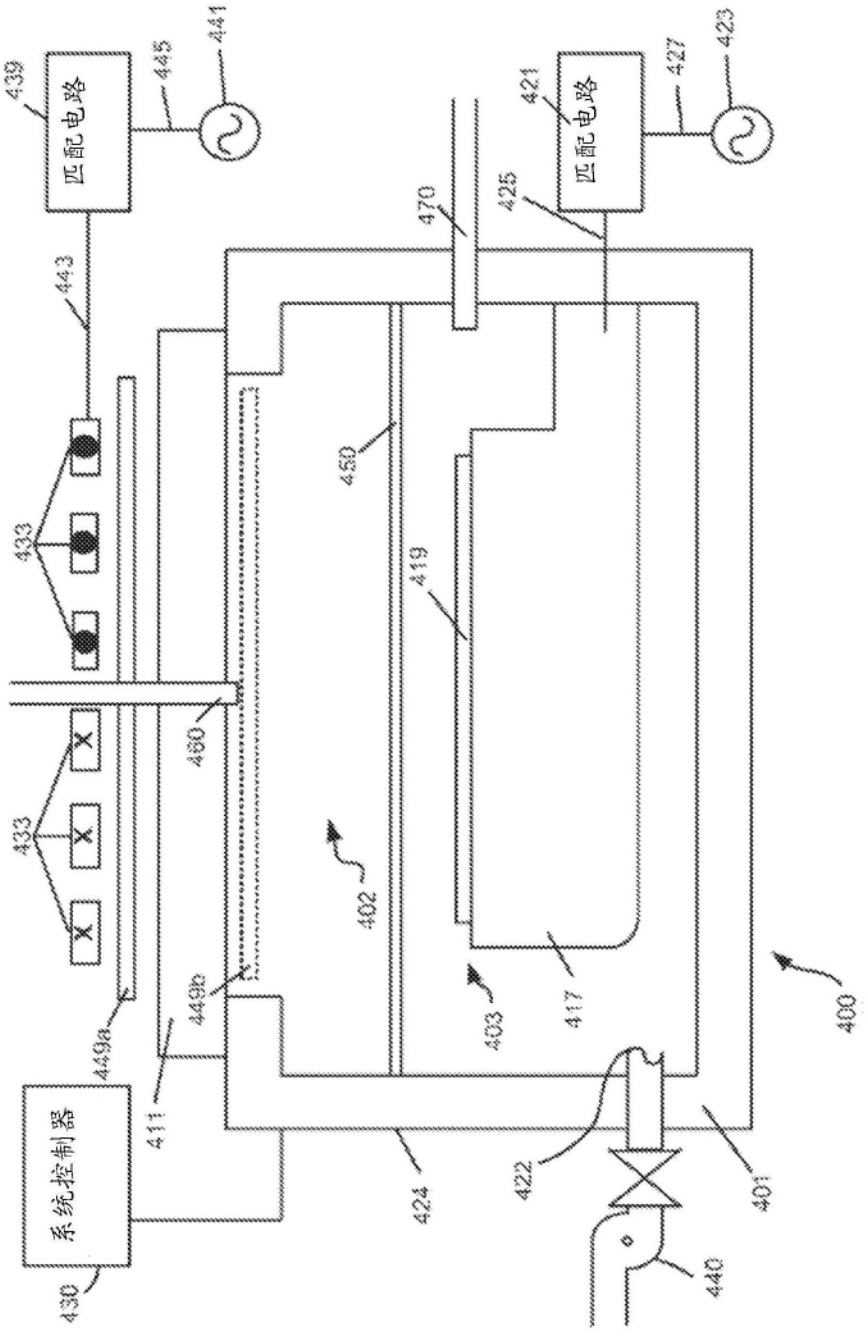

匹配电路
匹配电路
系统控制器
400
401
402
403
411
417
419
422
423
424
425
427
430
433
433
439
440
441
443
445
449a
449b
450
460
470

图4

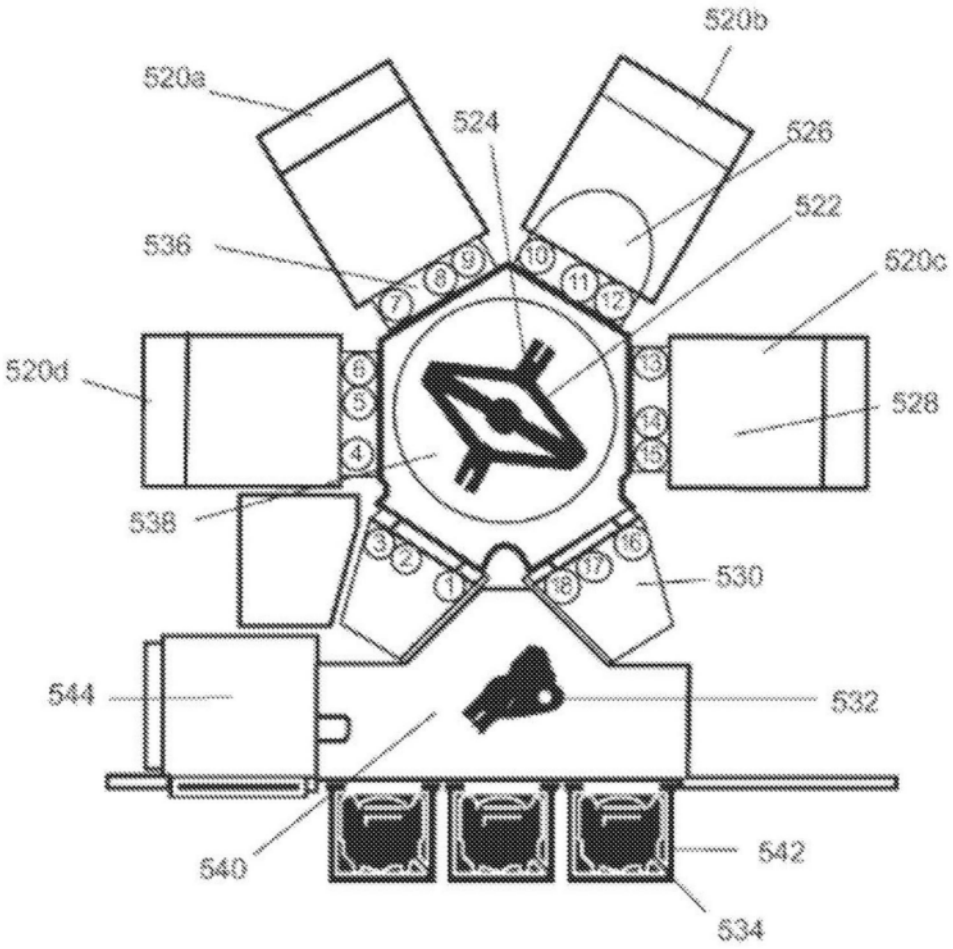

520b
520a
524
526
522
536
520c
520d
528
538
530
544
532
540
542
534

图5

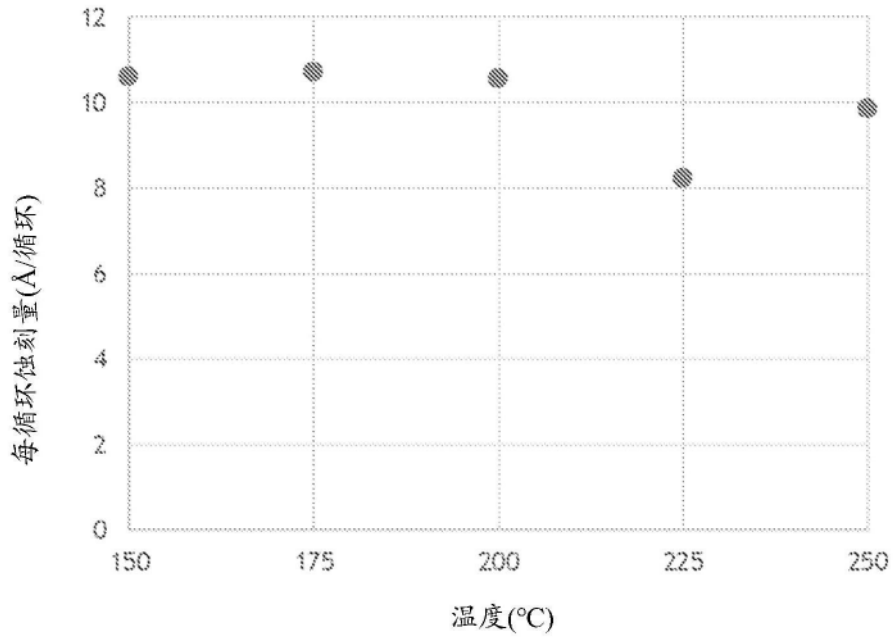

12
10
8
6
4
2
0
每循环蚀刻量(Å/循环)
150
175
200
225
250
温度(℃)

图6