

200631

## 公告本

申請日期	81.1.10
案號	81100147
類別	Hyk 9/0

A4  
C4

(以上各欄由本局填註)

發明  
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中文	電源雜訊受抑制之積體電路裝置
	英文	AN INTEGRATED CIRCUIT DEVICE WITH THE POWER NOISES SUPPRESSED
二、發明 人	姓名	(1) 金 邦 尤 (Byoung-Yun KIM) (2) 潘 亞 博 (Yong-Bo PARK) (3) 李 德 民 (Deok-Min LEE)
	籍貫 (國籍)	(1) (2) (3) : 韓國
	住、居所	(1) (2) (3) : 韓國
三、申請人	姓名 (名稱)	三星電子股份有限公司 (Samsung Electronics Co., Ltd.)
	籍貫 (國籍)	韓國
	住、居所 (事務所)	韓國京畿道勸善區梅灘洞 416 號
	代表人 姓名	金 光 浩 (Kwang-Ho KIM)

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

發明背景

本發明係關於半導體積體電路裝置之電源雜訊的抑制裝置，尤其是有關於（雖然不是專用於）能抑制電源雜訊的積體電路裝置，該電源雜訊係在積體電路裝置做高速度操作時，在電源線上所產生。

積體電路之操作一般係藉電荷之連續充電及放電來實施，而積體電路內之充電及放電操作係藉供應電荷到電源供應端或由電源供應端接收電荷之能力來完成。易言之，電路之突然操作係供應電荷到電源供應端及／或由電源供應端接收電荷的高速動程，然而，如果再充電操作不由電源快速來完成，則失去電荷之電源供應端，其電壓位準就會變低。同時，獲得電荷之電源供應端如果不快速再放電到電源，則其電壓位準會變高。因此，電源雜訊會依隨週邊配線之電容、電感或電阻等敏感改變，且引生像記憶裝置之類的積體電路的障礙，或是高速操作的中斷。

圖1是習知電源線的布置圖，其如此構造使得電源線可沿着支線而供應到每一電路部分。在本例中，特殊電路部份所產生的電源雜訊首先被埋設在對應支線上的電容器所過濾。因此，可減少電源雜訊分散到主線之程度及對其它支線的影響。然而，在實施積體電路之高速操作時，如果設置在晶片內部的每一電路同時產生多重的電源雜訊，則大雜訊會在主電源線上產生。此外，主線上所產生的雜訊會成為將雜訊供給到每一支線的雜訊源。為了過濾上述之電源雜訊，有人建議一方法用來在半導體基板之頂面上

### 五、發明說明(2)

形成一電容器。然而，該方法有其缺點，即，由於形成在基板表面上之內部電路，使得設置電容器之面積不夠大。此外，在設計積體電路時，也會產生由於意外的信號缺點所引生的障礙。

#### 發明概述

因此，本發明之一目的是要提供一積體電路裝置，用來有效地接收由每一電源支線引生到主線的電源雜訊，而避免電源雜訊回散到每一支線上。

本發明之另一目的是要提供一積體電路裝置，用來減少電源雜訊而與地點與干擾無關。

依據本發明之特徵，在具有積體電路之半導體基板的背後塗上一層高介電係數之薄膜，藉此在封裝引線框與基板間形成大容量之電容。其後，極性與施加到基板之電源極性相反的電源被連接到引線框，以便在晶片之電源端之間形成一去耦電容器。

#### 附圖簡述

茲將參考附圖來詳述本發明之較佳實施例，以使本發明之上述目的及其它優點會變得更清楚。在附圖中：

圖 1 是顯示習知電源線之布置圖；

圖 2 是顯示依據本發明的電源線布置示意圖；及

圖 3 是圖 2 之等效圖。

#### 較佳實施例之詳述

茲請參閱圖 2，在具有積體電路裝置形成其上的半導體基板 10 的背面，塗上一層具高介電係數的薄膜，藉此在

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (3)

(81年9月修正)

封裝引線框 14 及基板 10 之間形成一大容量之電容。然後，極性與施加到基板 10 之電源供應端之極性相反的電源被連接到引線框 14，以便在半導體基板之背面，晶片之電源供應端之間形成一去耦電容器。詳言之，在形成有半導體裝置之半導體基板的頂面上，形成一用來使金屬層平坦化的 BPSG (硼磷矽酸塩玻璃) 層，而基板的背面被封裝而接地。其次，利用 LPCVD (低壓化學氣相沈積) 法在基板之背面形成一  $500\text{\AA} \sim 2000\text{\AA}$  厚的氮化物層。之後，藉高溫使 BPSG 層重新流動而在其上形成一 ONO (氧化物氮化物氧化物) 層。在本例中，氮化物層與氧化物層之介電係數最好分別為 7.5 與 3.9。然後，在基板之頂面上實施金屬與鈍化等過程，之後，將基板切成預定大小之單位。隨後，晶片被嵌裝在引線框上。

圖 3 顯示圖 2 之等效圖。在被介電膜連接到基板的電源供應端 32 與被連接到引線框的接地端 34 之間形成背面電容器 16。在電源供應端 32 與基板之較低邊之間自然存有一幾十  $m\Omega$  的特定電阻 18。在基板上之積體電路 15 的表面上而形成在電源供應端與接地端間的電容器 20 包括接頭電容、線電容及閘電容。電阻器 22 被連接在電容器 20 與電源供應端 31 之間，或是電容器 20 與接地端 33 之間，第一與第二電感器 24 與 26 被用來分別將電源供應端與接地端連接到封裝引線框上。因為第一電感器 24 抑制電荷量的增加，故在防止電源供應端供應即時必須的電荷上，其扮演著相當重要的角色。結果，積體電路 15 遂利用了儲存在內部電源線上的

(請先閱讀背面之注意事項)

裝訂線

## 五、發明說明(4)

電荷。然而，如果內部電源線之儲存容量不足夠，則內部電源供應端 31 的電壓就突然變低而且晶片之操作也變得不穩定。同時，因為背面電容器 16 可將儲存其內的電荷直接供應到內部電源線，故積體電路之瞬間電源雜訊可被去除，而且穩定的電源電壓的位準可被維持。此時，儲存在背面電容器 16 的電荷量  $Q$  可表示如下：

$$Q = c \times v = \frac{\epsilon s}{d} \times v$$

如上述之所述，如果背面電容器之面積  $s$  愈大，厚度  $d$  愈小，介電係數  $\epsilon$  愈大，則晶片所能儲存的電荷量就愈多，而且亦可使操作穩定下來。

在較佳實施例中，僅對  $n$  型基板加以描述。然而，亦可以  $p$  型基板來取代。在此情況下， $p$  型基板應由電阻器被連接到接地端，而電源供應端被連接到背面絕緣層對面的引線框上。因此，在接地端與電源供應端之間形成背面絕緣層可產生大容量的電容。此外，為取代電容器，將預定之薄膜形成在基板之背面上而得到另一電之元件。易言之，在基板之背面上形成高電阻材料，或是在第一導電型基板之背面上形成第二導電型之薄膜，則分別可形成電阻器或二極體。

如上所述，在可抑制電源雜訊之積體電路裝置中，在具有積體電路之基板的背面上形成一介電膜，以便在封裝引線框與基板之間形成一高電容。因此，可降低電源雜訊，而且，因為背面電容器之容電量的調整不受限制，故考

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 (5)

慮外面環境來設計晶片之內部電源乃易行之事。此外，爲了去除電源雜訊，因爲不需要在基板之頂面上增設額外的電容器，故積體電路的設計面積可被縮小。

雖然，本發明係特別參考較佳實施例來加以說明與顯示，但熟悉本行技術之人士會了解到，在不背離本發明之精神與範圍下可對實施例之形式與細節加以改變。

.....  
(請先閱讀背面之注意事項再填寫本頁)  
.....

.....裝.....訂.....線.....

經濟部中央標準局員工消費合作社印製

## 四、中文發明摘要(發明之名稱：電源雜訊受抑制之積體電路裝置)

揭露一可抑制電源雜訊的半導體積體電路裝置，該雜訊係在裝置高速操作時於電源線上所引生。在具有積體電路之半導體基板的背面上，塗上一層高介電係數的介電膜，以便藉此在封裝引線框與基板之間形成一大的電容。其後，一極性與施加到基板之電源供應的極性相反的電源被連接到引線框，以便藉此在晶片之電源端之間形成一去耦電容器。因此，可減少電源雜訊，而且亦可減少積體電路的設計面積。

## 英文發明摘要(發明之名稱：AN INTEGRATED CIRCUIT DEVICE WITH THE POWER NOISES SUPPRESSED)

A semiconductor integrated circuit device for suppressing power noises induced on a power line during the high-speed operation of a device is described. On the rear side of a semiconductor substrate having an integrated circuit formed thereon, a dielectric film having a high permittivity is coated, to thus form large capacitance between a package lead frame and the substrate. Thereafter, a power having a polarity opposite to that of a power supply applied to the substrate is connected to the lead frame so as to form a decoupling capacitor between power terminals of a chip. Thus, the power

附註：本案已向 韓 國(地區) 申請專利，申請日期：1991/8/19案號：14266/1991

200631

A5  
B5

四、中文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱： )

noises are decreased and a design area of the integrated circuit can be reduced.

裝  
訂  
線

附註：本案已向

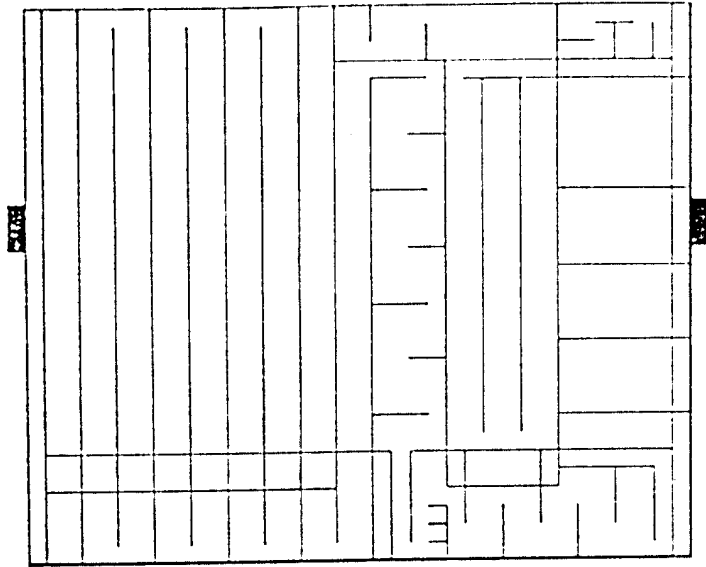
國(地區)申請專利，申請日期：

案號：

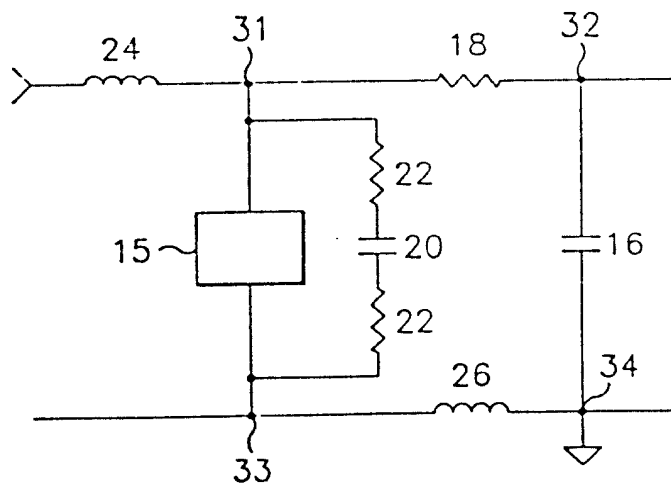
經濟部中央標準局員工消費合作社印製



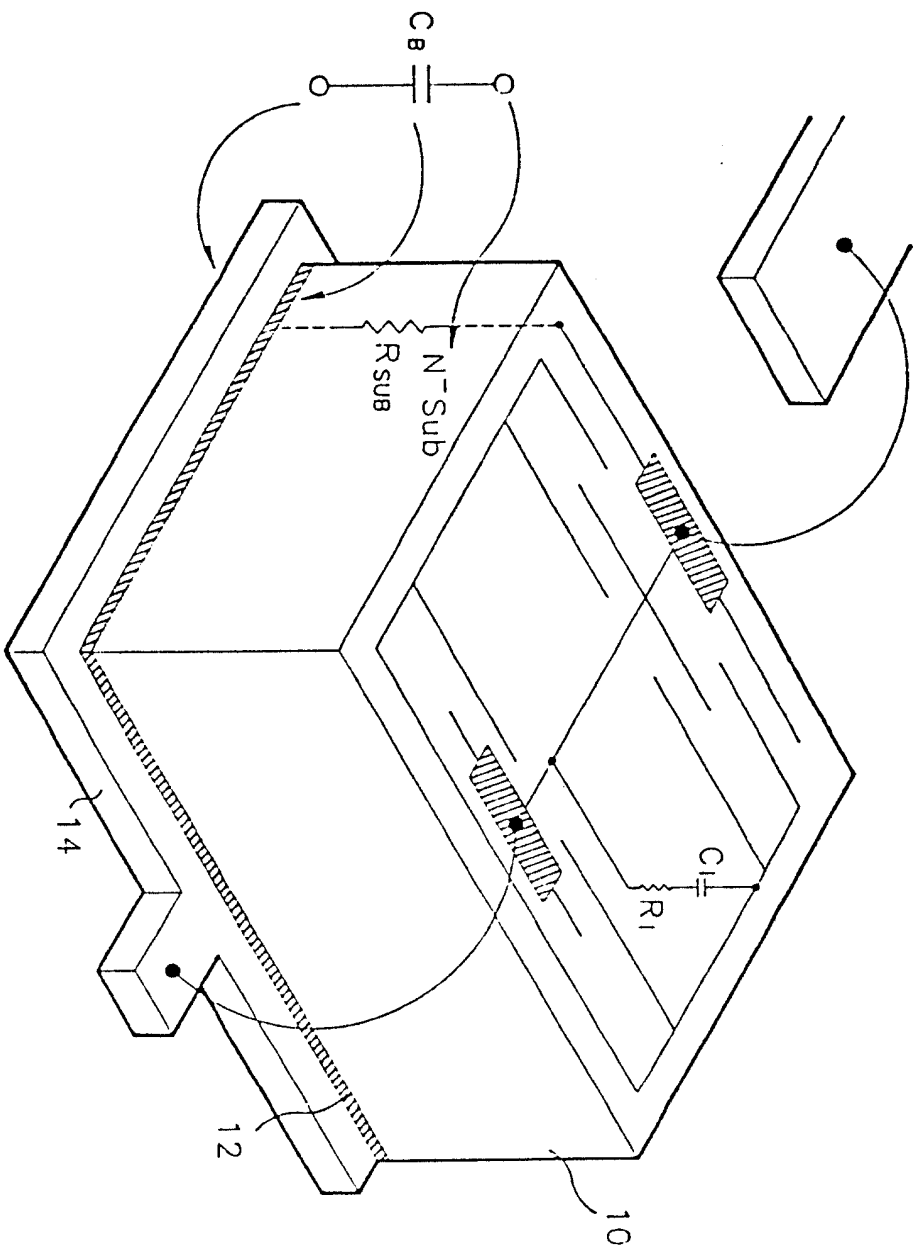
200631



第 1 圖



第 3 圖



第2圖

200631

修正  
本 81 年 8 月 29 日  
補充

A7  
B7  
C7  
D7

六、申請專利範圍

( 81 年 9 月 修正 )

1. 一種電源雜訊受抑制之積體電路裝置，其含有一厚度為  $500 \text{ \AA} \sim 2000 \text{ \AA}$  之介電膜形成在具有積體電路之半導體基板的背面上，以便利用基板、介電膜及封裝引線框來形成一電容器。

2. 如申請專利項目 1 所述之裝置，其中所述封裝引線框之極性與施加到基板之電壓的極性相反。

3. 一種電源雜訊受抑制之積體電路裝置，其含有一特定薄膜形成在具有積體電路之半導體基板的背面上，以便藉此形成一特定的電之元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線